



등록특허 10-2329380



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월22일
(11) 등록번호 10-2329380
(24) 등록일자 2021년11월17일

- (51) 국제특허분류(Int. Cl.)
H01L 29/45 (2006.01) *H01L 21/28* (2006.01)
H01L 21/324 (2017.01) *H01L 27/32* (2006.01)
H01L 29/06 (2006.01) *H01L 29/786* (2006.01)
- (52) CPC특허분류
H01L 29/45 (2013.01)
H01L 21/28211 (2013.01)
- (21) 출원번호 10-2020-7022455(분할)
- (22) 출원일자(국제) 2010년09월21일
심사청구일자 2020년08월03일
- (85) 번역문제출일자 2020년08월03일
- (65) 공개번호 10-2020-0096679
- (43) 공개일자 2020년08월12일
- (62) 원출원 특허 10-2019-7003941
원출원일자(국제) 2010년09월21일
심사청구일자 2019년02월11일
- (86) 국제출원번호 PCT/JP2010/066747
- (87) 국제공개번호 WO 2011/043218
국제공개일자 2011년04월14일
- (30) 우선권주장
JP-P-2009-235570 2009년10월09일 일본(JP)

- (56) 선행기술조사문헌
KR1020080104860 A*
JP2005277323 A*
JP2008219008 A*
JP2005302808 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 7 항

심사관 : 김종호

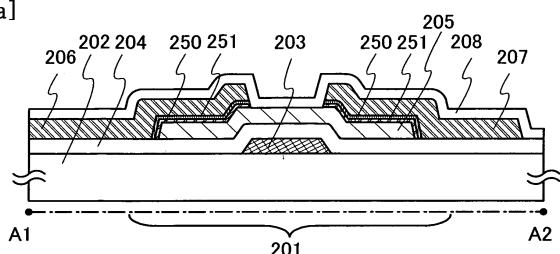
(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명의 목적은 양호한 전기 특성들을 가진 박막 트랜지스터 및 박막 트랜지스터를 스위칭 소자로서 포함하는 반도체 장치를 제공하는 것이다. 박막 트랜지스터는 절연 표면 위의 게이트 전극, 게이트 전극 위의 게이트 절연막, 게이트 절연막 위의 산화물 반도체막으로서, 게이트 절연막 위에서 게이트 전극과 중첩하고 산화물 반도체막(뒷면에 계속)

대 표 도

[도 1a]



에 포함된 하나 또는 복수의 금속들의 농도가 다른 영역들에서의 농도보다 높은 층을 포함하는, 상기 산화물 반도체막, 산화물 반도체막 위에서 상기 층과 접촉하는 한 쌍의 금속 산화막; 및 금속 산화막과 접촉하는 소스 전극 및 드레인 전극을 포함한다. 금속 산화막은 소스 전극 및 드레인 전극에 함유된 금속의 산화에 의해 형성된다.

(52) CPC특허분류

H01L 21/324 (2013.01)

H01L 27/3262 (2013.01)

H01L 29/06 (2013.01)

H01L 29/7869 (2013.01)

(72) 발명자

사카쿠라 마사유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

다카하시 마사히로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

기시다 히데유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치에 있어서:

케이트 전극;

상기 케이트 전극 위의 산화물 반도체막으로서, 상기 산화물 반도체막은 제 1 원소, 제 2 원소 및 산소를 포함하는, 상기 산화물 반도체막;

제 3 원소를 포함하는 소스 전극;

상기 산화물 반도체막과 상기 케이트 전극 사이의 케이트 절연막으로서, 상기 케이트 절연막은 제 4 원소 및 산소를 포함하는, 상기 케이트 절연막; 및

상기 산화물 반도체막과 상기 소스 전극 사이의, 상기 산화물 반도체막과 상기 소스 전극이 중첩하는 영역의 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 원소, 상기 제 2 원소 및 상기 제 3 원소의 각각은 금속 원소이고,

상기 제 1 영역은 상기 제 2 영역보다 상기 산화물 반도체막에 더 가깝고,

상기 제 1 영역은 상기 제 1 원소를 포함하고,

상기 제 2 영역은 상기 제 3 원소 및 산소를 포함하고,

상기 제 1 영역은 상기 산화물 반도체막보다 총 금속 원소들에 대한 상기 제 1 원소의 비율이 더 높고,

상기 제 1 영역은 상기 산화물 반도체막보다 산소의 비율이 더 낮고,

상기 제 4 원소는 상기 제 3 원소와 다른, 반도체 장치.

청구항 2

반도체 장치에 있어서:

케이트 전극;

상기 케이트 전극 위의 산화물 반도체막으로서, 상기 산화물 반도체막은 제 1 원소, 제 2 원소 및 산소를 포함하는, 상기 산화물 반도체막;

제 3 원소를 포함하는 소스 전극;

상기 산화물 반도체막과 상기 케이트 전극 사이의 케이트 절연막으로서, 상기 케이트 절연막은 제 4 원소 및 산소를 포함하는, 상기 케이트 절연막; 및

상기 산화물 반도체막과 상기 소스 전극 사이의, 상기 산화물 반도체막과 상기 소스 전극이 중첩하는 영역의 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 원소, 상기 제 2 원소 및 상기 제 3 원소의 각각은 금속 원소이고,

상기 제 1 영역은 상기 제 2 영역보다 상기 산화물 반도체막에 더 가깝고,

상기 제 1 영역 및 상기 제 2 영역은 서로 접하고,

상기 제 1 영역은 상기 제 1 원소를 포함하고,

상기 제 2 영역은 상기 제 3 원소 및 산소를 포함하고,

상기 제 1 영역은 상기 산화물 반도체막보다 총 금속 원소들에 대한 상기 제 1 원소의 비율이 더 높고,

상기 제 1 영역은 상기 산화물 반도체막보다 산소의 비율이 더 낮고,

상기 제 4 원소는 상기 제 3 원소와 다른, 반도체 장치.

청구항 3

반도체 장치에 있어서:

제 1 게이트 전극;

상기 제 1 게이트 전극 위의 제 1 게이트 절연막;

상기 제 1 게이트 전극 위의 산화물 반도체막으로서, 상기 산화물 반도체막은 제 1 원소, 제 2 원소 및 산소를 포함하는, 상기 산화물 반도체막;

제 3 원소를 포함하는 소스 전극;

상기 산화물 반도체막 및 상기 소스 전극 위의 제 2 게이트 절연막;

상기 제 2 게이트 절연막 위의 제 2 게이트 전극;

상기 산화물 반도체막과 상기 소스 전극 사이의, 상기 산화물 반도체막과 상기 소스 전극이 중첩하는 영역의 제 1 영역 및 제 2 영역을 포함하고,

상기 제 1 게이트 절연막은 제 4 원소 및 산소를 포함하고,

상기 제 1 원소, 상기 제 2 원소 및 상기 제 3 원소의 각각은 금속 원소이고,

상기 제 1 영역은 상기 제 2 영역보다 상기 산화물 반도체막에 더 가깝고,

상기 제 1 영역은 상기 제 1 원소를 포함하고,

상기 제 2 영역은 상기 제 3 원소 및 산소를 포함하고,

상기 제 1 영역은 상기 산화물 반도체막보다 총 금속 원소들에 대한 상기 제 1 원소의 비율이 더 높고,

상기 제 1 영역은 상기 산화물 반도체막보다 산소의 비율이 더 낮고,

상기 제 4 원소는 상기 제 3 원소와 다른, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 원소는 인듐인, 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 3 원소는 티타늄, 텅스텐 및 몰리브덴 중 어느 하나인, 반도체 장치.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 2 영역의 두께는 2nm 이상 10nm 이하인, 반도체 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제 1 영역, 상기 제 2 영역, 상기 게이트 절연막 및 상기 게이트 전극은 서로 중첩하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 포함하는 박막 트랜지스터, 박막 트랜지스터를 포함하는 반도체 장치, 및 반도체 장

치를 제조하기 위한 방법에 관한 것이다.

배경기술

[0002] 절연 표면 위에 형성된 반도체막을 포함하는 박막 트랜지스터는 반도체 장치를 위한 필수적인 반도체 소자이다. 기판의 내열 온도에 의해 박막 트랜지스터들의 제조에 관한 제약이 있기 때문에, 반도체 표시 장치에 주로 이용되는 트랜지스터는, 비교적 저온에서 침착될 수 있는 비정질 실리콘, 레이저광 또는 촉매 원소의 이용으로 결정화에 의해 획득될 수 있는 폴리실리콘 등을 활성층에 포함하는 박막 트랜지스터이다.

[0003] 최근에, 산화물 반도체라고 칭해지는 반도체 특성들을 갖는 금속 산화물이, 폴리실리콘의 특성이 있는 높은 이동도와 비정질 실리콘의 특성이 있는 균일 소자 특성들을 둘다를 가진 새로운 반도체 재료로서 관심을 받고 있다. 금속 산화물은 다양한 응용들에 이용되고; 예를 들면, 산화 인듐이 잘 알려진 금속 산화물이고 액정 표시 장치 등에 포함되는 투명 전극의 재료로서 이용된다. 반도체 특성들을 가진 이러한 금속 산화물들의 예들은 텅스텐 산화물, 주석 산화물, 산화 인듐, 산화 아연 등을 포함한다. 채널 형성 영역에서 반도체 특성들을 가진 이러한 금속 산화물을 포함하는 박막 트랜지스터가 알려져 있다(특허 문헌들 1 및 2).

[0004] [참고] [특허 문헌]

[0005] [특허 문헌 1] 일본 공개 특허 출원 제2007-123861호

[0006] [특허 문헌 2] 일본 공개 특허 출원 제2007-096055호

발명의 내용

해결하려는 과제

[0007] 개시된 본 발명의 일 실시예의 목적은 양호한 전기 특성들을 가진 박막 트랜지스터 및 박막 트랜지스터를 스위칭 소자로서 포함하는 반도체 장치를 제공하는 것이다.

[0008] 발명자들은, In-Ga-Zn-O-계 산화물 반도체막에서 소스 전극 및 드레인 전극에 가장 가까운 영역이, 박막 트랜지스터의 활성층으로서 In-Ga-Zn-O-계 산화물 반도체막을 포함하는 박막 트랜지스터의 다른 영역들에서 금속의 농도가 더 높은 복합층들(금속-리치층(metal-rich layers))을 포함한다는 것을 알았다. 발명자들은 또한, 소스 전극과 복합층 사이 및 드레인 전극과 복합층 사이에 금속 산화막들이 형성된다는 것을 알았다.

[0009] 도 2는, In-Ga-Zn-O-계 산화물 반도체막이 박막 트랜지스터의 활성층으로 이용되는 채널-에칭된 구조를 가진 박막 트랜지스터의 단면적의 사진을 도시한다. 사진은 고해상 투과형 전자 현미경(TEM: Hitachi, Ltd.에 의해 제조된 "H9000-NAR")으로 찍었다. 도 3a 및 도 3b 둘다, 도 2의 사진에 대한 샘플과 동일한 샘플을 이용하여, 산화물 반도체막과 산화물 반도체막의 상부와 접촉하는 티타늄막 사이의 인터페이스의 고-확대 사진(4백만배 확대)을 보여준다. 사진들 둘다는 200kV의 가속 전압에서 스캐닝 투과형 전자 현미경(STEM: Hitachi, Ltd.에 의해 제조된 "HD-2700")으로 찍었다.

[0010] 도 2의 지점 A에서의 사진은 도 3a에 대응하고, 도 2의 지점 B에서의 사진은 도 3b에 대응한다. 특히, 도 3a는, 산화물 반도체막이 게이트 전극과 중첩하는 위치에서, 산화물 반도체막과 산화물 반도체막의 상부와 접촉하는 티타늄막 사이의 인터페이스의 사진이다. 도 3a로부터 알 수 있는 바와 같이, 티타늄(Ti)막과 In-Ga-Zn-O-계 산화물 반도체막(IGZO) 사이에는 산화 티타늄(TiQx)을 함유하는 계면층이 존재한다. 그 외에도, In-Ga-Zn-O-계 산화물 반도체막(IGZO)에서, 산화 티타늄(TiQx)을 함유하는 계면층에 가장 가까운 영역은 인듐 결정을 포함하고, 이것은 그리드 형상으로 보일 수 있다. 그리드 형상으로 보일 수 있는 인듐을 함유한 층은 다른 영역들에서 인듐의 농도가 더 높은 복합층(In-리치층)에 대응한다.

[0011] 유사한 방식으로, 도 3b는, 산화물 반도체막이 게이트 전극과 중첩하지 않는 위치에서, 산화물 반도체막과 산화물 반도체막의 상부와 접촉하는 티타늄막 사이의 인터페이스의 사진이다. 도 3a와 유사한 방식으로, 도 3b로부터 알 수 있는 바와 같이, 티타늄(Ti)막과 In-Ga-Zn-O-계 산화물 반도체막(IGZO) 사이에는 산화 티타늄(TiQx)을 함유하는 계면층이 존재한다. 그 외에도, In-Ga-Zn-O-계 산화물 반도체막(IGZO)에서, 산화 티타늄(TiQx)을 함유하는 계면층에 가장 가까운 영역은 인듐-리치층을 포함한다.

[0012] 발명자들은, 산화 티타늄이 다음의 방식으로 형성되는 것을 고려하였다: 산화물 반도체막의 산소는 산화물 반도체막과 티타늄막 사이의 인터페이스 주변에서 티타늄에 의해 추출된 것이다; In의 농도는 티타늄막에 가까운 산화물 반도체막의 영역에서 증가된다; 그리고 추출된 산소는 티타늄과 반응된다.

[0013] In-Ga-Zn-O-계 산화물 반도체막에서 소스 전극 및 드레인 전극에 가장 가까운 영역이, 인듐, 갈륨, 및 아연 중 하나 또는 복수개의 농도가 다른 영역들에서의 농도보다 높은 층들(금속-리치층들)을 포함하기 때문에, 산화물 반도체막의 금속-리치층들은 낮은 저항을 가진다. 그 외에도, 소스 전극과 산화물 반도체막 사이 및 드레인 전극과 산화물 반도체막 사이에 형성된 산화 티타늄막들(TiQx)은 n-형 도전성을 가진다. 따라서, 상기 구조로, 소스 전극과 산화물 반도체막 사이 및 드레인 전극과 산화물 반도체막 사이의 접촉 저항이 감소되고, TFT의 온-전류량(amount of on-current) 및 전계 효과 이동도가 증가될 수 있다.

[0014] 산화물 반도체로서, In-Sn-Ga-Zn-O-계 산화물 반도체와 같은 4-성분 금속 산화물, In-Ga-Zn-O-계 산화물 반도체, In-Sn-Zn-O-계 산화물 반도체, In-Al-Zn-O-계 산화물 반도체, Sn-Ga-Zn-O-계 산화물 반도체, Al-Ga-Zn-O-계 산화물 반도체, 및 Sn-Al-Zn-O-계 산화물 반도체와 같은 3-성분 금속 산화물, 또는 In-Zn-O-계 산화물 반도체, Sn-Zn-O-계 산화물 반도체, Al-Zn-O-계 산화물 반도체, Zn-Mg-O-계 산화물 반도체, Sn-Mg-O-계 산화물 반도체, In-Mg-O-계 산화물 반도체, In-Ga-O-계 산화물 반도체, In-O-계 산화물 반도체, Sn-O-계 산화물 반도체, 및 Zn-O-계 산화물 반도체와 같은 2-성분 금속 산화물을 이용하는 것이 가능하다. 이 명세서에서, 예를 들면 In-Sn-Ga-Zn-O-계 산화물 반도체는 인듐(In), 주석(Sn), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물을 의미하고, 화학량론적 조성비에 대한 특정 제약은 없음을 유념한다. 상기 산화물 반도체는 실리콘을 함유할 수 있다.

[0015] 또한, 산화물 반도체들은 화학식, $InMO_3(ZnO)_m$ ($m > 0$)에 의해 표현될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 표현한다.

[0016] 구동 회로 및 화소부는 본 발명의 일 실시예인 박막 트랜지스터를 이용하여 일 기판 위에 형성될 수 있고, 반도체 표시 장치는 EL 소자, 액정 소자 또는 전기영동 소자와 같은 표시 소자를 이용하여 제조될 수 있다.

[0017] 박막 트랜지스터가 정전기 등으로 인해 쉽게 부러지기 때문에, 화소부에 대한 박막 트랜지스터를 보호하기 위한 보호 회로가 게이트선 또는 소스선에 대해 동일 기판 위에 제공되는 것이 바람직하다. 보호 회로는 산화물 반도체막이 이용되는 비선형 소자를 이용하여 형성되는 것이 바람직하다.

과제의 해결 수단

[0018] 본 발명의 일 실시예인 박막 트랜지스터는 채널-에칭된 구조를 가진 하부-게이트 박막 트랜지스터일 수 있거나, 또는 채널-보호 구조를 가진 하부-게이트 박막 트랜지스터일 수 있다. 대안적으로, 박막 트랜지스터는 하부-접촉 박막 트랜지스터일 수 있다.

[0019] 하부-게이트 트랜지스터는 절연 표면 위에 형성된 게이트 전극, 게이트 전극 위의 게이트 절연막, 게이트 절연막 위에서 게이트 전극과 오버랩하고 산화물 반도체에 함유된 하나 또는 복수의 금속들의 농도가 다른 영역들의 농도보다 높은 복합층들을 포함하는 산화물 반도체막, 산화물 반도체막 위에 형성되고 복합층들과 접촉하는 한쌍의 금속 산화막들, 및 금속 산화막과 접촉하는 소스 전극 및 드레인 전극을 포함한다. 금속 산화막은 소스 전극 및 드레인 전극에 함유된 금속의 산화에 의해 형성된다.

[0020] 하부-접촉 트랜지스터는 절연 표면 위에 형성된 게이트 전극, 게이트 전극 위의 게이트 절연막, 게이트 절연막 위의 소스 전극 및 드레인 전극, 소스 전극 및 드레인 전극과 접촉하는 금속 산화막들, 및 게이트 전극과 오버랩하고 산화물 반도체에 함유된 하나 또는 복수의 금속들의 농도가 다른 영역들의 농도보다 높은 복합층들을 포함하는 산화물 반도체막을 포함한다. 복합층들은 금속 산화막들과 접촉한다. 금속 산화막들은 소스 전극 및 드레인 전극에 함유된 금속의 산화에 의해 형성된다.

발명의 효과

[0021] 산화물 반도체막에서 소스 전극 및 드레인 전극에 가장 가까운 영역이, 금속의 농도가 다른 영역들에서의 농도보다 높은 복합층들을 포함하고, n형 도전성을 갖는 금속 산화막들이 소스 전극과 산화물 반도체막의 사이 및 드레인 전극과 산화물 반도체막 사이에 형성되기 때문에, 소스 전극과 산화물 반도체막 사이 및 드레인 전극과 산화물 반도체막 사이의 접촉 저항이 감소되고, TFT의 온-전류 및 전계 효과 이동도가 증가될 수 있다.

도면의 간단한 설명

[0022] 도 1a 및 도 1c는 트랜지스터의 단면도이고, 도 1b는 트랜지스터의 상면도를 도시한 도면들.

도 2는 박막 트랜지스터의 단면 TEM 사진을 도시한 도면.

도 3a 및 도 3b는 박막 트랜지스터에서 산화물 반도체막과 소스 전극 사이 또는 산화물 반도체막과 드레인 전극 사이의 인터페이스 주변의 단면 TEM 사진들을 도시한 도면들.

도 4a 내지 도 4c는 IGZO에서 산소 및 금속들의 결정 구조들을 도시한 도면들.

도 5a 및 도 5b는 텅스텐막과 산화물 반도체막 사이의 인터페이스 주변에서 산소 원자들 및 금속 원자들의 구조적 모델들을 도시한 도면들.

도 6a 및 도 6b는 몰리브덴막과 산화물 반도체막 사이의 인터페이스 주변에서 산소 원자들 및 금속 원자들의 구조적 모델들을 도시한 도면들.

도 7a 및 도 7b는 티타늄막과 산화물 반도체막 사이의 인터페이스 주변에서 산소 원자들 및 금속 원자들의 구조적 모델들을 도시한 도면들.

도 8은 루탈 구조(rutile structure)를 갖는 이산화 티타늄의 결정 구조를 도시한 도면.

도 9는 루탈 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한 도면.

도 10은 산소-결핍 상태에서 이산화 티타늄의 상태 밀도를 도시한 도면.

도 11은 일산화 티타늄의 상태 밀도를 도시한 도면.

도 12a 및 도 12c는 트랜지스터의 단면도들이고 도 12b는 트랜지스터의 상면도를 도시한 도면들.

도 13a 및 도 13c는 트랜지스터의 단면도들이고, 도 13b는 트랜지스터의 상면도를 도시한 도면들.

도 14a 및 도 14b는 전기 페어의 상면도 및 단면도를 각각 도시한 도면들.

도 15a 및 도 15b는 반도체 표시 장치들의 블록도들.

도 16a 및 도 16b는 신호선 구동 회로의 구성 및 그 타이밍 차트를 도시한 도면들.

도 17a 및 도 17b는 시프트 레지스터의 구조를 도시한 회로도들.

도 18a 및 도 18b는 시프트 레지스터의 회로도 및 동작의 타이밍 차트를 각각 도시한 도면들.

도 19a 내지 도 19c는 반도체 장치를 제조하기 위한 방법을 도시한 도면들.

도 20a 내지 도 20c는 반도체 장치를 제조하기 위한 방법을 도시한 도면들.

도 21a 및 도 21b는 반도체 장치를 제조하기 위한 방법을 도시한 도면들.

도 22는 반도체 장치를 제조하기 위한 방법을 도시한 도면.

도 23은 반도체 장치를 제조하기 위한 방법을 도시한 도면.

도 24는 반도체 장치를 제조하기 위한 방법을 도시한 도면.

도 25는 액정 표시 장치의 단면도를 도시한 도면.

도 26a 내지 도 26c는 발광 장치들의 단면도들을 도시한 도면들.

도 27은 액정 표시 장치 모듈의 구조를 도시한 도면.

도 28a 내지 도 28e는 반도체 표시 장치를 각각 이용하는 전자 장치들을 도시한 도면들.

도 29는 본 발명의 실시예의 밴드도를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0023] 이후, 본 발명의 실시예들은 첨부 도면들을 참조하여 상세히 기술될 것이다. 그러나, 본 발명은 다음의 기술에 제한되지 않고, 모드들 및 세부사항들이 본 발명의 범위 및 사상을 벗어나지 않고 다양하게 변경될 수 있다는 것이 본 기술분야의 통상의 기술자들에 의해 쉽게 이해된다. 따라서, 본 발명은 하기의 실시예들의 기술에 제한되는 것으로서 해석되어서는 안 된다.

[0024] 본 발명은, 마이크로프로세서들, 화상 처리 회로들과 같은 집적 회로들, RF 태그들, 및 반도체 표시 장치들을 포함하는 임의 종류의 반도체 장치들의 제조에 적용될 수 있다. 반도체 표시 장치들은 그 카테고리에 다음을 포

함한다: 액정 표시 장치들, 유기 발광 소자(OLED)가 대표적인 발광 소자가 화소마다 제공되는 발광 장치들, 전자 페이퍼들, 디지털 마이크로미러 장치들(DMD들: digital micromirror devices), 플라즈마 표시 패널들(PDP들), 전계 방출 표시들(FED들) 및 반도체막을 이용한 회로 소자가 구동 회로에 포함되는 다른 반도체 표시 장치들.

[0025] 반도체 표시 장치들은 표시 소자가 밀봉되는 패널, 및 제어기를 포함하는 IC 등이 패널 상에 장착되는 모듈을 포함하는 것을 유념한다. 본 발명은 또한, 표시 소자가 반도체 표시 장치의 제조 공정에서 완성되기 전에 소자 기판의 일 모드에 관한 것이고, 소자 기판에는 복수의 화소들의 각각에서 표시 소자에 전류 또는 전압을 인가하기 위한 수단이 구비된다. 특히, 소자 기판은 표시 소자의 화소 전극만 제공되는 상태, 화소 전극이 될 도전막의 형성 후와 화소 전극을 형성하기 위해 도전막의 예칭 전의 상태, 또는 임의의 다른 상태들에 있을 수 있다.

[0026] (실시예 1)

[0027] 이 실시예에는, 인듐의 농도가 다른 영역들에서의 농도보다 높은 층(In-리치층) 및 산화 티타늄막(TiQx)이 박막 트랜지스터의 활성층으로서 In-Ga-Zn-O-계 산화물 반도체막을 이용하여 채널-예칭 구조를 가진 박막 트랜지스터의 In-Ga-Zn-O-계 산화물 반도체막과 소스 전극 또는 드레인 전극으로서 이용된 금속막 사이의 인터페이스 주변에 형성되는 현상에 대한 계산적인 과학 조사의 결과들이 기술된다.

[0028] 먼저, 어떤 금속 산화물이 산소-결핍 상태를 형성할 가능성이 있는지를 조사하기 위해, In-Ga-Zn-O-계 산화물 반도체에 함유되는 산화 인듐, 갈륨 산화물 및 산화 아연의 각각의 경우에 산소-결핍 상태의 형성에 필요한 에너지(결핍 형성 에너지 E_{def})가 계산되었다.

[0029] 결핍 형성 에너지 E_{def} 는 하기의 [수학식 1]로서 규정됨을 유념한다. A는 다음 중 하나를 표현한다: 인듐; 갈륨; 아연; 및 인듐, 갈륨 및 아연. E(O)는 산소 분자의 절반 에너지(half energy)를 표현하고, E(A_mO_{n-1})는 산소 결핍을 포함하는 산화물 A_mO_{n-1} 의 에너지를 표현하는 것임을 유념한다.

수학식 1

$$E_{def} = E(A_mO_{n-1}) + E(O) - E(A_mO_n)$$

[0031] 결핍의 농도 n 와 결핍 형성 에너지 E_{def} 사이의 관계는 대략적으로 하기의 [수학식 2]와 같이 제시된다. N은 결핍이 형성되지 않는 상태에서 산소 위치들의 수를 표현하고, k_B 는 볼츠만 상수를 표현하고, T는 온도를 표현하는 것임을 유념한다.

수학식 2

$$n = N \times \exp(-E_{def}/k_B T)$$

[0033] 계산을 위해, 밀도 함수 이론을 위한 프로그램인 CASTEP가 이용되었다. 평면파 기반 의사-전위 방법(plane wave basis pseudopotential method)이 밀도 함수 이론을 위한 방법으로 이용되었다. GGA-PBE가 함수에 이용되었다. 컷-오프 에너지는 500eV이었다. IGZO, In_2O_3 , Ga_2O_3 , 및 ZnO 에 대한 k -포인트 세트들은 각각 $3 \times 3 \times 1$, $2 \times 2 \times 2$, $2 \times 3 \times 2$, 및 $4 \times 4 \times 1$ 의 그리드들이었다.

[0034] IGZO 결정의 결정 구조는 a-축 및 b-축 두 방향에서 R-3의 대칭을 갖는 구조를 이중으로 하고 에너지가 최소가 되도록 Ga 및 Zn을 배열함으로써 획득된 84 원자들의 구조였다(국제 번호: 148). In_2O_3 , Ga_2O_3 및 ZnO 의 결정 구조들은 각각 80 원자들의 bixbyite 구조, 80 원자들의 β -gallia 구조, 및 80 원자들의 우르츠(wurtzite) 구조이다.

[0035] [수학식 2]로부터, 결핍 형성 에너지 E_{def} 가 증가될 때 산소 결핍의 농도 n , 즉 산소 결핍량은 감소된다는 것을 알았다. 하기의 테이블 1은 A가 인듐; 갈륨; 아연; 및 인듐, 갈륨, 및 아연인 경우들에서 결핍 형성 에너지 E_{def} 의 값들을 제시한다.

[0036] IGZO(모델 1)의 결핍 형성 에너지 E_{def} 의 값은, A가 인듐, 갈륨 및 아연인 경우에 결정에서 3개의 인듐 원자들 및 1개의 아연 원자에 인접한 산소 원자의 결핍 형성 에너지 E_{def} 의 값임을 유념한다. 도 4a는 IGZO 결정에서 3개의 인듐 원자들, 1개의 아연 원자 및 이들 금속 원자들에 인접한 산소 원자에 의해 형성되는 부분의 구조를 도시한다.

[0037] 또한, IGZO(모델 2)의 결핍 형성 에너지 E_{def} 의 값은, A가 인듐, 갈륨 및 아연인 경우에 결정에서 3개의 인듐 원자들 및 1개의 갈륨 원자에 인접한 산소 원자의 결핍 형성 에너지 E_{def} 의 값임을 유념한다. 도 4b는 IGZO 결정에서 3개의 인듐 원자들, 1개의 갈륨 원자, 및 이들 금속 원자들에 인접한 산소 원자에 의해 형성되는 부분의 구조를 도시한다.

[0038] 또한, IGZO(모델 3)의 결핍 형성 에너지 E_{def} 의 값은, A가 인듐, 갈륨, 및 아연인 경우에 결정에서 2개의 아연 원자들 및 2개의 갈륨 원자들에 인접한 산소 원자의 결핍 형성 에너지 E_{def} 의 값임을 유념한다. 도 4c는 IGZO 결정에서 2개의 아연 원자들, 2개의 갈륨 원자들, 및 이들 금속 원자들에 인접한 산소 원자에 의해 형성되는 부분의 구조를 도시한다.

[0039] [테이블 1]

화합물	E_{def} (eV)
In_2O_3	3.06
ZnO	3.75
IGZO (모델 1)	3.73
IGZO (모델 2)	3.98
IGZO (모델 3)	4.08
Ga_2O_3	4.18

[0040]

[0041] 결핍 형성 에너지의 값이 높을 때, 산소-결핍 상태의 형성에 필요한 에너지가 증가하고, 즉 산소와 금속 사이의 결합이 더욱 강해지려는 경향이 있다. 따라서, 테이블 1에서 제시된 결핍 형성 에너지 E_{def} 의 값들로부터, 인듐이 산소와 가장 약한 결합을 가지고 산소가 인듐 주변에서 추출될 가능성이 있다는 것을 알았다.

[0042]

산소가 소스 전극 및 드레인 전극에 이용되는 금속에 의해 산화물 반도체로부터 추출되기 때문에, In-Ga-Zn-O-계 산화물 반도체에서 산소-결핍 상태가 형성될 가능성이 있다. 산화물 반도체의 전기 도전성은 산소-결핍 상태의 형성에 의해 증가된다; 따라서, 산소가 상술된 방식으로 추출될 때, 산화물 반도체막과 금속막 사이의 인터페이스 주변에서 산화물 반도체막의 전기 도전성이 증가될 것으로 예상된다.

[0043]

다음에, 산소가 금속에 의해 산화물 반도체로부터 추출될지의 여부를 확인하기 위하여, In-Ga-Zn-O-계 산화물 반도체막과 금속막 사이의 인터페이스 주변에서 양자-기계적으로 안정한 구조 모델이 양자 분자 동역학(QMD) 방법을 이용하여 계산에 의해 조사되었다.

[0044]

계산을 위한 구조는 다음의 방식으로 제조되었다. 먼저, $In_{12}Ga_{12}Zn_{12}O_{48}$ 의 84 원자들을 포함하는 단위 셀이 고전 분자 동역학(CMD) 방법에 의해 형성된 비정질 In-Ga-Zn-O-계 산화물 반도체(a-IGZO)로부터 추출되었고, 구조는 양자 분자 동역학(QMD) 및 제 1 원리 구조 최적화에 의해 최적화되었다. 구조-최적화된 단위 셀을 절단함으로써, a-IGZO층들이 획득되었다. a-IGZO층들 위에, 각각의 금속 원자들(W, Mo 및 Ti)의 결정들을 가진 금속층들이 적층되었다. 그 후에, 제조된 구조들이 최적화되었다. 이들 구조들의 각각은 시작 대상으로서 이용되었고, 계산은 623.0 K에서 양자 분자 동역학(QMD) 방법을 이용하여 수행되었다. a-IGZO층들의 각각의 하단 및 금속층들의 각각의 상단은 인터페이스의 상호작용만이 추정될 수 있도록 고정되었음을 유념한다.

[0045]

고전 분자 동역학 계산을 위한 계산 조건들은 하기에 제시된다. Materials Explorer이 계산 프로그램으로서 이용되었다. A-IGZO는 다음의 조건들 하에서 형성되었다. 각각의 층면 상에 1nm의 길이를 갖는 계산 셀에서, 총 84 원자들(비율은 $In:Ga:Zn:O = 1:1:1:4$ 이었음)이 랜덤하게 배열되었고, 밀도는 5.9 g/cm^3 으로 설정되었다. 온도는 NVT 양상에서 5500 K에서 1 K로 점차적으로 낮아졌다. 총 계산 시간은 0.1fs의 시간 간격으로 10ns이었다. 금속과 산소 사이 및 산소와 산소 사이의 전위들은 본-메이어-허긴스 탑입이었고, 금속과 금속 사이의 전위는 UFF 탑입이었다. In, Ga, Zn 및 O의 전하들은 각각 +3, +3, +2 및 -2이었다.

[0046]

QMD 계산을 위한 계산 조건들은 아래에 제시된다. 제 1 원리 계산 소프트웨어, CASTEP는 계산 프로그램으로서 이용되었다. GGAPBE는 함수에 이용되었고, 울트라소프트 탑입은 의사-전위에 이용되었다. 컷-오프 에너지는

260eV이었고, k-포인트 세트는 $1 \times 1 \times 1$ 이었다. MD 계산은 NVT 앙상블에서 수행되었고, 온도는 623K이었다. 총 계산 시간은 1.0fs의 시간 간격들로 2.0ps이었다.

[0047] 도 5a 및 도 5b, 도 6a 및 도 6b와, 도 7a 및 도 7b는 계산 결과들이다. 도 5a 및 도 5b, 도 6a 및 도 6b와, 도 7a 및 도 7b에서, 백색 원형들은 W, Mo 및 Ti의 임의의 금속 원자들을 표현하고, 흑색 원형들은 산소 원자들을 표현한다. 도 5a 및 도 5b는 W의 금속층을 이용하는 경우의 구조적 모델들을 도시한다. 도 5a는 QMD 방법에 의한 계산 전의 구조적 모델을 도시하고, 도 5b는 QMD 방법에 의한 계산 후의 구조적 모델을 도시한다. 도 6a 및 도 6b는 Mo의 금속층을 이용하는 경우의 구조적 모델들을 도시한다. 도 6a는 QMD 방법에 의한 계산 전의 구조적 모델을 도시하고, 도 6b는 QMD 방법에 의한 계산 후의 구조적 모델을 도시한다. 도 7a 및 도 7b는 Ti의 금속층을 이용하는 경우의 구조적 모델들을 도시한다. 도 7a는 QMD 방법에 의한 계산 전의 구조적 모델을 도시하고, 도 7b는 QMD 방법에 의한 계산 후의 구조적 모델을 도시한다.

[0048] 도 6a 및 도 7a로부터, Mo를 이용하는 경우 및 Ti를 이용하는 경우에 구조적 최적화의 시간에서 산소가 금속층에 이미 이전되는 것을 알았다. 도 5b, 도 6b 및 도 7b 사이의 비교로부터, Ti를 이용하는 경우에 최대량의 산소가 이전되는 것을 알았다. a-IGZO에서 산소-결핍을 유발하는 전극에 대한 가장 적합한 재료는 Ti인 것으로 간주된다.

[0049] 티타늄에 의해 추출되는 산소는 티타늄과 반응하여 산화 티타늄을 유발한다. 그 후에, 산화물 반도체막과 티타늄막 사이에 형성된 산화 티타늄막이 도전성을 가지는지의 여부를 알기 위해 조사가 수행되었다.

[0050] 이산화 티타늄은 루틸 구조(고온에서 획득되는 정방정계 시스템), 애너테이즈 구조(anatase structure; 저온에서 획득되는 정방정계 시스템), 및 브루카이트 구조(brookite structure; 사방정계 시스템)와 같은 결정 구조들의 일부 타입들을 가질 수 있다. 애너테이즈 구조 및 브루카이트 구조가 가열되어 가장 안정한 구조인 루틸 구조로 변하기 때문에, 산화 티타늄은 루틸 구조를 가지는 것으로 가정한다. 루틸 구조를 갖는 산화 티타늄의 결정 구조가 도 8에 도시된다. 루틸 구조는 정방정계 시스템이고, 결정 대칭의 공간 그룹은 $P4_2/mnm$ 이다.

[0051] 이산화 티타늄 구조의 상태 밀도를 획득하기 위한 계산은 GGAPBE 함수를 이용한 밀도 함수 이론을 이용함으로써 수행되었다. 대칭이 유지되는 동안, 셀 구조를 포함하는 구조가 최적화되었고 상태 밀도가 계산되었다. 밀도 함수의 계산을 위해, CASTEP 코드에서 평면파 의사-전위 방법이 이용되었다. 컷-오프 에너지는 380eV이었다.

[0052] 도 9는 루틸 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한다. 도 9로부터, 루틸 구조를 갖는 이산화 티타늄이 밴드 캡을 가지는 것과, 절연체 또는 반도체의 상태 밀도와 유사한 상태 밀도를 가지는 것을 알았다. 밀도 함수 이론에서, 밴드 캡은 작게 추정되는 경향이 있고; 따라서, 이산화 티타늄의 실제 밴드 캡은 대략 3.0eV이며, 이것은 도 9의 상태 밀도에 도시된 밴드 캡보다 크다는 것을 유념한다.

[0053] 다음, 도 10은 산소 결핍을 포함하는 루틸 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한다. 특히, 24개의 Ti 원자들 및 48개의 O 원자들을 갖는 산화 티타늄로부터 1개의 O원자를 제거하여 획득된 24개의 Ti 원자들 및 47개의 O 원자들을 갖는 산화 티타늄이 계산을 위한 모델로서 이용되었다. 도 10의 상태 밀도로부터, 페르미 레벨이 밴드 캡 위로 이동하고; 따라서, 산소 결핍이 발견되는 경우에, 이산화 티타늄이 n-형 도전성을 가지는 것을 알았다.

[0054] 다음에, 도 11은 일산화 티타늄(TiO)의 상태 밀도를 도시한다. 도 11로부터, 일산화 티타늄은 금속의 상태 밀도와 유사한 상태 밀도를 가지는 것을 알았다.

[0055] 따라서, 도 9의 이산화 티타늄의 상태 밀도, 도 10의 산소 결핍을 포함하는 이산화 티타늄의 상태 밀도, 및 도 11의 일산화 티타늄의 상태 밀도로부터, $0 < \delta < 1$ 일 때, 산소 결핍을 포함하는 이산화 티타늄($TiO_{2-\delta}$)이 n-형 도전성을 가지는 것이 예상된다. 따라서, 산화 티타늄막이 구성성분으로 이산화 티타늄, 일산화 티타늄, 및 산소 결핍을 포함하는 이산화 티타늄 중 어느 것을 포함하는 경우에도, 산화 티타늄막은 In-Ga-Zn-O-계 산화물 반도체막과 티타늄막 사이의 전류 흐름을 억제할 가능성이 없는 것으로 간주된다.

[0056] 도 29는 박막 트랜지스터에서 소스 전극과 드레인 전극 사이의 에너지 대역도를 도시한다. 도 29에서, In-Ga-Zn-O-계 비단결정막(non-single-crystal film)(IGZO)이 산화물 반도체막으로 이용되고, TiO_x 막들이 산화물 반도체막과 박막 트랜지스터의 소스 전극 사이, 및 산화물 반도체막과 박막 트랜지스터의 드레인 전극 사이에 포함되는 것을 유념한다. TiO 막들의 두께는 0.1nm 이상 10nm 이하임을 유념한다. 상기 산화물 반도체막은 다수의 금속 원자들(예를 들면, In, Ga 및 Zn) 및, 상기 TiO_x 막들의 쌍과 접촉하는 복합층들의 쌍을 포함한다. 복합층들 이외의 영역들에서의 In-Ga-Zn-O-계 비단결정막(IGZO)의 전자 친화력, TiO_x 막들의 전자 친화력, 소스 전극

및 드레인 전극에 대한 Ti의 전자 친화력, 및 복합층들의 전자 친화력은 각각 4.3eV, 4.3eV, 4.1eV 및 4.5eV이다. 도 29에서, 대역들의 위치들은 물질들의 페르미 레벨들이 동일하도록 변한다는 것을 유념한다. 게이트 전압이 인가되지 않을 때, IGZO에서의 캐리어들의 수가 작기 때문에, 페르미 레벨은 밴드 갭의 중심 근처에 있다. TiO_x막들 및 복합층들에서의 캐리어들의 수가 크기 때문에, 페르미 레벨의 위치는 도전 대역에 가깝다. 따라서, 도 29에서, 각각의 물질의 도전 대역의 위치는 전자 친화력의 상술된 관련 값과 상이하다. 도 29에 도시된 바와 같은 복합층들의 전자 친화력을 사이의 차가 거의 없기 때문에, 산화물 반도체막과 소스 전극 사이, 및 산화물 반도체막과 드레인 전극 사이에서 양호한 접속 구조를 실현하는 것이 가능하다.

[0057] (실시예 2)

[0058] 이 실시예에서, 채널 형성 영역에 산화물 반도체막을 포함하는 박막 트랜지스터의 구조는 채널-에칭된 구조를 가진 하부-게이트 트랜지스터의 예를 취하여 기술된다.

[0059] 도 1a는 박막 트랜지스터(201)의 단면도를 도시하고, 도 1b는 도 1a에 도시된 박막 트랜지스터(201)의 상면도를 도시한다. 도 1b에서 점선 A1-A2를 따라 취해진 단면도는 도 1a에 대응한다는 것을 유념한다.

[0060] 박막 트랜지스터(201)는 절연 표면을 갖는 기판(202) 위에 형성된 게이트 전극(203), 게이트 전극(203) 위의 게이트 절연막(204), 게이트 절연막(204) 위에서 게이트 전극(203)과 중첩하고 산화물 반도체에 함유된 하나 또는 복수의 금속들의 농도가 다른 영역들의 농도보다 높은 복합층들(250)을 포함하는 산화물 반도체막(205), 산화물 반도체막(205) 위에 형성되고 복합층들(250)과 접촉하는 한 쌍의 금속 산화막들(251), 및 금속 산화막들(251)과 접촉하는 소스 전극(206) 및 드레인 전극(207)을 포함한다. 또한, 박막 트랜지스터(201)는 산화물 반도체막(205) 위에 형성된 산화물 절연막(208)을 그 구성요소로 포함할 수 있다. 금속 산화막들(251)은 소스 전극(206) 및 드레인 전극(207)에 함유된 금속의 산화에 의해 형성된다.

[0061] 도 1a 내지 도 1c에 도시된 박막 트랜지스터(201)는 산화물 반도체막(205)의 부분이 소스 전극(206)과 드레인 전극(207) 사이에서 에칭되는 채널-에칭된 구조를 가지는 것을 유념한다.

[0062] 베이스막으로서 절연막이 게이트 전극(203)과 기판(202) 사이에 형성될 수 있다. 베이스막은, 기판(202)으로부터 불순물 원소들의 확산을 방지하는 하나 이상의 절연막들, 특히 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막 및 산화질화 실리콘막을 이용하여 단일층 또는 적층으로 형성될 수 있다.

[0063] 게이트 전극(203)에 대한 재료는 몰리브덴, 티타늄, 크롬, 탄탈륨, 텉스텐, 네오디뮴 또는 스칸듐과 같은 하나 이상의 금속 재료, 또는 임의의 이들 금속 재료들을 주성분으로 함유하는 합금 재료, 또는 이들 금속들의 질화물을 이용하여 단일층 또는 적층이 될 수 있다. 나중 단계에서 수행되는 열 처리의 온도를 견딜 수 있다면, 알루미늄 또는 구리도 또한 상기 금속 재료로서 이용될 수 있다는 것을 유념한다. 알루미늄 또는 구리는 내열성 및 부식으로 인한 문제들을 회피하기 위해 내화 금속 재료와 조합하여 이용하는 것이 바람직하다. 내화 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텉스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.

[0064] 예를 들면, 게이트 전극(203)의 2층 구조로서, 질화 티타늄막 및 몰리브덴막을 적층하는 것이 바람직하다. 3층 구조로서, 텉스텐막 또는 질화 텉스텐막, 알루미늄 및 실리콘의 합금막, 또는 알루미늄 및 티타늄의 합금막, 및 질화 텉스텐막 또는 티타늄막을 적층하는 것이 바람직하다.

[0065] 또한, 산화 인듐, 산화 인듐-산화 주석 합금, 산화 인듐-산화 아연 합금, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 산화 아연 갈륨 등의 투광성의 산화물 도전막을 이용하여, 화소부의 개구율이 증가될 수 있다.

[0066] 이 명세서에서, 산화질화물은 질소보다 산소를 많이 함유하는 물질을 의미하고, 질화물 산화물은 산소보다 질소를 더 많이 함유하는 물질을 의미한다.

[0067] 게이트 전극(203)의 두께는 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 게이트 전극에 대해 100nm의 두께를 가진 도전막이 텉스텐 타겟을 이용하여 스퍼터링 방법에 의해 형성된 후에, 도전막이 원하는 형상을 가지도록 에칭함으로써 공정(패터닝)되어, 게이트 전극(203)이 형성된다.

[0068] 게이트 절연막(204)은 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 또는 산화 탄탈륨막의 단일층, 또는 플라즈마 CVD 방법, 스퍼터링 방법 등에 의한 그의 적층으로 형성될 수 있다. 이 실시예에서, 두께 100nm를 가진 산화질화 실리콘막은 게이트 절연막(204)으로 이용된다.

[0069] 산화물 반도체막이 타겟으로서 산화물 반도체를 이용하여 스퍼터링 방법에 의해 형성된 후에, 산화물 반도체막

은 에칭 등에 의해 원하는 형상으로 공정되어, 섬형 산화물 반도체막(205)이 형성된다. 산화물 반도체막은 희가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 포함하는 혼합된 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다. 섬형 산화물 반도체막(205)의 두께는 10nm 이상 300nm 이하, 바람직하게는 20nm 이상 100nm 이하이다.

[0070] 산화물 반도체막(205)으로서, 상술된 산화물 반도체가 이용될 수 있다.

[0071] 이 실시예에서, 산화물 반도체막(205)으로서, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 반도체 타겟 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$)을 이용하여 스퍼터링 방법에 의해 획득되는 50nm의 두께를 가진 In-Ga-Zn-O-계 비단 결정막이 이용된다.

[0072] 소스 전극 및 드레인 전극에 대한 도전막이 섬형 산화물 반도체막(205) 위에 형성된 후에, 도전막은 에칭 등에 의해 패터닝되어, 소스 전극(206) 및 드레인 전극(207)이 형성된다. 소스 전극(206) 및 드레인 전극(207)이 패터닝에 의해 형성될 때, 섬형 산화물 반도체막(205)의 노출된 부분은 일부 경우들에서 부분적으로 에칭된다. 이 경우, 산화물 반도체막(205)에서, 소스 전극(206)과 드레인 전극(207) 사이의 영역의 두께는 도 1a에 도시된 바와 같이, 소스 전극(206) 또는 드레인 전극(207)과 중첩하는 영역들의 두께보다 작게 된다.

[0073] 소스 전극 및 드레인 전극에 대한 도전막의 재료로서, 예를 들면, 티타늄, 텉스텐 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유하는 합금 등이 이용된다. 본 발명의 일 실시예의 반도체 장치에서, 소스 전극(206) 및 드레인 전극(207)에서, 섬형 산화물 반도체막(205)에 가장 가까운 적어도 일부는 티타늄, 텉스텐 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유하는 합금 등을 이용하여 형성될 수 있다. 따라서, 소스 전극(206) 및 드레인 전극(207)이 각각 복수의 금속막들이 적층된 구조를 갖는 경우에, 산화물 반도체막(205)과 접촉하는 금속막이 티타늄, 텉스텐 또는 몰리브덴을 이용하여 형성될 수 있고, 다른 금속막들이 다음의 예들 중 어느 하나를 이용하여 형성될 수 있다: 알루미늄, 크롬, 탄탈륨, 티타늄, 망간, 마그네슘, 몰리브덴, 텉스텐, 지르코늄, 베릴륨 및 이트륨으로부터 선택된 원소; 상기 원소들 중 하나 이상을 구성성분으로 함유한 합금; 상기 원소를 구성성분으로 함유한 질화물 등. 예를 들면, 티타늄막, 네오디뮴을 함유한 알루미늄 합금막, 및 티타늄막의 적층 구조를 갖는 도전막을 이용함으로써, 및 섬형 산화물 반도체막(205)에 가장 가까운 부분에서 티타늄막을 이용함으로써, 소스 전극(206) 및 드레인 전극(207)은 네오디뮴을 함유한 알루미늄 합금막에서 낮은 저항 및 높은 내열성을 가질 수 있다.

[0074] 소스 전극 및 드레인 전극에 대한 도전막의 형성 후에 열 처리가 수행되는 경우에, 도전막은 열 처리를 견디기에 충분한 내열성을 가지는 것이 바람직하다는 것을 유념한다. 도전막의 형성 후에 열 처리를 수행하는 경우, 도전막은, 알루미늄 단독이 낮은 내열성, 부식되기 쉬운 것 등의 문제들을 가지기 때문에 내열성 도전성 재료와 조합하여 형성된다. 알루미늄과 조합되는 내열성 도전성 재료로서, 다음의 재료가 이용되는 것이 바람직하다: 티타늄, 탄탈륨, 텉스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소; 이들 원소들 중 하나 이상을 구성성분으로 함유한 합금; 이들 원소들 중 어느 것을 구성성분으로 함유한 질화물 등.

[0075] 소스 전극 및 드레인 전극에 대한 도전막의 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 소스 전극 및 드레인 전극에 대한 도전막이 스퍼터링 방법에 의해 티타늄 타겟을 이용하여 형성된 후에, 도전막은 원하는 형상을 가지도록 에칭하여 공정(패터닝)되어, 소스 전극(206) 및 드레인 전극(207)이 형성된다.

[0076] 상기 구조를 갖는 소스 전극(206) 및 드레인 전극(207)을 형성함으로써, 소스 전극(206) 및 드레인 전극(207)에 가장 가까운 산화물 반도체막(205)의 영역에서의 산소가 추출되어, 산화물 반도체막(205)에 함유된 금속의 농도가 다른 영역들에서의 농도보다 높은 복합층들(250)(금속-리치층들)은 산화물 반도체막(205)에 형성된다. 추출된 산소는 소스 전극(206) 및 드레인 전극(207)에서 금속과 반응하여, 금속 산화막들(251)이 금속-리치 복합층(250)과 소스 전극(206) 사이, 및 금속-리치 복합층(250)과 드레인 전극(207) 사이에 형성된다. 금속-리치 복합층(250)의 두께는 2nm 이상 10nm 이하이고, 금속 산화막들(251)의 두께는 2nm 이상 10nm 이하이다.

[0077] 예를 들면, In-Ga-Zn-O-계 산화물 반도체가 산화물 반도체막(205)에 이용되는 경우, 인듐의 농도가 다른 영역들에서의 농도보다 높은 복합층들(250)(In-리치층들)은 소스 전극(206) 및 드레인 전극(207)에 가장 가까운 산화물 반도체막(205)의 영역들에 존재하여, 산화물 반도체막(205)에서 In-리치 복합층들(250)의 저항이 낮아진다. 티타늄이 소스 전극(206) 및 드레인 전극(207)에 이용되는 경우, 소스 전극(206)과 산화물 반도체막(205) 사이, 및 드레인 전극(207)과 산화물 반도체막(205) 사이에 형성되는 금속 산화막들(251)은 산화 티타늄(TiQx)을 함유하고 n형 도전성을 가진다. 따라서, 상기 구조로, 소스 전극(206)과 산화물 반도체막(205) 사이, 및 드레인 전

극(207)과 산화물 반도체막(205) 사이의 접촉 저항이 감소되고, TFT의 온-전류량 및 전계 효과 이동도가 증가될 수 있다.

[0078] 산화물 절연막(208)은 스퍼터링 방법에 의해 섬형 산화물 반도체막(205), 소스 전극(206), 및 드레인 전극(207)과 접촉되게 형성된다. 섬형 산화물 반도체막(205)과 접촉하는 산화물 절연막(208)은, 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막과 같이, 예를 들면, 수분, 수소, 및 수산기족과 같은 불순물들을 가능한 적게 함유하고, 외부에서 이들 불순물들의 진입을 차단하는 무기 절연막을 이용하여 형성되는 것이 바람직하다. 이 실시예에서, 300nm의 두께를 가진 산화 실리콘막은 산화물 절연막(208)으로서 형성되는 것이 바람직하다.

[0079] 산화물 절연막(208)이 스퍼터링 방법, PCVD 방법 등에 의해 산화물 반도체막(205)과 접촉하여 형성될 때, 산소는 적어도 산화물 절연막(208)과 접촉하는 산화물 반도체막(205)의 영역에 공급되고, 캐리어 농도가 낮아지기 때문에, 바람직하게 $1 \times 10^{18} / \text{cm}^3$ 보다 적은 값으로 낮아지기 때문에 저항이 높아진다; 결과적으로 고-저항 산화물 반도체 영역이 형성된다. 산화물 절연막(208)을 형성함으로써, 산화물 반도체막(205)은 산화물 반도체막(205)과 산화물 절연막(208) 사이의 인터페이스 주변에서 고-저항 산화물 반도체 영역을 가진다.

[0080] 도 1c에 도시된 바와 같이, 박막 트랜지스터(201)는 산화물 절연막(208) 위에 도전막(209)을 더 포함할 수 있음을 유념한다. 게이트 전극(203)에 대한 것과 유사한 재료 또는 적층 구조가 도전막(209)에 이용될 수 있다. 도전막(209)의 두께는 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 레지스트 마스크가 포토리소그래피 방법에 의해 형성되고, 도전막이 원하는 형상을 가지도록 공정(패터닝)된다. 도전막(209)은 산화물 반도체막(205)에서 채널 형성 영역과 중첩하도록 형성된다. 도전막(209)은 부동 상태, 즉 전기적으로 절연된 상태에 있을 수 있거나, 또는 전위가 주어지는 상태에 있을 수 있다. 후자의 경우, 게이트 전극(203)과 동일한 레벨을 갖는 전위 또는 접지 전위와 같은 고정된 전위가 도전막(209)에 주어질 수 있다. 도전막(209)에 주어지는 전위의 레벨을 제어함으로써, 박막 트랜지스터(201)의 임계 전압이 제어될 수 있다.

[0081] 또한, 도전막(209)을 형성하는 경우, 절연막(210)이 도전막(209)을 커버하도록 형성된다. 절연막(210)은 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막과 같이, 예를 들면 수분, 수소 및 수산기족과 같은 불순물들을 가능한 적게 함유하고, 외부에서 이들 불순물들의 진입을 차단하는 무기 절연막을 이용하여 형성된다.

[0082] 산화물 반도체를 이용한 박막 트랜지스터는 비정질 실리콘을 이용한 박막 트랜지스터에 비해 높은 이동도, 및 비정질 실리콘을 이용한 박막 트랜지스터의 특성들과 유사한 균일 원소 특성들을 가진다. 따라서, 산화물 반도체는 화소부뿐만 아니라, 화소부보다 높은 구동 주파수를 갖는 구동 회로를 형성하는 반도체 소자에도 이용될 수 있다. 시스템-온-패널(system-on-panel)은 결정화 등의 공정 없이 실현될 수 있다.

[0083] 이 실시예는 상기 실시예와 조합하여 구현될 수 있다.

[0084] (실시예 3)

[0085] 이 실시예에서, 실시예 2에 도시된 박막 트랜지스터(201)의 구조와 상이한 하부-접촉 박막 트랜지스터의 구조가 기술된다. 실시예 2에서와 동일한 부분들 또는 실시예 2에서와 유사한 기능들을 갖는 부분들에 대해, 실시예 2가 참조될 수 있고, 그 반복 기술은 생략된다.

[0086] 도 12a는 박막 트랜지스터(211)의 단면도를 도시하고, 도 12b는 도 12a에 도시된 박막 트랜지스터(211)의 상면도를 도시한다. 도 12b에서 접선 B1-B2를 따라 취해진 단면도는 도 12a에 대응하는 것을 유념한다.

[0087] 박막 트랜지스터(211)는 절연 표면을 갖는 기판(212) 위에 형성된 게이트 전극(213), 게이트 전극(213) 위에 형성된 게이트 절연막(214), 게이트 절연막(214) 위에 형성된 소스 전극(216) 또는 드레인 전극(217), 소스 전극(216) 또는 드레인 전극(217)과 접촉하는 금속 산화막들(261), 및 게이트 전극(213)과 중첩하고 산화물 반도체에 함유된 하나 또는 복수의 금속들의 농도가 다른 영역들에서의 농도보다 높은 복합층들(260)을 포함하는 산화물 반도체막(215)을 포함한다. 복합층들(260)은 금속 산화막들(261)과 접촉한다. 또한, 박막 트랜지스터(211)는 산화물 반도체막(215) 위에 형성된 산화물 절연막(218)을 구성요소로서 포함할 수 있다. 금속 산화막들(261)은 소스 전극(216) 및 드레인 전극(217)에 함유되는 금속의 산화에 의해 형성된다.

[0088] 베이스막으로서 절연막이 게이트 전극(213)과 기판(212) 사이에 제공될 수 있다. 베이스막은 실시예 2에서의 것들과 유사한 재료 및 적층 구조를 이용하여 형성될 수 있다. 그 외에도, 게이트 전극(213)은 실시예 2에서의 것들과 유사한 재료 및 적층 구조를 이용하여 형성될 수 있다.

- [0089] 게이트 전극(213)의 두께는 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 게이트 전극에 대해 100nm의 두께를 가진 도전막이 텅스텐 타겟을 이용하여 스퍼터링 방법에 의해 형성된 후에, 도전막이 원하는 형상을 가지도록 에칭하여 공정(페터닝)되어, 게이트 전극(213)이 형성된다.
- [0090] 게이트 절연막(214)은 실시예 2에서의 것들과 유사한 재료 및 적층 구조 및 실시예 2에 도시된 제조 방법을 이용하여 형성될 수 있다. 이 실시예에서, 100nm의 두께를 가진 산화질화 실리콘막이 게이트 절연막(204)으로서 이용된다.
- [0091] 소스 전극 및 드레인 전극에 대한 도전막이 게이트 절연막(214) 위에 형성된 후에, 도전막은 에칭 등에 의해 패터닝되어, 소스 전극(216) 및 드레인 전극(217)이 형성된다.
- [0092] 소스 전극 및 드레인 전극에 대한 도전막의 재료로서, 예를 들면, 티타늄, 텅스텐 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유한 합금 등이 이용될 수 있다. 본 발명의 일 실시예의 반도체 장치에서, 소스 전극(216) 및 드레인 전극(217)에서, 나중에 형성될 섬형 산화물 반도체막(215)에 가장 가까운 적어도 일부가 티타늄, 텅스텐, 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유한 합금 등이 이용하여 형성될 수 있다. 따라서, 소스 전극(216) 및 드레인 전극(217)이 각각 복수의 금속막들이 적층되는 구조를 가지는 경우, 산화물 반도체막(215)과 접촉하는 금속막이 티타늄, 텅스텐, 또는 몰리브덴을 이용하여 형성될 수 있고, 다른 금속막들이 다음의 예들 중 어느 것을 이용하여 형성될 수 있다: 알루미늄, 크롬, 탄탈륨, 티타늄, 망간, 마그네슘, 몰리브덴, 텅스텐, 지르코늄, 베릴륨 및 이트륨으로부터 선택된 원소; 상기 원소들 중 하나 이상을 구성성분으로 함유한 합금; 상기 원소를 구성성분으로 함유한 질화물 등. 예를 들면, 티타늄막, 네오디뮴을 함유한 알루미늄 합금막, 및 티타늄막의 적층 구조를 갖는 도전막을 이용함으로써, 및 섬형 산화물 반도체막(215)에 가장 가까운 부분에서 티타늄막을 이용함으로써, 소스 전극(216) 및 드레인 전극(217)은 네오디뮴을 함유한 알루미늄 합금막에서 낮은 저항 및 높은 내열성을 가질 수 있다.
- [0093] 소스 전극 및 드레인 전극에 대한 도전막의 형성 후에 열 처리가 수행되는 경우에, 도전막은 열 처리를 견디기에 충분한 내열성을 가지는 것이 바람직하다는 것을 유념한다. 도전막의 형성 후에 열 처리를 수행하는 경우, 도전막은, 알루미늄 단독이 낮은 내열성, 부식되기 쉬운 것 등의 문제들을 가지기 때문에 내열성 도전성 재료와 조합하여 형성된다. 알루미늄과 조합되는 내열성 도전성 재료로서, 다음의 재료가 이용되는 것이 바람직하다: 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 원소; 이들 원소들 중 하나 이상을 구성성분으로 함유한 합금; 이들 원소들 중 어느 것을 구성성분으로 함유한 질화물 등.
- [0094] 하부-접촉 박막 트랜지스터의 소스 전극(216) 및 드레인 전극(217)은 나중에 형성되는 산화물 반도체막(215)의 파손을 방지하기 위해 실시예 2에 도시된 하부-게이트 트랜지스터의 것보다 얇은 것이 바람직하다. 특히, 소스 전극(216) 및 드레인 전극(217)의 두께는 10nm 내지 200nm이고, 바람직하게는 50nm 내지 75nm이다. 이 실시예에서, 소스 전극 및 드레인 전극에 대한 도전막이 티타늄 타겟을 이용하여 스퍼터링 방법에 의해 형성된 후에, 도전막은 에칭에 의해 원하는 형상을 가지도록 공정(페터닝)되어, 소스 전극(216) 및 드레인 전극(217)이 형성된다.
- [0095] 섬형 산화물 반도체막(215)은 소스 전극(216) 및 드레인 전극(217) 위에서 게이트 전극(213)과 중첩하는 위치에서 게이트 절연막(214)과 접촉되도록, 실시예 2에서의 재료와 유사한 재료 및 실시예 2에 도시된 제조 방법을 이용하여 형성될 수 있다.
- [0096] 이 실시예에서, 산화물 반도체막(215)으로서, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 반도체 타겟 ($In_2O_3:Ga_2O_3:ZnO = 1:1:1$)을 이용하여 스퍼터링 방법에 의해 획득되는 50nm의 두께를 가진 In-Ga-Zn-O-계 비단 결정막이 이용된다.
- [0097] 소스 전극(216) 및 드레인 전극(217) 위에 상기 구조를 갖는 산화물 반도체막(215)을 형성함으로써, 소스 전극(216) 및 드레인 전극(217)에 가장 가까운 산화물 반도체막(215)의 영역에서의 산소가 추출되어, 산화물 반도체막(215)에 함유된 금속의 농도가 다른 영역들에서의 농도보다 높은 복합층들(260)(금속-리치층들)은 산화물 반도체막(215)에 형성된다. 추출된 산소는 소스 전극(216) 및 드레인 전극(217)에서 금속과 반응하여, 금속 산화막들(261)이 금속-리치 복합층(260)과 소스 전극(216) 사이, 및 금속-리치 복합층(260)과 드레인 전극(217) 사이에 형성된다. 금속-리치 복합층(260)의 두께는 2nm이상 10nm 이하이고, 금속 산화막들(261)의 두께는 2nm 이상 10nm 이하이다.
- [0098] 예를 들면, In-Ga-Zn-O-계 산화물 반도체가 산화물 반도체막(215)에 이용되는 경우, 인듐의 농도가 다른 영역들에서의 농도보다 높은 복합층들(260)(In-리치층들)은 소스 전극(216) 및 드레인 전극(217)에 가장 가까운 산화

물 반도체막(215)의 영역들에 존재하여, 산화물 반도체막(215)에서 In-리치 복합층들(260)의 저항이 낮아진다. 티타늄이 소스 전극(216) 및 드레인 전극(217)에 이용되는 경우, 소스 전극(216)과 산화물 반도체막(215) 사이, 및 드레인 전극(217)과 산화물 반도체막(215) 사이에 형성되는 금속 산화막들(261)은 산화 티타늄(TiQx)을 함유하고 n형 도전성을 가진다. 따라서, 상기 구조로, 소스 전극(216)과 산화물 반도체막(215) 사이, 및 드레인 전극(217)과 산화물 반도체막(215) 사이의 접촉 저항이 감소되고, TFT의 온-전류량 및 전계 효과 이동도가 증가될 수 있다.

[0099] 산화물 절연막(218)은 스퍼터링 방법에 의해 섬형 산화물 반도체막(215)과 접촉되게 형성된다. 산화물 절연막(218)은 실시예 2에서의 것들과 유사한 재료 및 적층 구조, 및 실시예 2에 도시된 제조 방법을 이용하여 형성될 수 있다. 이 실시예에서, 300nm의 두께를 가진 산화 실리콘막이 산화물 절연막(218)으로서 형성된다.

[0100] 도 12c에 도시된 바와 같이, 박막 트랜지스터(211)는 산화물 절연막(218) 위에 도전막(219)을 더 포함할 수 있음을 유념한다. 게이트 전극(213)에 대한 것과 유사한 재료 또는 적층 구조는 도전막(219)에 이용될 수 있다. 도전막(219)의 두께는 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 레지스트 마스크가 포토리소그래피 방법에 의해 형성되고, 도전막이 원하는 형상을 가지도록 공정(패터닝)된다. 도전막(219)은 산화물 반도체막(215)에서 채널 형성 영역과 중첩하도록 형성된다. 도전막(219)은 플로팅 상태, 즉 전기적으로 절연된 상태에 있을 수 있거나, 또는 전위가 주어지는 상태에 있을 수 있다. 후자의 경우, 게이트 전극(213)과 동일한 레벨을 갖는 전위 또는 접지 전위와 같은 고정된 전위가 도전막(219)에 주어질 수 있다. 도전막(219)에 주어지는 전위의 레벨을 제어함으로써, 박막 트랜지스터(211)의 임계 전압이 제어될 수 있다.

[0101] 또한, 도전막(219)을 형성하는 경우, 절연막(220)이 도전막(219)을 커버하도록 형성된다. 절연막(220)은 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막과 같이, 예를 들면 수분, 수소 및 수산기족과 같은 불순물들을 가능한 적게 함유하고, 외부에서 이들 불순물들의 진입을 차단하는 무기 절연막을 이용하여 형성된다.

[0102] 산화물 반도체를 이용한 박막 트랜지스터는 비정질 실리콘을 이용한 박막 트랜지스터에 비해 높은 이동도, 및 비정질 실리콘을 이용한 박막 트랜지스터의 특성들과 유사한 균일 원소 특성들을 가진다. 따라서, 산화물 반도체는 화소부뿐만 아니라, 화소부보다 높은 구동 주파수를 갖는 구동 회로를 형성하는 반도체 소자에도 이용될 수 있다. 시스템-온-패널은 결정화 등의 공정 없이 실현될 수 있다.

[0103] 이 실시예는 상기 실시예들 중 어느 것과 조합하여 구현될 수 있다.

[0104] (실시예 4)

[0105] 이 실시예에서, 실시예 2에 도시된 박막 트랜지스터(201)의 구조 또는 실시예 3에 도시된 박막 트랜지스터(211)와 상이한 채널-보호 구조를 가진 하부-게이트 박막 트랜지스터의 구조가 기술된다. 실시예 2에서와 동일한 부분들 또는 실시예 2에서와 유사한 기능들을 갖는 부분들에 대해, 실시예 2가 참조될 수 있고, 그 반복 기술은 생략된다.

[0106] 도 13a는 박막 트랜지스터(221)가 단면도를 도시하고, 도 13b는 도 13a에 도시된 박막 트랜지스터(221)의 상면도를 도시한다. 도 13b에서 점선 C1-C2를 따라 취해진 단면도는 도 13a에 대응하는 것을 유념한다.

[0107] 박막 트랜지스터(221)는 절연 표면을 갖는 기판(222) 위에 형성된 게이트 전극(223), 게이트 전극(223) 위에 형성된 게이트 절연막(224), 게이트 절연막(224) 위에서 게이트 전극(223)과 중첩하고, 산화물 반도체에 함유된 하나 또는 복수의 금속들의 농도가 다른 영역들에서의 농도보다 높은 복합층들(270)을 포함하는 산화물 반도체막(225), 산화물 반도체막(225) 위에 형성되어 복합층들(270)과 접촉하는 한 쌍의 금속 산화막들(271), 금속 산화막들(271)과 접촉하는 소스 전극(226) 또는 드레인 전극(227), 및 게이트 전극(223)과 중첩하는 위치에서 섬형 산화물 반도체막(225) 위에 형성되는 채널 보호막(231)을 포함한다. 또한, 박막 트랜지스터(221)는 산화물 반도체막(225) 위에 형성된 산화물 절연막(228)을 구성요소로서 포함할 수 있다. 금속 산화막들(271)은 소스 전극(226) 및 드레인 전극(227)에 함유된 금속의 산화에 의해 형성된다.

[0108] 베이스막으로서 절연막이 게이트 전극(223)과 기판(222) 사이에 제공될 수 있다. 베이스막은 실시예 2에서의 것들과 유사한 재료 및 적층 구조를 이용하여 형성될 수 있다. 그 외에도, 게이트 전극(223)은 실시예 2에서의 것들과 유사한 재료 및 적층 구조들을 이용하여 형성될 수 있다.

[0109] 게이트 전극(223)의 두께는 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 게이트 전극에 대해 100nm의 두께를 가진 도전막이 텅스텐 타겟을 이용하여 스퍼터링 방법에 의해 형성된 후에, 도전막

이 원하는 형상을 가지도록 에칭하여 공정(페터닝)되어, 게이트 전극(223)이 형성된다.

[0110] 게이트 절연막(224)은 실시예 2에서의 것들과 유사한 재료 및 적층 구조 및 실시예 2에 도시된 제조 방법을 이용하여 형성될 수 있다. 이 실시예에서, 100nm의 두께를 가진 산화질화 실리콘막이 게이트 절연막(224)으로서 이용된다.

[0111] 섬형 산화물 반도체막(225)이 게이트 전극(223)과 중첩하는 위치에서 게이트 절연막(224) 위에서, 실시예 2에서와 동일한 재료 및 실시예 2에 기술된 제조 방법을 이용하여 형성될 수 있다.

[0112] 이 실시예에서, 산화물 반도체막(225)으로서, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물 반도체 타겟 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$)을 이용하여 스퍼터링 방법에 의해 획득되는 50nm의 두께를 가진 In-Ga-Zn-O-계 비단 결정막이 이용된다.

[0113] 채널 보호막(231)이 채널 형성 영역이 될 부분과 중첩하는 섬형 산화물 반도체막(225)의 위치, 즉 게이트 전극(223)과 중첩하는 위치에서 섬형 산화물 반도체(225) 위에 형성된다. 채널 보호막(231)은, 나중에 채널 형성 영역의 역할을 하는 산화물 반도체막(225)의 일부가 나중 단계에서 손상되는 것(예를 들면, 플라즈마 또는 에칭시에 천트로 인한 두께의 감소)을 방지할 수 있다. 따라서, 박막 트랜지스터의 신뢰도가 개선될 수 있다.

[0114] 채널 보호막(231)은 산소를 함유하는 무기 재료(예를 들면, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 알루미늄 또는 산화질화 알루미늄)를 이용하여 형성될 수 있다. 채널 보호막(231)은 플라즈마 CVD 방법 또는 열 CVD 방법 또는 스퍼터링 방법과 같은 기상 증착 방법에 의해 형성될 수 있다. 채널 보호막(231)의 형성 후, 그 형상은 에칭에 의해 처리된다. 여기서, 채널 보호막(231)은 산화 실리콘막이 스퍼터링에 의해 형성되고 포토리소그래피에 의해 형성된 마스크를 이용하여 에칭에 의해 처리되는 방식으로 형성된다.

[0115] 산화물 절연막인 채널 보호막(231)이 스퍼터링 방법, PCVD 방법 등에 의해 섬형 산화물 반도체막(225)과 접촉되게 형성될 때, 산소가 채널 보호막(231)으로부터 공급된다. 적어도 채널 보호막(231)과 접촉하는 섬형 산화물 반도체막(225)의 영역에서의 캐리어 농도는 바람직하게 $1 \times 10^{18}/\text{cm}^3$ 보다 적고, 바람직하게는 $1 \times 10^{14}/\text{cm}^3$ 이하이고, 저항이 높아져서, 고저항 산화물 반도체 영역으로 된다. 채널 보호막(231)의 형성에 의해, 산화물 반도체막(225)은 산화물 반도체막(225)과 채널 보호막(231) 사이의 인터페이스 주변에서 고저항 산화물 반도체 영역을 가질 수 있다.

[0116] 소스 전극 및 드레인 전극에 대한 도전막이 섬형 산화물 반도체막(225) 및 채널 보호막(231) 위에 형성된 후에, 도전막은 에칭 등에 의해 페터닝되어, 소스 전극(226) 및 드레인 전극(227)이 형성된다.

[0117] 소스 전극 및 드레인 전극에 대한 도전막의 재료로서, 예를 들면, 티타늄, 텉스텐 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유하는 합금 등이 이용된다. 본 발명의 일 실시예의 반도체 장치에서, 소스 전극(226) 및 드레인 전극(227)에서, 섬형 산화물 반도체막(225)에 가장 가까운 적어도 일부는 티타늄, 텉스텐, 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유하는 합금 등을 이용하여 형성될 수 있다. 따라서, 소스 전극(226) 및 드레인 전극(227)이 각각 복수의 금속막들이 적층된 구조를 갖는 경우에, 산화물 반도체막(225)과 접촉하는 금속막이 티타늄, 텉스텐 또는 몰리브덴을 이용하여 형성될 수 있고, 다른 금속막들이 다음의 예들 중 어느 하나를 이용하여 형성될 수 있다: 알루미늄, 크롬, 탄탈륨, 티타늄, 망간, 마그네슘, 몰리브덴, 텉스텐, 지르코늄, 베릴륨 및 이트륨으로부터 선택된 원소; 상기 원소들 중 하나 이상을 구성성분으로 함유한 합금; 상기 원소를 구성성분으로 함유한 질화물 등. 예를 들면, 티타늄막, 네오디뮴을 함유한 알루미늄 합금막, 및 티타늄막의 적층 구조를 갖는 도전막을 이용함으로써, 및 섬형 산화물 반도체막(225)에 가장 가까운 부분에서 티타늄막을 이용함으로써, 소스 전극(226) 및 드레인 전극(227)은 네오디뮴을 함유한 알루미늄 합금막에서 낮은 저항 및 높은 내열성을 가질 수 있다.

[0118] 소스 전극 및 드레인 전극에 대한 도전막의 형성 후에 열 처리가 수행되는 경우에, 도전막은 열 처리를 견디기 위해 충분한 내열성을 가지는 것이 바람직하다는 것을 유념한다. 도전막의 형성 후에 열 처리를 수행하는 경우, 도전막은, 알루미늄 단독이 낮은 내열성, 부식되기 쉬운 것 등의 문제들을 가지기 때문에 내열성 도전성 재료와 조합하여 형성된다. 알루미늄과 조합되는 내열성 도전성 재료로서, 다음의 재료가 이용되는 것이 바람직하다: 티타늄, 탄탈륨, 텉스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소; 이들 원소들 중 하나 이상을 구성성분으로 함유한 합금; 이들 원소들 중 어느 것을 구성성분으로 함유한 질화물 등.

[0119] 소스 전극 및 드레인 전극에 대한 도전막의 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 소스 전극 및 드레인 전극에 대한 도전막이 스퍼터링 방법에 의해 티타늄 타겟을 이용하여 형성된

후에, 도전막은 원하는 형상을 가지도록 예칭에 의해 처리(페터닝)되어, 소스 전극(226) 및 드레인 전극(227)이 형성된다.

[0120] 상기 구조를 갖는 소스 전극(226) 및 드레인 전극(227)을 형성함으로써, 소스 전극(226) 및 드레인 전극(227)에 가장 가까운 산화물 반도체막(225)의 영역에서의 산소가 추출되어, 산화물 반도체막(225)에 함유된 금속의 농도가 다른 영역들에서의 농도보다 높은 복합층들(270)(금속-리치층들)은 산화물 반도체막(225)에 형성된다. 추출된 산소는 소스 전극(226) 및 드레인 전극(227)에서 금속과 반응하여, 금속 산화막들(271)이 금속-리치 복합층(270)과 소스 전극(226) 사이, 및 금속-리치 복합층(270)과 드레인 전극(227) 사이에 형성된다. 금속-리치 복합층(270)의 두께는 2nm이상 10nm 이하이고, 금속 산화막들(271)의 두께는 2nm 이상 10nm 이하이다.

[0121] 예를 들면, In-Ga-Zn-O-계 산화물 반도체가 산화물 반도체막(225)에 이용되는 경우, 인듐의 농도가 다른 영역들에서의 농도보다 높은 복합층들(270)(In-리치층들)은 소스 전극(226) 및 드레인 전극(227)에 가장 가까운 산화물 반도체막(225)의 영역들에 존재하여, 산화물 반도체막(225)에서 In-리치 복합층들(270)의 저항이 낮아진다. 티타늄이 소스 전극(226) 및 드레인 전극(227)에 이용되는 경우, 소스 전극(226)과 산화물 반도체막(225) 사이, 및 드레인 전극(227)과 산화물 반도체막(225) 사이에 형성되는 금속 산화막들(271)은 산화 티타늄(TiQx)을 함유하고 n형 도전성을 가진다. 따라서, 상기 구조로, 소스 전극(226)과 산화물 반도체막(225) 사이, 및 드레인 전극(227)과 산화물 반도체막(225) 사이의 접촉 저항이 감소되고, TFT의 온-전류량 및 전계 효과 이동도가 증가될 수 있다.

[0122] 산화물 절연막(228)은 스퍼터링 방법에 의해 소스 전극(226) 및 드레인 전극(227)과 접촉되게 형성된다. 산화물 절연막(228)은 실시예 2에서의 것들과 유사한 재료 및 적층 구조, 및 실시예 2에 도시된 제조 방법을 이용하여 형성될 수 있다. 채널 보호막(231)이 형성될 때, 산화물 절연막(228)은 반드시 형성될 필요가 없음을 유념한다.

[0123] 도 13c에 도시된 바와 같이, 박막 트랜지스터(221)는 산화물 절연막(228) 위에 도전막(229)을 더 포함할 수 있음을 유념한다. 게이트 전극(223)에 대한 것과 유사한 재료 또는 적층 구조가 도전막(229)에 이용될 수 있다. 도전막(229)의 두께는 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 레지스트 마스크가 포토리소그래피 방법에 의해 형성되고, 도전막이 원하는 형상을 가지도록 처리(페터닝)된다. 도전막(229)은 산화물 반도체막(225)에서 채널 형성 영역과 중첩하도록 형성된다. 도전막(229)은 플로팅 상태, 즉 전기적으로 절연된 상태에 있을 수 있거나, 또는 전위가 주어지는 상태에 있을 수 있다. 후자의 경우, 게이트 전극(223)과 동일한 레벨을 갖는 전위 또는 접지 전위와 같은 고정된 전위가 도전막(229)에 주어질 수 있다. 도전막(229)에 주어지는 전위의 레벨을 제어함으로써, 박막 트랜지스터(221)의 임계 전압이 제어될 수 있다.

[0124] 또한, 도전막(229)을 형성하는 경우, 절연막(230)이 도전막(229)을 커버하도록 형성된다. 절연막(230)은 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막과 같이, 예를 들면 수분, 수소 및 수산기족과 같은 불순물들을 가능한 적게 함유하고, 외부에서 이들 불순물들의 진입을 차단하는 무기 절연막을 이용하여 형성된다.

[0125] 산화물 반도체를 이용한 박막 트랜지스터는 비정질 실리콘을 이용한 박막 트랜지스터에 비해 높은 이동도, 및 비정질 실리콘을 이용한 박막 트랜지스터의 특성들과 유사한 균일 소자 특성들을 가진다. 따라서, 산화물 반도체는 화소부뿐만 아니라, 화소부보다 높은 구동 주파수를 갖는 구동 회로를 형성하는 반도체 소자에도 이용될 수 있다. 시스템-온-패널은 결정화 등의 처리 없이 실현될 수 있다.

[0126] 이 실시예는 상기 실시예들 중 어느 것과 조합하여 구현될 수 있다.

[0127] (실시예 5)

[0128] 이 실시예에서, 본 발명의 반도체 표시 장치인, 전자 페이퍼 또는 디지털 페이퍼라고도 칭해지는 반도체 표시 장치의 구조가 기술된다.

[0129] 전압 인가에 의해 그레이스케일을 제어할 수 있고 메모리 속성을 갖는 표시 소자가 전자 페이퍼에 이용된다. 특히, 전자 페이퍼에 이용되는 표시 소자에서, 비수계 전기영동 표시 소자(non-aqueous electro phoretic display element)와 같은 표시 소자; 액정 액적들(liquid crystal droplets)이 두 전극들 사이에 있는 고 중합체 재료에서 분산되는 PDLC(polymer dispersed liquid crystal) 방법을 이용하는 표시 소자; 두 전극들 사이에 키랄 네마틱 액정(chiral nematic liquid crystal) 또는 콜레스테릭 액정을 포함하는 표시 소자; 두 전극들 사이에 하전 미립자들을 포함하고, 하전 미립자들이 전계를 이용하여 미립자들을 통해 이동되는 입자-이동 방법을 채용하는 표시 소자 등이 이용될 수 있다. 또한, 비수계 전기영동 표시 소자는, 하전 미립자들이 분산되는 분산액이 두 전극들 사이에 개재되는 표시 소자; 하전 미립자들이 분산되는 분산액이 절연막이 사이에 개재된 두 전

극들 위에 포함되는 표시 소자; 상이하게 하전된 상이한 컬러들인 반구들을 갖는 트위스팅 볼들이 두 전극들 사이의 용매에 분산되는 표시 소자; 복수의 하전 미립자들이 용액에 분산되는 마이크로캡슐들을 두 전극들 사이에 포함하는 표시 소자 등이 될 수 있다.

- [0130] 도 14a는 전자 페이퍼의 화소부(700), 신호선 구동 회로(701), 및 주사선 구동 회로(702)의 상면도를 도시한다.
- [0131] 화소부(700)는 복수의 화소들(703)을 포함한다. 또한, 복수의 신호선들(707)이 신호선 구동 회로(701)에서 화소부(700)로 안내된다. 복수의 주사선들(708)은 주사선 구동 회로(702)에서 화소부(700)로 안내된다.
- [0132] 화소들(703)의 각각은 트랜지스터(704), 표시 소자(705) 및 저장 커패시터(706)를 포함한다. 트랜지스터(704)의 게이트 전극은 주사선들(708) 중 하나에 접속된다. 또한, 트랜지스터(704)의 소스 전극 및 드레인 전극 중 하나는 신호선들(707) 중 하나에 접속되고, 트랜지스터(704)의 소스 전극 및 드레인 전극 중 다른 하나는 표시 소자(705)의 화소 전극에 접속된다.
- [0133] 도 14a에서, 저장 커패시터(706)는, 표시 소자(705)의 화소 전극과 대향 전극 사이에 인가된 전압이 저장되도록 표시 소자(705)에 별도로 접속되는 것을 유념한다; 그러나, 표시 소자(705)의 메모리 속성이 표시가 유지될 만큼 높은 경우에, 저장 커패시터(706)는 반드시 제공될 필요가 없다.
- [0134] 스위칭 소자의 역할을 하는 일 트랜지스터가 각각의 화소에 제공되는 활성 매트릭스 화소부의 구조가 도 14a에 기술되었지만, 본 발명의 일 실시예인 전자 페이퍼는 이 구조에 제한되지 않음을 유념한다. 복수의 트랜지스터들은 각각의 화소에 제공될 수 있다. 또한, 트랜지스터들 외에도, 커패시터들, 저항들, 코일들 등과 같은 소자들이 또한 접속될 수 있다.
- [0135] 마이크로캡슐들을 포함하는 전기영동 시스템의 전자 페이퍼가 일례로서 주어진다. 도 14b는 화소들(703)마다 제공되는 표시 소자(705)의 단면도를 도시한다.
- [0136] 표시 소자(705)는 화소 전극(710), 대향 전극(711), 및 전압이 화소 전극(710) 및 대향 전극(711)에 인가되는 마이크로캡슐들(712)을 포함한다. 트랜지스터(704)의 소스 전극 또는 드레인 전극(713)이 화소 전극(710)에 접속된다.
- [0137] 마이크로캡슐들(712)에서, 산화 티타늄과 같은 양으로 하전된 백색 안료와, 카본 블랙과 같은 음으로 하전된 흑색 안료가 오일과 같은 분산 매체와 함께 밀봉된다. 전압이 화소 전극(710)에 인가된 비디오 신호의 전압에 따라 화소 전극과 대향 전극 사이에 인가되고, 흑색 안료 및 백색 안료가 양 전극쪽 및 음 전극쪽에 각각 유인된다. 따라서 그레이스케일이 표시될 수 있다.
- [0138] 또한, 도 14b에서, 마이크로캡슐들(712)은 화소 전극(710)과 대향 전극(711) 사이에서 투광성 수지(714)에 의해 고정된다. 그러나 본 발명은 이 구조에 제한되지 않는다. 마이크로캡슐들(712), 화소 전극(710), 및 대향 전극(711)에 의해 형성된 공간은 비활성 기체와 같은 기체 또는 공기로 충전될 수 있다. 이 경우, 마이크로캡슐들(712)은 접착제 등에 의해 화소 전극(710) 및/또는 대향 전극(711) 중 어느 하나 또는 둘다에 고정되는 것이 바람직함을 유념한다.
- [0139] 그 외에도, 표시 소자(705)에 포함되는 마이크로캡슐들(712)의 수는 도 14b에서와 같이 반드시 복수일 필요는 없다. 하나의 표시 소자(705)가 복수의 마이크로캡슐들(712)을 포함할 수 있거나, 또는 복수의 표시 소자들(705)이 하나의 마이크로캡슐(712)을 포함할 수 있다. 예를 들면, 2개의 표시 소자(705)는 하나의 마이크로캡슐(712)을 공유하고, 양의 전압 및 음의 전압이 표시 소자들(705) 중 하나에 포함된 화소 전극(710) 및 표시 소자들(705) 중 다른 하나에 포함된 화소 전극(710)에 각각 인가된다. 이 경우, 양의 전압이 인가되는 화소 전극(710)과 중첩하는 영역에서의 마이크로캡슐(712)에서, 화소 전극(710)쪽에 흑색 안료가 유인되고, 대향 전극(711)쪽에 백색 안료가 유인된다. 반대로, 음의 전압이 인가되는 화소 전극(710)과 중첩하는 영역에서의 마이크로캡슐(712)에서, 화소 전극(710)쪽에 백색 안료가 유인되고, 대향 전극(711)쪽에 흑색 안료가 유인된다.
- [0140] 다음에, 전자 페이퍼의 특정 구동 방법이 전기영동 시스템의 상기 전자 페이퍼의 예를 취하여 기술된다.
- [0141] 초기화 기간, 기록 기간, 및 유지 기간에서 전자 페이퍼의 동작이 별도로 기술될 수 있다.
- [0142] 먼저, 표시 화상이 스위칭되기 전의 초기화 기간에서, 화소부에서의 화소들의 각각의 그레이스케일 레벨들은 표시 소자들을 초기화하기 위해 일시적으로 동일하게 설정된다. 그레이스케일 레벨의 초기화는 잔상을 방지한다. 특히, 전기영동 시스템에서, 표시된 그레이스케일 레벨은 각각의 화소의 표시가 백색 또는 흑색이 되도록 표시 소자(705)에 포함되는 마이크로캡슐(712)에 의해 조정된다.

- [0143] 이 실시예에서, 흑색을 표시하기 위한 초기화 비디오 신호가 화소에 입력되고 백색을 표시하기 위한 초기화 비디오 신호가 화소에 입력된 후의 경우에 초기화의 동작이 기술된다. 예를 들면, 화상을 표시하는 전기영동 시스템의 전자 페이퍼가 대향 전극(711)쪽으로 수행될 때, 마이크로캡슐(712)에서의 흑색 안료가 대향 전극(711)쪽으로 이동하고 마이크로캡슐(712)에서의 백색 안료가 화소 전극(710)쪽으로 이동하도록, 표시 소자(705)에 전압이 인가된다. 다음에, 마이크로캡슐(712)에서의 백색 안료가 대향 전극(711)쪽으로 이동하고 마이크로캡슐(712)에서의 흑색 안료가 화소 전극(710)쪽으로 이동하도록, 전압이 표시 소자(705)에 인가된다.
- [0144] 또한, 초기화 기간 전에 표시된 그레이스케일 레벨에 의존하여, 화소에 대한 초기화 비디오 신호의 단 1회 입력은 마이크로캡슐(712)에서의 백색 안료 및 흑색 안료의 이동이 중단할 가능성이 있고, 초기화 기간이 종료된 후에도 화소들의 표시된 그레이스케일 레벨들 사이의 차를 유발할 수 있다. 따라서, 흑색이 표시되도록 공통 전압 Vcom에 대한 음의 전압 -Vp가 화소 전극(710)에 복수 번 인가되고, 백색이 표시되도록 공통 전압 Vcom에 대한 양의 전압 Vp가 화소 전극(710)에 복수 번 인가되는 것이 바람직하다.
- [0145] 초기화 기간 전에 표시된 그레이스케일 레벨들이 화소들의 각각의 표시 소자들에 의존하여 상이할 때, 초기화 비디오 신호를 입력하기 위한 최소 횟수도 또한 변한다는 것을 유념한다. 따라서, 초기화 비디오 신호를 입력하기 위한 횟수는 초기화 기간 전에 표시된 그레이스케일 레벨에 따라 화소들 사이에서 변경될 수 있다. 이 경우, 공통 전압 Vcom은 초기화 비디오 신호가 반드시 입력될 필요가 없는 화소에 입력되는 것이 바람직하다.
- [0146] 초기화 비디오 신호인 전압 Vp 또는 전압 -Vp가 화소 전극(710)에 복수 번 인가되기 위하여, 다음의 동작 순서가 복수 번 수행됨을 유념한다: 초기화 비디오 신호는 선택 신호의 펄스가 각각의 주사선에 공급되는 동안의 기간에 주사선을 포함하는 라인의 화소에 입력된다. 초기화 비디오 신호의 전압 Vp 또는 전압 -Vp가 화소 전극(710)에 복수 번 인가되고, 그에 의해 화소들 사이의 그레이스케일 레벨들의 차의 생성을 방지하기 위하여 마이크로캡슐(712)에서의 백색 안료 및 흑색 안료의 이동이 수렴된다. 따라서, 화소부에서의 화소의 초기화가 수행될 수 있다.
- [0147] 초기화 기간에서의 각각의 화소에서, 백색 후에 흑색이 표시되는 경우뿐만 아니라, 흑색 후에 백색이 표시되는 경우가 수용 가능하다는 것을 유념한다. 대안적으로, 초기화 기간에서의 각각의 화소에서, 백색이 표시된 후에 흑색이 표시되고; 그 다음 그 후에 백색이 표시되는 경우가 또한 수용 가능하다.
- [0148] 또한, 화소부에서의 모든 화소들에 대해, 초기화 기간을 시작하는 시간은 반드시 동일할 필요가 없다. 예를 들면, 초기화 기간을 시작하는 시간은 화소마다 또는 동일한 라인에 속하는 화소마다 등 상이할 수 있다.
- [0149] 다음에, 기록 기간에서, 화상 데이터를 갖는 비디오 신호가 화소에 입력된다.
- [0150] 화상이 전체 화소부 상에 표시되는 경우에, 한 프레임 기간에서, 전압의 펄스가 시프트되는 선택 시간이 모든 주사선들에 순차적으로 입력된다. 그 후에, 펄스가 선택 신호에 나타나는 일 라인 기간에서, 화상 데이터를 가진 비디오 신호가 모든 신호선에 입력된다.
- [0151] 마이크로캡슐(712)에서 백색 안료 및 흑색 안료는 화소 전극(710)에 인가된 비디오 신호의 전압에 따라 화소 전극(710) 및 대향 전극(711)에 이동되어, 표시 소자(705)가 그레이스케일을 표시한다.
- [0152] 또한, 기록 기간에서, 비디오 신호의 전압은 초기화 기간에서와 같이 화소 전극(710)에 복수 번 인가되는 것이 바람직하다는 것을 유념한다. 따라서, 다음의 동작 순서가 복수 번 수행된다: 비디오 신호는, 선택 신호의 펄스가 각각의 주사선에 공급되는 동안의 기간에 주사선을 포함하는 라인의 화소에 입력된다.
- [0153] 다음에, 유지 기간에서, 공통 전압 Vcom이 신호선들을 통해 모든 화소들에 인가된 후에, 선택 신호가 주사선에 입력되지 않거나, 비디오 신호가 신호선에 입력되지 않는다. 따라서, 화소 전극(710)과 대향 전극(711) 사이에 양 또는 음의 전압이 인가되지 않는 한, 표시 소자(705)에 포함된 마이크로캡슐(712)에서의 백색 안료 및 흑색 안료의 위치들이 유지되어, 표시 소자(705) 상에 표시되는 그레이스케일 레벨이 유지된다. 따라서, 기록 기간에 기록된 화상이 유지 기간에서도 유지된다.
- [0154] 전자 페이퍼에 이용되는 표시 소자의 그레이스케일들을 변경하는데 필요한 전압은 액정 표시 장치에 이용되는 액정 소자의 전압 또는 발광 장치에 이용되는 유기 발광 소자와 같은 발광 소자의 전압보다 높아지려는 경향이 있음을 유념한다. 따라서, 기록 기간에서의 스위칭 소자를 위해 서빙하는 화소의 트랜지스터(704)의 소스 전극과 드레인 전극 사이의 전위차가 크다; 결과적으로, 오프-전류가 증가되고, 표시 장애가 화소 전극(710)의 전위들의 변동으로 인해 발생할 가능성이 있다. 트랜지스터(704)의 오프-전류에 의해 유발된 화소 전극(710)의 전위들의 변동을 방지하기 위해, 저장 커패시터(706)의 커패시턴스를 증가시키는 것이 효과적이다. 그 외에도, 화소

전극(710)과 대향 전극(711) 사이의 전압뿐만 아니라 마이크로캡슐들(712)에 인가되는 신호선(707)과 대향 전극(711) 사이에서 생성된 전압에 의해 일부 경우들에서 표시 소자(705)에 의한 표시의 잡음이 발생할 수 있다. 잡음을 방지하기 위해, 큰 면적의 화소 전극(710)을 안전하게 하고, 신호선(707)과 대향 전극(711) 사이에서 생성된 전압이 마이크로캡슐들(712)에 인가되는 것을 방지하는 것이 효과적이다. 그러나, 상술된 바와 같이, 저장 커패시터(706)의 커패시턴스가 화소 전극(710)의 전위들의 변동들을 방지하기 위해 증가될 때, 또는 화소 전극(710)의 면적이 표시의 잡음을 방지하기 위해 증가될 때, 기록 기간에서 화소에 공급되는 전류의 값이 높아져서, 비디오 신호의 입력을 위해 더 긴 시간을 유발한다. 본 발명의 일 실시예의 전자 페이퍼에서, 스위칭 소자로서 화소에 이용되는 트랜지스터(704)가 높은 전계 효과 이동도를 가지기 때문에, 높은 온-전류가 획득될 수 있다. 결과적으로, 저장 커패시터(706)의 커패시턴스가 증가되는 경우에도, 또는 화소 전극(710)의 면적이 증가되는 경우에도, 비디오 신호는 화소에 신속하게 입력될 수 있다. 따라서, 기록 시간의 길이가 억제될 수 있고, 표시된 화상들은 부드럽게 스위칭될 수 있다.

[0155] 이 실시예는 상기 실시예들 중 어느 것과 조합하여 구현될 수 있다.

[0156] (실시예 6)

[0157] 도 15a는 활성 매트릭스 반도체 표시 장치의 블록도의 예이다. 표시 장치의 기판(5300) 위에, 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)가 제공된다. 화소부(5301)에서, 신호선 구동 회로(5304)에서 연장된 복수의 신호선들이 배열되고, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)에서 연장된 복수의 주사선들이 배열된다. 표시 소자들을 포함하는 화소들은 주사선들 및 신호선들이 서로 교차하는 각각의 영역들에서 매트릭스로 제공되는 것을 유념한다. 또한, 표시 장치의 기판(5300)은 플렉시블 인쇄 회로(FPC)와 같은 접속부를 통해 타이밍 제어 회로(5305)(또한 제어기 또는 제어기 IC라고도 칭해짐)에 접속된다.

[0158] 도 15a에서, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)가 화소부(5301)와 동일한 기판(5300) 위에 제공된다. 따라서, 구동 회로와 같은 외부에 제공되는 구성요소들의 수가 감소되기 때문에, 조립 단계들 및 조사 단계들의 수의 감소로 인해 표시 장치를 소형화할 뿐만 아니라 비용을 감소시키는 것이 가능하다. 또한, 구동 회로가 기판(5300)의 외부에 제공되는 경우, 배선들이 연장되어야 하고 배선들의 접속들의 수가 증가되지만, 기판(5300) 위에 구동 회로를 제공함으로써, 배선들의 접속들의 수가 감소될 수 있다. 따라서, 구동 회로 및 화소부의 결합이 있는 접속으로 인해 수율의 감소가 방지될 수 있고, 접속부에서 낮은 기계적 강도로 인해 신뢰도의 감소가 방지될 수 있다.

[0159] 예로서, 타이밍 제어 회로(5305)는 제 1 주사선 구동 회로 시작 신호(GSP1) 및 주사선 구동 회로 클록 신호(GCK1)를 제 1 주사선 구동 회로(5302)에 공급하는 것을 유념한다. 또한, 예로서, 타이밍 제어 회로(5305)는 제 2 주사선 구동 회로 시작 신호(GSP2)(또한 시작 펄스라고도 칭해짐) 및 주사선 구동 회로 클록 신호(GCK2)를 제 2 주사선 구동 회로(5303)에 공급한다. 타이밍 제어 회로(5305)는 신호선 구동 회로 시작 신호(SSP), 신호선 구동 회로 클록 신호(SCK), 비디오 신호 데이터(DATA)(또한 간단히 비디오 신호라고도 칭해짐) 및 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 각각의 클록 신호는 기간들이 상이한 복수의 클록 신호들일 수 있거나, 또는 반전된 클록 신호(CKB)와 함께 공급될 수 있음을 유념한다. 제 1 주사선 구동 회로(5302) 또는 제 2 주사선 구동 회로(5303)는 생략될 수 있다.

[0160] 도 15b에서, 낮은 구동 주파수를 가진 회로(예를 들면, 제 1 주사선 구동 회로(5302) 또는 제 2 주사선 구동 회로(5303))는 화소부(5301)와 동일한 기판(5300) 위에 형성되고, 신호선 구동 회로(5304)는 화소부(5301)가 제공되는 기판과 상이한 다른 기판 위에 형성된다. 화소부(5301)와 동일한 기판(5300) 위에 부분적으로 신호선 구동 회로(5304)에서 샘플링 회로에 이용되는 아날로그 스위치와 같은 낮은 구동 주파수를 가진 회로를 형성하는 것이 또한 가능하다. 따라서, 시스템-온-팹널을 부분적으로 채용함으로써, 상술된 결합이 있는 접속 또는 접속부에서의 낮은 기계적 강도로 인한 수율의 감소의 방지와, 조립 단계들 및 조사 단계들의 수의 감소로 인한 비용의 감소와 같은 시스템-온-팹널의 이점들이 다소 획득될 수 있다. 또한, 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)가 하나의 기판 위에 형성되는 시스템-온-팹널과 비교할 때, 시스템-온-팹널을 부분적으로 채용함으로써, 높은 구동 주파수를 가진 회로의 성능을 증가시키는 것이 가능하다. 또한, 큰 면적을 가진 화소부의 형성이 가능하며, 이것은 단결정 반도체를 이용하는 경우에서 실현하기가 어렵다.

[0161] 다음에, n-채널 트랜지스터를 포함하는 신호선 구동 회로의 구조가 기술된다.

- [0162] 도 16a에 도시된 신호선 구동 회로가 시프트 레지스터(5601) 및 샘플링 회로(5602)를 포함한다. 샘플링 회로(5602)는 복수의 스위칭 회로들(5602_1 내지 5602_N)(N은 자연수)을 포함한다. 스위칭 회로들(5602_1 내지 5602_N) 각각은 복수의 n-채널 트랜지스터들(5603_1 내지 5603_k)(k는 자연수)을 포함한다.
- [0163] 신호선 구동 회로에서의 접속 관계는 예로서 스위칭 회로(5602_1)를 이용하여 기술된다. 트랜지스터에 포함된 소스 전극 및 드레인 전극 중 하나는 하기 기술에서 제 1 단자로서 칭해지고, 소스 전극 및 드레인 전극 중 다른 하나는 제 2 단자로서 칭해지는 것을 유념한다.
- [0164] 트랜지스터들(5603_1 내지 5603_k)의 제 1 단자들은 배선들(5604_1 내지 5604_k)에 각각 접속된다. 비디오 신호가 배선들(5604_1 내지 5604_k)의 각각에 입력된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 제 2 단자는 신호선들(S1 내지 Sk)에 각각 접속된다. 박막 트랜지스터들(5603_1 내지 5603_k)의 게이트 전극들은 배선(5605_1)에 접속된다.
- [0165] 시프트 레지스터(5601)는 배선들(5605_1 내지 5605_N)에 고전압 레벨(H 레벨)을 갖는 타이밍 신호를 순차적으로 출력함으로써 스위칭 회로들(5602_1 내지 5602_N)을 순차적으로 선택하는 기능을 가진다.
- [0166] 스위칭 회로(5602_1)는 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 사이의 도전 상태(제 1 단자와 제 2 단자 사이의 도전 상태)를 제어하는 기능, 즉, 트랜지스터들(5603_1 내지 5603_N)을 스위칭함으로써 신호선들(S1 내지 Sk)에 배선들(5604_1 내지 5604_k)의 전위들을 공급할지의 여부를 제어하는 기능을 가진다.
- [0167] 다음에, 도 16a에 도시된 신호선 구동 회로의 동작이 도 16b의 타이밍 차트를 참조하여 기술된다. 도 16b는 배선들(5605_1 내지 5605_N)에 각각 입력되는 타이밍 신호들 Sout_1 내지 Sout_N과, 시프트 레지스터(5601)로부터의 배선들(5604_1 내지 5604_k)에 각각 입력되는 비디오 신호들 Vdata_1 내지 Vdata_k의 타이밍 차트를 일례로 도시한다.
- [0168] 신호선 구동 회로의 하나의 동작 기간은 표시 장치의 일 라인 기간에 대응한다는 것을 유념한다. 도 16b는 일 라인 기간이 기간들 T1 내지 TN으로 나누어지는 경우의 일례를 도시한다. 기간들 T1 내지 TN의 각각은 선택된 로우에 속하는 하나의 화소에 비디오 신호를 기록하기 위한 기간이다.
- [0169] 기간들 T1 내지 TN에서, 시프트 레지스터(5601)는 배선들(5605_1 내지 5605_N)에 H-레벨 타이밍 신호들을 순차적으로 출력한다. 예를 들면, 기간 T1에서, 시프트 레지스터(5601)는 배선(5605_1)에 H-레벨 신호를 출력한다. 그 후에, 스위칭 회로(5602_1)에 포함된 박막 트랜지스터들(5603_1 내지 5603_k)이 턴 온되어, 배선들(5604_1 내지 5604_k) 및 신호선들(S1 내지 Sk)이 도전적이게 된다. 이 경우, 데이터(S1) 내지 데이터(Sk)는 배선들(5604_1 내지 5604_k)에 각각 입력된다. 데이터(S1) 내지 데이터(Sk)는 트랜지스터들(5603_1 내지 5603_k)을 통해 선택된 로우에서 k번째 컬럼들에 대한 선두의 화소들에 입력된다. 따라서, 기간들 T1 내지 TN에서, 비디오 신호들은 선택된 로우에서의 화소들에 k개의 컬럼들만큼 순차적으로 기록된다.
- [0170] 모든 복수의 컬럼들의 화소들에 비디오 신호들을 기록함으로써, 비디오 신호들의 수 또는 배선들이 수가 감소될 수 있다. 따라서, 제어기와 같은 외부 회로에 대한 접속들이 감소될 수 있다. 모든 복수의 컬럼들의 화소들에 비디오 신호들을 기록함으로써, 기록 시간이 연장될 수 있고 비디오 신호들의 불충분한 기록들이 방지될 수 있다.
- [0171] 다음에, 신호선 구동 회로 또는 주사선 구동 회로에 이용되는 시프트 레지스터의 일 모드가 도 17a 및 도 17b 및 도 18a 및 도 18b를 참조하여 기술될 것이다.
- [0172] 시프트 레지스터는 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)(N은 3 이상의 자연수)을 포함한다(도 17a 참조). 제 1 클록 신호 CK1, 제 2 클록 신호 CK2, 제 3 클록 신호 CK3, 및 제 4 클록 신호 CK4가 제 1 배선(11), 제 2 배선(12), 제 3 배선(13), 및 제 4 배선(14)에서 각각 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)에 공급된다. 제 5 배선(15)으로부터의 시작 펄스 SP1(제 1 시작 펄스)이 제 1 펄스 출력 회로(10_1)에 입력된다. 이전단(또한 이전단 신호 OUT(n-1)이라고도 칭해짐)(n은 2 이상의 자연수)의 펄스 출력 회로로부터의 신호가 제 2 및 후속단들의 제 n 펄스 출력 회로(10_n)(n은 2 이상 N 이하의 자연수)에 입력된다. 제 1 펄스 출력 회로(10_1)에, 다음 단의 다음에 오는 단의 제 3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 유사하게, 제 2 또는 후속단의 제 n 펄스 출력 회로(10_n)에, 다음 단의 다음에 오는 단의 제 (n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(이러한 신호는 후속-단 신호 OUT(n+2)라고 칭해짐)가 입력된다. 따라서, 각각의 단들의 펄스 출력 회로들로부터, 후속단들 및/또는 선행단들 전의 단들의 펄스 출력 회로들에 입력된 제 1 출력 신호들(OUT(1)(SR) 내지 OUT(N)(SR)) 및 상이한 회로들에 입력될 제 2 출력 신호들(OUT(1) 내지 OUT(N)) 등이 출

력된다. 후단 신호들 OUT(n+2)이 시프트 레지스터의 최종 2단들에서 펄스 출력 회로들에 입력되지 않기 때문에, 제 2 시작 펄스 SP2 및 제 3 시작 펄스 SP3이 각각의 펄스 출력 회로들에 입력되는 구조가 도 17a에 도시된 바와 같이 예로서 채용될 수 있다.

[0173] 클록 신호(C)가 H 레벨과 L 레벨(낮은 레벨의 전압) 사이에서 정기적인 간격들로 교류한다는 것을 유념한다. 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4)이 순차적으로 1/4 기간만큼 지연된다. 이 실시예에서, 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4)를 이용함으로써, 펄스 출력 회로의 구동기의 제어 등이 수행된다.

[0174] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)가 제 1 내지 제 4 배선들(11 내지 14) 중 어느 것에 전기적으로 접속된다. 예를 들면, 도 17a에서, 제 1 펄스 출력 회로(10_1)의 제 1 입력 단자(21)는 제 1 배선(11)에 전기적으로 접속되고, 제 1 펄스 출력 회로(10_1)의 제 2 입력 단자(22)는 제 2 배선(12)에 전기적으로 접속되고, 제 1 펄스 출력 회로(10_1)의 제 3 입력 단자(23)는 제 3 배선(13)에 전기적으로 접속된다. 그 외에도, 제 2 펄스 출력 회로(10_2)의 제 1 입력 단자(21)는 제 2 배선(12)에 전기적으로 접속되고, 제 2 펄스 출력 회로(10_2)의 제 2 입력 단자(22)는 제 3 배선(13)에 전기적으로 접속되고, 제 2 펄스 출력 회로(10_2)의 제 3 입력 단자(23)는 제 4 배선(14)에 전기적으로 접속된다.

[0175] 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)의 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26) 및 제 2 출력 단자(27)를 포함한다(도 17b 참조). 제 1 펄스 출력 회로(10_1)에서, 제 1 클록 신호 CK1이 제 1 입력 단자(21)에 입력되고; 제 2 클록 신호 CK2가 제 2 입력 단자(22)에 입력되고; 제 3 클록 신호 CK3이 제 3 입력 단자(23)에 입력되고; 시작 펄스가 제 4 입력 단자(24)에 입력되고; 다음단 신호 OUT(3)이 제 5 입력 단자(25)에 입력되고; 제 1 출력 신호 OUT(1)(SR)이 제 1 출력 단자(26)에서 출력되고; 제 2 출력 신호 OUT(1)가 제 2 출력 단자(27)로부터 출력된다.

[0176] 다음에, 도 18a는 펄스 출력 회로의 특정 회로 구조의 일례를 도시한다.

[0177] 펄스 출력 회로들은 각각 제 1 내지 제 13 트랜지스터들(31 내지 43)을 포함한다(도 18a 참조). 신호들 또는 전력 공급 전위들은, 상술된 제 1 내지 제 5 입력 단자들(21 내지 25), 제 1 출력 단자(26) 및 제 2 출력 단자(27) 외에도, 제 1 고전력 공급 전위 VDD를 공급하는 전원선(51), 제 2 고전력 공급 전위 VCC를 공급하는 전원선(52), 및 저전력 공급 전위 VSS를 공급하는 전원선(53)으로부터 제 1 내지 제 13 트랜지스터들(31 내지 43)에 공급된다. 여기서, 도 18a에서의 전원선들의 전력 공급 전위들의 관계는 다음과 같다: 제 1 전력 공급 전위 VDD는 제 2 전력 공급 전위 VCC보다 높고, 제 2 전력 공급 전위 VCC는 제 3 전력 공급 전위 VSS보다 높다. 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4)은 H-레벨 신호들과 L-레벨 신호들 사이에서 정기적인 간격들로 교류한다. 클록 신호가 H 레벨에 있을 때의 전위는 VDD이고, 클록 신호가 L 레벨에 있을 때의 전위는 VSS이다. 전원선(51)의 전위 VDD를 전원선(52)의 제 2 전력 공급 전위 VCC보다 높게 함으로써, 트랜지스터의 동작에 악영향을 미치지 않고, 트랜지스터의 게이트 전극에 인가된 전위가 낮아질 수 있고, 트랜지스터의 임계 전압에서의 시프트가 감소될 수 있고, 트랜지스터의 열화가 억제될 수 있다.

[0178] 도 18a에서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터(31)의 게이트 전극은 제 4 입력 단자(24)에 전기적으로 접속된다. 제 2 트랜지스터(32)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 2 트랜지스터(32)의 게이트 전극은 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다. 제 4 트랜지스터(34)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 4 트랜지스터(34)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다. 제 5 트랜지스터(35)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자는 제 2 트랜지스터의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 5 트랜지스터(35)의 게이트 전극은 제 4 입력 단자(24)에 전기적으로 접속된다. 제 6 트랜지스터(36)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 6 트랜지스터(36)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 6 트랜지스터(36)의 게이트 전극은 제 5 입력 단자(25)에 전기적으로 접속된다. 제 7 트랜지스터(37)의 입력 단자는 전원선(52)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자는 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되고, 제 7 트랜지스터(37)의 게이트 전극은 제 3 입력 단자(23)에 전기적으로 접속된다. 제 8 트랜지스터(38)의 제 1 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터

(34)의 게이트 전극에 전기적으로 접속되고, 제 8 트랜지스터(38)의 게이트 전극은 제 2 입력 단자(22)에 전기적으로 접속된다. 제 9 트랜지스터(39)의 제 1 단자는 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자는 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제 9 트랜지스터(39)의 게이트 전극은 전원선(52)에 전기적으로 접속된다. 제 10 트랜지스터(40)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 게이트 전극은 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속된다. 제 11 트랜지스터(41)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 11 트랜지스터(41)가 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 게이트 전극은 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 12 트랜지스터(42)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 12 트랜지스터(42)의 게이트 전극은 제 2 트랜지스터(32)의 게이트 전극 및 제 7 트랜지스터(37)의 게이트 전극에 전기적으로 접속된다. 제 13 트랜지스터(43)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극에 전기적으로 접속된다.

[0179] 도 18a에서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극 및 제 9 트랜지스터(39)의 제 2 단자가 접속되는 부분은 노드 A라고 칭해진다. 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자 및 제 11 트랜지스터(41)의 게이트 전극이 접속되는 부분은 노드 B라고 칭해진다(도 18a 참조).

[0180] 도 18a에 도시된 복수의 펄스 출력 회로들이 제공되는 시프트 레지스터의 타이밍 차트는 도 18b에 도시된다.

[0181] 제 2 전력 공급 전위 VCC가 도 18a에 도시된 바와 같이 게이트 전극에 인가되는 제 9 트랜지스터(39)의 배치는 부트스트랩 동작(bootstrap operation) 전 후에 다음의 이점들을 가지는 것을 유념한다.

[0182] 제 2 전력 공급 전위 VCC가 게이트 전극에 인가되는 제 9 트랜지스터(39)의 제공 없이 노드 A의 전위가 부트스트랩 동작에 의해 상승하는 경우에, 제 1 트랜지스터(31)의 제 2 단자인 소스 전극의 전위는 제 1 전력 공급 전위 VDD보다 높은 값으로 상승한다. 그 후에, 제 1 트랜지스터(31)의 제 1 단자, 즉 전원선(51)쪽에 대한 단자는 제 1 트랜지스터(31)의 소스 전극의 역할을 하게 된다. 결과적으로, 제 1 트랜지스터(31)에서, 고 바이어스 전압이 인가되고, 따라서, 게이트 전극과 소스 전극 사이 및 게이트 전극과 드레인 전극 사이에 상당한 응력이 인가되고, 이것은 트랜지스터의 저하를 유발할 수 있다. 게이트 전극에 제 2 전력 공급 전위 VCC가 공급되는 제 9 트랜지스터(39)의 제공에 의해, 노드 A의 전위는 부트스트랩 동작에 의해 상승되지만, 동시에, 제 1 트랜지스터(31)의 제 2 단자의 전위의 증가가 방지될 수 있다. 달리 말하면, 제 9 트랜지스터(39)의 공급에 의해, 제 1 트랜지스터(31)의 게이트 전극과 소스 전극 사이에 인가된 음의 바이어스 전압이 감소될 수 있다. 따라서, 이 실시예에서의 회로 구성은 제 1 트랜지스터(31)의 게이트 전극과 소스 전극 사이에 인가된 음의 바이어스 전압을 감소시킬 수 있어서, 응력으로 인한 제 1 트랜지스터(31)의 저하가 억제될 수 있다.

[0183] 제 1 트랜지스터(31)의 제 2 단자 및 제 3 트랜지스터(33)의 게이트 전극이 제 9 트랜지스터(39)의 제 1 단자 및 제 2 단자를 통해 접속되는 한, 제 9 트랜지스터(39)의 배치는 제한되지 않는다. 이 실시예에서의 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터는 주사선 구동 회로보다 많은 수의 단들을 갖는 신호선 구동 회로에 포함될 때, 제 9 트랜지스터(39)가 생략될 수 있고, 이것은 트랜지스터들의 수가 감소되는 점에서 유리하다는 것을 유념한다.

[0184] 산화물 반도체들이 제 1 내지 제 13 트랜지스터들(31 내지 43)에 대한 반도체층들에 이용될 때, 박막 트랜지스터들의 오프-전류가 감소될 수 있고, 온-전류 및 전계 효과 이동도가 증가될 수 있고, 열화의 정도가 감소될 수 있고, 그에 의해 회로의 고장이 감소될 수 있음을 유념한다. 또한, 게이트 전극에 고전위를 인가함으로써 유발되는 산화물 반도체를 이용한 트랜지스터의 열화의 정도가 비정질 실리콘을 이용한 트랜지스터에 비해 작다. 따라서, 제 2 전력 공급 전위 VCC가 공급되는 전원선에 제 1 전력 공급 전위 VDD가 공급될 때에도, 유사한 동작이 수행될 수 있고, 회로에 제공되는 전원선들의 수가 감소될 수 있어서, 회로가 소형화될 수 있다.

[0185] 제 3 입력 단자(23)로부터 제 7 트랜지스터(37)의 게이트 전극에 공급되는 클록 신호와, 제 2 입력 단자(22)로부터 제 8 트랜지스터(38)의 게이트 전극에 공급되는 클록 신호가 제 2 입력 단자(22) 및 제 3 입력 단자(23)로부터 각각 공급되도록 접속 관계가 변경되는 경우에도 유사한 기능이 획득되는 것을 유념한다. 이 경우, 도 18a에 도시된 시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 둘다가 턴 온되는 상태에서, 제

7 트랜지스터(37)가 턴 오프되고 제 8 트랜지스터(38)가 턴 온되는 상태로 상태가 변경된 다음에, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 둘다가 턴 오프되는 상태로 변경된다; 따라서, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위들의 감소로 인한 노드 B의 전위의 감소는 제 7 트랜지스터(37)의 게이트 전극의 전위의 감소 및 제 8 트랜지스터(38)의 게이트 전극의 전위의 감소에 의해 2배가 유발된다. 반대로, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 둘다가 턴 온되는 상태가 제 7 트랜지스터(37)가 턴 온되고 제 8 트랜지스터(38)가 턴 오프되는 상태를 통해 제 7 트랜지스터(37)가 턴 오프되고 제 8 트랜지스터(38) 턴 온되는 상태로 변경되도록 구동되는 도 18 a에 도시된 시프트 레지스터에서, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위들의 감소에 의해 유발되는 노드 B의 전위의 감소는 제 8 트랜지스터(38)의 게이트 전극의 전위의 감소로 인해서만 유발된다. 따라서, 접속 관계, 즉 클록 신호가 제 3 입력 단자(23)에서 제 7 트랜지스터(37)의 게이트 전극으로 공급되고 클록 신호가 제 2 입력 단자(22)에서 제 8 트랜지스터(38)의 게이트 전극으로 공급되는 접속 관계가 바람직하다. 이것은 노드 B의 전위의 변경의 횟수들이 감소될 수 있고, 그에 의해 잡음이 감소될 수 있기 때문이다.

- [0186] 이러한 방식으로, 제 1 출력 단자(26) 및 제 2 출력 단자(27)의 전위들이 L 레벨로 유지되는 동안의 기간에서, H 레벨 신호가 노드 B에 정기적으로 공급되고; 따라서, 펄스 출력 회로의 고장이 억제될 수 있다.
- [0187] 이 실시예는 상기 실시예들 중 어느 것과 조합하여 구현될 수 있다.
- [0188] (실시예 7)
- [0189] 이 실시예에서, 본 발명의 일 실시예에 따른 반도체 표시 장치들의 제조 방법들이 도 19a 내지 도 19c, 도 20a 내지 도 20c, 도 21a 및 도 21b, 도 22, 도 23 및 도 24를 참조하여 기술된다.
- [0190] 이 명세서에서 용어 "연속적인 막 형성(successive film formation)"은 일련의 스퍼터링에 의한 제 1 막 형성 단계 및 스퍼터링에 의한 제 2 막 형성 단계 동안에, 공정될 기판이 배치되는 분위기가 공기와 같은 오염 분위기에 의해 오염되지 않고, 진공 또는 비활성 기체 분위기(질소 분위기 또는 희가스 분위기)가 되도록 일정하게 제어되는 것을 유념한다. 연속적인 막 형성에 의해, 수분 등의 재흡착 없이 세정된 기판에 대해 막 형성이 수행될 수 있다.
- [0191] 동일 챔버에서 제 1 막 형성 단계에서 제 2 막 형성 단계로의 공정 수행은 이 명세서에서 연속적인 형성의 범위 내에 있다.
- [0192] 그 외에도, 다음도 또한 이 명세서에서 연속적인 형성의 범위 내에 있다: 복수의 챔버들에서 제 1 막 형성 단계에서 제 2 막 형성 단계로 공정을 수행하는 경우에, 제 1 막 형성 후에 기판이 공기에 노출되지 않고 다른 챔버에 이전되어 제 2 막 형성을 받는다.
- [0193] 제 1 막 형성 단계와 제 2 막 형성 단계 사이에서, 기판 이전 단계, 정렬 단계, 저속-냉각 단계, 제 2 막 형성 단계에 필요한 온도로 기판을 가열 또는 냉각하는 단계 등이 제공될 수 있음을 유념한다. 이러한 공정은 또한 이 명세서의 연속적인 형성의 범위 내에 있다.
- [0194] 세정 단계, 습식 예칭 또는 레지스트의 형성과 같이 액체가 이용되는 단계가 제 1 침착 단계와 제 2 침착 단계 사이에 제공될 수 있다. 이 경우는 이 명세서의 연속적인 침착의 범위 내에 있지 않다.
- [0195] 도 19a에서, 투광성 기판(400)은 융합 방법 또는 플로트 방법에 의해 제조된 유리 기판일 수 있거나, 또는 표면 상에 절연막을 가진 스테인리스 합금으로 형성된 금속 기판일 수 있다. 플라스틱과 같은 플렉시블 합성 수지로 부터 형성된 기판은 일반적으로 낮은 허용 가능한 온도 한계를 가지는 경향이 있지만, 기판이 나중의 제조 공정에서 공정 온도들을 견딜 수 있는 한, 기판(400)으로서 이용될 수 있다. 플라스틱 기판의 예들은 폴리에틸렌 테레프탈레이트(PET), 폴리에테르술폰(PES), 폴리에틸렌 네프탈레이트(PEN), 폴리카보네이트(PC), 폴리에테르에테르케톤(PEEK), 폴리술폰(PSF), 폴리에테르아미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌, 테레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴-부타디엔-스틸렌 수지, 폴리비닐 염화물, 폴리프로필렌, 폴리비닐 아세테이트, 아크릴 수지 등에 의해 대표되는 폴리에스테르를 포함한다.
- [0196] 유리 기판이 이용되고 열 처리가 나중에 수행되는 온도가 높은 경우, 스트레인 포인트가 730°C 이상인 유리 기판이 이용되는 것이 바람직하다. 유리 기판으로서, 예를 들면 알루미노규산염 유리, 알루미노붕규산염 유리 또는 바륨 붕규산염 유리가 이용된다. 일반적으로, 2붕소 3산화물(B_2O_3)보다 많은 바륨 산화물(BaO)을 함유하는 유리 기판이 내열 유리로서 더욱 실용적이다. 따라서, B_2O_3 보다 많은 양의 BaO를 함유한 유리 기판이 이용되는 것

이 바람직하다.

- [0197] 상기 유리 기판으로서, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체로 이루어진 기판이 이용될 수 있음을 유념한다. 대안적으로, 결정화된 유리 등이 이용될 수 있다.
- [0198] 다음에, 도전막이 기판(400)의 표면 전체 위에 형성된 다음, 레지스트 마스크가 형성되어 에칭에 의해 불필요한 부분들이 제거되어, 배선들 및 전극(케이트 전극(401)을 포함하는 케이트 배선, 커패시터 배선(408) 및 제 1 단자(421))가 형성되는 방식으로 제 1 포토리소그래피 단계가 수행된다. 이 때, 에칭은 적어도 케이트 전극(401)의 단부들이 테이퍼(taper)되도록 수행된다.
- [0199] 도전막에 대한 재료는 몰리브덴, 티타늄, 크롬, 탄탈륨, 텉스텐, 네오디뮴, 스칸듐과 같은 금속 재료, 이들 금속 재료들 중 어느 것을 주성분으로 함유한 합금 재료, 또는 이들 금속들의 질화물 중 어느 하나를 이용한 단일 층 또는 적층일 수 있다. 나중 단계에서 수행되는 열 처리의 온도를 견딜 수 있는 한, 상기 금속 재료로서 알루미늄 또는 구리도 또한 이용될 수 있음을 유념한다.
- [0200] 예를 들면, 2층 적층 구조를 갖는 도전막으로서, 다음의 구조들이 바람직하다: 알루미늄층 및 그 위에 적층된 몰리브덴층의 2층 구조, 구리층 및 그 위에 적층된 몰리브덴층의 2층 구조, 구리층 및 그 위에 적층된 티타늄 질화물층 또는 탄탈륨 질화물층의 2층 구조, 및 티타늄 질화물층 및 몰리브덴층의 2층 구조. 3층 구조로서, 다음의 구조가 바람직하다: 알루미늄, 알루미늄 및 실리콘의 합금, 알루미늄 및 티타늄의 합금 또는 알루미늄 및 네오디뮴의 합금을 중간층에 함유하고 텉스텐, 텉스텐 질화물, 티타늄 질화물 및 티타늄 중 어느 것을 상부층 및 하부층에 함유한 적층 구조.
- [0201] 투광성 산화물 도전층이 개구비를 증가시키기 위해 전극층 및 배선의 부분에 이용될 수 있다. 예를 들면, 산화인듐, 산화인듐과 주석 산화물의 합금, 산화인듐과 산화아연의 합금, 산화아연, 아연 알루미늄 산화물, 아연 알루미늄 산화질화물, 아연 갈륨 산화물 등이 이용될 수 있다.
- [0202] 케이트 전극(401), 커패시터 배선(408) 및 제 1 단자(421)의 두께는 각각 10nm 내지 400nm이고, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 케이트 전극에 대해 100nm의 두께를 가진 도전막이 텉스텐 타겟을 이용하여 스퍼터링 방법에 의해 형성된 후에, 도전막이 원하는 형상을 가지도록 에칭에 의해 공정(패터닝)되어, 케이트 전극(401), 커패시터 배선(408) 및 제 1 단자(421)가 형성된다.
- [0203] 베이스막의 역할을 하는 절연막이 기판(400)과 케이트 전극(401), 커패시터 배선(408) 및 제 1 단자(421) 사이에 제공될 수 있다. 베이스막은 기판(400)으로부터 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막으로부터 선택된 하나 이상의 막들을 이용하여 단일층 또는 적층으로 형성될 수 있다.
- [0204] 다음에, 케이트 절연막(402)이 도 19b에 도시된 바와 같이 케이트 전극(401), 커패시터 배선(408) 및 제 1 단자(421)의 전체 위에 형성된다. 케이트 절연막(402)은 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막 또는 산화 탄탈륨막의 단일층, 또는 플라즈마 CVD 방법, 스퍼터링 방법 등에 의한 이들의 적응을 가지도록 형성될 수 있다. 예를 들면, 산화질화 실리콘막은 플라즈마 CVD 방법에 의해 시레인(예를 들면, 모노시레인), 산소 및 질소를 포함하는 침착 기체를 이용하여 형성될 수 있다.
- [0205] 케이트 절연막(402)의 막 두께는 50nm 이상 250nm 이하가 바람직하다. 이 실시예에서, 플라즈마 CVD 방법에 의해 형성된 100nm의 두께를 가진 산화질화 실리콘막이 케이트 절연막(402)으로서 이용된다.
- [0206] 다음에, 산화물 반도체막(403)이 케이트 절연막(402) 위에 형성된다. 산화물 반도체막(403)은 타겟으로서 산화물 반도체의 이용으로 스퍼터링 방법에 의해 형성된다. 또한, 산화물 반도체막(403)은 희가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 희가스(예를 들면, 아르곤) 및 산소를 포함하는 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다.
- [0207] 산화물 반도체막(403)이 스퍼터링 방법에 의해 형성되기 전에, 케이트 절연막(402)의 표면상의 먼지는 아르곤 기체를 도입하고 플라즈마를 생성하여 역 스퍼터링에 의해 제거되는 것이 바람직하다. 역스퍼터링은, 타겟쪽에 전압을 인가하지 않고, 표면을 수정하기 위해 기판 주변에 플라즈마를 형성하기 위해 아르곤 분위기에서 기판쪽에 전압을 인가하기 위해 RF 전원이 이용되는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있음을 유념한다. 대안적으로, 산소, 질소 산화물 등이 첨가되는 아르곤 분위기가 이용될 수 있다. 대안적으로, 염소, 탄소, 4플루오르화물 등이 첨가되는 아르곤 분위기가 이용될 수 있다.
- [0208] 채널 형성 영역의 형성을 위한 산화물 반도체막(403)이 반도체 특성들을 가진 상술된 산화물 재료를 이용하여

형성될 수 있다.

- [0209] 산화물 반도체막(403)의 두께는 5nm 내지 300nm이고, 바람직하게 10nm 내지 100nm이다. 이 실시예에서, In, Ga 및 Zn($In_2O_3:Ga_2O_3:ZnO = 1:1:1$ 또는 $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ [몰 비])을 함유한 산화물 반도체 타겟을 이용하여 다음의 조건 하에서 막 침착이 수행된다: 기판과 타겟 사이의 거리가 100nm이고, 압력이 0.6Pa이고, 직류(DC) 전원이 0.5kW이고, 분위기가 산소(산소의 유동률은 100%임)이다. 직류(DC) 전원은 막 침착으로 인한 먼지가 감소될 수 있고 막 두께가 균일해질 수 있기 때문에 바람직하다는 것을 유념한다. 이 실시예에서, 50nm-두께 In-Ga-Zn-O-계 비단결정막이 산화물 반도체막으로서 형성된다.
- [0210] 스퍼터링 후에, 산화물 반도체막은 공중에 노출하지 않고 형성되고, 그에 의해 게이트 절연막(402)과 산화물 반도체막(403) 사이의 인터페이스에 대한 먼지 및 수분의 흡착이 방지될 수 있다. 또한, 먼지가 감소될 수 있고 두께 분배가 균일하기 때문에, 펄스 직류(DC) 전원이 바람직하다.
- [0211] 산화물 반도체 타겟의 상대적 밀도는 80% 이상이고, 더욱 바람직하게는 95% 이상이고, 더더욱 바람직하게는 99.9% 이상인 것이 바람직하다. 높은 상대적 밀도를 갖는 타겟을 이용하여 형성되는 산화물 반도체막에서의 불순물 농도가 감소될 수 있고, 따라서 높은 전기 특성을 또는 높은 신뢰도를 가진 박막 트랜지스터가 획득될 수 있다.
- [0212] 그 외에도, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 존재한다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일 챔버에 적층되도록 형성될 수 있거나, 복수 종류의 재료들의 막이 동일 챔버에서 동시에 전하에 의해 형성될 수 있다.
- [0213] 그 외에도, 챔버 내부에 자석 시스템이 구비되고 마그네트론 스퍼터링에 이용되는 스퍼터링 장치와, 마이크로파들의 이용으로 생성된 플라즈마가 글로 방전(glow discharge) 없이 이용되는 ECR 스퍼터링에 이용되는 스퍼터링 장치가 존재한다.
- [0214] 또한, 스퍼터링에 의한 침착 방법으로서, 타겟 물질 및 스퍼터링 기체 성분이 그 화합물 박막을 형성하기 위해 침착 동안 서로 화학적으로 반응되는 반응 스퍼터링 방법과, 전압이 또한 침착 동안 기판에 인가되는 바이어스 스퍼터링이 존재한다.
- [0215] 그 외에도, 기판은 400°C 이상 700°C 이하의 온도에서 스퍼터링 방법으로의 막 형성 동안 광 또는 가열기에 의해 가열될 수 있다. 스퍼터링으로 인한 손상은 막 형성 동안에 가열에 의한 막 형성과 동시에 교정된다.
- [0216] 산화물 반도체막이 형성되기 전에, 스퍼터링 장치의 내벽 상에, 타겟의 표면 상에, 또는 타겟 재료에 남아있는 습기 또는 수소를 제거하도록 예열 처리가 수행되는 것이 바람직하다. 예열 처리로서, 막 형성 챔버의 내부에서 감소된 압력하에서 200°C 내지 600°C로 가열되는 방법, 막 형성 챔버의 내부가 가열되는 동안 질소 또는 비활성 기체의 도입 및 증착이 반복되는 방법 등이 주어질 수 있다. 예열 처리 후에, 기판 또는 스퍼터링 장치가 냉각된 다음, 산화물 반도체막이 공기에 노출되지 않고 형성된다. 이 경우, 물이 아닌 오일 등이 타겟을 위한 윤활제로서 이용되는 것이 바람직하다. 질소의 도입 및 증착이 열없이 반복될 때 특정 레벨의 효과가 획득될 수 있지만, 막 형성 챔버의 내부를 가열하는 처리를 수행하는 것이 더욱 바람직하다.
- [0217] 산화물 반도체막이 형성되기 전, 동안 또는 후에, 저온펌프를 이용하여 스퍼터링 장치에 남아 있는 습기 등을 제거하는 것이 바람직하다.
- [0218] 다음에, 도 19c에 도시된 바와 같이, 레지스트 마스크가 형성되고 산화물 반도체막(403)이 예칭되는 방식으로 제 2 포토리소그래피 단계가 수행된다. 예를 들면, 인산, 아세트산 및 질산의 혼합 용액을 이용하여 습식 예칭에 의해 불필요한 부분들이 제거되어, 섬형 산화물 반도체막(404)이 게이트 전극(401)과 중첩하도록 형성될 수 있다. 산화물 반도체막(403)의 예칭시에, 구연산 또는 수산과 같은 유기산이 예천트에 이용될 수 있다. 이 실시예에서, ITO007N(Kanto Chemical Co., Inc.의 제품)을 이용하여 습식 예칭에 의해 불필요한 부분들이 제거되어, 섬형 산화물 반도체막(404)이 형성된다. 여기서 예칭은 습식 예칭에 제한되지 않고 건식 예칭이 이용될 수 있음을 유념한다.
- [0219] 건식 예칭을 위한 예칭 기체로서, 염소를 함유하는 기체(염소(Cl_2), 봉소 염화물(BCl_3), 실리콘 염화물($SiCl_4$) 또는 탄소 사염화물(CCl_4)과 같은 염소계 기체)가 이용되는 것이 바람직하다.
- [0220] 대안적으로, 플루오르(탄소 테트라플루오르화물(CF_4), 황 플루오르화물(SF_6), 질소 플루오르화물(NF_3) 또는 트리

플루오로메탄(CHF_3)과 같은 플루오르-계 기체)를 함유한 기체; 브롬화 수소(HBr); 산소(O_2); 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가된 이들 기체들 중 어느 것 등이 이용될 수 있다.

[0221] 건식 에칭 방법으로서, 병렬판 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 막들을 원하는 형상들로 에칭하기 위해, 에칭 조건(코일-형상 전극에 인가된 전력의 양, 기판쪽 상의 전극에 인가된 전력의 양, 기판쪽 상의 전극의 온도 등)이 적합하게 조정된다.

[0222] 습식 에칭 후 에천트는 세정에 의해 에칭된 재료들과 함께 제거된다. 에천트 및 에칭되어진 재료를 포함하는 폐기 액체는 정제될 수 있고 이 재료가 재사용될 수 있다. 산화물 반도체막에 함유된 인듐과 같은 재료가 에칭 후에 폐기 용액으로부터 수집되어 재사용될 때, 리소스들이 효율적으로 이용될 수 있고 비용이 감소될 수 있다.

[0223] 원하는 형상을 에칭에 의해 획득하기 위해, 에칭 조건들(에천트, 에칭 시간, 및 온도)은 재료에 의존하여 적합하게 조정된다.

[0224] 다음에, 도 20a에 도시된 바와 같이, 감소된-압력 분위기, 질소 및 희가스와 같은 비활성 기체의 분위기, 산소 기체 분위기, 또는 초진조한 공기 분위기(CRDS(cavity ring down laser spectroscopy) 방법으로 이슬점 미터에 의해 측정될 때, 수분량이 20ppm(이슬점으로 변환에 의해 -55°C) 이하, 바람직하게는 1ppm 이하, 더욱 바람직하게는 10ppb 이하) 하에서 산화물 반도체막(404)에 대한 열 처리가 수행될 수 있다. 산화물 반도체막(404)에 대한 열 처리로, 산화물 반도체막(405)이 형성된다. 특히, 비활성 기체 분위기(예를 들면, 질소, 헬륨, 네온 또는 아르곤)하에서, 급속 열 어닐링(RTA) 처리가 대략 1분 이상 10분 이하 동안 500°C 이상 750°C 이하의 온도(또는 유리 기판의 스트레인 포인트 이하의 온도)로, 바람직하게 대략 3분 이상 6분 이하 동안 650°C 에서 수행될 수 있다. RTA 방법으로, 탈수 또는 탈수소화가 단시간에 수행될 수 있다; 따라서, 유리 기판의 스트레인 포인트보다 높은 온도에서도 처리가 수행될 수 있다. 상술된 열 처리의 타이밍은 산화물 반도체막(404)의 형성 후의 이 타이밍에 제한되지 않고, 산화물 반도체막(404)의 형성 전의 산화물 반도체막(403)이 열 처리를 받을 수 있음을 유념한다. 열 처리는 또한 산화물 반도체막(404)의 형성 후에 복수 번 수행될 수 있다.

[0225] 또한, 전기로(electric furnace)를 이용한 가열 방법, 램프 광을 이용한 램프 급속 열 어닐링(LRTA) 방법 또는 가열된 기체를 이용한 기체 급속 열 어닐링(GRTA) 방법과 같은 급속 가열 방법 등이 열 처리에 이용될 수 있다. 예를 들면, 전기로를 이용하여 열 처리를 수행하는 경우에, 온도 상승 특성들이 $0.1^\circ\text{C}/\text{min}$ 이상 $20^\circ\text{C}/\text{min}$ 이하로 설정되는 것이 바람직하고, 온도 중단 특성들은 $0.1^\circ\text{C}/\text{min}$ 이상 $15^\circ\text{C}/\text{min}$ 이하로 설정되는 것이 바람직하다.

[0226] 열 처리에서, 습도, 수소 등이 질소나, 헬륨, 네온 또는 아르곤과 같은 희가스에 함유되지 않는 것이 바람직함을 유념한다. 열 처리 장치에 도입되는 헬륨, 네온 또는 아르곤과 같은 희가스 또는 복수의 질소가 6N(99.9999%) 이상으로 설정되고, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)인 것이 바람직하다.

[0227] 비활성 기체 분위기 하의 열 처리 후, 섬형 산화물 반도체막(405)이 부분적으로 또는 전적으로 결정화될 수 있다.

[0228] 도 20a에서의 점선들 C1-C2 및 D1-D2를 따라 취해진 단면도들은 도 22에 도시된 평면도에서의 점선들 C1-C2 및 D1-D2를 따라 취해진 단면도들에 대응한다.

[0229] 다음에, 도 20b에 도시된 바와 같이, 도전막(406)이 스퍼터링 방법 또는 진공 증착 방법에 의해 산화물 반도체막(405) 위에 금속 재료를 이용하여 형성될 수 있다. 도전막(406)의 재료로서, 예를 들면, 티타늄, 텉스텐 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유한 합금 등이 이용될 수 있다. 본 발명의 일 실시예의 반도체 장치에서, 소스 전극(407a) 및 드레인 전극(407b)에서, 적어도 섬형 산화물 반도체막(405)에 가장 가까운 부분이 티타늄, 텉스텐 및 몰리브덴으로부터 선택된 원소, 상기 원소들 중 하나 이상을 함유한 합금 등을 이용하여 형성될 수 있다. 따라서, 소스 전극(407a) 및 드레인 전극(407b) 각각이 복수의 금속막들이 적층되는 구조를 가지는 경우에, 산화물 반도체막(405)과 접촉하는 금속막은 티타늄, 텉스텐 및 몰리브덴을 이용하여 형성될 수 있고, 다른 금속막들은 다음의 예들 중 어느 것을 이용하여 형성될 수 있다: 알루미늄, 크롬, 탄탈륨, 티타늄, 망간, 마그네슘, 몰리브덴, 텉스텐, 지르코늄, 베릴륨 및 이트륨으로부터 선택된 원소; 상기 원소들 중 하나 이상을 구성성분으로서 함유한 합금; 상기 원소들을 구성성분으로 함유한 질화물; 등. 예를 들면, 티타늄막, 네오디뮴을 함유한 알루미늄 합금막 및 티타늄막의 적층 구조를 가진 도전막(406)을 이용함으로써, 및 섬형 산화물 반도체막(405)에 가장 가까운 부분에서 티타늄막을 이용함으로써, 소스 전극(407a) 및 드레인 전극(407b)은 네오디뮴을 함유한 알루미늄 합금에서 낮은 저항 및 높은 내열성을 가질 수 있다.

- [0230] 소스 전극 및 드레인 전극에 대해 도전막(406)의 형성 후 열 처리가 수행되는 경우에, 도전막(406)은 열 처리를 견딜 만큼 충분한 내열성을 가지는 것이 바람직하다는 것을 유념한다. 도전막(406)의 형성 후에 열 처리를 수행하는 경우, 도전막(406)은 알루미늄 단독이 낮은 내열성, 부식되기 쉬운 것 등의 문제들을 가지기 때문에 내열성 도전성 재료와 조합하여 형성된다. 알루미늄과 조합되는 내열성 도전성 재료로서, 다음의 재료가 이용되는 것이 바람직하다: 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소; 이들 원소들 중 하나 이상을 구성성분으로 함유한 합금; 이들 원소들 중 어느 것을 구성성분으로 함유한 질화물 등.
- [0231] 소스 전극 및 드레인 전극에 대한 도전막(406)의 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm이다. 이 실시예에서, 소스 전극 및 드레인 전극에 대한 도전막(406)은 스퍼터링 방법에 의해 티타늄 타겟을 이용하여 형성된다.
- [0232] 상기 구조를 갖는 도전막(406)을 형성함으로써, 도전막(406)에 가장 가까운 산화물 반도체막(405)의 영역에서의 산소가 추출되어, 산화물 반도체막(405)에 함유된 금속의 농도가 다른 영역들에서의 농도보다 높은 복합층들(430)(금속-리치층들)은 산화물 반도체막(405)에 형성된다. 추출된 산소는 도전막(406)에서 금속과 반응하여, 금속 산화막들(431)이 금속-리치 복합층(430)과 도전막(406) 사이에서 형성된다.
- [0233] 다음에, 도 20c에 도시된 바와 같이, 레지스트 마스크가 형성되고 도전막(406)의 불필요한 부분들이 습식 에칭 또는 건식 에칭에 의해 제거되어, 소스 전극(407a), 드레인 전극(407b) 및 제 2 단자(420)가 형성되는 방식으로 제 3 리소그래피 단계가 수행된다. 예를 들면, 도전막(406)이 티타늄을 이용하여 형성되는 경우에, 수소 과산화물 용액 또는 가열된 염화 수소산을 에친트로서 이용하여, 습식 에칭이 수행될 수 있다. 산소가 산화물 반도체막(412)으로부터 열 처리에 의해 추가로 추출되기 때문에, 복합층들(430) 및 금속 산화막들(431)의 두께를 증가시키는 것이 가능하다는 것을 유념한다.
- [0234] 상술된 에칭 단계에서, 복합층(430)이 산화물 반도체막(405)의 노출된 영역에 에칭되기 때문에, 소스 전극(407a)과 드레인 전극(407b) 사이에 얇은 영역을 갖는 섬형 산화물 반도체막(409)이 일부 경우들에서 형성될 수 있다.
- [0235] 그 외에도, 상술된 에칭에서, 금속 산화막(431)은 도전막(406)과 함께 에칭될 수 있다. 따라서, 산화물 반도체막(409)의 복합층(430)과 소스 전극(407a) 사이에 에칭된 금속 산화막(431)이 존재하고, 산화물 반도체막(409)의 복합층(430)과 드레인 전극(407b) 사이에 에칭된 금속 산화막(431)이 존재한다. 소스 전극(407a)쪽 상의 복합층(430) 및 드레인 전극(407b)쪽 상의 복합층(430)은 서로 분리된다. 그 외에도, 소스 전극(407a)쪽 상의 금속 산화막(431) 및 드레인 전극(407b)쪽 상의 금속 산화막(431)은 서로 분리된다.
- [0236] 예를 들면, In-Ga-Zn-O-계 산화물 반도체가 산화물 반도체막(405)에 이용되는 경우에, 인듐의 농도가 다른 영역들보다 높은 복합층들(430)(In-리치층들)이 소스 전극(407a) 및 드레인 전극(407b)에 가장 가까운 산화물 반도체막(405)의 영역들에 존재하여, 산화물 반도체막(405)에서 In-리치 복합층들(430)의 저항이 낮아진다. 소스 전극(407a) 및 드레인 전극(407b)에 티타늄이 이용되는 경우에, 소스 전극(407a)과 산화물 반도체막(405) 사이 및 드레인 전극(407b)과 산화물 반도체막(405) 사이에 형성된 금속 산화막들(431)은 산화 티타늄(TiQx)을 함유하고 n-형 도전성을 가진다. 따라서, 상기 구조로, 소스 전극(407a)과 산화물 반도체막(405) 사이 및 드레인 전극(407b)과 산화물 반도체막(405) 사이의 접촉 저항이 감소되고, TFT의 온-전류량 및 전계 효과 이동도가 증가될 수 있다.
- [0237] 제 3 포토리소그래피 단계에서, 소스 전극(407a) 및 드레인 전극(407b)과 동일한 재료를 이용하여 형성되는 제 2 단자(420)가 단자부에 남겨진다. 제 2 단자(420)는 소스 배선(소스 전극(407a) 및 드레인 전극(407b)을 포함하는 소스 배선)에 전기적으로 접속되는 것을 유념한다.
- [0238] 또한, 멀티-톤 마스크를 이용하여 형성되고 복수의 두께들(예를 들면, 2개의 상이한 두께들)을 갖는 영역들을 가지는 레지스트 마스크를 이용함으로써, 레지스트 마스크들의 수가 감소될 수 있고, 단순화된 공정 및 비용 절감들을 유발한다.
- [0239] 도 20c에서 점선들 C1-C2 및 D1-D2를 따라 취해진 단면도들은 도 23에 도시된 평면도에서 점선들 C1-C2 및 D1-D2를 따라 취해진 단면도들에 각각 대응한다.
- [0240] 다음에, 도 21a에 도시된 바와 같이, 게이트 절연막(402), 산화물 반도체막(409), 소스 전극(407a) 및 드레인 전극(407b)을 커버하는 산화물 절연막(411)이 형성된다. 이 실시예에서, 300nm의 두께를 가진 산화 실리콘막이 산화물 절연막(411)으로서 형성된다. 막 형성시 기판 온도는 실내 온도 이상 300°C 이하일 수 있고, 이 실시예

에서는 100°C이다. 스퍼터링 방법을 이용한 산화 실리콘막의 형성이 희가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 희가스(예를 들면, 아르곤)와 산소를 포함하는 분위기 하에서 수행될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로 이용될 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산화 실리콘막이 산소 및 질소의 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다.

[0241] 소스 전극(407a)과 드레인 전극(407b) 사이에 제공된 산화물 반도체막(409)의 노출된 영역과 접촉하여 산화물 절연막(411)을 제공함으로써, 산화물 절연막(411)과 접촉하는 산화물 반도체막(409)의 영역의 저항이 높아져서 (캐리어 농도가 감소, 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 보다 낮음), 고저항 채널 형성 영역을 갖는 산화물 반도체막(412)의 형성을 유발한다.

[0242] 이 실시예에서, 300nm의 두께를 가진 산화물 반도체막(411)이 6N의 순도를 가진 원주형 다결정 붕소-도핑된 실리콘 타겟을 이용하여 펄스된 DC 스퍼터링 방법에 의해 형성되고, 여기서 기판과 타겟 사이의 거리(T-S 거리)가 89mm이고, 압력이 0.4Pa이고, 직류(DC) 전원이 6kW이고, 분위기가 산소(산소의 유동률은 100%임)이다.

[0243] 다음에, 산화물 절연막(411)이 형성되고, 제 2 열 처리가 수행된다. 제 2 열 처리는 감소된-압력 분위기, 질소 및 희가스와 같은 비활성 기체의 분위기, 산소 기체 분위기, 또는 초건조한 공기 분위기(CRDS(cavity ring down laser spectroscopy) 방법으로 이슬점 미터에 의해 측정될 때, 습도량이 20ppm(이슬점으로 변환에 의해 -55°C) 이하, 바람직하게는 1ppm 이하, 더욱 바람직하게는 10ppb 이하, 200°C 이상 400°C 이하, 예를 들면, 250°C 이상 350°C 이하의 온도에서) 하에서 수행될 수 있다. 예를 들면, 제 2 열 처리는 한 시간 동안 250°C로 질소 분위기에서 수행된다. 대안적으로, RTA 처리는 이전 열 처리에서와 같이 단시간 동안 고온으로 수행될 수 있다. 열 처리에 의해, 산화물 반도체막(412)은 산화물 절연막(411)과 접촉하면서 가열될 수 있다. 그 외에도, 산화물 반도체막(412)의 저항이 증가된다. 따라서, 트랜지스터의 전기 특성들이 개선될 수 있고, 그 전기 특성들의 변동이 감소될 수 있다. 산화물 절연막(411)의 형성 후에 수행되는 한, 이 열 처리를 수행할 때 특정한 제한은 없다. 이 열 처리가 또한 다른 단계에서 열 처리, 예를 들면, 투명 도전막의 저항을 감소시키기 위한 열 처리 또는 수지막의 형성시의 열 처리의 역할을 할 때, 단계들의 수가 증가되는 것이 방지될 수 있다.

[0244] 상기 단계들을 통해, 박막 트랜지스터(413)이 제조될 수 있다.

[0245] 다음에, 레지스트 마스크가 형성되고 산화물 반도체막(412) 및 게이트 절연막(402)이 에칭되어, 드레인 전극(407b), 제 1 단자(421) 및 제 2 단자(420)의 부분들을 노출시키기 위한 접촉 홀이 형성되게 하는 방식으로 제 4 포토리소그래피 단계가 수행된다. 다음에, 레지스트 마스크가 제거된 다음, 투명 도전막이 형성된다. 투명 도전막은 스퍼터링 방법, 진공 증착 방법 등에 의해 산화 인듐(In_2O_3), 산화 인듐-주석 산화물 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 약칭 ITO) 등으로 형성된다. 이러한 재료는 염화수소산-계 용액으로 에칭된다. 그러나, ITO 에칭시에 특히 잔여물이 쉽게 생성되기 때문에, 산화 인듐-산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$)이 에칭 공정률을 개선하기 위해 이용될 수 있다. 또한, 열 처리가 투명 도전막의 저항을 감소시키기 위한 것일 경우에, 열 처리는 산화물 반도체막(412)의 저항을 증가시키기 위한 열 처리의 역할을 할 수 있고, 이것은 트랜지스터의 전기 특성들의 개선 및 전기 특성들의 변동의 감소를 유발한다.

[0246] 다음에, 레지스트 마스크가 형성되고 에칭에 의해 불필요한 부분들이 제거되어, 드레인 전극(407b)에 접속되는 화소 전극(414), 제 1 단자(421)에 접속되는 투명 도전막(415), 및 제 2 단자(420)에 접속되는 투명 도전막(416)이 형성되게 하는 방식으로, 제 5 리소그래피 단계가 수행된다.

[0247] 투명 도전막들(415, 416)은 FPC에 접속되는 전극들 또는 배선들의 역할을 한다. 제 1 단자(421) 위에 형성된 투명 도전막(415)은 게이트 배선의 입력 단자로서 기능하는 접속 단자 전극이다. 제 2 단자(420) 위에 형성된 투명 도전막(416)은 소스 배선의 입력 단자로서 기능하는 접속 단자 전극이다.

[0248] 제 5 포토리소그래피 단계에서, 저장 커패시터가 배선(408) 및 화소 전극(414)과 함께 형성되며, 여기서 게이트 절연막(402) 및 산화물 절연막(411)은 유전체들로서 이용된다.

[0249] 레지스트 마스크가 제거된 후의 단면도는 도 21b에 도시된다. 도 21b에서 접선들 C1-C2 및 D1-D2를 따라 취해진 단면도들은 도 24에 도시된 평면도에서 접선들 C1-C2 및 D1-D2를 따라 취해진 단면도들에 각각 대응한다.

[0250] 이들 6개의 포토리소그래피 단계들을 통해, 하부-게이트 스테거링된 박막 트랜지스터인 박막 트랜지스터(413) 및 저장 커패시터는 6개의 포토마스크들을 이용하여 완성될 수 있다. 화소들이 매트릭스 형태로 배열되는 화소부의 각각의 화소에 박막 트랜지스터 및 저장 커패시터를 배치함으로써, 활성 매트릭스 표시 장치를 제조하기 위한 기판들 중 하나가 획득될 수 있다. 이 실시예에서, 이러한 기판은 편의상 활성 매트릭스 기판이라고 칭해

진다.

[0251] 활성 매트릭스 액정 표시 장치를 제조하는 경우, 활성 매트릭스 기판 및 대향 전극이 제공된 대향 기판이 액정 층을 사이에 개재하여 서로 결합된다.

[0252] 대안적으로, 저장 커패시터는 인접한 화소의 게이트 배선과 중첩하는 화소 전극과 함께 산화물 절연막 및 게이트 절연막을 사이에 개재하여, 커패시터의 배선을 제공하지 않고 형성될 수 있다.

[0253] 활성 매트릭스 액정 표시 장치에서, 매트릭스 형태로 배열된 화소 전극들은 스크린 상에 표시 패턴을 형성하기 위해 구동된다. 특히, 선택된 화소 전극과 화소 전극에 대응하는 대향 전극 사이에 전압이 인가되어, 화소 전극과 대향 전극 사이에 제공된 액정층은 광학적으로 변조되고, 이 광학 변조는 관찰자에 의해 표시 패턴으로서 인식된다.

[0254] 발광 표시 장치를 제조할 때, 유기 수지막을 포함하는 구획벽이 일부 경우들에서 유기 발광 소자들 사이에 제공된다. 그 경우, 유기 수지막 상에 수행되는 열 처리는 또한, 트랜지스터의 전기 특성들의 개선 및 적은 변동이 달성되도록 산화물 반도체막(412)의 저항을 증가시키는 열 처리의 역할을 할 수 있다.

[0255] 박막 트랜지스터에 대한 산화물 반도체의 이용은 제조 비용의 감소를 유발한다. 특히, 열 처리에 의해, 수분, 수소 또는 OH와 같은 불순물들이 감소되고, 산화물 반도체막의 순도가 증가된다. 결과적으로, 바람직한 전기 특성을 갖는 매우 신뢰 가능한 박막 트랜지스터를 포함하는 반도체 표시 장치가 제조될 수 있다.

[0256] 채널 형성 영역에서의 반도체막이 저항이 증가되는 영역에 있기 때문에, 박막 트랜지스터의 전기 특성들이 안정화되고, 오프-전류의 증가 등이 방지될 수 있다. 따라서, 바람직한 전기 특성을 갖는 매우 신뢰 가능한 박막 트랜지스터를 포함하는 반도체 표시 장치가 제공될 수 있다.

[0257] 이 실시예는 상기 실시예들 중 어느 것과 조합하여 구현될 수 있다.

[0258] (실시예 8)

[0259] 본 발명의 일 실시예에 따른 액정 표시 장치에서, 높은 이동도 및 온-전류를 가진 매우 신뢰 가능한 박막 트랜지스터가 이용된다; 따라서, 본 발명의 일 실시예에 따른 액정 표시 장치는 높은 콘트라스트 및 높은 가시성을 가진다. 이 실시예에서, 본 발명의 일 실시예에 따른 액정 표시 장치의 구조가 기술된다.

[0260] 도 25는 본 발명의 일 실시예의 액정 표시 장치에서의 화소의 단면도를 예로서 도시한다. 도 25에 도시된 박막 트랜지스터(1401)는 절연 표면 위에 형성된 게이트 전극(1402), 게이트 전극(1402) 위의 게이트 절연막(1403), 게이트 절연막(1403) 위에서 게이트 전극(1402)과 중첩하고 산화물 반도체막에 포함된 하나 또는 복수의 금속들의 농도가 다른 영역들에서의 농도보다 높은 복합층들(1420)을 포함하는 산화물 반도체막(1404), 산화물 반도체막(1404) 위에 형성되고 복합층들(1420)과 접촉하는 한 쌍의 금속 산화막들(1421); 및 소스 전극 및 드레인 전극의 기능을 하고 금속 산화막들(1421)과 접촉하는 도전막들(1406)의 쌍을 포함한다. 또한, 박막 트랜지스터(1401)는 산화물 반도체막(1404) 위에 형성된 산화물 절연막(1407)을 구성요소로 포함한다. 산화물 절연막(1407)은 게이트 전극(1402), 게이트 절연막(1403), 산화물 반도체막(1404) 및 도전막들(1406)의 쌍을 커버하도록 형성된다. 금속 산화막들(1421)은 도전막들(1406)의 쌍에 함유된 금속의 산화에 의해 형성된다.

[0261] 절연막(1408)이 산화물 절연막(1407) 위에 형성된다. 개구부가 산화물 절연막(1407) 및 절연막(1408)의 부분에 제공되고, 화소 전극(1410)이 개구부의 도전막들(1406) 중 하나와 접촉되도록 형성된다.

[0262] 또한, 액정 소자의 셀 캡을 제어하기 위한 스페이서(1417)가 절연막(1408) 위에 형성된다. 절연막은 원하는 형상을 가지도록 에칭되어, 스페이서(1417)가 형성될 수 있다. 셀 캡은 또한 절연막(1408) 위에 필러를 분산시킴으로써 제어될 수 있다.

[0263] 배향막(1411)이 화소 전극(1410) 위에 형성된다. 배향막(1411)은 절연막에 러빙 처리(rubbing treatment)를 받게 함으로써 형성될 수 있다. 또한, 대향 전극(1413)이 화소 전극(1410)에 대향되는 위치에 제공되고, 배향막(1414)이 화소 전극(1410)에 가까운 대향 전극(1413) 쪽에 형성된다. 또한, 액정(1415)은 화소 전극(1410)과 대향 전극(1413) 사이에서 밀봉제(1416)에 의해 둘러싸이는 영역에 제공된다. 필러는 밀봉제(1416)에 혼합될 수 있음을 유념한다.

[0264] 화소 전극(1410) 및 대향 전극(1413)은 예를 들면 산화 실리콘을 함유하는 인듐 주석 산화물(ITSO), 인듐 주석 산화물(ITO), 산화 아연(ZnO), 인듐 산화 아연(IZO) 또는 갈륨 도핑된 산화 아연(GZO)과 같은 투명 도전 재료를 이용하여 형성될 수 있다. 이 실시예는 화소 전극(1410)과 대향 전극(1413)에 대한 투광성 도전막을 이용하여

투과형 액정 소자를 제조하는 예를 도시한다는 것을 유념한다. 본 발명의 실시예에 따른 액정 표시 장치는 반-투과형 액정 표시 장치 또는 반사형 액정 표시 장치일 수 있다.

[0265] 도 25에 도시된 액정 표시 장치에는 컬러 필터, 회위(disclination)를 방지하기 위한 차폐막(흑색 매트릭스) 등이 제공될 수 있다.

[0266] TN(twisted nematic) 모드의 액정 표시 장치가 이 실시예에서 기술되지만, 본 발명의 일 실시예의 박막 트랜지스터는 VA(vertical alignment) 모드, OCB(optically compensated birefringence) 모드, IPS(in-plane-switching) 모드 등의 다른 액정 표시 장치들에 이용될 수 있다.

[0267] 대안적으로, 배향막이 불필요한 청색 상(blue phase)을 나타내는 액정이 이용될 수 있다. 청색 상은 액정 상들 중 하나이며, 이것은 콜레스테릭 액정의 온도가 증가되는 동안 콜레스테릭 상 변화들이 등방성 상으로 변하기 직전에 생성된다. 청색 상이 협소한 범위의 온도 내에서만 생성되기 때문에, 5wt% 이상의 키랄제가 혼합된 액정 조성물이 온도 범위를 개선하기 위하여 액정(1415)에 이용된다. 키랄제 및 블루상을 나타내는 액정을 포함하는 액정 조성물은 응답 시간이 10 μ sec 이상 100 μ sec 이하의 짧은 특성을 가지고, 배향 공정은 액정 조성물이 광학 등방성을 가지고 시야각 의존도가 작기 때문에 불필요하다.

[0268] 도 27은 본 발명의 액정 표시 장치의 구조를 도시한 투시도이다. 도 27에 도시된 액정 표시 장치에는 액정 소자가 기판들의 쌍 사이에 형성되는 액정 패널(1601); 제 1 확산판(1602); 프리즘 시트(1603); 제 2 확산판(1604); 도광판(1605); 반사판(1606); 광원(1607); 및 회로 기판(1608)이 구비된다.

[0269] 액정 패널(1601), 제 1 확산판(1602), 프리즘 시트(1603), 제 2 확산판(1604), 도광판(1605) 및 반사판(1606)이 이 순서로 적층된다. 광원(1607)은 도광판(1605)의 단부에 제공된다. 액정 패널(1601)은, 제 1 확산판(1602), 프리즘 시트(1603) 및 제 2 확산판(1604)으로 인해, 도광판(1605) 내부에서 확산되는 광원(1607)으로부터의 광으로 균일하게 조사된다.

[0270] 제 1 확산판(1602) 및 제 2 확산판(1604)이 이 실시예에서 이용되지만, 확산판들의 수는 이에 제한되지 않는다. 확산판들의 수가 하나일 수 있거나 3개 이상일 수 있다. 이것은 도광판(1605)과 액정 패널(1601) 사이에 확산판이 제공되는 한 수용 가능하다. 따라서, 확산판은 프리즘 시트(1603)보다 액정 패널(1601)에 더 가까운 쪽에만 제공될 수 있거나, 프리즘 시트(1603)보다 도광판(1605)에 더 가까운 쪽에만 제공될 수 있다.

[0271] 또한, 프리즘 시트(1603)의 단면적은 도 27에 도시된 톱니형에 제한되지 않는다. 프리즘 시트(1603)는 도광판(1605)으로부터의 광이 액정 패널(1601) 쪽에 집중될 수 있는 형상을 가질 수 있다.

[0272] 회로 기판(1608)에는 액정 패널(1601)에 입력되는 다양한 종류들의 신호들을 생성하는 회로, 신호들을 처리하는 회로 등이 구비된다. 도 27에서, 회로 기판(1608) 및 액정 패널(1601)은 FPC(flexible printed circuit)(1609)를 통해 서로 접속된다. 상술된 회로들이 COG(chip on glass) 방법에 의해 액정 패널(1601)에 접속될 수 있거나, 회로들의 일부가 COF(chip on film) 방법에 의해 액정 패널(1601)에 접속될 수 있음을 유념한다.

[0273] 도 27은 회로 기판(1608)에 광원(1607)의 구동을 제어하는 제어 회로가 구비되고 제어 회로 및 광원(1607)이 FPC(1610)를 통해 서로 접속되는 예를 도시한다. 상술된 제어 회로들은 액정 패널(1601) 위에 형성될 수 있음을 유념한다. 그 경우, 액정 패널(1601) 및 광원(1607)이 FPC 등을 통해 서로 접속된다.

[0274] 도 27이 광원(1607)이 액정 패널(1601)의 에지에 제공된 에지-광 타입 광원을 도시하고 있지만, 광원들(1607)이 액정 패널(1601) 아래에 직접 제공되는 다이렉트 타입 광원이 이용될 수 있음을 유념한다.

[0275] 이 실시예는 상기 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.

[0276] (실시예 9)

[0277] 이 실시예에서, 화소에 대해 본 발명의 일 실시예에 따른 박막 트랜지스터를 포함하는 발광 장치의 구조가 기술된다. 이 실시예에서, 마찬가지로 발광 소자를 구동하기 위한 트랜지스터가 n-채널 타입인 경우의 화소의 단면 구조가 도 26a 내지 도 26c를 참조하여 기술된다. 도 26a 내지 도 26c가, 제 1 전극이 캐소드이고 제 2 전극이 애노드인 경우를 도시하고 있지만, 마찬가지로 제 1 전극이 애노드일 수 있고 제 2 전극이 캐소드일 수 있음을 유념한다.

[0278] 트랜지스터(6031)가 n-채널 타입이고, 및 발광 소자(6033)로부터 방출된 광이 제 1 전극(6034)쪽으로부터 추출되는 경우의 화소의 단면도가 도 26a에 도시된다. 트랜지스터(6031)는 절연막(6037)으로 커버되고, 절연막(6037) 위에서 개구부를 가진 격벽(6038)이 형성된다. 격벽(6038)의 개구부에서, 제 1 전극(6034)이 부분적으로

노출되고, 제 1 전극(6034), 전계발광층(6035), 및 제 2 전극(6036)이 개구부에 순차적으로 적층된다.

[0279] 제 1 전극(6034)은 광을 투과하기 위한 재료 또는 두께로 형성되고, 낮은 일함수의 금속, 합금, 전도성 화합물, 그 혼합물 등을 가진 재료로 형성될 수 있다. 특히, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca 또는 Sr과 같은 알칼리 토금속, 이러한 금속들(예를 들면, Mg: Ag, Al: Li 또는 Mg: In)을 함유한 합금, 이러한 재료들(예를 들면, 칼슘 플루오르화물 또는 칼슘 질화물)의 화합물, 또는 Yb 또는 Er과 같은 희토류 금속이 이용될 수 있다. 또한, 전자 주입층이 제공되는 경우, 알루미늄층과 같은 다른 도전층이 마찬가지로 이용될 수 있다. 그 후에, 제 1 전극(6034)이 광을 투과하기 위한 두께(바람직하게, 약 5nm 내지 30nm)로 형성된다. 또한, 제 1 전극(6034)은 인듐 주석 산화물(ITO), 산화 아연(ZnO), 인듐 아연 산화물(IZO) 또는 갈륨-도핑된 산화 아연(GZO)과 같은 다른 투광성 산화물 도전 재료의 도전층으로만 형성될 수 있다. 또한, 산화 아연(ZnO)이 ITO 및 산화 실리콘을 포함하는 인듐 주석 산화물(이후, ITSO라고 칭해짐)에서 또는 산화 실리콘을 포함하는 산화 인듐에서 2% 내지 20%로 혼합되는 혼합물이 마찬가지로 형성될 수 있다. 투광성 산화물 도전 재료를 이용하는 경우에, 전계발광층(6035)에 전자 주입층을 제공하는 것이 바람직하다.

[0280] 제 2 전극(6036)은 광을 반사 또는 차폐하기 위한 재료 또는 두께로 형성되고, 애노드로서 이용되기에 적합한 재료로 형성될 수 있다. 예를 들면, 질화 티타늄, 질화 지르코늄, 티타늄, 텉스텐, 니켈, 플래티늄, 크롬, 은, 알루미늄 등 중 하나 이상을 포함하는 단일층막, 질화 티타늄막 및 주성분으로서 알루미늄을 포함하는 막의 적층, 질화 티타늄막, 주성분으로서 알루미늄을 포함하는 막, 및 질화 티타늄막의 3층 구조 등이 제 2 전극(6036)에 이용될 수 있다.

[0281] 전계발광층(6035)이 단일층 또는 복수의 층들을 이용하여 형성된다. 전계발광층(6035)은 복수의 층들로 형성되며, 이들 층들은 캐리어 전송 속성의 관점에서 홀 주입층, 홀 전송층, 발광층, 전자 전송층, 전자 주입층 등으로 분류될 수 있다. 전계발광층(6035)이 발광층 외에도 홀 주입층, 홀 전송층, 전자 전송층 및 전자 주입층 중 적어도 하나를 포함하는 경우에, 전자 주입층, 전자 전송층, 발광층, 홀 전송층 및 홀 주입층이 이 순서로 제 1 전극(6034) 위에 순차적으로 적층된다. 각각의 층 사이의 경계가 반드시 분명할 필요는 없고, 각각의 층을 형성하기 위한 재료가 서로 혼합되기 때문에 경계가 불분명한 경우가 있을 수 있음을 유념한다. 각각의 층은 유기 재료 또는 무기 재료로 형성될 수 있다. 유기 재료로서, 고분자 화합물, 매체 분자 화합물 및 저분자 화합물 중 어느 하나가 이용될 수 있다. 매체 분자 가중 재료는, 구조적 단위의 반복들의 수(중합의 정도)가 약 2 내지 20인 낮은 중합체에 대응한다는 것을 유념한다. 홀 주입층과 홀 전송층 사이의 구별은 항상 뚜렷한 것이 아니며, 이것은 홀 전송 속성(홀 이동도)이 특히 중요한 특성이라는 점에서 동일하다. 편의상 애노드와 접촉하는 층은 홀 주입층이라고 칭해지고, 홀 주입층과 접촉하는 층은 홀 전송층이라고 칭해진다. 전자 전송층 및 전자 주입층에 대해서도 마찬가지이다; 캐소드와 접촉하는 층은 전자 주입층이라고 칭해지고, 전자 주입층과 접촉하는 층은 전자 전송층이라고 칭해진다. 일부 경우들에서, 발광층은 또한 전자 전송층으로 기능하고, 따라서 발광 전자 전송층이라고도 또한 칭해진다.

[0282] 도 26a에 도시된 화소의 경우에, 발광 소자(6033)로부터 방출된 광은 공백 화살표로 도시된 바와 같이 제 1 전극(6034)쪽으로부터 추출될 수 있다.

[0283] 다음에, 트랜지스터(6041)가 n-채널 타입이고, 발광 소자(6043)로부터 방출된 광이 제 2 전극(6046)쪽으로부터 추출되는 경우의 화소의 단면도가 도 26b에 도시된다. 트랜지스터(6041)가 절연막(6047)으로 커버되고, 절연막(6047) 위에, 개구부를 가진 격벽(6048)이 형성된다. 격벽(6048)의 개구부에, 제 1 전극(6044)이 부분적으로 노출되고, 제 1 전극(6044), 전계발광층(6045) 및 제 2 전극(6046)이 개구부에 순차적으로 적층된다.

[0284] 제 1 전극(6044)은 광을 반사 또는 차폐하기 위한 재료 또는 두께로 형성되고, 낮은 일함수의 금속, 합금, 전도성 화합물, 그 혼합물 등을 가진 재료로 형성될 수 있다. 특히, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca 또는 Sr과 같은 알칼리 토금속, 이러한 금속들(예를 들면, Mg: Ag, Al: Li 또는 Mg: In)을 함유한 합금, 이러한 재료들(예를 들면, 칼슘 플루오르화물 또는 칼슘 질화물)의 화합물, 또는 Yb 또는 Er과 같은 희토류 금속이 이용될 수 있다. 또한, 전자 주입층이 제공되는 경우, 알루미늄층과 같은 다른 도전층이 마찬가지로 이용될 수 있다.

[0285] 제 2 전극(6046)은, 광을 투과하기 위한 재료 또는 두께로 형성되고, 애노드로서 이용되기에 적합한 재료로 형성된다. 예를 들면, 인듐 주석 산화물(ITO), 산화 아연(ZnO), 인듐 산화 아연(IZO) 또는 갈륨-도핑된 산화 아연(GZO)과 같은 다른 투광성 산화물 도전 재료가 제 2 전극(6046)에 이용될 수 있다. 또한, 산화 아연(ZnO)이 ITO 및 산화 실리콘을 포함하는 인듐 주석 산화물(이후, ITSO라고 칭해짐)에서 또는 산화 실리콘을 포함하는 산화

인듐에서 2% 내지 20%로 혼합되는 혼합물이 제 2 전극(6046)에 마찬가지로 이용될 수 있다. 또한, 질화 티타늄, 질화 지르코늄, 티타늄, 텉스텐, 니켈, 플래티늄, 크롬, 은, 알루미늄 등 중 하나 이상을 포함하는 단일층막, 질화 티타늄막 및 주성분으로서 알루미늄을 포함하는 막의 적층, 질화 티타늄막, 주성분으로서 알루미늄을 포함하는 막, 및 질화 티타늄막의 3층 구조 등이 제 2 전극(6046)에 이용될 수 있다. 그러나, 투광성 산화물 도전 재료 외의 재료를 이용하는 경우에, 제 2 전극(6046)은 광을 투과하기 위한 두께(바람직하게, 약 5nm 내지 30nm)로 형성된다.

- [0286] 전계발광층(6045)이 도 26a의 전계발광층(6035)과 유사한 방식으로 형성될 수 있다.
- [0287] 도 26b에 도시된 화소의 경우, 발광 소자(6043)로부터 방출된 광은 공백 화살표로 도시된 바와 같이 제 2 전극(6046)으로부터 추출될 수 있다.
- [0288] 다음에, 트랜지스터(6051)가 n-채널 타입이고, 발광 소자(6053)로부터 방출된 광이 제 1 전극(6054)쪽 및 제 2 전극(6056)쪽으로부터 추출되는 경우의 화소의 단면도가 도 26c에 도시된다. 트랜지스터(6051)가 절연막(6057)으로 커버되고, 절연막(6057) 위에, 개구부를 가진 격벽(6058)이 형성된다. 격벽(6058)의 개구부에, 제 1 전극(6054)이 부분적으로 노출되고, 제 1 전극(6054), 전계발광층(6055) 및 제 2 전극(6056)이 개구부에 순차적으로 적층된다.
- [0289] 제 1 전극(6054)은 도 26a의 제 1 전극(6034)의 방식과 유사한 방식으로 형성될 수 있다. 제 2 전극(6056)은 도 26b의 제 2 전극(6046)과 유사한 방식으로 형성될 수 있다. 전계발광층(6055)은 도 26a에서의 전계발광층(6035)과 동일한 방식으로 형성될 수 있다.
- [0290] 도 26c에 도시된 화소의 경우에, 발광 소자(6053)로부터 방출된 광은 공백 화살표로 도시된 바와 같이 제 1 전극(6054)쪽 및 제 2 전극(6056)쪽으로부터 추출될 수 있다.
- [0291] 이 실시예는 상기 실시예들 중 어느 것과 적합하게 조합하여 구현될 수 있다.
- [0292] [예 1]
- [0293] 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 고속으로 동작하는 전자 장치가 제공될 수 있다. 그 외에도, 본 발명의 일 실시예에 따른 반도체 표시 장치를 이용함으로써, 화상을 높은 콘트라스트 및 가시성으로 표시할 수 있는 전자 장치가 제공될 수 있다.
- [0294] 또한, 본 발명의 반도체 장치로, 제조 공정에서 열 처리 온도가 억제될 수 있다; 따라서, 플라스틱과 같이, 내 열성이 유리보다 낮은 플렉시블 합성 수지를 이용하여 형성된 기판 위에 트랜지스터가 형성되는 경우에도, 탁월한 특성들을 가진 매우 신뢰 가능한 박막 트랜지스터가 형성될 수 있다. 따라서, 본 발명의 실시예에 따른 제조 방법을 이용하여, 매우 신뢰 가능하고, 경량이고, 저전력 소비하는 플렉시블 반도체 장치가 제공될 수 있다. 플라스틱 기판의 예들은 폴리에틸렌 테레프탈레이트(PET), 폴리에테르술폰(PES), 폴리에틸렌 네프탈레이트(PEN), 폴리카보네이트(PC), 폴리에테르에테르케톤(PEEK), 폴리술폰(PSF), 폴리에테르아미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌, 테레프탈레이트(PBT), 폴리아미드, 아크릴로니트릴-부타디엔-스틸렌 수지, 폴리비닐 염화물, 폴리프로필렌, 폴리비닐 아세테이트, 아크릴 수지 등에 의해 대표되는 폴리에스테르를 포함한다.
- [0295] 본 발명의 실시예에 따른 반도체 장치들은 표시 장치들, 랩탑들, 또는 기록 매체들이 구비되는 화상 재생 장치들(통상적으로, 디지털 다용도 디스크들(DVD들)과 같은 기록 매체들의 컨텐트를 재생하고 재생된 화상들을 표시하기 위한 표시부들을 갖는 장치들)에 이용될 수 있다. 또한, 본 발명의 실시예에 따른 반도체 장치를 포함하는 전자 장치들은 모바일 폰들, 휴대용 게임기들, 휴대 정보 단말기들, e-도서 판독기들, 비디오 카메라 또는 디지털 스틸 카메라들과 같은 카메라들, 고글형 표시부들(헤드 장착된 표시부들), 네비게이션 시스템들, 오디오 재생 장치들(예를 들면, 차량 오디오 시스템들 또는 디지털 오디오 플레이어들), 복사기들, 팩시밀리들, 프린터들, 다기능 프린터들, 현금 자동 지급기들(ATM들), 자동 판매기들 등을 포함한다. 이러한 전자 장치들의 특정 예들은 도 28a 내지 도 28e에 도시된다.
- [0296] 도 28a는 하우징(7001), 표시부(7002) 등을 포함하는 e-북 판독기를 도시한다. 본 발명의 실시예에 따른 반도체 표시 장치가 표시부(7002)에 이용될 수 있다. 표시부(7002)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 포함함으로써, 높은 콘트라스트 및 가시성으로 화상을 표시할 수 있는 e-북 판독기가 제공될 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 또한 e-북 판독기의 구동을 제어하기 위한 접적 회로에 이용될 수 있다. e-북 판독기의 구동을 제어하기 위한 접적 회로에, 본 발명의 일 실시예에 따른 반도체 장치를 이용함으로써, 고속 동작이 가능한 e-도서 판독기가 제공될 수 있다. 또한, 플렉시블 기판을 이용하여, 반도체 장치 및 반도체

표시 장치는 유연성을 가질 수 있다. 따라서, 유연하고, 경량이고, 이용하기 쉬운 e-도서 판독기가 제공될 수 있다.

[0297] 도 28b는 하우징(7011), 표시부(7012), 지지대(7013) 등을 포함하는 표시 장치를 도시한다. 본 발명의 실시예에 따른 반도체 표시 장치는 표시부(7012)에 이용될 수 있다. 표시부(7012)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 포함함으로써, 높은 콘트라스트 및 가시성으로 화상을 표시할 수 있는 표시 장치가 제공될 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 또한 표시 장치의 구동을 제어하기 위한 접적 회로에 이용될 수 있다. 표시 장치의 구동을 제어하기 위한 접적 회로에, 본 발명의 일 실시예에 따른 반도체 장치를 이용함으로써, 고속 동작이 가능한 표시 장치가 제공될 수 있다. 표시 장치의 예들은 개인용 컴퓨터들, TV 방송 수신부, 광고 표시부 등에 이용되는 모든 정보 표시 장치들을 포함한다는 것을 유념한다.

[0298] 도 28c는 하우징(7021), 표시부(7022) 등을 포함하는 표시 장치를 도시한다. 본 발명의 실시예에 따른 반도체 표시 장치는 표시부(7022)에 이용될 수 있다. 표시부(7022)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 포함함으로써, 높은 콘트라스트 및 가시성으로 화상을 표시할 수 있는 표시 장치가 제공될 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 또한 표시 장치의 구동을 제어하기 위한 접적 회로에 이용될 수 있다. 표시 장치의 구동을 제어하기 위한 접적 회로에, 본 발명의 일 실시예에 따른 반도체 장치를 이용함으로써, 고속 동작이 가능한 표시 장치가 제공될 수 있다. 또한, 플렉시블 기판을 이용하여, 반도체 장치 및 반도체 표시 장치는 유연성을 가질 수 있다. 따라서, 유연하고, 경량이고, 이용하기 쉬운 표시 장치가 제공될 수 있다. 따라서, 도 28c에 도시된 바와 같이, 표시 장치는 섬유 등에 고정되면서 이용될 수 있고, 표시 장치의 응용 범위가 극적으로 확대된다.

[0299] 도 28d는 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커(7036), 조작 키들(7037), 스타일러스(7038) 등을 포함하는 표시 장치를 도시한다. 본 발명의 실시예에 따른 반도체 표시 장치는 표시부(7033) 및 표시부(7034)에 이용될 수 있다. 표시부(7033) 및 표시부(7034)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 포함함으로써, 높은 콘트라스트 및 가시성으로 화상을 표시할 수 있는 휴대용 게임기가 제공될 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 또한 휴대용 게임기의 구동을 제어하기 위한 접적 회로에 이용될 수 있다. 휴대용 게임기의 구동을 제어하기 위한 접적 회로에, 본 발명의 일 실시예에 따른 반도체 장치를 이용함으로써, 고속 동작이 가능한 휴대용 게임기가 제공될 수 있다. 도 28d에 도시된 휴대용 게임기가 2개의 표시부(7033) 및 표시부(7034)를 구비하지만, 휴대용 게임기들에 포함되는 표시부들의 수는 이에 제한되지 않는다.

[0300] 도 28e는 하우징(7041), 표시부(7042), 음성 입력부(7043), 음성 출력부(7044), 조작 키들(7045), 수광부(7046) 등을 포함하는 모바일 폰을 도시한다. 수광부(7046)에서 수신되는 광은 전기 신호로 변환되고, 그에 의해 외부 화상이 로딩될 수 있다. 본 발명의 실시예에 따른 반도체 표시 장치는 표시부(7042)에 이용될 수 있다. 표시부(7042)에 본 발명의 일 실시예에 따른 반도체 표시 장치를 포함함으로써, 높은 콘트라스트 및 가시성으로 화상을 표시할 수 있는 모바일 폰이 제공될 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 또한 모바일 폰의 구동을 제어하기 위한 접적 회로에 이용될 수 있다. 모바일 폰의 구동을 제어하기 위한 접적 회로에, 본 발명의 일 실시예에 따른 반도체 장치를 이용함으로써, 고속 동작이 가능한 모바일 폰이 제공될 수 있다.

[0301] 예 1은 상기 실시예들 중 어느 것과 적합하게 조합하여 구현될 수 있다.

[0302] 본 출원은 2009년 10월 9일 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2009-235570호에 기초하고, 그 전체 내용들은 참조로서 본 명세서에 포함되어 있다.

부호의 설명

[0303] 10: 펠스 출력 회로 11: 배선

12: 배선 13: 배선

14: 배선 15: 배선

21: 입력 단자 22: 입력 단자

23: 입력 단자 24: 입력 단자

25: 입력 단자 26: 출력 단자

27: 출력 단자	31: 트랜지스터
32: 트랜지스터	33: 트랜지스터
34: 트랜지스터	35: 트랜지스터
36: 트랜지스터	37: 트랜지스터
38: 트랜지스터	39: 트랜지스터
40: 트랜지스터	41: 트랜지스터
42: 트랜지스터	43: 트랜지스터
51: 전원선	52: 전원선
53: 전원선	201: 박막 트랜지스터
202: 기판	203: 게이트 전극
204: 게이트 절연막	205: 산화물 반도체막
206: 소스 전극	207: 드레인 전극
208: 산화물 절연막	209: 도전막
210: 절연막	211: 박막 트랜지스터
212: 기판	213: 게이트 전극
214: 게이트 절연막	215: 산화물 반도체막
216: 소스 전극	217: 드레인 전극
218: 산화물 절연막	219: 도전막
220: 절연막	221: 박막 트랜지스터
222: 기판	223: 게이트 전극
224: 게이트 절연막	225: 산화물 반도체막
226: 소스 전극	227: 드레인 전극
228: 산화물 절연막	229: 도전막
230: 절연막	231: 채널 보호막
250: 복합층	251: 금속 산화막
260: 복합층	261: 금속 산화막
270: 복합층	271: 금속 산화막
400: 기판	401: 게이트 전극
402: 게이트 절연막	403: 산화물 반도체막
404: 산화물 반도체막	405: 산화물 반도체막
406: 도전막	408: 커뮤니케이션 배선
409: 산화물 반도체막	411: 산화물 절연막
412: 산화물 반도체막	413: 박막 트랜지스터
414: 화소 전극	415: 투명 도전막
416: 투명 도전막	420: 단자
421: 단자	430: 복합층

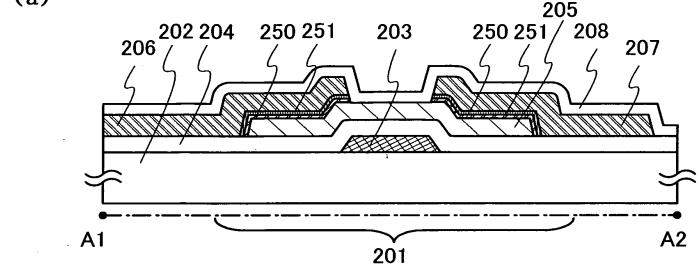
431: 금속 산화막	700: 화소부
701: 신호선 구동 회로	702: 주사선 구동 회로
703: 화소	704: 트랜지스터
705: 표시 소자	706: 저장 커패시터
707: 신호선	708: 주사선
710: 화소 전극	711: 대향 전극
712: 마이크로캡슐	713: 드레인 전극
714: 수지	1401: 박막 트랜지스터
1402: 게이트 전극	1403: 게이트 절연막
1404: 산화물 반도체막	1406: 도전막
1407: 산화물 절연막	1408: 절연막
1410: 화소 전극	1411: 배향막
1413: 대향 전극	1414: 배향막
1415: 액정	1416: 밀봉제
1417: 스페이서	1420: 복합층
1421: 금속 산화막	1601: 액정 패널
1602: 확산판	1603: 프리즘 시트
1604: 확산판	1605: 도광판
1606: 반사판	1607: 광원
1608: 회로 기판	1609: FPC
1610: FPC	407a: 소스 전극
407b: 드레인 전극	5300: 기판
5301: 화소부	5302: 주사선 구동 회로
5303: 주사선 구동 회로	5304: 신호선 구동 회로
5305: 타이밍 제어 회로	5601: 시프트 레지스터
5602: 샘플링 회로	5603: 트랜지스터
5604: 배선	5605: 배선
6031: 트랜지스터	6033: 발광 소자
6034: 전극	6035: 전계발광층
6036: 전극	6037: 절연막
6038: 격벽	6041: 트랜지스터
6043: 발광 소자	6044: 전극
6045: 전계발광층	6046: 전극
6047: 절연막	6048: 격벽
6051: 트랜지스터	6053: 발광 소자
6054: 전극	6055: 전계발광층

6056: 전극	6057: 절연막
6058: 격벽	7001: 하우징
7002: 표시부	7011: 하우징
7012: 표시부	7013: 지지대
7021: 하우징	7022: 표시부
7031: 하우징	7032: 하우징
7033: 표시부	7034: 표시부
7035: 마이크로폰	7036: 스피커
7037: 조작 키	7038: 스타일러스
7041: 하우징	7042: 표시부
7043: 음성 입력부	7044: 음성 출력부
7045: 조작 키	7046: 수광부

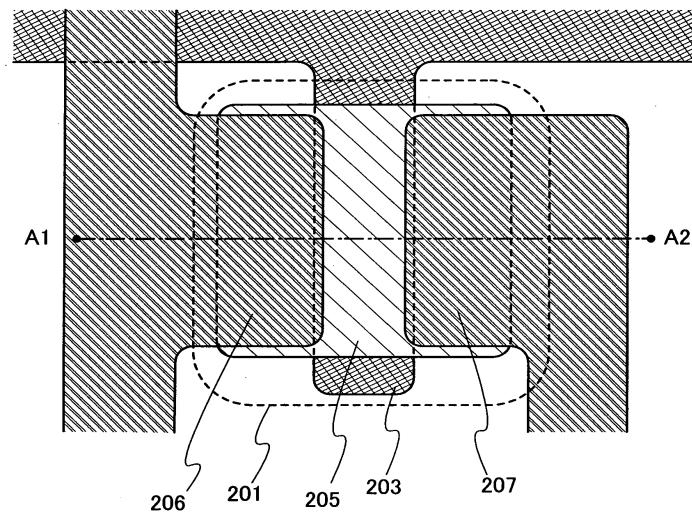
도면

도면1

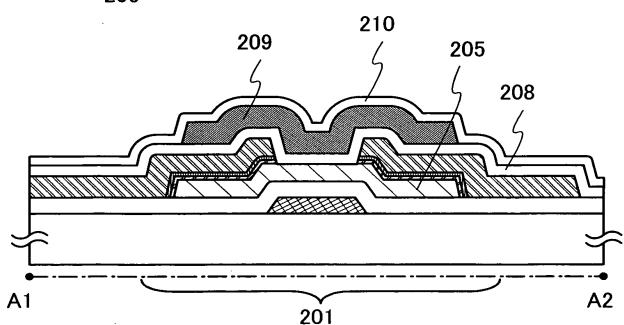
(a)



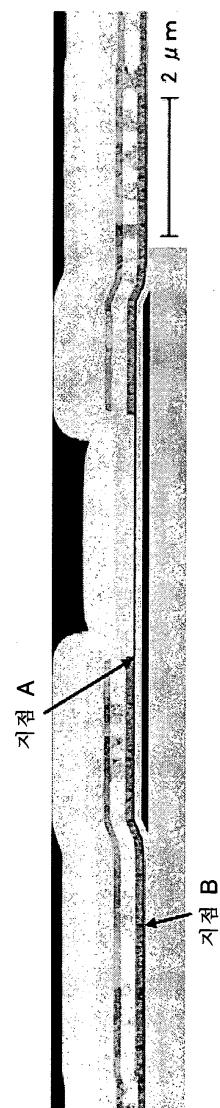
(b)



(c)

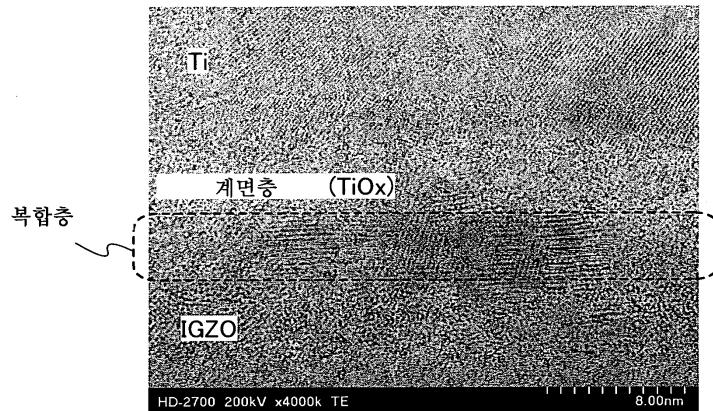


도면2

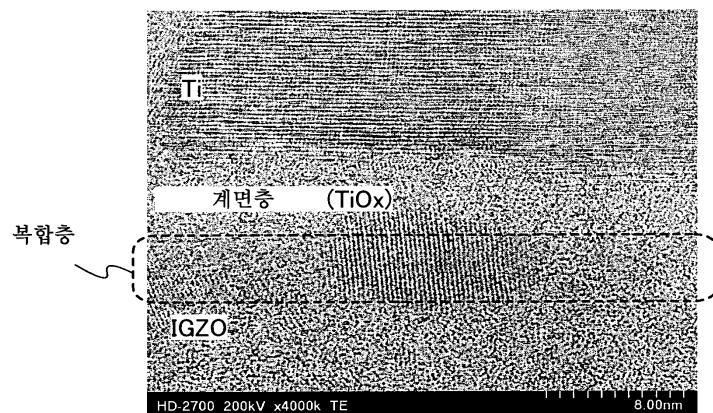


도면3

(a)

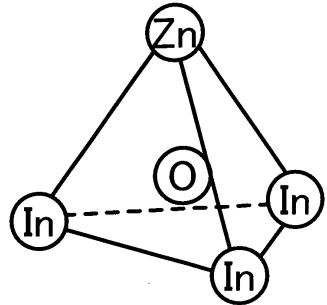


(b)

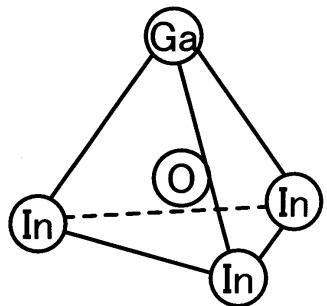


도면4

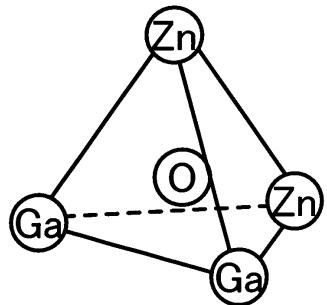
(a)



(b)

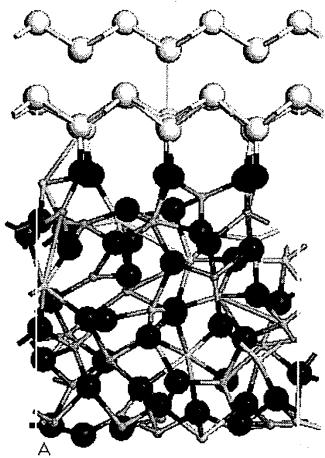


(c)

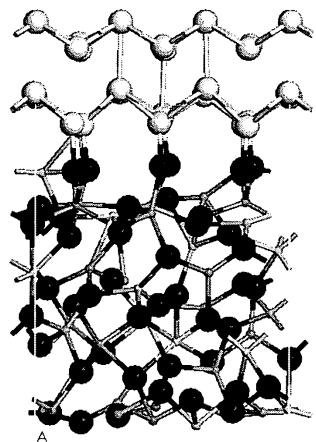


도면5

(a)

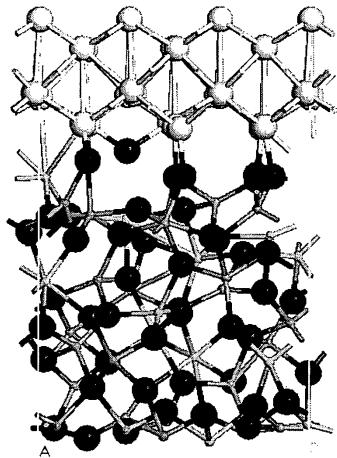


(b)

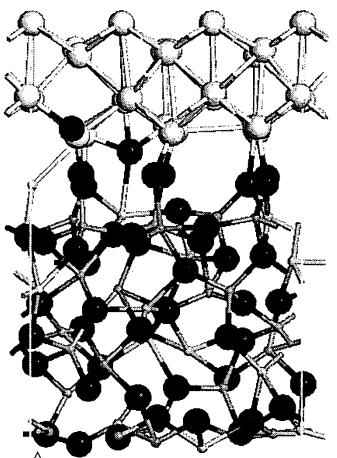


도면6

(a)

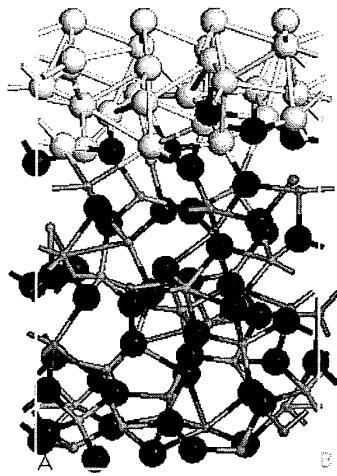


(b)

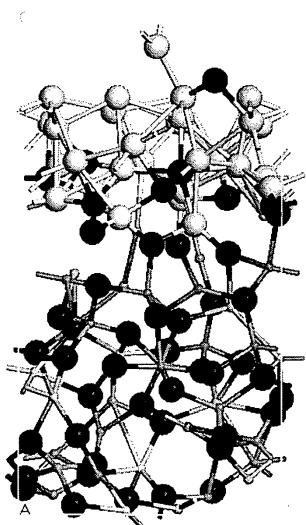


도면7

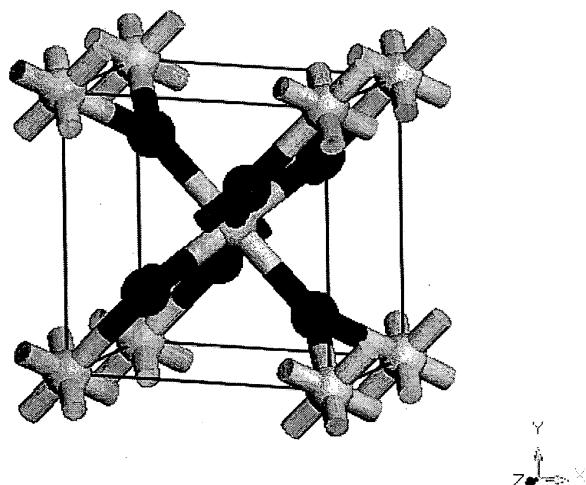
(a)



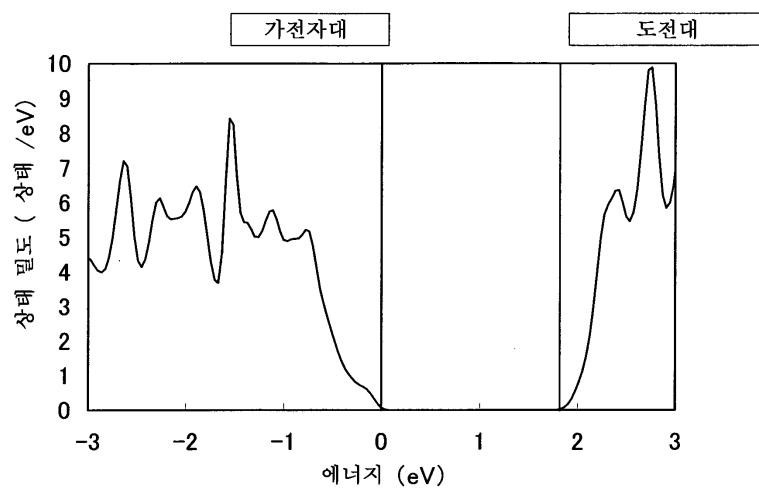
(b)



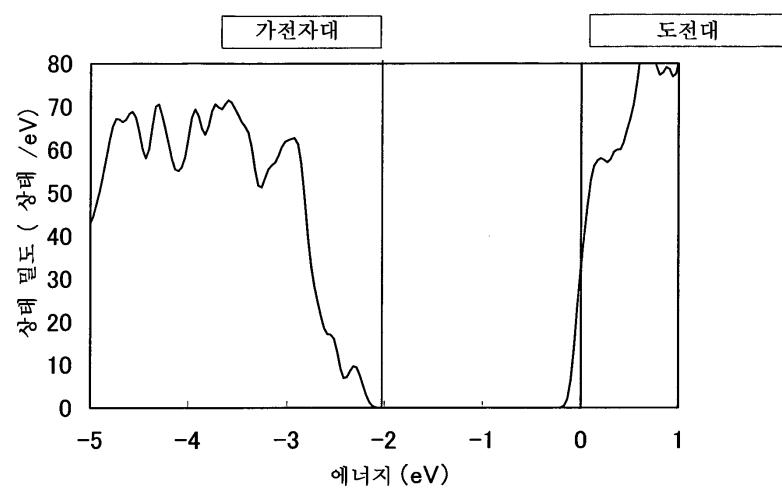
도면8



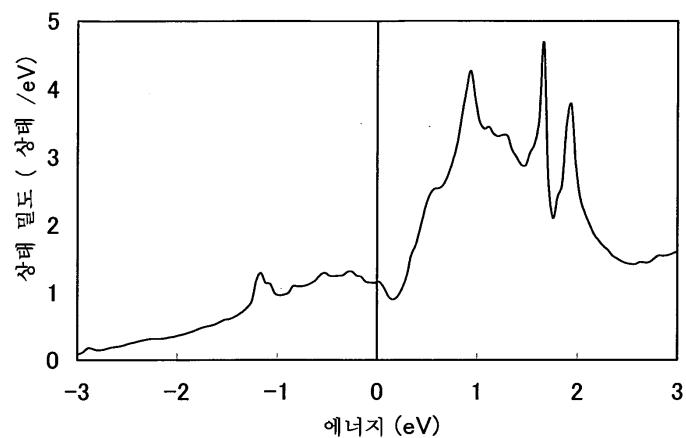
도면9



도면10

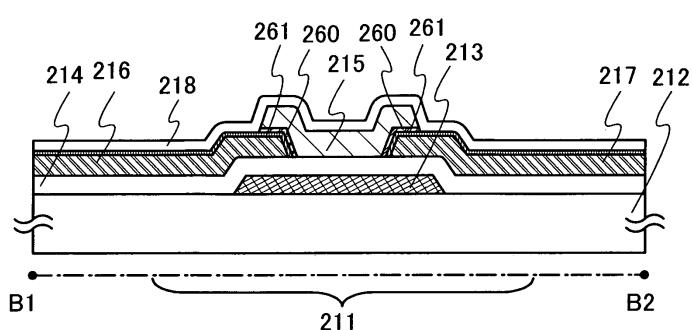


도면11

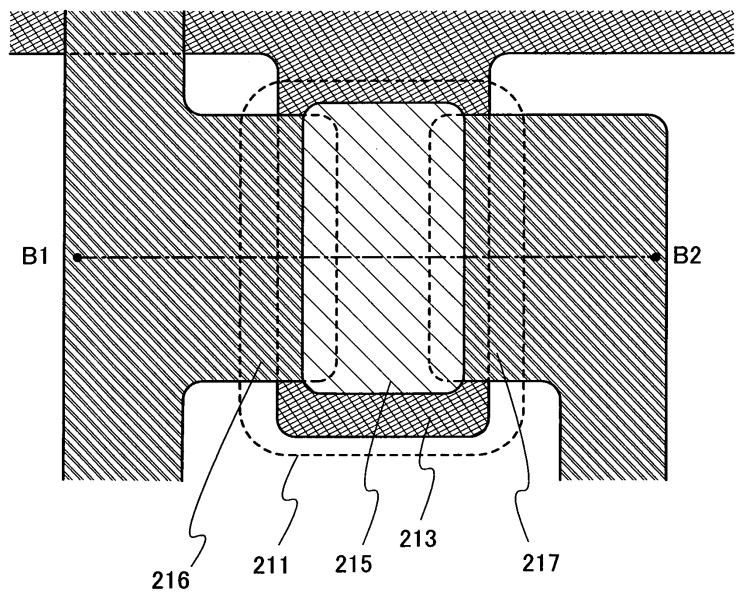


도면12

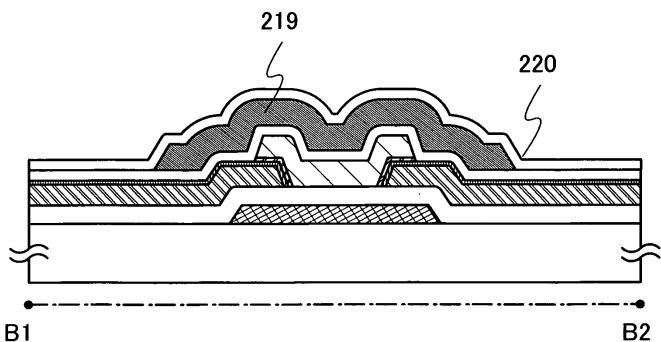
(a)



(b)

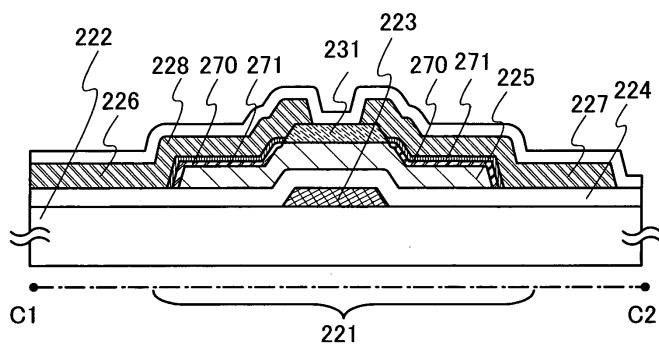


(c)

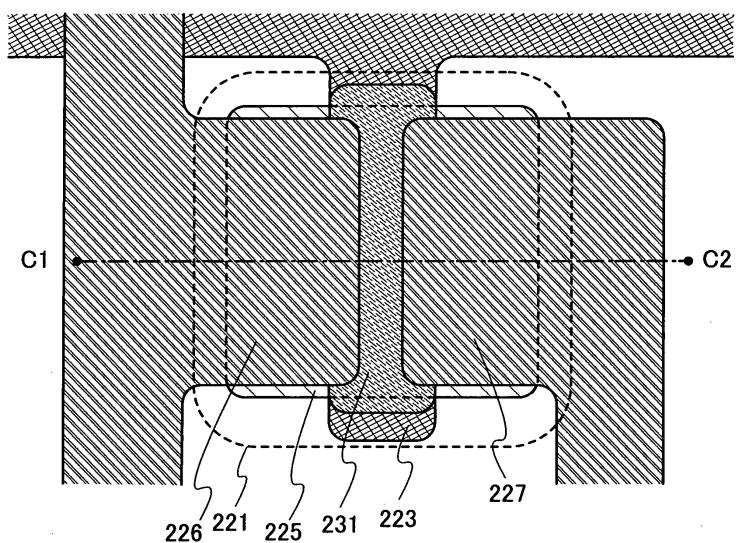


도면13

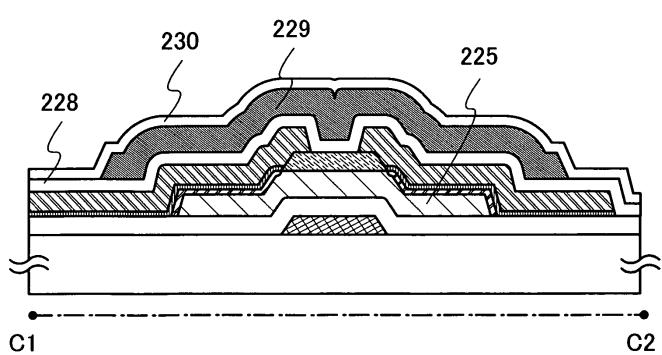
(a)



(b)

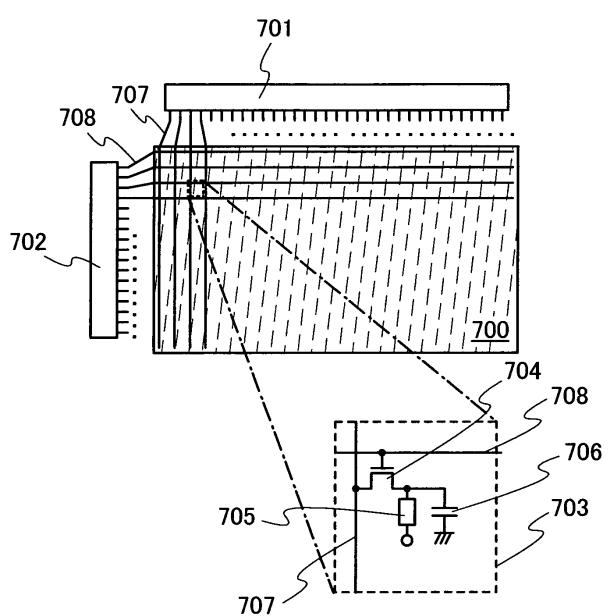


(c)

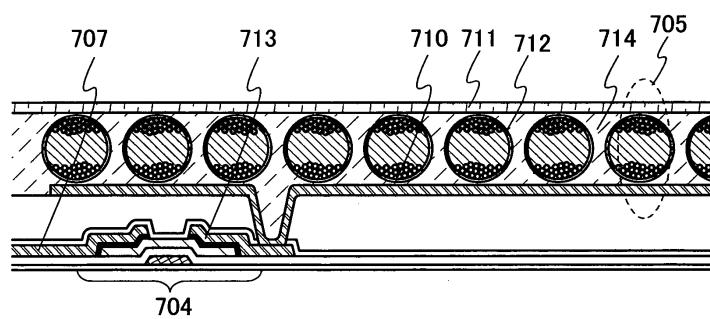


도면14

(a)

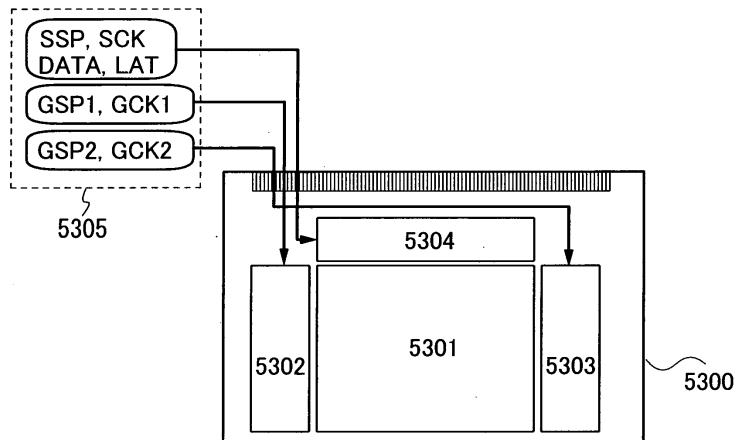


(b)

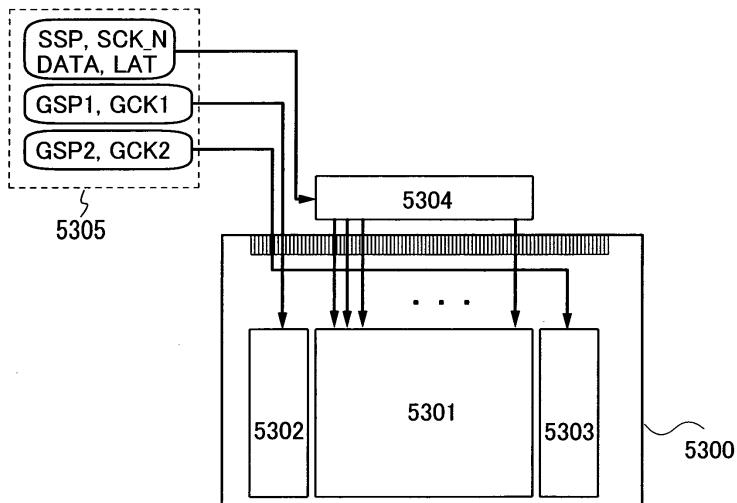


도면15

(a)

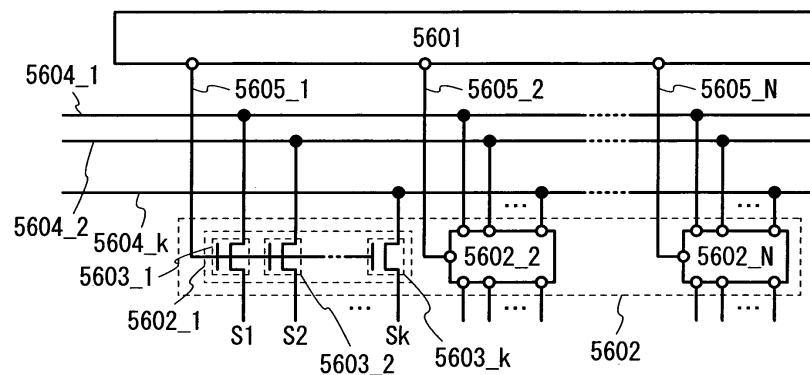


(b)

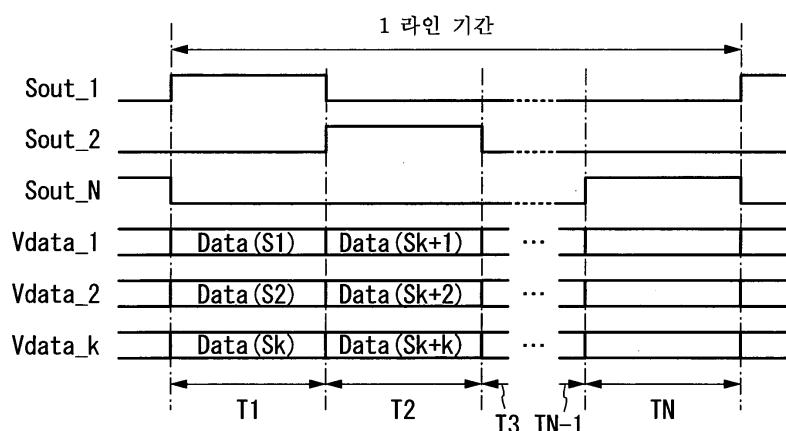


도면16

(a)

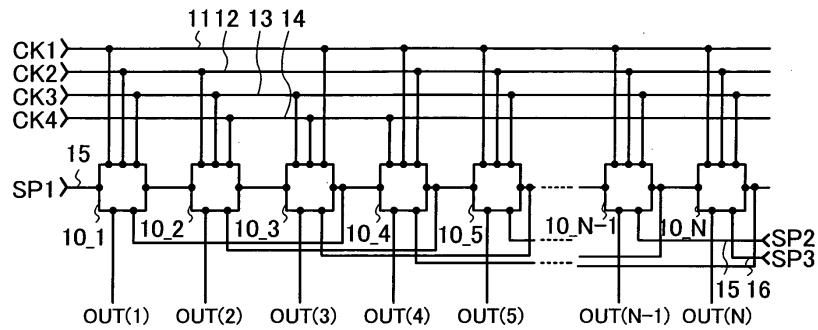


(b)

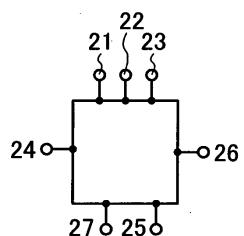


도면17

(a)

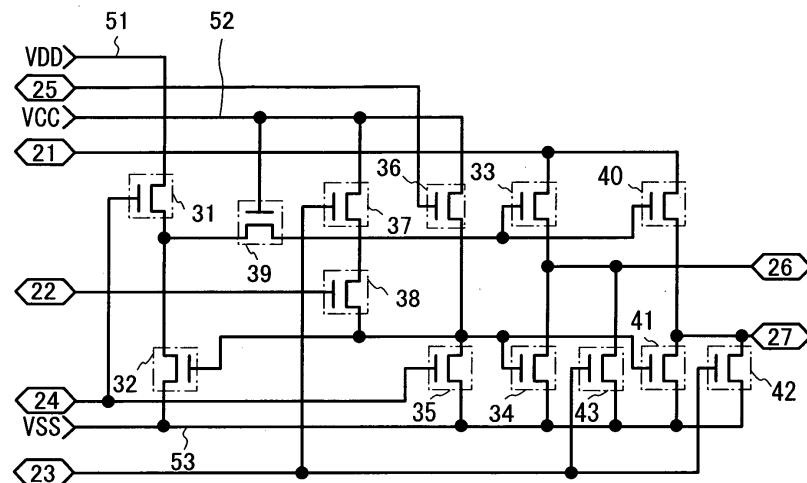


(b)

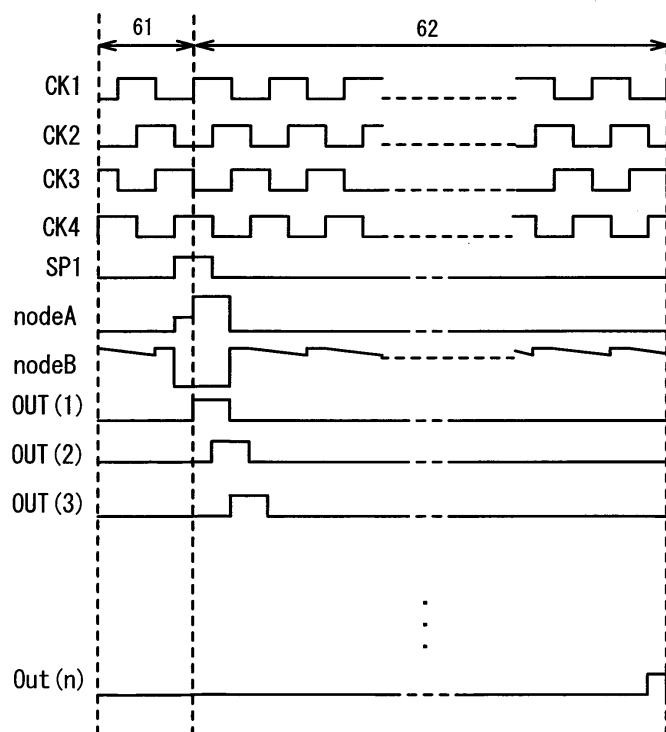


도면18

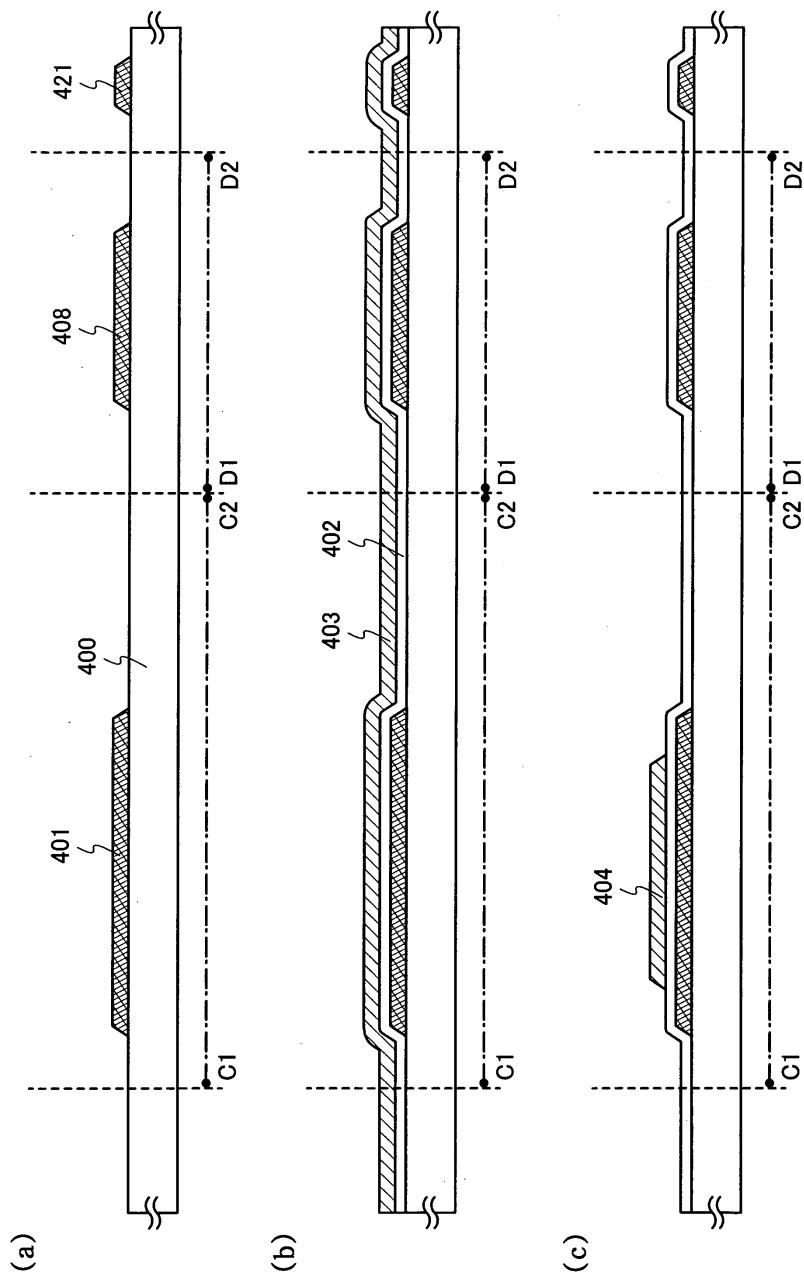
(a)



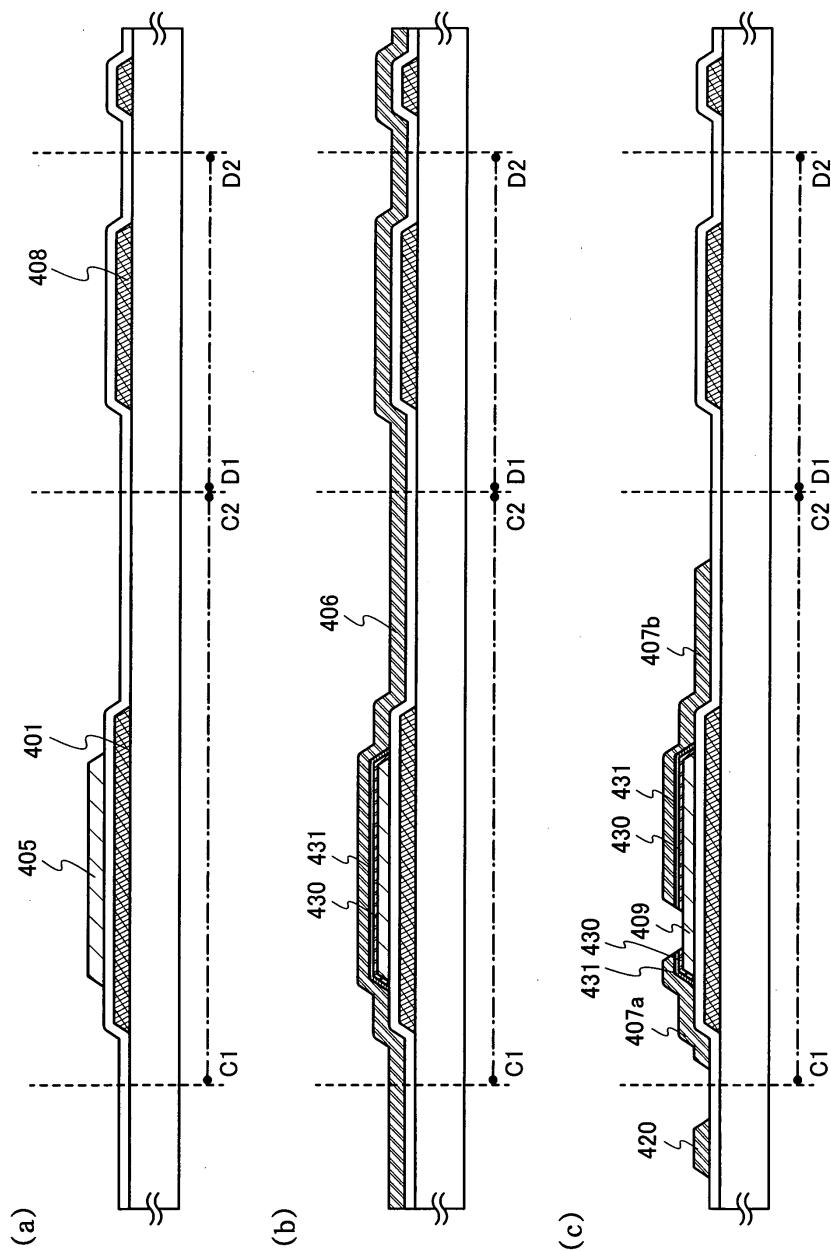
(b)



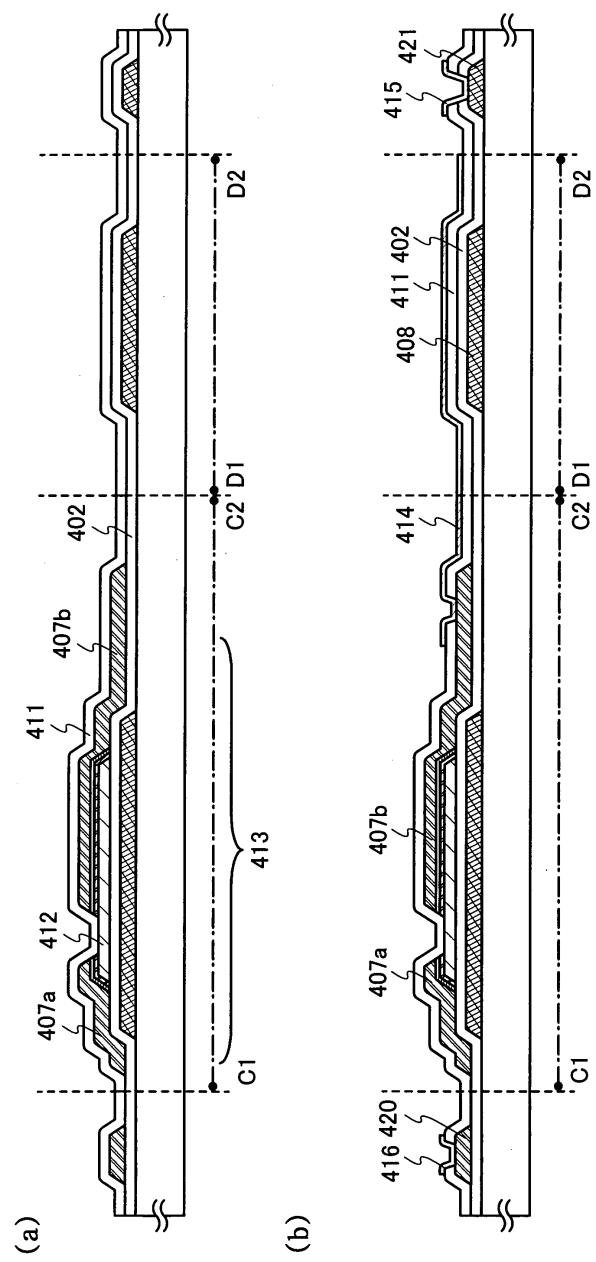
도면19



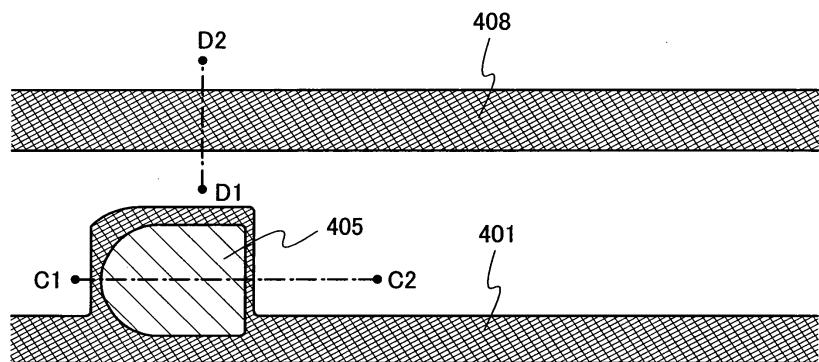
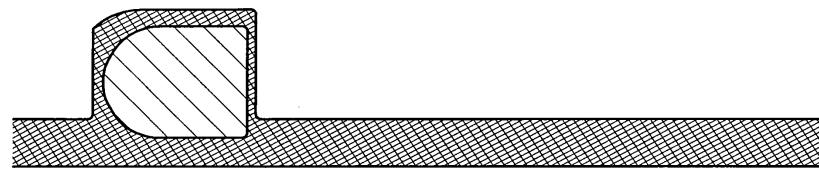
도면20



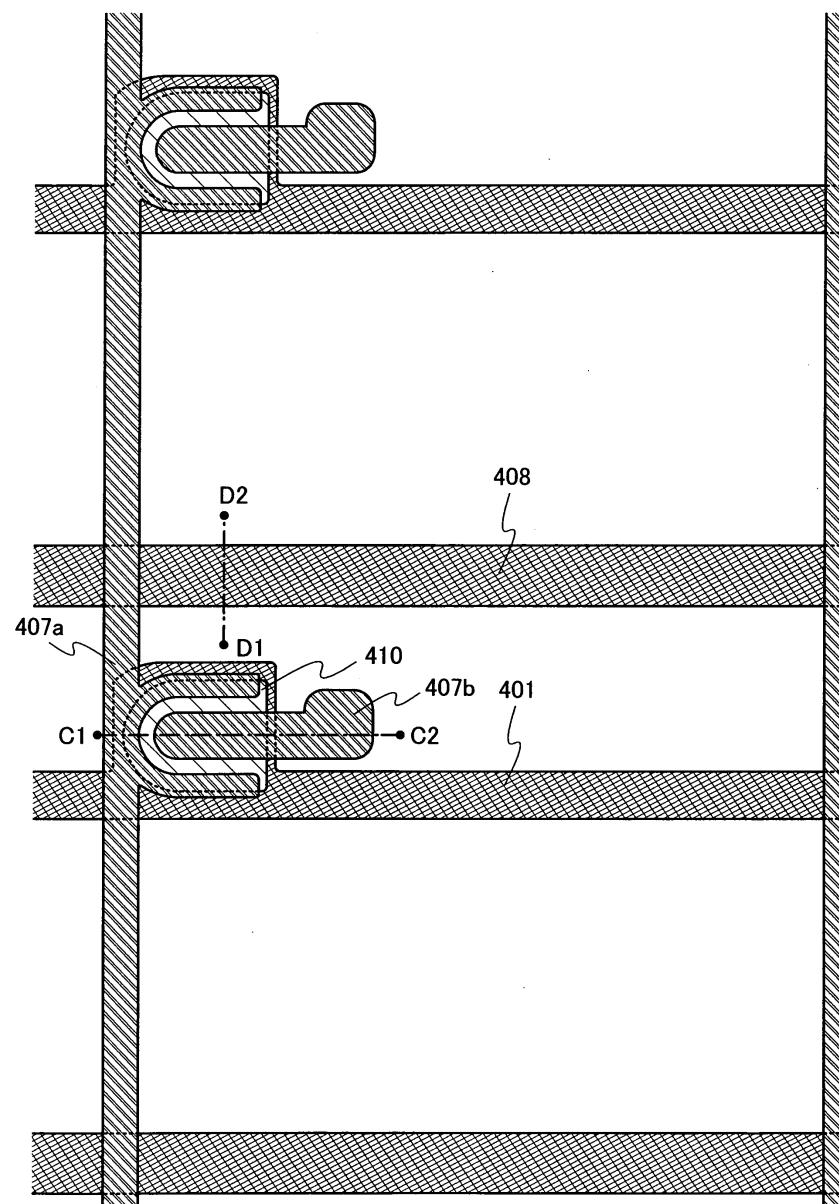
도면21



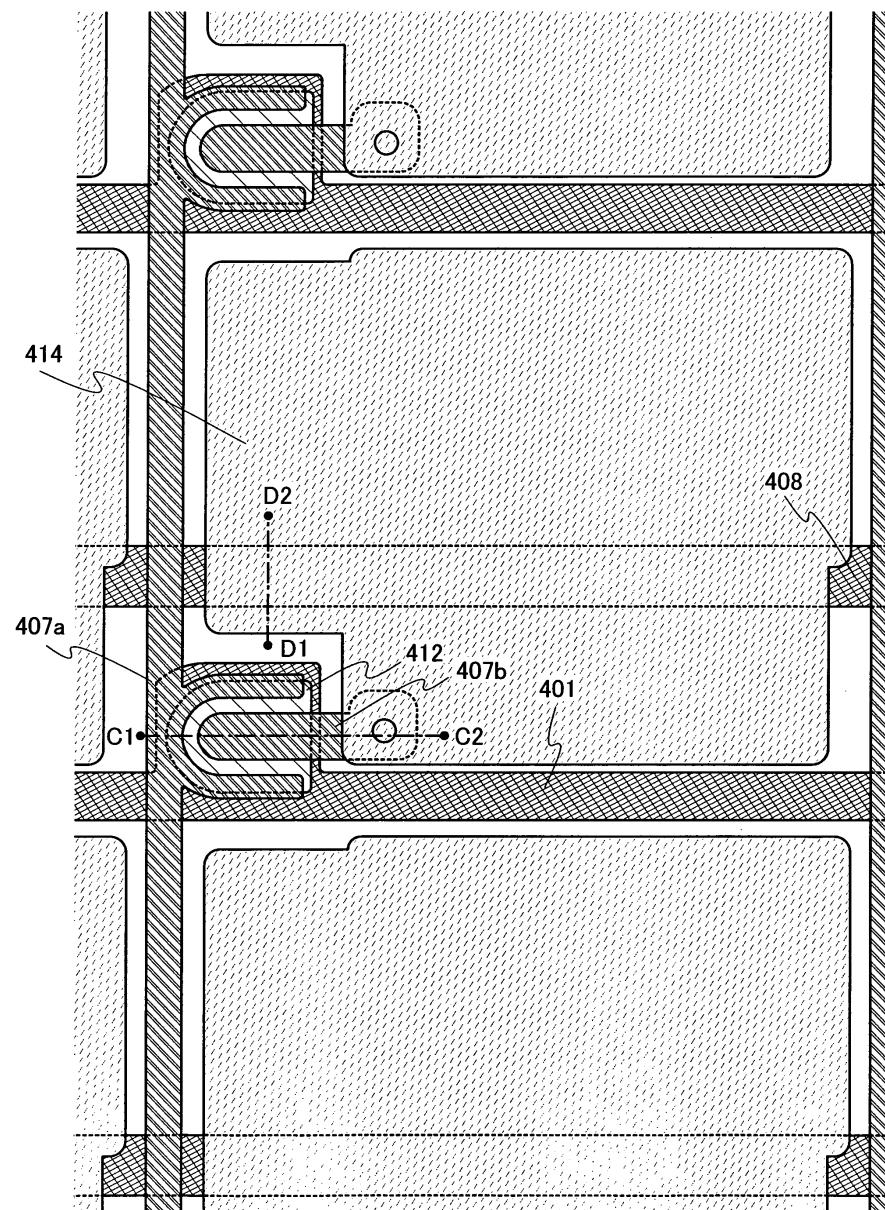
도면22



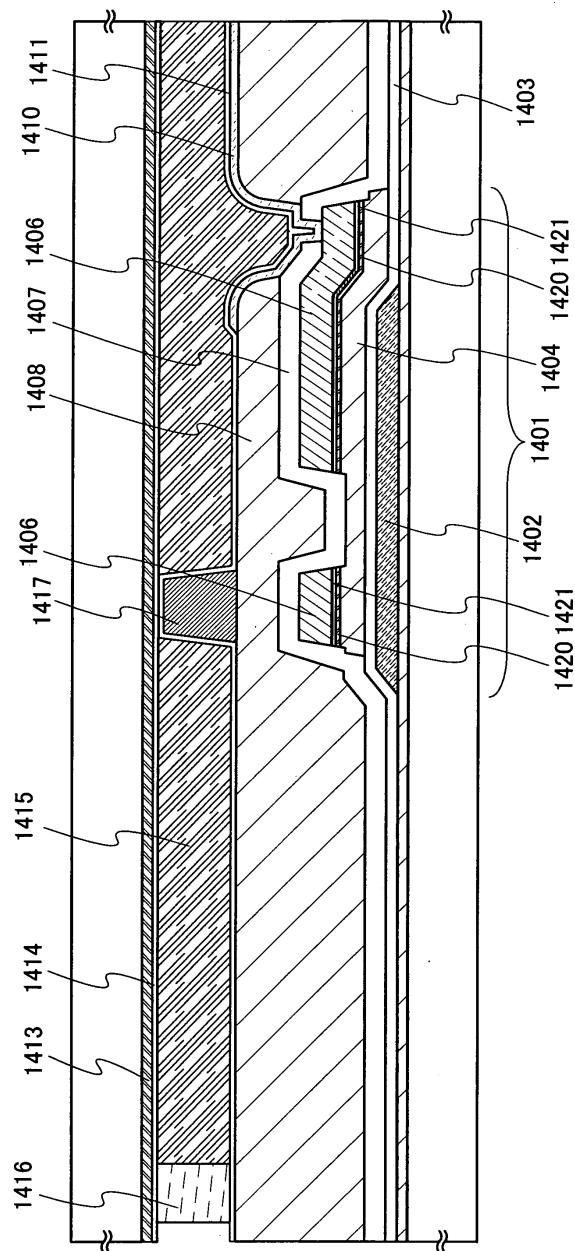
도면23



도면24

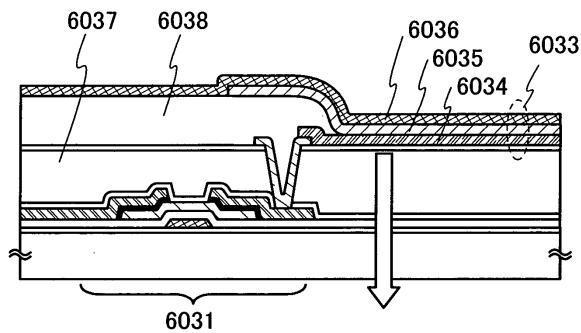


도면25

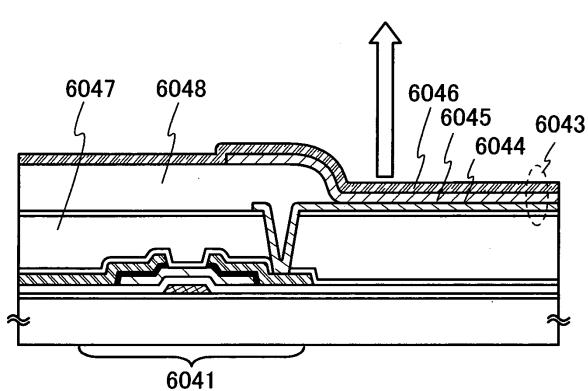


도면26

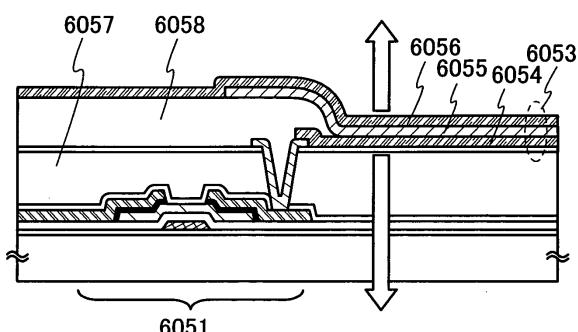
(a)



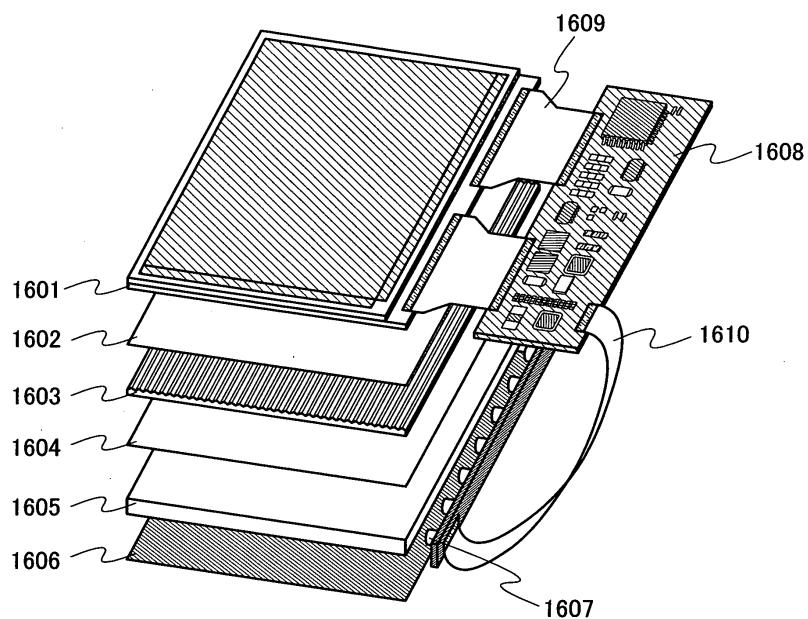
(b)



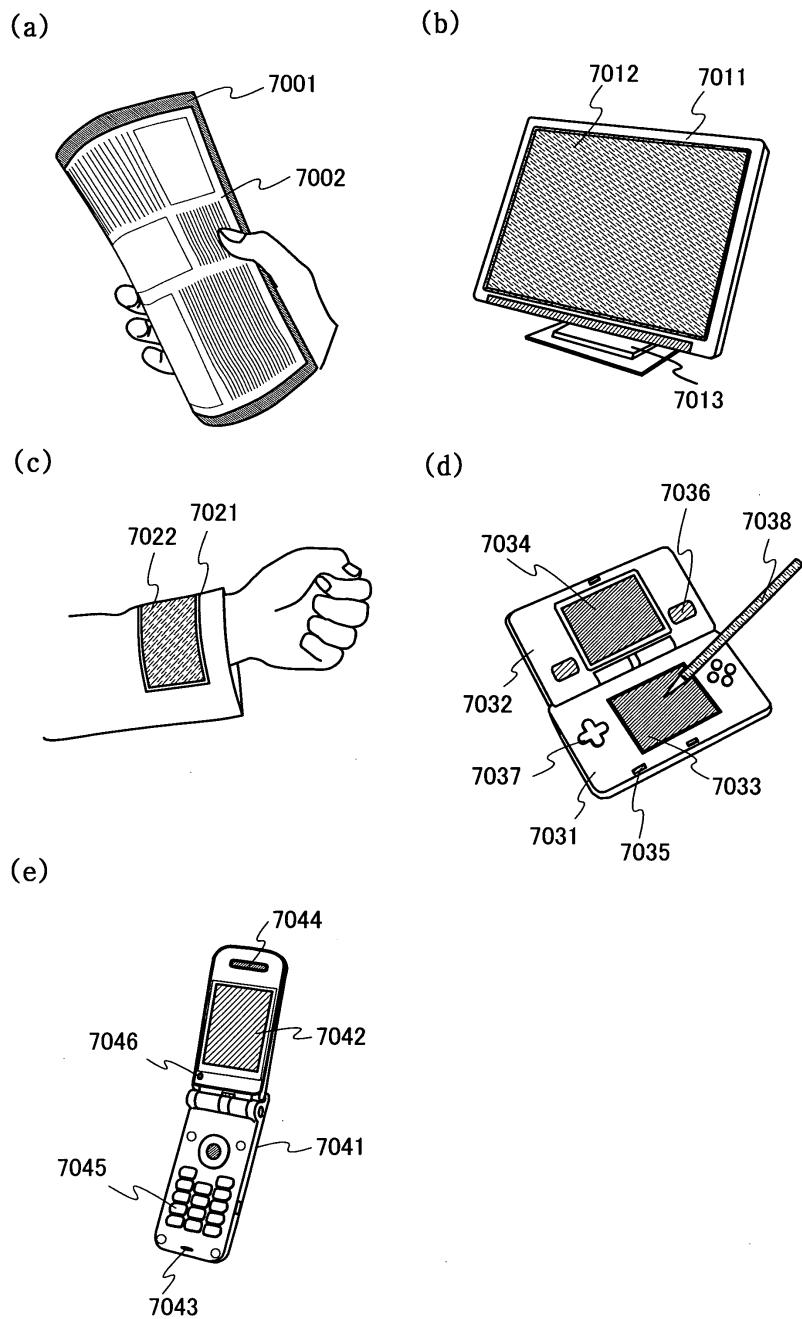
(c)



도면27



도면28



도면29

