



(12)发明专利

(10)授权公告号 CN 104508821 B

(45)授权公告日 2018.11.09

(21)申请号 201380039862.9

(22)申请日 2013.07.25

(65)同一申请的已公布的文献号

申请公布号 CN 104508821 A

(43)申请公布日 2015.04.08

(30)优先权数据

2012-173188 2012.08.03 JP

(85)PCT国际申请进入国家阶段日

2015.01.27

(86)PCT国际申请的申请数据

PCT/JP2013/004534 2013.07.25

(87)PCT国际申请的公布数据

W02014/020871 EN 2014.02.06

(73)专利权人 索尼公司

地址 日本东京都

(72)发明人 榎本贵幸 蛭子芳树

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 焦玉恒

(51)Int.Cl.

H01L 27/146(2006.01)

(56)对比文件

CN 1877846 A, 2006.12.13,

CN 101847643 A, 2010.09.29,

US 2012/0153128 A1, 2012.06.21,

CN 1763964 A, 2006.04.26,

审查员 温菊红

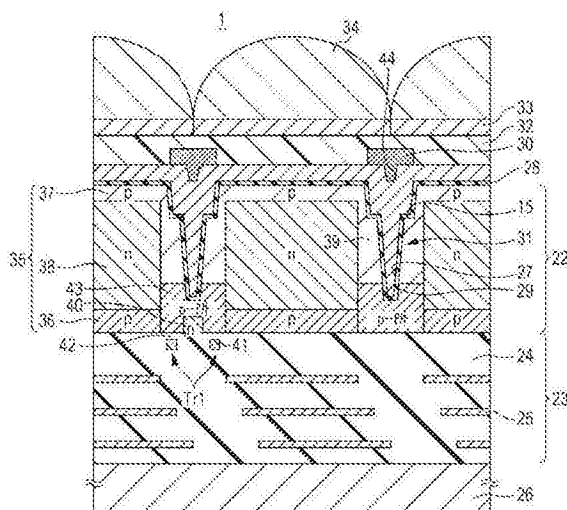
权利要求书3页 说明书21页 附图27页

(54)发明名称

固态成像装置、制造固态成像装置的方法和电子设备

(57)摘要

提供固态成像装置(1)、制造固态成像装置的方法和电子设备。固态成像装置包括基板(22),其中多个像素(2)形成在基板中。另外,多个凹槽(27)形成在基板中,具体是在相邻像素之间的像素隔离区域(31)中。凹槽从基板的第一表面朝着基板的第二表面延伸。埋入膜(29)延伸进入凹槽中。至少某些凹槽包括靠近基板的第一表面的第一级和靠近基板的第二表面的第二级,第一级和第二级由凹槽的壁限定,其中第一级宽于第二级,并且其中第一级和第二级之间存在台阶(15)。另外,该装置包括位于凹槽上相邻于基板的第一表面的遮光膜(30)。遮光膜的一部分埋设在延伸进入凹槽的该埋入膜中。



1. 一种固态成像装置,包括:

基板;

多个像素,形成在该基板中;

多个凹槽,形成在该基板中,其中该凹槽位于相邻像素之间的像素隔离区域中,并且其中该凹槽从该基板的第一表面朝着该基板的第二表面延伸,至少某些凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级和第二级由该凹槽的壁限定,其中该第一级宽于该第二级;

埋入膜,延伸进入该凹槽中;

平坦膜,布置在埋入膜之上;

其中,该装置还包括:

上覆于该凹槽上且相邻于该基板的该第一表面的遮光膜,并且其中该遮光膜的至少一部分埋设在延伸进入该凹槽中的该埋入膜中,遮光膜的埋设深度设置在凹槽部的开口端之上,并且该遮光膜被所述平坦膜覆盖。

2. 如权利要求1所述的装置,还包括:

膜,其中该膜与该凹槽的该壁以及该基板的该第一表面接触,并且其中延伸进入该凹槽的该埋入膜与该膜接触。

3. 如权利要求2所述的装置,其中与该凹槽的该壁接触的该膜是固定电荷膜。

4. 如权利要求1所述的装置,其中该凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级和该第二级由该凹槽的壁限定,其中该第一级宽于该第二级,并且其中在该第一级和第二级之间存在台阶。

5. 如权利要求1所述的装置,其中该多个像素设置成行和列,其中该凹槽具有在同一行或同一列中相邻像素之间的凹槽部分中的第一图形,并且其中该凹槽具有在不同行和列中的对角相邻像素之间的凹槽部分中的第二图形。

6. 如权利要求5所述的装置,其中至少具有第一图形的该凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级宽于该第二级,并且其中该第一级和第二级是渐缩的,从而每个凹槽的宽度随着距该基板的该第一表面的距离而减小。

7. 如权利要求6所述的装置,其中具有该第一图形的该凹槽和具有该第二图形的该凹槽包括第一级和第二级,并且其中至少该第一图形的该第一级宽于该第二图形的该第一级。

8. 如权利要求6所述的装置,其中该装置包括上覆于该凹槽上且相邻于该基板的该第一表面的遮光膜,并且其中该遮光膜的至少一部分埋设在延伸进入该凹槽中的该埋入膜中。

9. 如权利要求8所述的装置,其中具有该第二图形的该凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,并且其中该遮光膜相对于具有该第一图形的凹槽以第一距离且相对于具有该第二图形的凹槽以第二距离埋入在该埋入膜中。

10. 如权利要求8所述的装置,其中该埋入膜相对于具有该第一图形的凹槽具有第一宽度,并且相对于具有该第二图形的凹槽具有第二距离。

11. 如权利要求1所述的装置,其中该装置包括上覆于该凹槽上且相邻于该基板的该第

该遮光膜在该埋入膜中的掩埋部分,其中遮光膜的掩埋部分的掩埋深度设置在凹槽部的开口端之上,并且该遮光膜被所述平坦膜覆盖。

18.如权利要求17所述的方法,还包括:

在该凹槽部中形成不平坦部,其中至少一个台阶形成在该凹槽部中。

19.如权利要求18所述的方法,还包括:

在该埋入膜中形成该遮光膜的掩埋部分。

20.如权利要求19所述的方法,其中光电转换部设置成二维矩阵,其中该凹槽部具有设置在水平方向或垂直方向上的光电转换部之间的第一图形,并且其中该凹槽部具有对角设置的光电转换元件之间的第二图形。

21.如权利要求20所述的方法,其中该埋入膜由氧化硅、氮化硅、氧氮化硅、树脂、具有弱正固定电荷的材料和不具有正固定电荷的材料中的至少一个形成。

固态成像装置、制造固态成像装置的方法和电子设备

技术领域

[0001] 本公开涉及背照式固态成像装置、其制造方法和电子设备。

背景技术

[0002] 近年来,已经提出了背照式固态成像装置,其中光从与基板上形成配线层的一侧相对的一侧辐射。在背照式固态成像装置中,因为配线层和电路元件不形成在光辐射表面的一侧上,所以,除了能提高基板上形成的光接收部的开口率外,由于输入光被输入光接收部,而没有被配线层反射,能够实现灵敏度上的改善。另外,可应用背照式结构到CCD(电荷耦合装置)固态成像装置和CMOS(互补金属氧化物半导体)固态成像装置。

[0003] 输入光以主光束角上施加,主光束角取决于相机的成像透镜的光瞳位置和亮度(F值),并且伴随着垂直光束角的扩大而输入。结果,已经通过其它像素的滤色器的斜向输入光输入到不同像素的光接收部中,并且经受光电转换,该光电转换导致光学颜色混合和灵敏度下降的问题。

[0004] 为了减少光学颜色混合,在另一种方法中,通过绝缘层设置遮光膜,位于其上设置光电转换部的光接收表面的像素边界。

[0005] 在此情况下,优选在基板的形成光输入侧的背表面侧的光接收部之间形成遮光膜,但是因为基板和聚光透镜的表面之间的距离与遮光膜的高度成比例增加,所以存在导致聚焦特性下降的可能性。另外,由于来自位于设置有光电转换部的基板和遮光膜之间的绝缘膜的斜向输入光,将产生光学颜色混合的问题。

发明内容

[0006] 在该类型的固态成像装置中需要改善聚焦特性且进一步改善诸如光学颜色混合减少等特性。

[0007] 希望提供一种固态成像装置及其制造方法,其实现了聚焦特性的改善,并且进一步改善了诸如光学颜色混合减少等特性。另外,希望提供采用该固态成像装置的电子设备。

[0008] 根据本公开,能够实现聚焦特性的改善,并且能够实现进一步改善诸如固态成像装置中光学颜色混合减少等特性。另外,根据用于制造根据本公开实施例的固态成像装置的方法,能够实现聚焦特性上的改善,并且能制造进一步改善了诸如光学颜色混合的减少等特性的固态成像装置。此外,由于采用固态成像装置,能获得实现图像质量改善的电子设备。

附图说明

[0009] 图1是示出根据本公开第一实施例的固态成像装置的整体示意性构造图;

[0010] 图2是包括根据本公开第一实施例的固态成像装置的四个像素的区域的中心部分的平面布置图;

[0011] 图3是沿着图2的线III-III剖取的截面构造图;

[0012] 图4A是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之

一)；

[0013] 图4B是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0014] 图5C是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0015] 图5D是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0016] 图6E是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0017] 图6F是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0018] 图7G是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0019] 图7H是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图(四分之一)；

[0020] 图8是根据比较示例的固态成像装置的主要部分的截面构造图；

[0021] 图9是根据修改示例的固态成像装置的主要部分的截面构造图；

[0022] 图10A是示出制造根据修改示例的固态成像装置的方法的工艺图；

[0023] 图10B是示出制造根据修改示例的固态成像装置的方法的工艺图；

[0024] 图11A是包括根据第一实施例的固态成像装置的四个像素的区域的中心部分的平面布置图；

[0025] 图11B是沿着图11A中线A-B剖取的截面构造图；

[0026] 图11C是沿着图11A中线B-C剖取的截面构造图；

[0027] 图12A是包括根据本公开第二实施例的固态成像装置的四个像素的区域的中心部分的平面布置图；

[0028] 图12B是沿着图12A中线A-B剖取的截面构造图；

[0029] 图12C是沿着图12A中线B-C剖取的截面构造图；

[0030] 图13是沿着图12A中线A-B-C剖取的截面构造图；

[0031] 图14A是示出制造根据本公开第二实施例的固态成像装置的方法的工艺图(二分之一)；

[0032] 图14B是示出制造根据本公开第二实施例的固态成像装置的方法的工艺图(二分之一)；

[0033] 图15C是示出制造根据本公开第二实施例的固态成像装置的方法的工艺图(二分之一)；

[0034] 图15D是示出制造根据本公开第二实施例的固态成像装置的方法的工艺图(二分之一)；

[0035] 图16A是半导体芯片的平面布置图；

[0036] 图16B是沿着设置在半导体芯片中的保护环的线XVIB-XVIB剖取的截面构造图；

[0037] 图16C是沿着保护环的线XVIC-XVIC剖取的截面构造图；

[0038] 图17是包括根据本公开第三实施例的固态成像装置的四个像素的区域的中心部分的平面布置图；

[0039] 图18是沿着图17A中线XVIII-XVIII剖取的截面构造图；

[0040] 图19A是示出制造根据本公开第三实施例的固态成像装置的方法的工艺图(二分之一)；

[0041] 图19B是示出制造根据本公开第三实施例的固态成像装置的方法的工艺图(二分之一)；

[0042] 图20C是示出制造根据本公开第三实施例的固态成像装置的方法的工艺图(二分之一)；

[0043] 图20D是示出制造根据本公开第三实施例的固态成像装置的方法的工艺图(二分之一)；

[0044] 图21是根据修改示例的固态成像装置的主要部分的截面构造图；以及

[0045] 图22是根据本公开第四实施例的电子设备的截面构造图。

具体实施方式

[0046] 在下文,将参考图1至图22对根据本公开实施例的固态成像装置的示例、制造固态成像装置的方法和电子设备进行说明。以下指出的顺序对本公开的实施例进行说明。另外,本公开不限于下面给出的示例。

[0047] 1. 第一实施例:固态成像装置

[0048] 1-1 固态成像装置的总体构造

[0049] 1-2 主要部分的构造

[0050] 1-3 制造固态成像装置的方法

[0051] 1-4 比较示例

[0052] 1-5 修改示例

[0053] 1-6 制造根据修改示例的固态成像装置的方法

[0054] 2. 第二实施例:固态成像装置

[0055] 2-1 主要部分的构造

[0056] 2-2 制造固态成像装置的方法

[0057] 3. 第三实施例:固态成像装置

[0058] 3-1 主要部分的构造

[0059] 3-2 制造固态成像装置的方法

[0060] 3-3 修改示例

[0061] 4. 第四实施例:电子设备

[0062] 第一实施例:固态成像装置

[0063] 1-1固态成像装置的总体构造

[0064] 图1是示出根据本公开第一实施例的固态成像装置1的整体示意性构造图。本实施例的固态成像装置1构造为包括多个设置在由硅构成的基板11上的像素2构成的像素区域3、垂直驱动电路4、列信号处理电路5、水平驱动电路6、输出电路7和控制电路8等。

[0065] 像素2由光敏二极管形成的光电转换部和多个MOS晶体管构成,并且多个像素呈二

维阵列规则地布置在基板11上。构成像素2的MOS晶体管可为四个MOS晶体管,由转移晶体管、复位晶体管、选择晶体管和放大晶体管构成,或者可为三个晶体管,其中省略选择晶体管。

[0066] 像素区域3由规则地设置成二维阵列的像素2构成。像素区域3由有效像素区域和黑色基准像素区域(图中未示出)构成,有效像素区域接收实际意义上的光且通过放大信号电荷而将通过光电转换产生的信号电荷读取到列信号处理电路5,黑色基准像素区域用于输出形成黑色水平基准的光学黑色。黑色基准像素区域通常形成在有效像素区域的周边。

[0067] 控制电路8在垂直同步信号、水平同步信号和主时钟信号的基础上产生用于形成垂直驱动电路4、列信号处理电路5和水平驱动电路6等的操作基准的时钟信号和控制信号。此外,由控制电路8产生的时钟信号和控制信号等输入到垂直驱动电路4、列信号处理电路5和水平驱动电路6等中。

[0068] 垂直驱动电路4例如由位移晶体管构成,并且在某一时刻在连续的垂直方向上选择性地扫描位于一条线上像素区域3中的每个像素2。此外,在每个像素2的光敏二极管中,基于根据所接收的光量产生的信号电荷,通过垂直信号线将像素信号提供到列信号处理电路5。

[0069] 列信号处理电路5例如布置在像素2的每一个列中,并且根据来自黑色基准像素区域(图中未示出,但是该部件形成在有效像素区域的周边)的信号,对像素的每个列执行信号处理,例如,从像素2的一行输出的信号的噪声去除和信号放大。在列信号处理电路5的输出级上,水平选择开关(图中未示出)设置在水平信号线10和列信号处理电路5之间。

[0070] 水平驱动电路6例如由位移晶体管构成,通过顺序输出水平扫描脉冲而顺序选择每个列信号处理电路5,并且将像素信号从每个列信号处理电路5输出到水平信号线10。

[0071] 输出电路7对从每个列信号处理电路5通过水平信号线10顺序提供的信号进行信号处理,并且输出该信号。

[0072] 1-2主要部分的构造

[0073] 图2是包括在根据本公开第一实施例的固态成像装置1的垂直方向和水平方向上相邻的四个像素的区域的中心部分的平面布置图。另外,图3是沿着图2中线III-III剖取的截面构造图。本实施例的固态成像装置1包括基板22、形成在基板22的前表面侧上的配线层23和支撑基板26。另外,本实施例的固态成像装置1包括元件隔离部31、平坦膜32、滤色器33和聚光透镜34。另外,在下文的描述中,设第一导电类型为p-型且第二导电类型为n-型来描述本实施例。

[0074] 基板22由硅形成的半导体基板构成,并且例如形成为具有1微米至6微米的厚度。多个像素,其由光敏二极管形成的光电转换部35和构成像素电路部的多个像素晶体管构成,在基板22的像素区域3中形成二维矩阵。

[0075] 光电转换部35由第一导电类型半导体区域36、37和第二导电类型半导体区域38构成,第一导电类型(在下文称为p-型)半导体区域36、37形成在基板22的前表面侧和背表面侧,第二导电类型(在下文称为n-型)半导体区域38形成在第一导电类型半导体区域之间。在光电转换部35中,主光敏二极管由p-型半导体区域36、37和n-型半导体区域38之间的pn结形成。取决于光量的信号电荷产生在光电转换部35中,并且该信号电荷保存在n-型半导体区域38中。另外,由于p-型半导体区域36、37在本实施例中形成在基板22的前表面和背表

面上,抑制了在基板边界处产生的暗电流的出现。

[0076] 另外,每个光电转换部35由像素隔离层39和元件隔离部31电隔离,像素隔离层39由p-型半导体区域构成,元件隔离部31形成在像素隔离层39内。像素隔离层39以栅格形式设置在基板22以限定每个光电转换部35,并且形成为从基板22的背表面侧至达到p-阱层43的深度,p-阱层43(下文描述)由像素晶体管Tr1的源漏区域40形成。

[0077] 像素晶体管Tr1由设置在基板22上的源漏区域40和通过栅极绝缘膜42设置在基板22的前表面侧上的栅极41构成。如图3所示,源漏区域40由n-型半导体区域形成,n-型半导体区域由n-型杂质形成,n-型杂质以高浓度注入形成在基板22的前表面侧的p-阱层43中。

[0078] 转移晶体管、放大晶体管、复位晶体管或选择晶体管等可形成为驱动像素2的像素晶体管Tr1,但是在图3中,在像素晶体管Tr1当中,作为代表示例仅示出了转移晶体管。

[0079] 元件隔离部31由膜(在下文称为固定电荷膜28)、埋入膜29和遮光膜30构成,固定电荷膜28埋入在凹槽部27内,凹槽部27从基板22的背表面侧开始形成在深度方向上,并且具有负固定电荷。元件隔离部31以栅格形式设置以限定每个像素2,并且设置为电隔离相邻的光电转换部35。

[0080] 如图3所示,凹槽部27从基板的背表面侧开始形成在深度方向上,并且不平坦部15设置在凹槽部27的侧壁表面上。如图2所示,不平坦部15设置在凹槽部27的相对侧壁表面上,凹槽部27设置在水平方向和垂直方向上相邻的像素2之间(在光电转换部35之间)。另外,从凹槽部27的开口端到不平坦部15的侧壁表面和从不平坦部15到凹槽部27的底表面的侧壁表面形成锥形方式,从而其开口的宽度逐渐变小。

[0081] 不平坦部15设置为使凹槽部27的开口的宽度在基板22的深度方向上变小。在本实施例中,凹槽部27中设置的不平坦用一个台阶构成,但是可设置多个台阶。

[0082] 另外,凹槽部27形成至达到p-阱层43的深度,p-阱层43由像素晶体管Tr1的源漏区域40形成,并且凹槽部27形成至不达到源漏区域40的深度。在本实施例中,凹槽部27形成至达到像素晶体管Tr1的p-阱层43的深度,但是基板22在元件隔离部31的背表面侧的端部可形成为接触p-型半导体层,并且因此凹槽部27不必形成至达到p-阱层43的深度。在本实施例中,在凹槽部27形成在由p-型半导体层形成的像素隔离层39中的情况下,当凹槽部27不达到p-阱层43时,甚至能通过隔离获得绝缘效果。

[0083] 固定电荷膜28形成在基板22的背表面的整个表面上且形成在凹槽部27的侧壁表面和底表面上。另外,在下文的描述中,凹槽部27的侧壁表面和底表面统称为“内壁表面”。优选固定电荷膜28采用能提高钉扎的材料,通过作为沉积在硅或类似基板上的结果产生固定电荷而提高钉扎,并且能采用由具有负电荷的高折射率的材料制造的膜或高介电膜。

[0084] 作为固定电荷膜28的具体材料示例,例如,可形成氧化铪(HfO_2)膜氧化铝(Al_2O_3)膜、氧化锆(ZrO_2)膜、氧化钽(Ta_2O_5)膜或氧化钛(TiO_2)膜。上述类型的膜已经证明了在绝缘栅极场效应晶体管等的栅极绝缘膜中的使用记录,并且因为已经形成了成膜方法,因此能容易形成由该材料制造的膜。另外,作为上述材料之外的材料示例,可采用氧化镧(La_2O_3)、氧化镨(Pr_2O_3)、氧化铈(CeO_2)、氧化钕(Nd_2O_3)、氧化钷(Pm_2O_3)、氧化钐(Sm_2O_3)、氧化铕(Eu_2O_3)、氧化钆(Gd_2O_3)、氧化铽(Tb_2O_3)、氧化镝(Dy_2O_3)、氧化钬(Ho_2O_3)、氧化铒(Er_2O_3)、氧化镱(Tm_2O_3)、氧化镱(Yb_2O_3)、氧化镧(Lu_2O_3)或氧化钇(Y_2O_3)等。此外,可以由氮化铪膜、氮化铝膜、氮氧化铪膜或氮氧化铝膜形成具有负固定电荷的固定电荷膜28。

[0085] 硅(Si)或氮(N)可在固定电荷膜28的材料不失去其绝缘性的情况下加到具有负固定电荷的固定电荷膜28的材料。加入浓度可在不损失膜的绝缘性的范围内适当决定。这样,作为加入硅(Si)或氮(N)的结果,能在处理期间提高离子注入的耐热性和元件性能。

[0086] 另外,为了提高对硅基板等的钉扎,在已经形成负固定电荷膜28后,可层叠作为高介电常数材料的抗反射膜。

[0087] 在本实施例中,因为在凹槽部27的内壁表面和基板22的背表面上形成具有负固定电荷的固定电荷膜28,所以反转层形成在与固定电荷膜28接触的表面上。结果,因为硅边界由反转层钉扎,所以能抑制暗电流的产生。另外,在凹槽部27形成在基板22上的情况下,对凹槽部27的内壁表面导致物理损害,并且存在在凹槽部27的周边部分中引起钉扎释放的可能性。与此相反,在本实施例中,能够通过凹槽部27的内壁表面上形成具有强固定电荷的固定电荷膜28而防止钉扎释放。

[0088] 埋入膜29形成为覆盖基板22的背表面侧的整个表面,并且埋设在其中形成固定电荷膜28的凹槽部27中。关于埋入膜29的材料,优选埋入膜29由折射率与固定电荷膜28不同的材料形成,并且例如可采用氧化硅、氮化硅、氮氧化硅或树脂。另外,可在埋入膜29中采用没有正固定电荷或具有弱正固定电荷的特定材料。

[0089] 此外,由于埋入膜29埋设在凹槽部27中,构成每个像素的光电转换部35通过埋入膜29隔离。结果,由于信号电荷不可能泄漏到相邻像素中,所以,在产生的信号电荷超过电荷饱和量的情况下,能降低溢出信号电荷泄漏在相邻光电转换部35中的可能性。为此,能抑制电子颜色混合(产生模糊现象)。

[0090] 另外,根据折射率之差,形成在基板22的形成输入表面侧的背表面侧上的固定电荷膜28和埋入膜29的两层结构具有抗反射膜的作用。因此,由于光从基板22的背表面侧输入,能防止基板22的背表面中的反射。

[0091] 遮光膜30形成在该固定电荷膜28和该埋入膜29之上的位置,固定电荷膜28和埋入膜29形成在基板22的背表面侧上且直接在凹槽部27之上,并且遮光膜30设置为屏蔽邻接像素2之间(光电转换部35之间)的边界区域的光。另外,遮光膜30形成为至少其一部分埋入在埋入膜29中,埋入膜29埋入在凹槽部27中,并且在本实施例中,其埋入深度设定为设置在基板22上的凹槽部27的开口端之上。作为形成遮光膜30的材料,例如,除了诸如钨(W)、铝(Al)和铜(Cu)的金属之外可采用吸收光的碳黑。

[0092] 在本实施例中,通过将遮光膜30的埋入深度设定在设置在基板22上的凹槽部27的开口端之上,能抑制由膜应力影响产生的图像质量下降和暗电流的产生。另外,由于遮光膜30形成为使其至少一部分埋入在埋设在凹槽部27中的埋入膜29中,能减少由斜向输入光引起的光学颜色混合。

[0093] 平坦膜32形成在埋入膜29的包括遮光膜30的整个表面上,并且因此基板22的背表面侧的表面被平坦化。作为平坦膜32的材料,例如,可采用诸如树脂的有机材料。

[0094] 滤色器层33形成在平坦膜32的上表面上,并且例如形成为对应于每个像素的R(红)、G(绿)和B(蓝)。在滤色器层33中,透射预定波长的光,并且透射的光输入到基板22的光电转换部35中。

[0095] 聚光透镜34形成在滤色器层33的上表面上。在聚光透镜34中,聚集辐射光,并且聚集的光通过滤色器层33有效地输入到光电转换部35。

[0096] 配线层23形成在基板22的前表面侧上,并且构造为具有配线25,配线通过层间绝缘膜24层叠在多个层(本实施例中的三层)中。构成像素2的像素晶体管Tr1通过配线层23中形成的配线25驱动。

[0097] 支撑基板26形成在配线层23的与面对基板22侧相反的表面。支撑基板26构造为在制造阶段上加强基板22,并且例如构造为硅基板。

[0098] 1-3制造固态成像装置的方法

[0099] 接下来,将描述制造本实施例的固态成像装置的方法。图4A至7H是示出制造根据本公开第一实施例的固态成像装置的方法的工艺图。

[0100] 首先,如图4A所示,在基板22上已经形成光电转换部35、像素晶体管Tr1和像素隔离层39后,通过在基板22的前表面上交替形成层间绝缘膜24和配线25而形成配线层23。通过从基板的前表面侧注入预定的杂质,在基板22的前表面上形成的光电转换部35等的杂质。

[0101] 在本实施例中,在形成例如由二氧化硅膜形成的栅极绝缘膜42后,例如由多晶硅形成的栅极41形成在基板22的前表面上的位于栅极绝缘膜42之上的预定区域中。

[0102] 另外,尽管附图上省略了,但是在配线层23的形成过程中,根据需要在垂直相邻的配线25之间以及配线25和像素晶体管Tr1之间形成接触过孔。接触过孔在层间绝缘膜24中形成接触孔,并且通过埋设预定的金属材料而形成。

[0103] 接下来,如图4B所示,由硅基板形成的支撑基板26贴合到配线层23的最上层。接下来,如图5C所示,反转基板22,并且采用化学机械抛光(CMP)法、干蚀刻或湿蚀刻等将基板22的背表面侧减薄至预定的基板22厚度。另外,抛光基板22的方法可为上述方法的任何一个,或者可为其结合。

[0104] 接下来,如图5D所示,在基板22的每个像素的边界,也就是其中形成像素隔离层39的部分,通过从基板22的背表面侧在深度方向上选择性干蚀刻而形成预定深度的凹槽部27。

[0105] 形成凹槽部27的工艺在基板22的背表面侧上形成具有预定开口的硬掩模65,并且通过光刻和干蚀刻的工艺形成凹槽部27。考虑到光谱特性,优选凹槽部27距离基板22的背表面的深度为0.2微米或更大,并且更优选该深度为1.0微米或更大。另外,优选凹槽部27的开口宽度 w_1 为0.02微米。通过设定凹槽部27的开口宽度 w_1 较宽,更容易进行凹槽部27的处理,但是因为随着凹槽部27的开口宽度 w_1 增加光谱特性和电荷饱和量恶化,所以更优选凹槽部27的开口宽度 w_1 约为0.02微米。

[0106] 在此情况下,希望硬掩模65中采用的膜为 SiO_2 膜,其可在低温下形成膜,例如HDP(高密度等离子体)或P-TEOS(等离子体四乙基原硅酸盐)等,在例如干蚀刻时可以容易地获得对于基板22的选择性。此外,根据设备等的情形,P-SiN SiN膜等或抗蚀剂掩模可用作硬掩模65。例如,在 SiO_2 膜的情况下,优选硬掩模65的膜厚度约为0.1微米至0.5微米。

[0107] 接下来,如图6E所示,硬掩模65之上的预定区域形成光致抗蚀剂66,并且硬掩模65的开口宽度通过采用光致抗蚀剂66作为掩模蚀刻硬掩模65而加宽。就是说,图6E中形成的硬掩模65的开口宽度 w_2 宽于前面阶段的图5D中采用的硬掩模65的开口宽度 w_1 。另外,图6E中形成的硬掩模65的开口宽度 w_2 设定为小于设置在相邻光电转换部35之间的像素隔离层39的宽度 w_3 。去除在此情况下采用的硬掩模65的一部分的方法可为高温烘焙工艺。

[0108] 接下来,如图6F所示,在已经去除光致抗蚀剂66后,基板22通过已经扩大的硬掩模65干蚀刻到预定厚度。此时,对基板22执行蚀刻去除至基板22上形成的凹槽部27的底表面达到p-阱层43的程度。在此情况下,因为基板22采用开口宽于图5D的工艺中蚀刻时所用的硬掩模的硬掩模65蚀刻,所以不平坦部15形成在凹槽部27的侧壁表面中。

[0109] 在本实施例中,设置在凹槽部27的侧壁表面中的不平坦部15构造具有一个台阶,在上述的构造为具有两个或更多个台阶的情况下,通过重复图6E和6F的工艺能在凹槽部27的侧壁表面中形成多个台阶。

[0110] 如上所述,在本实施例中,通过采用具有两个步骤的工艺处理凹槽部27能形成不平坦部分15。结果,能形成稍后描述的遮光膜30,从而其至少一部分埋设在埋入膜中。此外,通过任意设定凹槽部27的深度,能控制遮光膜30的埋入深度。

[0111] 接下来,去除凹槽部27的处理中所用的硬掩模65,并且如图7G所示,采用CVD法、溅射法或ALD法等形成固定电荷膜28,固定电荷膜28覆盖凹槽部27的内壁表面和基板22的背表面。其后,除了形成埋入在凹槽部27中的埋入膜29外,埋入膜29还形成在基板22的背表面侧的固定电荷膜28的上表面上。

[0112] 在本实施例中,不平坦部15形成在凹槽部27的侧壁表面中,并且凹槽部27的开口端侧的开口宽度形成为大于凹槽部27的底表面侧的开口宽度。结果,在埋入膜29形成在凹槽部27中的情况下,埋入膜29在凹槽部27的底表面侧中的埋入完成的阶段早于凹槽部的开口端侧。因此,通过调整埋入膜29的膜形成厚度,能在埋入膜29的前表面中形成凹入部44,位置对应于凹槽部27。

[0113] 接下来,如图7H所示,遮光膜30形成在埋入膜29的整个上表面上,并且采用光刻去除像素之上的遮光膜30。结果,如图7H所示,形成遮光膜30,其在光电转换部35之上敞开,并且屏蔽邻接像素之间的光。在本实施例中,凹入部44形成在前表面上,位置对应于埋入膜29的凹槽部27。为此,遮光膜30设置在凹槽部27之上的一部分埋入在埋入膜29的凹入部44中。因此,由固定电荷膜28、埋入膜29和遮光膜30构成的元件隔离部31形成在相邻像素2之间。

[0114] 接下来,通过采用常规方法形成平坦膜32、滤色器层33和聚光透镜34而完成图3所示的固态成像装置1。

[0115] 作为上述步骤的结果,形成具有像素隔离的固态成像装置1,像素隔离由元件隔离部31产生,元件隔离部31通过使埋入膜29埋入在凹槽部27中而形成。

[0116] 在本实施例的固态成像装置1中,每个像素的光电转换部35由元件隔离部31隔离,元件隔离部31通过使埋入膜29埋入在凹槽部27中而形成。为此,与仅采用杂质区域隔离光电转换部35的情况相比,能进一步减少保存在光电转换部35中的信号电荷泄漏到邻接的光电转换部35侧。因此,在光电转换部35中产生的信号电荷大于或等于电荷饱和量的情况下,能更有效地对源漏区域40清除信号电荷。结果,能抑制电子颜色混合(模糊现象的发生)。

[0117] 另外,上述固态成像装置1具有遮光膜30,遮光膜设置为在邻接像素2之间(在邻接光电转换部35之间)的边界区域遮光,并且其至少一部分埋入在埋入膜29中。因此,减小了基板22和每个像素的聚光透镜34之间的距离,并且能抑制聚焦特性的降低。另外,能减少由于斜向输入光引起的光学颜色混合。

[0118] 此外,例如,在遮光膜30的埋入深度设定为在设置在基板22上的凹槽部27的开口端之上的情况下,能抑制由膜应力引起的图像质量的变坏和暗电流的产生。

[0119] 在此情况下,通过给出比较示例来描述本实施例的固态成像装置1可实现的效果。

[0120] 1-4比较示例

[0121] 图8是根据比较示例的固态成像装置的主要部分的截面构造图。在图8中,与图3对应的部分给出相同的附图标记,并且已经省略了其重复描述。

[0122] 根据比较示例的固态成像装置51是这样的一个示例,其中凹槽部52和元件隔离部53的构造与第一实施例不同。在比较示例的固态成像装置51中,凹槽部52具有其中不设置不平坦部分15的构造,并且元件隔离部53由并排埋入在凹槽部52中而形成的固定电荷膜28和埋入膜29构成。另外,设置在根据比较示例的固态成像装置51中的遮光膜60形成为在邻接像素2之间(邻接光电转换部35之间)的边界区域遮光,并且设置在元件隔离部53之上。就是说,在根据比较示例的固态成像装置51中,遮光膜60不埋入在埋入膜29中。

[0123] 如图8所示,在根据比较示例的固态成像装置51中,在遮光膜60形成在基板22的背表面侧的像素2之间的情况下,因为基板22和聚光透镜34之间的距离大于遮光膜60的高度,所以可能发生聚焦特性上的降低。另外,在遮光膜60形成在埋入凹槽部27中的埋入膜29之上的构造中,埋入膜位于基板22的背表面侧上提供的凹槽部27的开口端和遮光膜60之间,来自埋入膜29的斜向输入光L1泄漏到其它区域中。因此,不能完全抑制由于斜向输入光L1而产生的光学颜色混合。

[0124] 同样,在根据第一实施例的固态成像装置1中,如图3所示,遮光膜30形成为使其至少一部分埋入在埋入凹槽部27中的埋入膜29中。因此,与比较示例相比,通过减小基板22和聚光透镜34之间的距离,能抑制聚光特性的降低。另外,在根据本实施例的固态成像装置1中,通过形成遮光膜30使其至少一部分埋入在凹槽部27中埋入的埋入膜29中,能减少由于斜向输入光L1而产生的光学颜色混合。

[0125] 附带地,在根据本实施例的固态成像装置1中,采用遮光膜30的一部分埋入在埋入膜29中的构造,但是,在构成遮光膜30的金属材料插入至基板22的情况下,存在发生由膜应力产生的图像质量下降和暗电流产生的情况。在根据本实施例的固态成像装置1中,如图3所示,由于形成在基板22的背表面侧上的凹槽部27构造为具有不平坦部15,凹槽部27的深侧上的开口宽度小于浅侧上的开口宽度。因此,因为凹槽部27的开口宽度的窄侧(凹槽部27的深侧)在将固定电荷膜28和埋入膜29埋入凹槽部27中时被固定电荷膜28和埋入膜29减小,所以其后形成的遮光膜30不形成在凹槽部27的深侧。结果,能减小埋入遮光膜30的深度。此外,与本实施例的情况一样,由于在不埋入遮光膜30在基板22中的深度上形成遮光膜30的结果,能防止由膜应力引起的暗电流的产生。

[0126] 另外,在本实施例的固态成像装置1中,凹槽部27形成的深度达到由像素晶体管Tr1形成的p-阱层43。因此,由于元件隔离部31电隔离相邻的光电转换部35,所以信号电荷不可能流入相邻像素。因此,在产生的信号电荷超过电荷饱和量的情况下,能减少过剩信号电荷泄漏在相邻光电转换部35中的可能性,并且能抑制电子颜色混合(模糊现象的产生)。

[0127] 1-5修改示例

[0128] 接下来,滤色器层33由遮光膜80隔离的示例将描述为根据本实施例的修改示例的固态成像装置71。图9是根据修改示例的固态成像装置的主要部分的截面构造图。在图9中,与图3对应的部分给出相同的附图标记,并且已经省略了其重复描述。

[0129] 如图9所示,在根据修改示例的固态成像装置71,遮光膜80设置在固定电荷膜28和

埋入膜29之上,固定电荷膜28和埋入膜29并排埋入在形成在基板22的背表面侧上的凹槽部27中,并且遮光膜80与滤色器层33形成在同一层中。就是说,遮光膜80设置为在相邻像素2之间的滤色器层33的边界区域遮光。另外,遮光膜80形成为使其至少一部分埋设在埋入凹槽部27中的埋入膜29中。此外,在本实施例的修改示例中,遮光膜80的埋入深度设定在设置在基板22中的凹槽部27的开口端之上。

[0130] 另外,滤色器层33形成在埋入膜29的上表面上且与遮光膜80形成在同一层中,并且例如形成为与对应于每个像素的R(红)、G(绿)和B(蓝)。在滤色器层33中,透射预定波长的光,并且透射的光输入在基板22的光电转换部35中。

[0131] 因为每个像素的光电转换部35也由采用这种构造的固态成像装置71中的元件隔离部31隔离,所以能抑制电子颜色混合(模糊现象的产生)。

[0132] 另外,在修改示例的固态成像装置71中,遮光膜80形成为使其至少一部分埋入在埋入膜29中。因此,减小了基板22和每个像素的聚光透镜34之间的距离,并且能获得与本发明实施例相同的效果,例如,能抑制聚焦特性和斜向输入光的降级。

[0133] 此外,因为即使不提供聚光透镜的情况下也能通过用遮光膜80隔离滤色器层33而聚集光,光瞳纠正是不必要的,并且可实现光谱、光聚焦和灵敏度上的改善。

[0134] 1-6制造根据修改示例的固态成像装置的方法

[0135] 接下来,将描述制造根据修改示例的固态成像装置的方法。图10A和10B是示出制造根据修改示例的固态成像装置的方法的工艺图。在图10A和10B中,与图4A至7F对应的部分给出相同的附图标记,并且已经省略了其重复描述。另外,在修改示例中,因为形成凹槽部27之前的工艺与采用图4A至7F描述的工艺相同,所以对其后发生的工艺描述该方法。

[0136] 在不平坦部15已经形成为使开口宽度在基板22的深度方向上变小后,如图10A所示,固定电荷膜28形成为覆盖凹槽部27的内壁表面和基板22的背表面。该固定电荷膜28以与第一实施例相同的方式形成。其后,采用CVD法,除了形成在凹槽部27中埋入的埋入膜29外,埋入膜29还形成在基板22的背表面的固定电荷膜28的上表面上。另外,形成在埋入膜29的上表面上的遮光膜80的厚度形成为与后续工艺形成的滤色器层33为相同的厚度。

[0137] 接下来,如图10B所示,采用光刻去除像素之上的遮光膜。因此,形成在光电转换部35之上敞开且在邻接像素2之间屏蔽光的遮光膜80。

[0138] 接下来,通过采用常规方法形成滤色器层33而完成图9所示的固态成像装置71。

[0139] 作为上述步骤的结果,在固态成像装置71中,因为通过用遮光膜80隔离滤色器层33对于每个像素的光由滤色器层33的前表面分散,所以即使不设置聚光透镜也能聚集光。因为每个像素的光电转换部35也被采用这种构造的固态成像装置71中的元件隔离部31隔离,所以能抑制电子颜色混合(模糊现象的产生)。另外,因为即使不设置聚光透镜也能聚集光,所以光瞳纠正是不必要的,并且可实现光谱、光聚焦和灵敏度上的改善。

[0140] 另外,在修改示例的固态成像装置71中,遮光膜80形成为使其至少一部分埋入在埋入膜29中。因此,减小了基板22和每个像素的聚光透镜34之间的距离,并且能获得与本发明实施例相同的效果,例如,能抑制聚焦特性和斜向输入光上的降级。

[0141] 在此情况下,在图11A中,示出了包括根据第一实施例的固态成像装置的四个像素的区域的中心部分的平面布置,在图11B中,示出了沿着图11A中的线A-B剖取的截面构造图,并且在图11C中,示出了沿着图11A中的线B-C剖取的截面构造图。

[0142] 在下面的描述中,沿着图11A所示的线A-B剖取的截面设定为第一截面,并且沿着线B-C剖取的截面图设定为第二截面。就是说,第一截面是在水平方向(或垂直方向)上切割以二维矩阵方式设置的像素2剖取的截面,并且第二截面是在对角方向上切割像素2剖取的截面图。

[0143] 在根据第一实施例的固态成像装置1的元件隔离部31中,通过形成具有不平坦部15的凹槽部27,遮光膜30形成埋入在埋入膜29中的形状。

[0144] 附带地,如图11C所示,在第二截面中,像素之间的距离大于图11B所示的第一截面的像素之间的距离。因此,在第二截面中凹槽部27的开口宽度 w_4 宽于第一截面中凹槽部27的开口宽度 w_2 。也就是这样的情况,在埋入膜29形成为与凹槽部27内部一致的情况下,埋入膜29的前表面上形成的凹入部44的深度在第二截面比第一截面深。因此,第二截面中的遮光膜30的埋入深度 y_2 比第一截面的遮光膜30的埋入深度 y_1 深($y_1 < y_2$)。

[0145] 考虑这样的情况,在下面的描述中,将描述一种固态成像装置的示例,其能使第一截面和第二截面的遮光膜30的埋入深度相同。

[0146] 2. 第二实施例:固态成像装置

[0147] 2-1主要部分的构造

[0148] 图12A是包括根据本公开第二实施例的固态成像装置的四个像素的区域的中心部分的平面布置图。图12B是沿着图12A中线A-B剖取的截面构造图,并且图12C是沿着图12A中线B-C剖取的截面构造图。

[0149] 另外,图13是沿着图12A中线A-B-C剖取的截面构造图。如图13所示,本实施例的固态成像装置91是这样的示例,其中形成在基板22上的凹槽部和形成在凹槽部中的元件隔离部的构造与第一实施例的不同。因此,在图12A至12C和图13中,与图2对应的部分给出相同的附图标记,并且已经省略其重复描述。本实施例的固态成像装置91是背照式CMOS固态成像装置。因为本实施例的固态成像装置91的总体构造与图1的构造相同,所以已经省略其附图。在此情况下,沿着如图12A所示的线A-B剖取的截面设定为第一截面,并且沿着线B-C剖取的截面设定为第二截面。

[0150] 在本实施例的固态成像装置91中,第二截面中的元件隔离部81b由固定电荷膜28、埋入膜29和遮光膜90b构成,它们形成为并排埋入在凹槽部87b中,凹槽部87b从基板22的背表面开始形成在深度方向上。另外,第二截面中的凹槽部87b从基板22的背表面开始形成在深度方向上,并且因为例如凹槽部87b制造为具有在第一截面中的凹槽部87a的开口宽度 w_5 ,所以该构造为其中不设置不平坦部15的构造。

[0151] 在本实施例中,第一截面中的凹槽部87a以与根据第一实施例的固态成像装置中的凹槽部27相同方式从基板22的背表面侧开始形成在深度方向上,并且构造为在其侧壁表面具有不平坦部15。另外,从凹槽部87a的开口端到不平坦部15的侧壁表面和从不平坦部15到凹槽部87a的底表面的侧壁表面以渐缩方式形成,从而其开口宽度逐渐变小。

[0152] 同样,在第二截面中,凹槽部87b从基板22的背表面开始形成在深度方向上,并且具有其中不设置不平坦部15的构造。另外,凹槽部87b形成为使其截面形状是渐缩的。

[0153] 在本实施例的固态成像装置91中,通过在基板22的背表面侧形成的在第一截面中的凹槽部87a中仅设置不平坦部15,能使第一截面中的凹槽部87a和第二截面中的凹槽部87b的开口宽度 w_5 几乎相同。因此,能使第一截面中的元件隔离部81a中的遮光膜90a的埋入

深度 y_1 和第二截面中的元件隔离部81b的遮光膜90b的埋入深度 y_2 相同。因此,能使第一截面中的元件隔离部81a和第二截面中的元件隔离部81b相同,另外,因为能使遮光性能相对于遮光均匀,所以光谱设计很简单。

[0154] 此外,例如,在遮光膜90a和90b形成在设置在基板中的凹槽部87a和凹槽部87b的开口端之上的情况下,能够抑制因膜应力引起的图像质量下降和暗电流产生。

[0155] 除了上述之外,能够获得与第一实施例相同的效果。

[0156] 2-2制造固态成像装置的方法

[0157] 接下来,将描述制造本实施例的固态成像装置91的方法。图14A至15D是示出制造根据本公开第二实施例的固态成像装置的方法的工艺图。另外,图14A至15D是沿着图11A中的平面布置图的线A-B-C剖取的截面构造图,图中的左侧设定为A-B之间的截面(第一截面),并且右侧设定为B-C之间的截面(第二截面)。与图4A至5C对应的部分给出相同的附图标记,并且已经省略了其重复描述。另外,在本实施例中,因为至形成凹槽部的工艺与采用图4A至5C描述的工艺相同,所以该方法从其后发生的工艺开始进行描述。

[0158] 图14A所示的工艺与图5D中的相同。在此情况下,如图12A所示,第二截面是其中延伸在像素的水平方向上的凹槽部和延伸在像素的垂直方向上的凹槽部相交的区域。因此,第二截面中形成的凹槽部87b的开口宽度 w_5 形成成为宽于第一截面中形成的凹槽部87a的开口宽度 w_1 。

[0159] 接下来,如图14B所示,采用光刻,光致抗蚀剂66形成成为具有暴露硬掩模65的开口,硬掩模65设置在第一截面中的凹槽部87a的开口端周边。此时,光致抗蚀剂66的开口宽度 w_5 设定到与图14A中形成的第二截面中的凹槽部87b的开口宽度 w_5 相同程度。此外,通过光致抗蚀剂66蚀刻硬掩模65,宽度 w_5 的开口形成在第二截面中的硬掩模65中。另外,此时,在凹槽部87b中,光致抗蚀剂66形成在凹槽的整个表面上。

[0160] 接下来,如图15C所示,去除光致抗蚀剂66,并且在第二截面中,通过已经去除一部分的硬掩模65蚀刻基板22至预定深度。结果,不平坦部15仅形成在第一截面中的凹槽部87a的侧壁上。在此情况下,第一截面中凹槽部87a的开口端侧的开口宽度 w_5 与第二截面中凹槽部87b的开口端侧的开口宽度 w_5 变为相同的程度。

[0161] 接下来,去除凹槽部87a、87b的工艺中用过的硬掩模65,并且如图15D所示,固定电荷膜28形成成为覆盖凹槽部87a、87b的内壁表面和基板22的背表面。该固定电荷膜28以与第一实施例相同的方式形成。其后,采用CVD法,除了形成埋设在凹槽部87a、87b中的埋入膜29外,埋入膜29还形成在基板22的背表面侧上的固定电荷膜28的上表面上。

[0162] 此时,埋入膜29形成成为与凹槽部87a、87b的内部基本上一致。在本实施例中,凹槽部87a、87b的开口宽度相同。另外,在本实施例中,在第一截面的凹槽部87a的开口端侧和第二截面的凹槽部87b的开口端侧中,埋入膜29的埋入量调整到在凹槽部87a、87b之上形成凹入部44的膜厚度。在此情况下,凹入部44形成在凹槽部87a之上的深度和凹入部44形成在凹槽部87b之上的深度基本上相同。

[0163] 接下来,遮光材料层形成在埋入膜29的整个上表面上,并且像素2之上的遮光材料层采用光刻去除。结果,如图15D所示,形成在光电转换部35之上敞开且遮蔽邻接像素2之间的光的遮光膜90a和90b。

[0164] 接下来,通过采用常规的方法形成平坦膜32、滤色器层33和聚光透镜34而完成图

13所示的固态成像装置91。

[0165] 在本实施例中,形成固态成像装置91,其中不平坦部15仅设置在第一截面中的凹槽部87a中,并且第一截面和第二截面中的凹槽部87a、87b各自的开口宽度 w_5 基本上相同。此外,因此,埋入膜的埋入量在凹槽部87a、87b中基本上相同。

[0166] 从而,能使遮光膜90a埋入在凹槽部87a的埋入膜29中的深度 y_1 和遮光膜90b埋入在凹槽部87b的埋入膜29中的深度 y_2 相同。作为上述的结果,能使第一截面中的元件隔离部81a和第二截面中的元件隔离部81b相同,另外,因为能使遮光性能相对于遮光均匀,所以光谱设计简单。

[0167] 此外,例如,在遮光膜90a和90b形成在设置于基板22上的凹槽部87a和87b的开口端之上的情况下,能抑制由膜应力引起的图像质量变坏和暗电流的产生。

[0168] 除上述外,能获得与第一实施例相同的效果。

[0169] 在本实施例中,遮光膜90a和90b形成在设置于基板22上的凹槽部87a和87b的开口端之上,但是前述的可形成为埋设在开口端之下。在此情况下,通过调整遮光膜使前述的不埋设在设置于基板22上的凹槽部87a和87b的开口端之下,能实现膜应力的减小。

[0170] 另外,可在半导体晶片的切割工艺中应用本实施例的固态成像装置91中的元件隔离部81a和81b的结构。在下文,将描述其示例。

[0171] 图16A是半导体芯片的平面布置图。图16B是沿着设置于半导体芯片中的保护环的线XVIB-XVIB剖取的截面构造图。图16C是沿着保护环的线XVIC-XVIC剖取的截面构造图。在图16A至16C中,与图12B和12C对应的部分给出相同的附图标记,并且已经省略了其重复描述。

[0172] 如图16A所示,在本实施例的固态成像装置91中的元件隔离部81a和81b的结构设置在半导体芯片95的保护环96的一部分中。沿着图16A的线XVIB-XVIB剖取的截面在水平方向(或垂直方向)上切割保护环,并且沿着线XVIC-XVIC剖取的截面在对角方向上切割保护环。同样在此情况下,沿着图16A所示的线XVIB-XVIB剖取的截面设定为第一截面,并且沿着线XVIC-XVIC剖取的截面设定为第二截面。本实施例中采用的元件隔离部81a设置在第一截面中(在XVIB-XVIB之间),并且本实施例中所用的元件隔离部81b提供在第二截面中(在B-B之间)。结果,能获得防裂效果。

[0173] 3. 第三实施例:固态成像装置

[0174] 3-1主要部分的构造

[0175] 接下来,将描述根据本公开第三示例的固态成像装置。因为本实施例的固态成像装置的总体构造与图1相同,所以已经省略其附图。图17是包括根据本公开第三实施例的固态成像装置的四个像素的区域的中心部分的平面布置图。图18是沿着图17中线XVIII-XVIII剖取的截面构造图。在图18中,与图3对应的部分给出相同的附图标记,并且已经省略其重复描述。本实施例的固态成像装置101是背照式CMOS固态成像装置。因为本实施例的固态成像装置101的总体构造与图1的相同,所以已经省略其附图。

[0176] 本实施例的固态成像装置101是其中凹槽部107和元件隔离部111的构造与根据第一实施例的固态成像装置1不同的示例。

[0177] 如图18所示,在本实施例的固态成像装置101中,凹槽部107从基板22的背表面形成在深度方向上。另外,元件隔离部111由固定电荷膜28和埋入膜29形成,它们并排形成在

凹槽部107中,凹槽部107从基板22的背表面开始形成在深度方向上。在根据本实施例的固态成像装置101中,遮光膜100设置在凹槽部107的开口端之上,凹槽部107设置在基板22上,并且遮光膜100形成为埋设在埋入膜29中。

[0178] 因此,在本实施例的固态成像装置101中,遮光膜100形成在设置于基板22上的凹槽部107的开口端之上,并且埋入在埋入膜29中。结果,能获得与第一实施例同样的效果,例如,能减少由于斜向入射光而产生的光学颜色混合。

[0179] 3-2制造固态成像装置的方法

[0180] 接下来,将描述制造本实施例的固态成像装置101的方法。图19A至20D是示出制造根据本公开第三实施例的固态成像装置的方法的工艺图。另外,图19A至20D是沿着图17中的平面布置图的线XIX-XIX和XX-XX剖取的截面图。在图19A至20D中,与图4A至5C对应的部分给出相同的附图标记,并且已经省略了其重复描述。在本实施例中,因为至形成凹槽部的工艺与采用图4A至5C描述的工艺相同,所以其后发生的工艺开始对该方法进行描述。

[0181] 在已经薄化基板22后,如图19A所示,预定深度的凹槽部107形成在基板22的每个像素的边界,即在其中通过从基板22的背表面开始在深度方向上选择性蚀刻而形成像素隔离层39的部分中。

[0182] 形成凹槽部107的工艺在基板22的背表面侧上形成具有预定开口的硬掩模65,并且通过干蚀刻通过硬掩模65而形成凹槽部107。考虑到其光谱特性,凹槽部107的深度以与第一实施例相同的方式形成。

[0183] 接下来,如图19B所示,去除凹槽部107的工艺中所用的硬掩模65,并且固定电荷膜28形成为覆盖凹槽部107的内壁表面以及基板22的背表面。该固定电荷膜28以与第一实施例相同的方式形成。其后,除了形成埋设在凹槽部27中的埋入层29外,埋入膜29还形成在基板22的背表面侧的固定电荷膜28的上表面上。

[0184] 接下来,如图20C所示,在光致抗蚀剂66已经形成在埋入膜29之上后,凹入部108例如通过光刻或干蚀刻形成在凹槽部107的开口端之上的埋入膜29中。

[0185] 接下来,光屏蔽材料层形成在埋入膜29的整个上表面上,并且形成在凹槽部107内的光屏蔽材料层之外的光屏蔽材料层通过回蚀刻去除。结果,如图20D所示,遮光膜100仅形成在凹槽部107之内。其后,通过形成滤色器层33而完成图18所示的固态成像装置101。

[0186] 在根据本实施例的固态成像装置101中,遮光膜100形成在基板22上提供的凹槽部107的开口端之上且埋入在埋入膜29中。因此,能获得与第一实施例同样的效果,例如,能减少由于斜向输入光而导致的光学颜色混合。

[0187] 3-3修改示例

[0188] 接下来,将描述作为根据本实施例的修改示例的固态成像装置121的固态成像装置的示例,其在即使不设置聚光透镜的情况下通过用遮光膜110隔离滤色器层33能聚光。图21是根据修改示例的固态成像装置的主要部分的截面构造图。在图21中,与图9对应的部分给出相同的附图标记,并且已经省略了其重复描述。

[0189] 如图21所示,在修改示例中,遮光膜110形成在固定电荷膜28和埋入膜29之上,固定电荷膜28和埋入膜29并排埋入在形成于基板22的背表面上的凹槽部107中,并且遮光膜110与滤色器层33形成在同一层中。另外,遮光膜110设置为在相邻像素2之间(在邻接光电转换部35之间)的边界区域遮光。此外,遮光膜110设置在设置于基板22上的凹槽部107的开口端之上,并且埋入在埋入膜29中。结果,能获得与第一实施例同样的效果,例如,能减少由于斜向输入光而导致的光学颜色混合。

口端之上,并且形成埋入在埋入膜29中。

[0190] 另外,滤色器层33形成在埋入膜29的上表面上并且与遮光膜110在同一层,并且例如形成与每个像素的R(红)、G(绿)和B(蓝)对应。在滤色器层33中,透射预定波长的光,并且透射的光输入到基板22的光电转换部35中。

[0191] 因为在即使不设置聚光透镜的情况下采用这样构造的固态成像装置121中通过用遮光膜110隔离滤色器层33也能聚光,光瞳纠正是不必要的,并且可实现光谱、光聚焦和灵敏度上的改善。

[0192] 除了如上所述,还能获得与第一实施例相同的效果。

[0193] 在根据上述第一至第三实施例的固态成像装置中,采用CMOS固态成像装置作为示例描述了构造,但是,应用于背照式CCD固态成像装置也是可能的。在此情况下,通过形成遮光膜使其至少一部分埋入埋设在凹槽部等中的埋入膜中可获得与上述第一至第三实施例相同的效果。

[0194] 4. 第四实施例:电子设备

[0195] 接下来,将描述根据本公开第四实施例的电子设备。图22是根据本公开第四实施例的电子设备的截面构造图。本实施例的电子设备131包括固态成像装置134、光学透镜132、机械快门133、驱动电路136和信号处理电路135。本实施例的电子设备131示出了本公开第一实施例中的上述固态成像装置1作为固态成像装置134用在电子设备(相机)的情况的实施例。

[0196] 光学透镜132在固态成像装置134的成像表面上提供来自照相物体的图像光(输入光)的图像。结果,对应的信号电荷在固态成像装置134内保存固定周期。机械快门133控制固态成像装置134的光辐射周期和光屏蔽周期。驱动电路136提供控制固态成像装置134的转移操作的驱动信号。由于驱动电路136提供的驱动信号(定时信号),执行固态成像装置134的信号转移。信号处理电路135执行各种信号处理。已经执行过信号处理的图像信号记录在诸如存储器的记录介质中或输出到监视器。

[0197] 在电子设备131的固态成像装置134中,由于元件隔离部形成在很深位置中,抑制电子颜色混合(模糊现象的抑制)。另外,由于遮光膜形成埋设在凹槽部中埋入的埋入膜中,能减少由于斜向输入光引起的光学颜色混合。此外,通过设定凹槽部的开口端之上的遮光膜的埋入深度,能抑制由膜应力的影响引起的图像质量上的变坏和暗电流的产生。

[0198] 其中可应用固态成像装置134的电子设备131不限于相机,并且在数字相机以及用于移动电话等的移动设备的诸如相机模块的成像设备中的应用也是可能的。

[0199] 在本实施例中,采用了这样的构造,其采用第一实施例中的固态成像装置1作为固态成像装置134,但是采用上述第二实施例或第三实施例制造的固态成像装置也是可能的。

[0200] 通过示出上述第一至第四实施例中的实施例已经对本公开进行了描述,但是本公开不限于此,而且在不脱离本公开主题的范围内容各种修改是可能的。另外,采用根据第一至第四实施例的构造组合构成本公开也是可行的。

[0201] 另外,本公开可具有如下构造。

[0202] (1)

[0203] 一种固态成像装置,包括基板、多个光电转换部、凹槽部和元件隔离部,该多个光电转换部设置在该基板上,该凹槽部具有不平坦部设置为使其开口宽度在该基板的深度方

向上变小,该元件隔离部设置在相邻光电转换部之间且包括埋设在该凹槽部中以覆盖该凹槽部的内壁表面的埋入膜和直接设置在该凹槽部之上且其至少一部分埋入在该埋入膜中的遮光膜。

[0204] (2)

[0205] 根据(1)所述的固态成像装置,其中该元件隔离部以栅格形式形成以围绕每个光电转换部。

[0206] (3)

[0207] 根据(1)或(2)所述的固态成像装置,其中该不平坦部仅设置在凹槽部的内壁表面中,该凹槽部位于水平方向和垂直方向上相邻的光电转换部之间,并且该凹槽部设置为使凹槽部位于水平方向和垂直方向上相邻的光电转换部之间的开口端的宽度基本上与凹槽部位于对角方向上相邻的光电转换部之间的开口端的宽度相同。

[0208] (4)

[0209] 根据(1)至(3)任何一项所述的固态成像装置,其中该遮光膜形成在设置于该基板上的该凹槽部的该开口端之上。

[0210] (5)

[0211] 根据(1)至(4)任何一项所述的固态成像装置,其中该遮光膜设置为在邻接光电转换部之间的边界区域遮光,并且位于在水平方向和垂直方向上相邻的光电转换部之间的埋入膜中埋设的遮光膜的深度变得基本上与位于对角方向上相邻的光电转换部之间的埋入膜中埋设的遮光膜的深度相同。

[0212] (6)

[0213] 根据(1)至(5)任何一项所述的固态成像装置,其中与该凹槽部的该内壁表面接触的膜具有固定电荷。

[0214] (7)

[0215] 根据(1)至(6)任何一项所述的固态成像装置,其中该固态成像装置包括对于每个像素布置在该基板的顶部上的滤色器层,并且该遮光膜设置为限定用于每个像素的该滤色器层。

[0216] (8)

[0217] 根据(1)至(7)任何一项所述的固态成像装置,其中具有固定电荷的该膜采用氧化铪、氧化铝、氧化锆、氧化钽、氧化钛、氧化镧、氧化镨、氧化铈、氧化钕、氧化钐、氧化铈、氧化钆、氧化铈、氧化钐、氧化钐、氧化铈、氧化钐、氧化铈、氧化钐、氧化铈、氧化钐、氮化铪、氮化铝、氮氧化铝或氮氧化铝形成。

[0218] (9)

[0219] 根据(1)至(8)任何一项所述的固态成像装置,其中该遮光膜采用铝、钨、铜或碳黑形成。

[0220] (10)

[0221] 一种制造固态成像装置的方法,包括如下步骤:在基板上形成多个光电转换部;形成具有不平坦部的凹槽部,设置为使凹槽部在相邻光电转换部之间的开口的宽度在基板的深度方向上变小;以及形成元件隔离部,该元件隔离部包括埋入在该凹槽部中以覆盖该凹槽部的内壁表面的埋入膜和直接设置在该凹槽部之上且至少一部分埋入在该埋入膜中的

遮光膜。

[0222] (11)

[0223] 根据(10)所述的制造固态成像装置的方法,其中该元件隔离部以栅格方式形成以围绕每个光电转换部。

[0224] (12)

[0225] 根据(10)或(11)所述的制造固态成像装置的方法,其中该不平坦部仅设置于在水平方向和垂直方向上相邻的光电转换部之间凹槽部的内壁表面中,并且该凹槽部形成为使凹槽部位于水平方向和垂直方向上相邻的光电转换部之间的开口端的宽度基本上与凹槽部位于对角方向上相邻的光电转换部之间的开口端的宽度相同。

[0226] (13)

[0227] 根据(10)至(12)任何一项所述的制造固态成像装置的方法,其中具有该不平坦部的该凹槽部采用具有不同开口宽度的掩模利用多个蚀刻工艺形成。

[0228] (14)

[0229] 根据(10)至(13)任何一项所述的制造固态成像装置的方法,其中该遮光膜形成为在相邻的光电转换部之间的边界区域遮光,并且位于在水平方向和垂直方向上相邻的光电转换部之间的埋入层中埋设的遮光膜的深度变得基本上与位于对角方向上相邻的光电转换部之间的埋入膜中埋设的遮光膜的深度相同。

[0230] (15)

[0231] 根据(10)至(14)任何一项所述的制造固态成像装置的方法,其中通过形成在该凹槽部中的该埋入膜的厚度调整该遮光膜埋入在该埋入膜中的深度。

[0232] (16)

[0233] 一种电子设备,包括固态成像装置和信号处理电路,该固态成像装置包括基板、多个光电转换部、凹槽部和元件隔离部,该多个光电转换部设置在该基板上,该凹槽部具有不平坦部,设置为其开口宽度在该基板的深度方向上变小,该元件隔离部设置在相邻光电转换部之间且包括埋设在该凹槽部中以覆盖该凹槽部的内壁表面的埋入膜和直接设置在该凹槽部之上且其至少一部分埋入在该埋入膜中的遮光膜,该信号处理电路处理由该固态成像装置输出的输出信号。

[0234] (17)

[0235] 一种固态成像装置,包括:

[0236] 基板;

[0237] 多个像素,形成在该基板中;

[0238] 多个凹槽,形成在该基板中,其中该凹槽位于相邻像素之间的像素隔离区域中,并且其中该凹槽从该基板的第一表面朝着该基板的第二表面延伸;以及

[0239] 埋入膜,延伸进入该凹槽中,并且其中为至少下述各项之一:

[0240] 1) 所述凹槽中的至少一些包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级和第二级由该凹槽的壁限定,其中该第一级宽于该第二级,并且其中在该第一级和第二级之间存在台阶;以及

[0241] 2) 该装置还包括设置在该凹槽上相邻于该基板的该第一表面的遮光膜,并且其中该遮光膜的至少一部分埋设在延伸进入该凹槽中的该埋入膜中。

[0242] (18)

[0243] (17)所述的装置,还包括:

[0244] 膜,其中该膜与该凹槽的该壁以及该基板的该第一表面接触,并且其中延伸进入该凹槽的该埋入膜与该膜接触。

[0245] (19)

[0246] (18)所述的装置,其中与该凹槽的该壁接触的该膜是固定电荷膜。

[0247] (20)

[0248] (17)所述的装置,其中该凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级和第二级由该凹槽的壁限定,其中该第一级宽于该第二级,并且其中在该第一级和第二级之间存在台阶。

[0249] (21)

[0250] (17)所述的装置,其中该多个像素设置成行和列,其中该凹槽具有在同一行或同一列中相邻的像素之间的凹槽部中的第一图形,并且其中该凹槽具有在不同行和不同列中的对角相邻的像素之间的凹槽部中的第二图形。

[0251] (22)

[0252] (21)所述的装置,其中至少具有第一图形的该凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级宽于该第二级,并且其中该第一级和第二级是渐缩的,从而每个凹槽的宽度随着距该基板的该第一表面的距离而减小。

[0253] (23)

[0254] (22)所述的装置,其中具有该第一图形的该凹槽和具有该第二图形的该凹槽包括第一级和第二级,并且其中至少该第一图形的该第一级宽于该第二图形的该第一级。

[0255] (24)

[0256] (22)所述的装置,其中该装置包括位于该凹槽上的相邻于该基板的该第一表面的遮光膜,并且其中该遮光膜的至少一部分埋设在延伸进入该凹槽中的该埋入膜中。

[0257] (25)

[0258] (24)所述的装置,其中具有该第二图形的该凹槽包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,并且其中该遮光膜相对于具有该第一图形的凹槽以第一距离且相对于具有该第二图形以第二距离埋入在该埋入膜中。

[0259] (26)

[0260] (24)所述的装置,其中该埋入膜相对于具有该第一图形的凹槽具有第一宽度,并且相对于具有该第二图形的凹槽具有第二距离。

[0261] (27)

[0262] (17)所述的装置,其中该装置包括设置在该凹槽上的相邻于该基板的该第一表面的遮光膜,并且其中该遮光膜的至少一部分埋设在延伸进入该凹槽中的该埋入膜中。

[0263] (28)

[0264] (19)所述的装置,其中该埋入膜由折射率与该固定电荷膜不同的材料形成。

[0265] (29)

[0266] (17)所述的装置,其中该埋入膜由氧化硅、氮化硅、氮氧化硅和树脂的至少一个形

成。

[0267] (30)

[0268] (17)所述的装置,其中该埋入膜由具有弱正固定电荷的材料形成。

[0269] (31)

[0270] 一种电子设备,包括:

[0271] 固态成像装置;以及

[0272] 信号处理器,从该固态成像装置接收信号,

[0273] 该固态成像装置包括:

[0274] 基板;

[0275] 多个像素,形成在该基板中;

[0276] 多个凹槽,形成在该基板中,其中该凹槽位于相邻像素之间的像素隔离区域中,并且其中该凹槽从该基板的第一表面朝着该基板的第二表面延伸;

[0277] 膜,延伸进入该凹槽且接触该凹槽的壁,并且设置在该基板的该第一表面上;以及

[0278] 埋入膜,延伸进入该凹槽中,并且与延伸进入该凹槽且接触该凹槽的壁且位于该基板的该第一表面上的该膜接触,并且其中为如下各项的至少一个:

[0279] 1) 该多个凹槽中的至少一些包括靠近该基板的该第一表面的第一级和靠近该基板的该第二表面的第二级,其中该第一级宽于该第二级;以及

[0280] 2) 该装置还包括位于该凹槽上相邻于该基板的该第一表面的遮光膜,并且其中该遮光膜的至少一部分埋设在延伸进入该凹槽中的该埋入膜中。

[0281] (32)

[0282] (31)所述的设备,其中延伸进入该凹槽且接触该凹槽的壁的该膜由氧化铪、氧化铝、氧化锆、氧化钽、氧化钛、氧化镧、氧化镨、氧化钕、氧化钆、氧化铈、氧化钇、氧化铟、氧化钪、氧化铍、氧化镉、氧化铊、氧化铋、氧化镱、氧化镱和氧化铯的至少一个形成。

[0283] (33)

[0284] 一种制造固态成像装置的方法,包括:

[0285] 在第一基板中形成多个光电转换部;

[0286] 在该第一基板的前表面上形成配线层;

[0287] 在该配线层上形成第二基板;

[0288] 从该第一基板的背表面形成凹槽部;

[0289] 形成介电膜,其中该介电膜覆盖该凹槽的壁和该第一基板的该背表面;

[0290] 在该介电膜之上形成埋入膜;

[0291] 在该凹槽中形成至少在该埋入膜之上的遮光膜;以及

[0292] 形成下述各项的至少一个:

[0293] 1) 该凹槽部中的不平坦部,其中至少一个台阶形成在该凹槽部中;以及

[0294] 2) 该遮光膜在该埋入膜中的埋设部分。

[0295] (34)

[0296] (33)所述的方法,还包括:

[0297] 在该凹槽部中形成不平坦部分,其中至少一个台阶形成在该凹槽部中。

[0298] (35)

[0299] (34)所述的方法,还包括:

[0300] 在该埋入膜中形成该遮光膜的埋设部分。

[0301] (36)

[0302] (35)所述的方法,其中光电转换部设置成二维矩阵,其中该凹槽部具有布置在水平方向或垂直方向上的光电转换部之间的第一图形,并且其中该凹槽部具有对角布置的光电转换元件之间的第二图形。

[0303] (37)

[0304] (36)所述的方法,其中该埋入膜由氧化硅、氮化硅、氮氧化硅、树脂、具有弱正固定电荷的材料和不具有正固定电荷的材料的至少一个形成。

[0305] 本公开包含2012年8月3日提交日本专利局的日本优先权专利申请JP2012-173188中公开的相关主题事项,其全部内容通过引用结合于此。

[0306] 本领域的技术人员应理解,在所附权利要求或其等同物的范围内,根据设计需要和其他因素,可进行各种修改、结合、部分结合和替换。

[0307] 相关申请的交叉引用

[0308] 本申请要求2012年8月3日提交日本专利局的日本专利申请JP2012-173188的权益,其全部内容通过引用结合于此。

[0309] [附图标记列表]

[0310]	1、51、71、91、101、121、134	固态成像装置
[0311]	2	像素
[0312]	3	像素区域
[0313]	4	垂直驱动电路
[0314]	5	列信号处理电路
[0315]	6	水平驱动电路
[0316]	7	输出电路
[0317]	8	控制电路
[0318]	9	垂直信号线
[0319]	10	水平信号线
[0320]	11、22、32	基板
[0321]	15	不平坦部
[0322]	23	配线层
[0323]	24	层间绝缘膜
[0324]	25	配线
[0325]	26	支撑基板
[0326]	27、52、87a、87b、107	凹槽部
[0327]	28	固定电荷膜
[0328]	29	埋入膜
[0329]	30、60、80、90a、90b、100、110	遮光膜
[0330]	31、53、81a、81b、111	元件隔离部
[0331]	32	平坦膜

[0332]	33	滤色器层
[0333]	34	聚光透镜
[0334]	35	光电转换部
[0335]	36、37	p-型半导体区域
[0336]	38	n-型半导体区域
[0337]	39	像素隔离层
[0338]	40	源漏区域
[0339]	41	栅极
[0340]	42	栅极绝缘膜
[0341]	43	p-阱层
[0342]	44、108	凹入部
[0343]	65	硬掩模
[0344]	66	光致抗蚀剂
[0345]	95	半导体芯片
[0346]	96	保护环
[0347]	131	电子设备
[0348]	132	光学透镜
[0349]	133	机械快门
[0350]	135	信号处理电路
[0351]	136	驱动电路

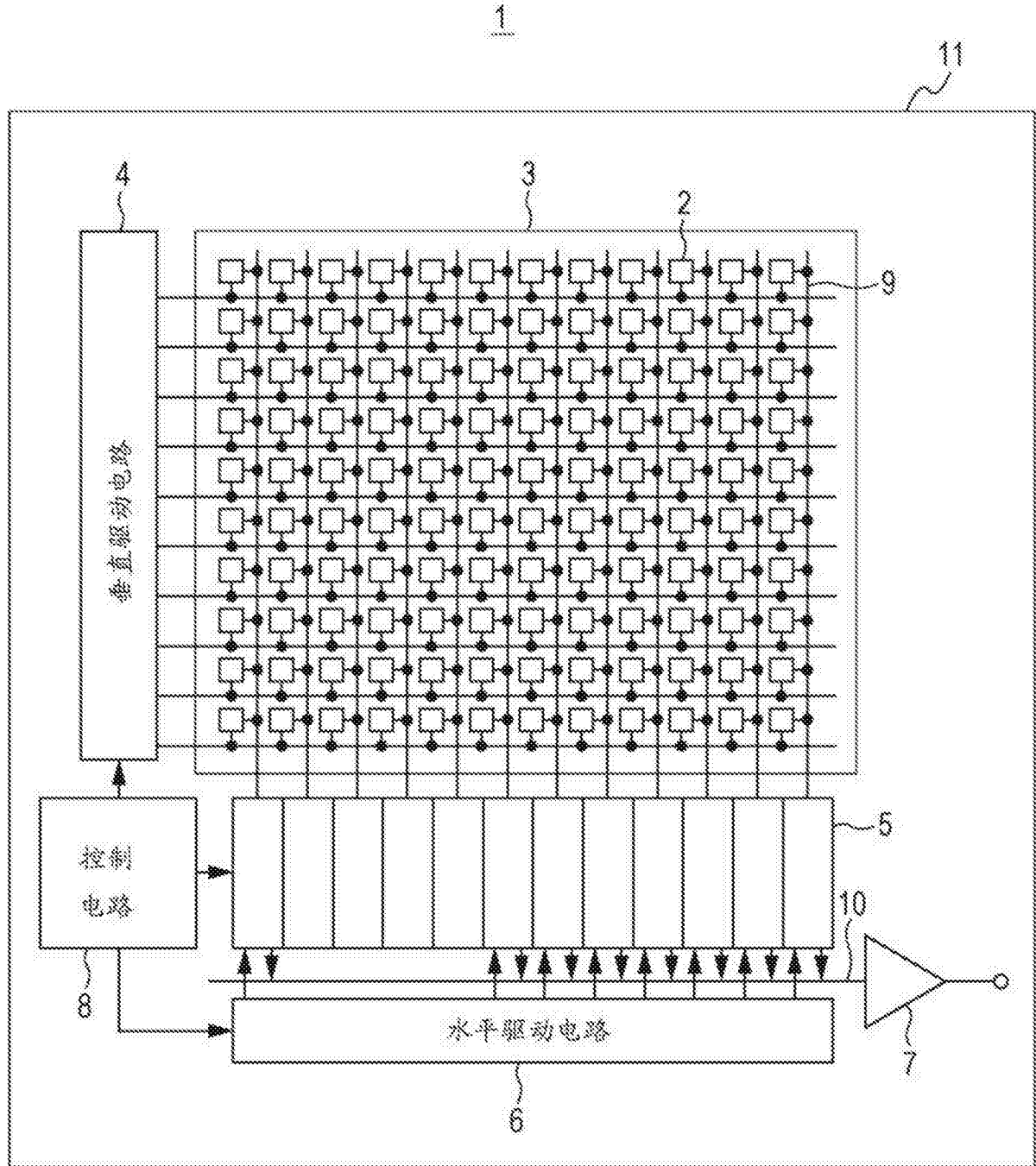


图1

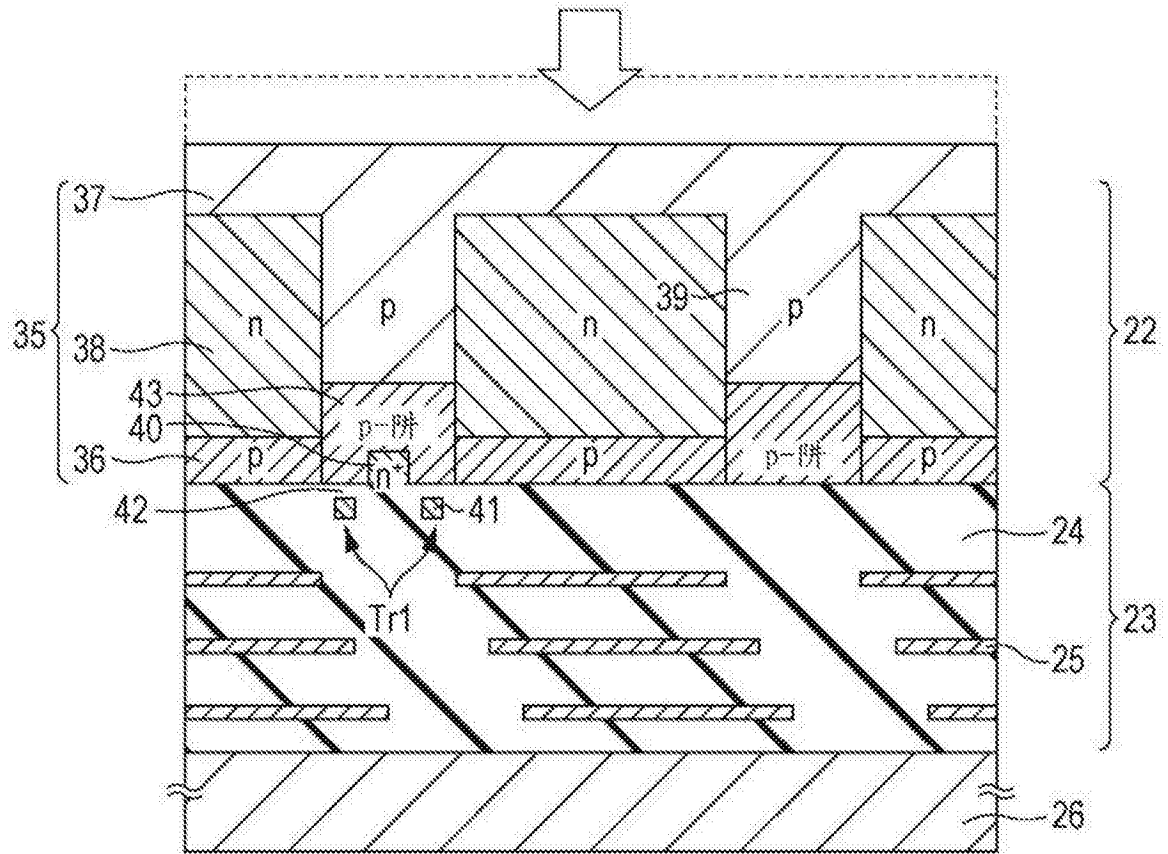


图5C

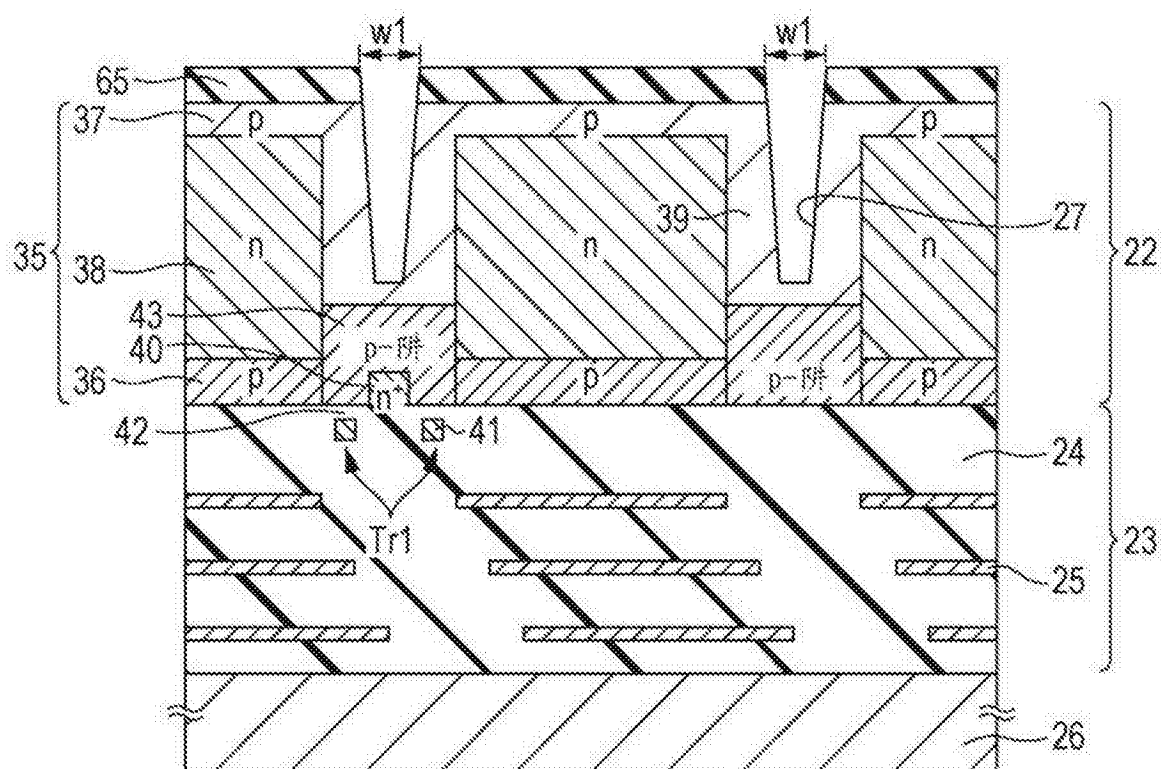


图5D

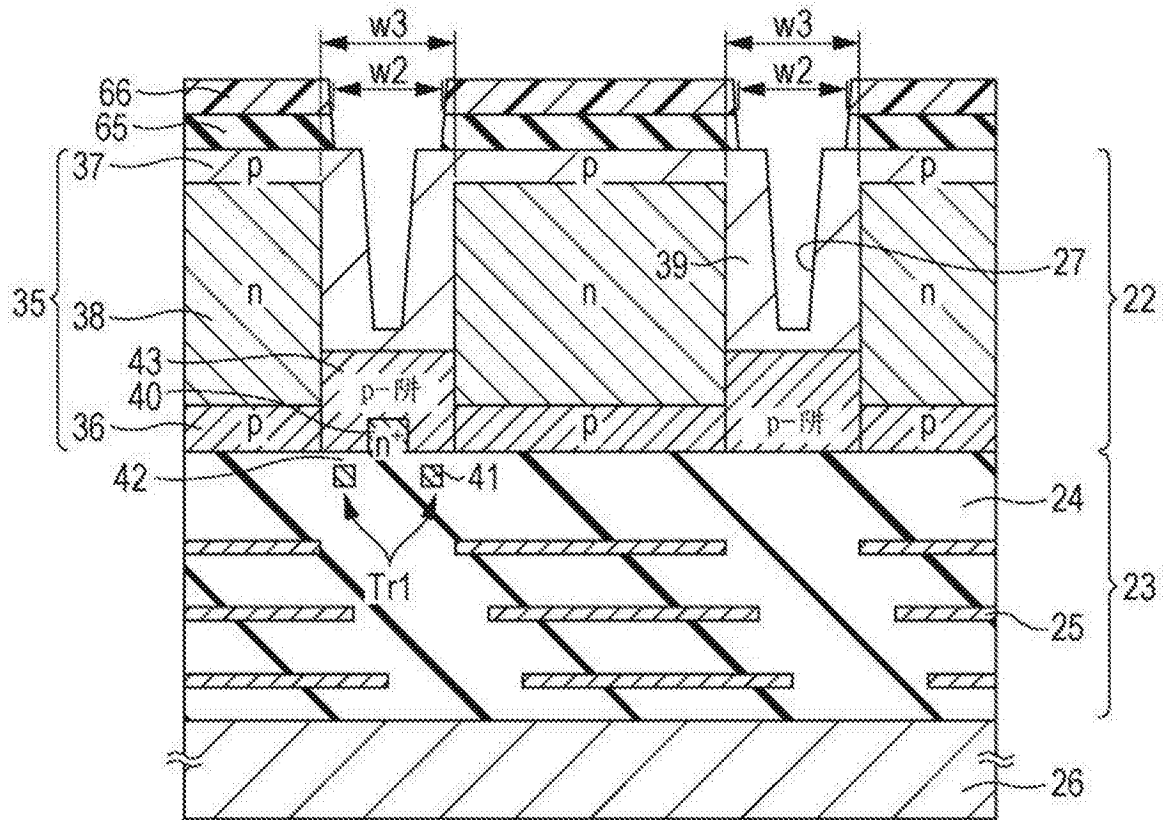


图6E

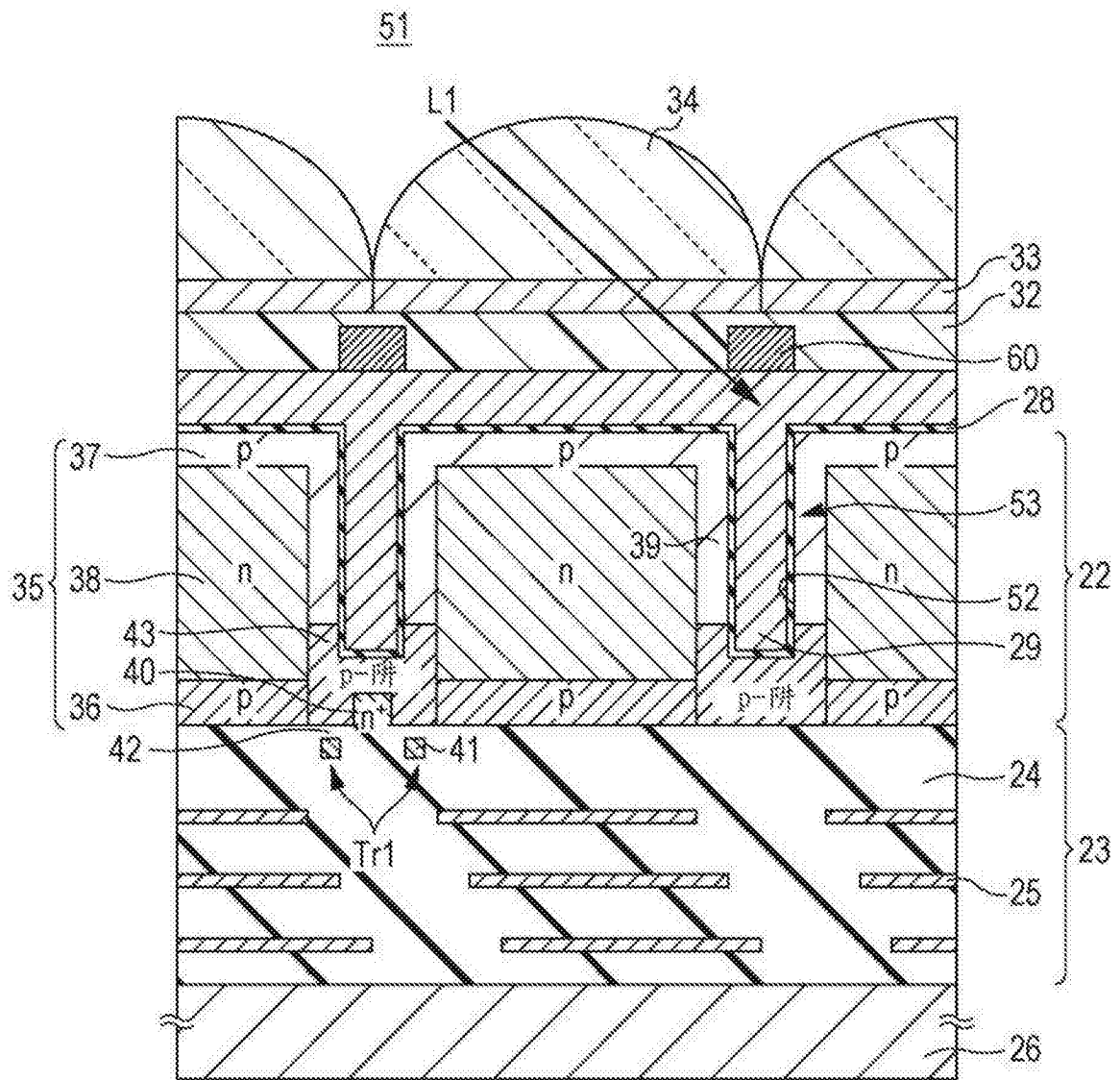


图8

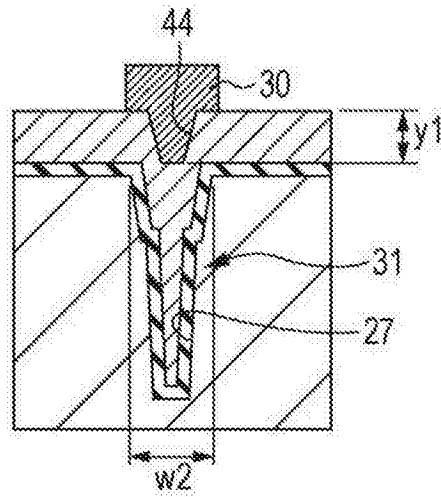


图11B

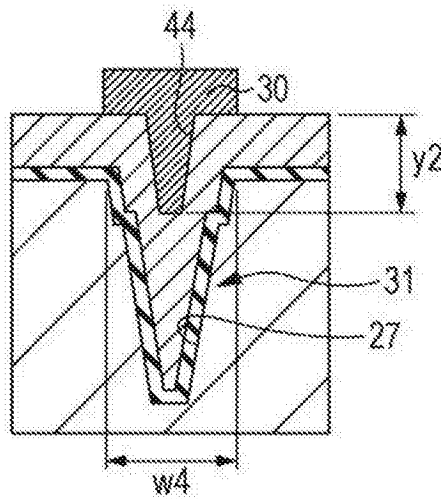


图11C

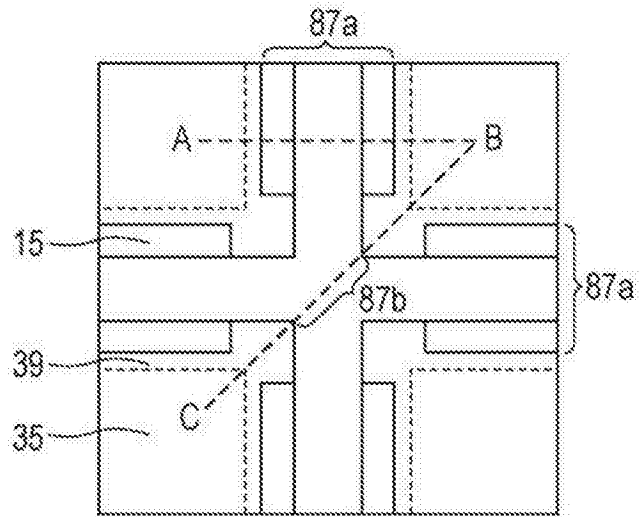


图12A

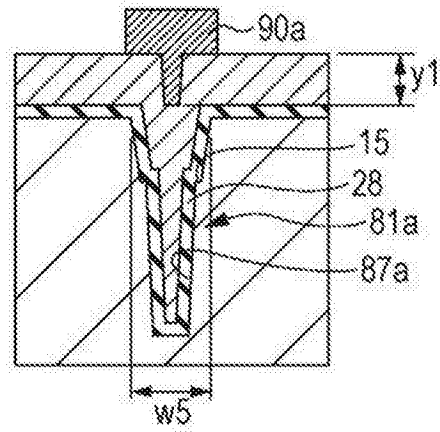


图12B

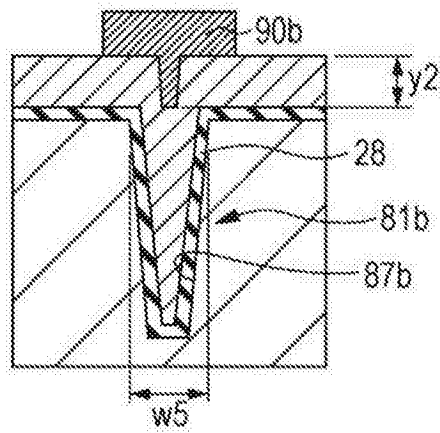


图12C

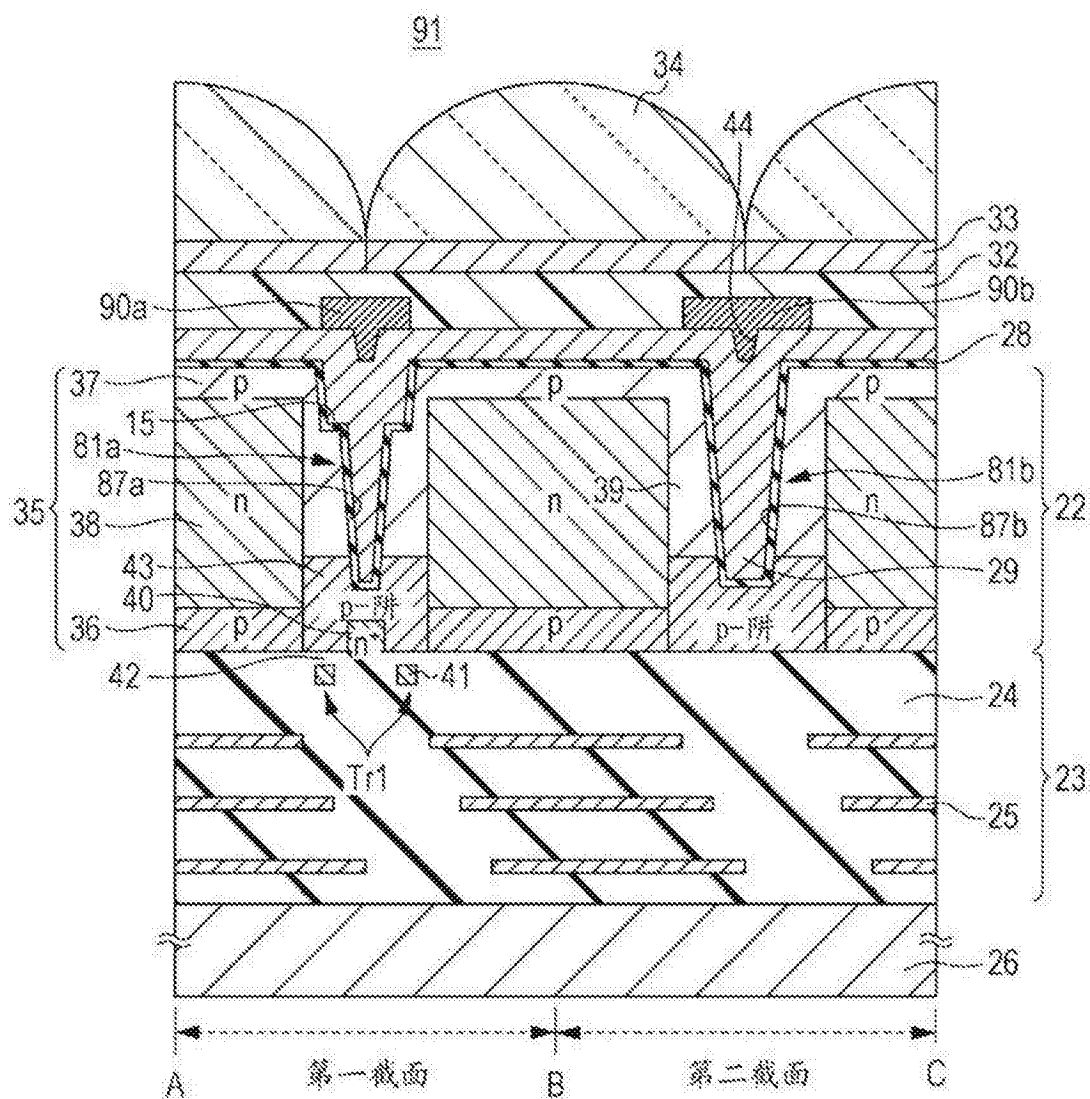


图13

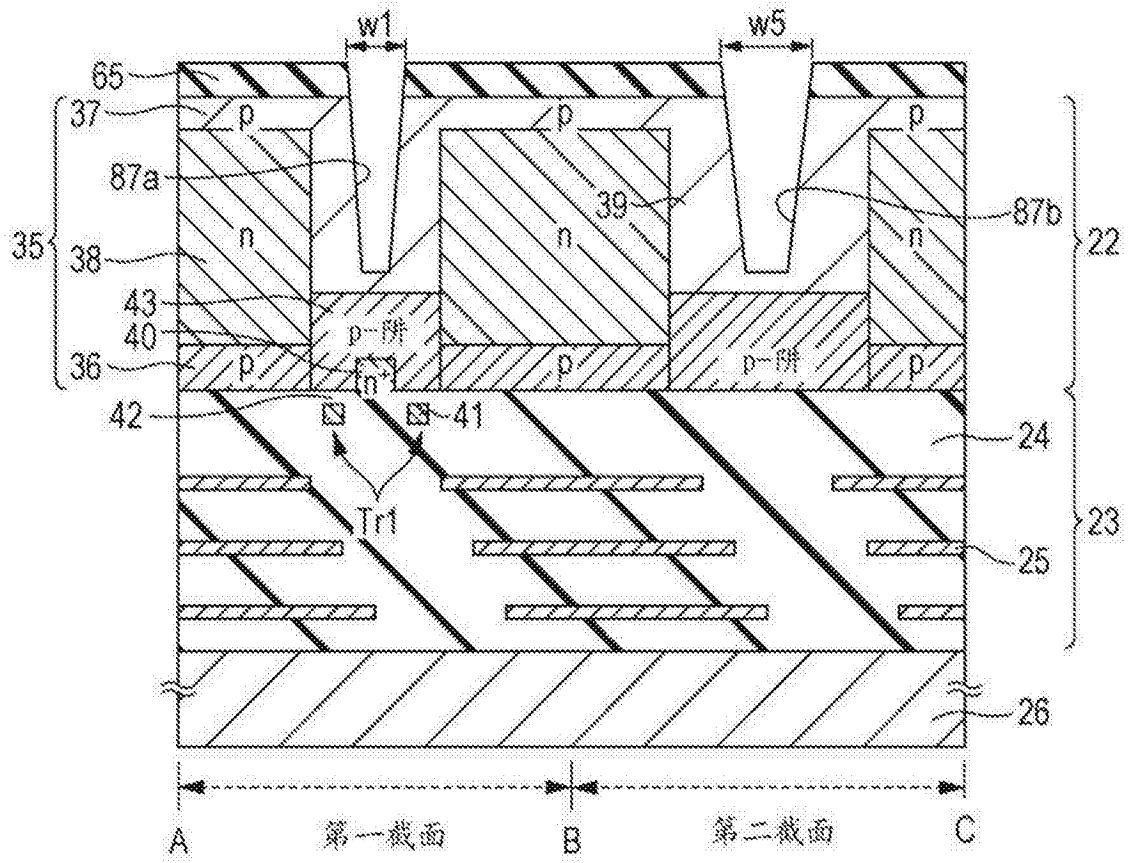


图14A

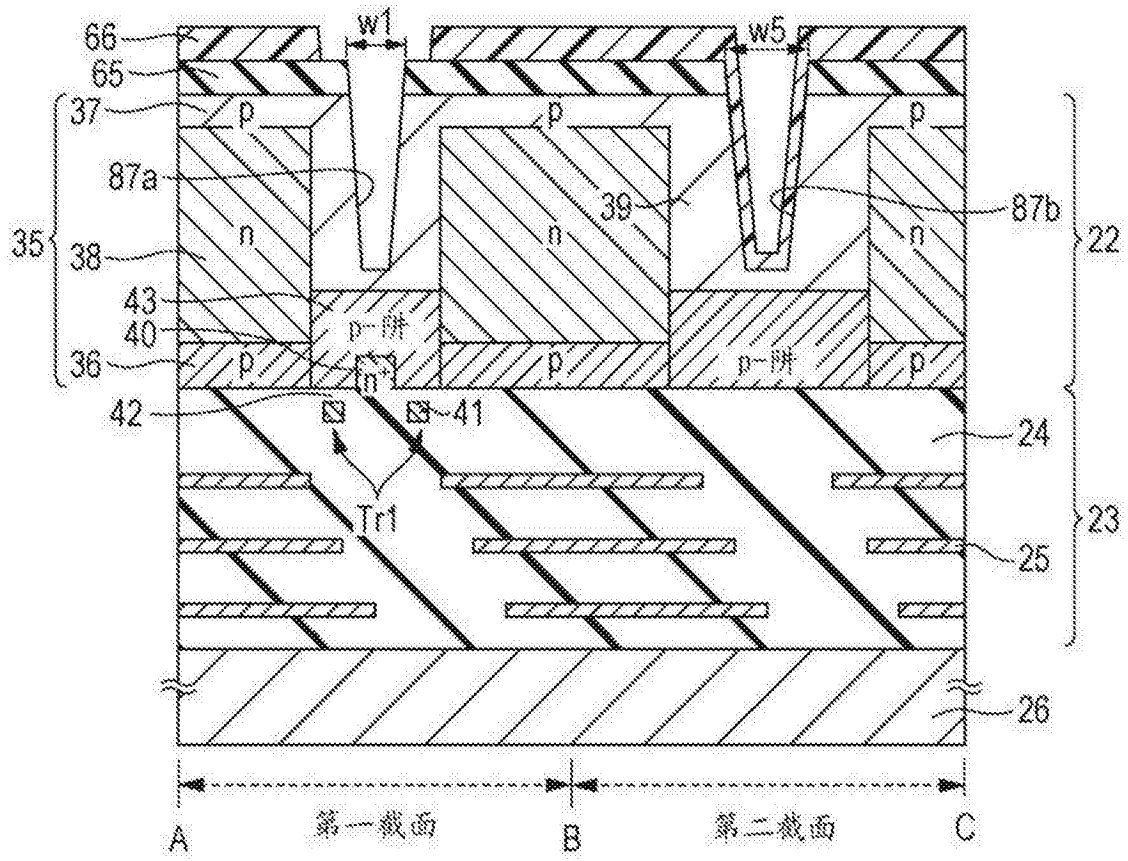


图14B

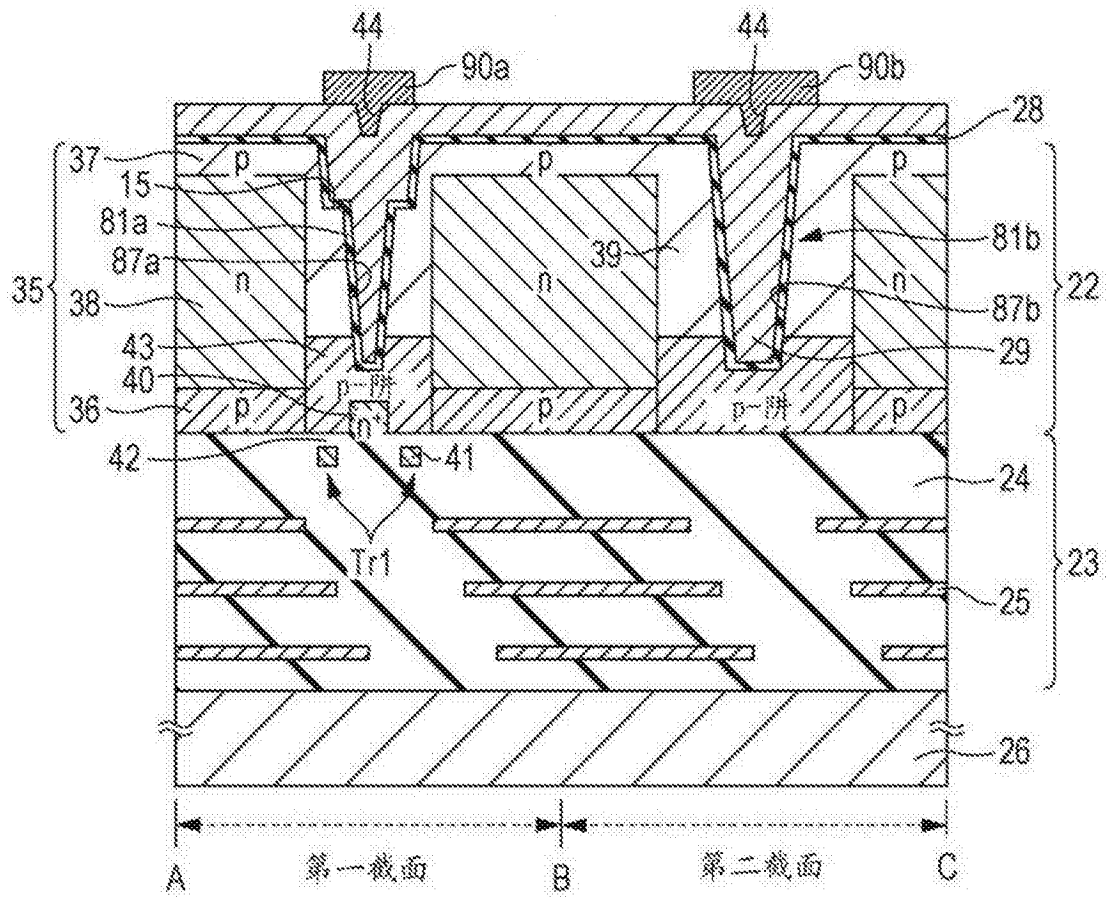


图15D

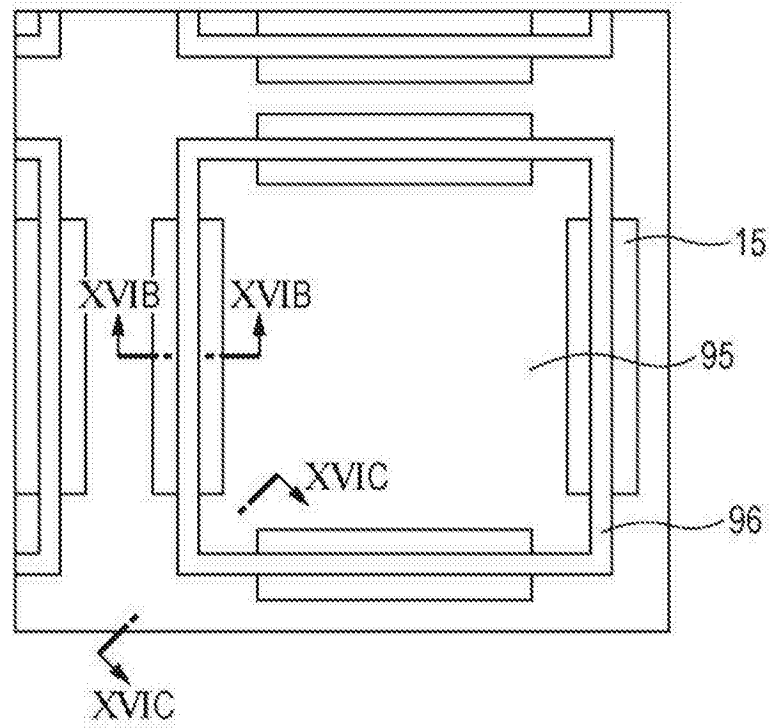


图16A

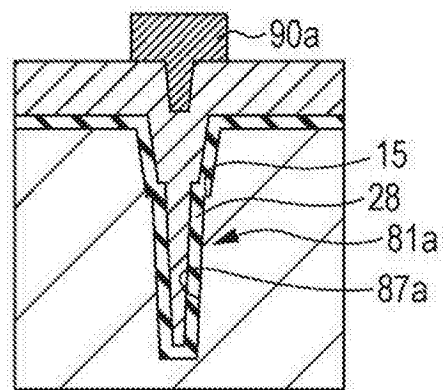


图16B

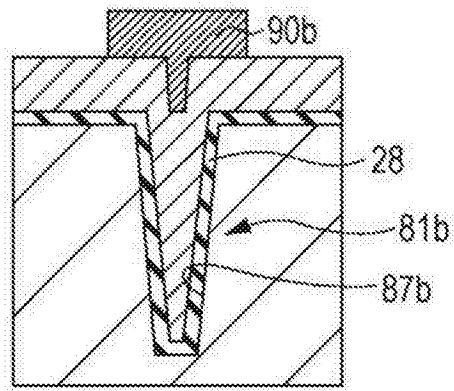


图16C

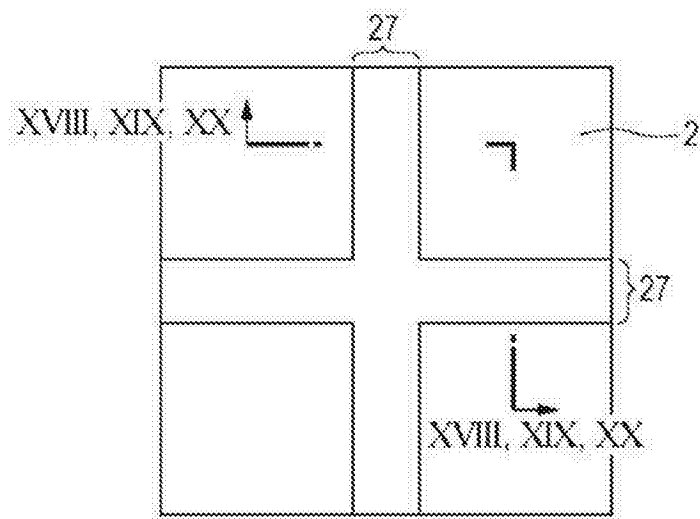


图17

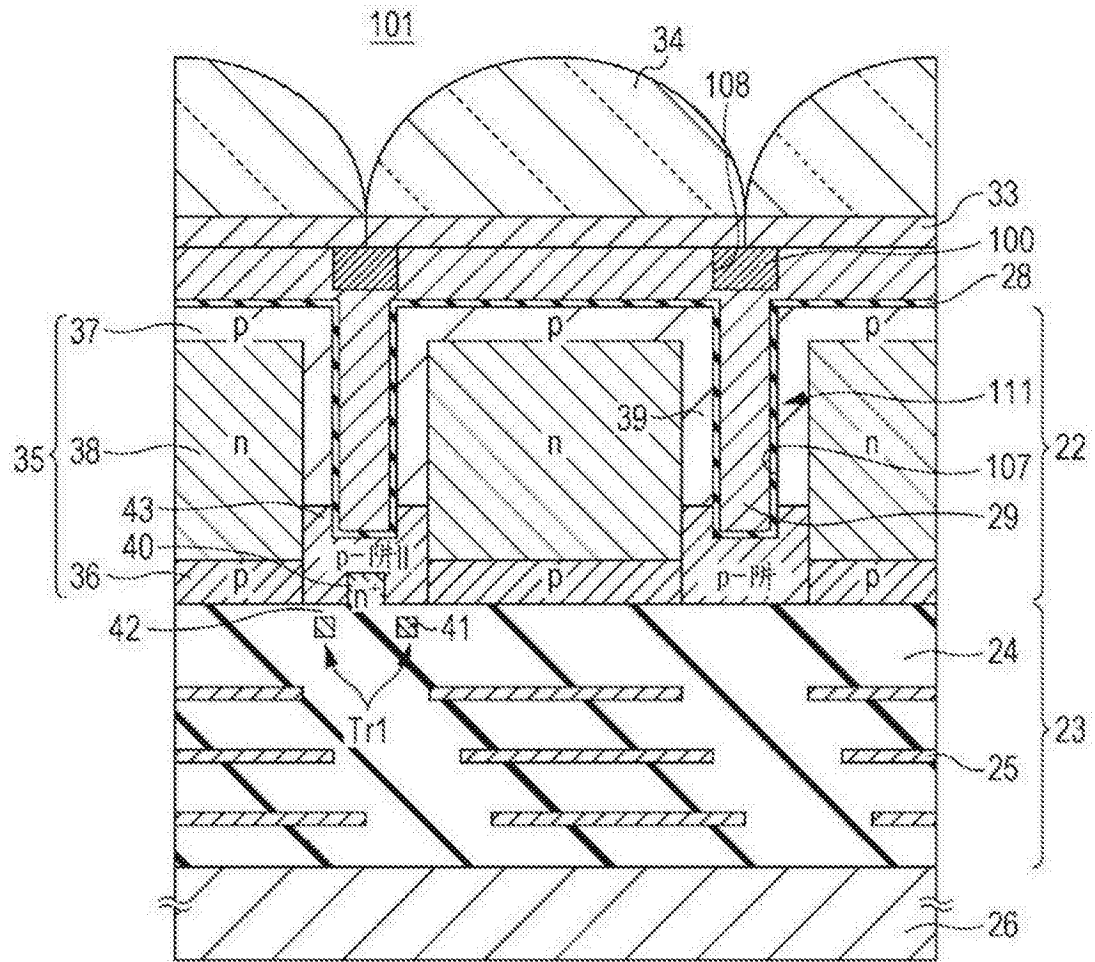


图18

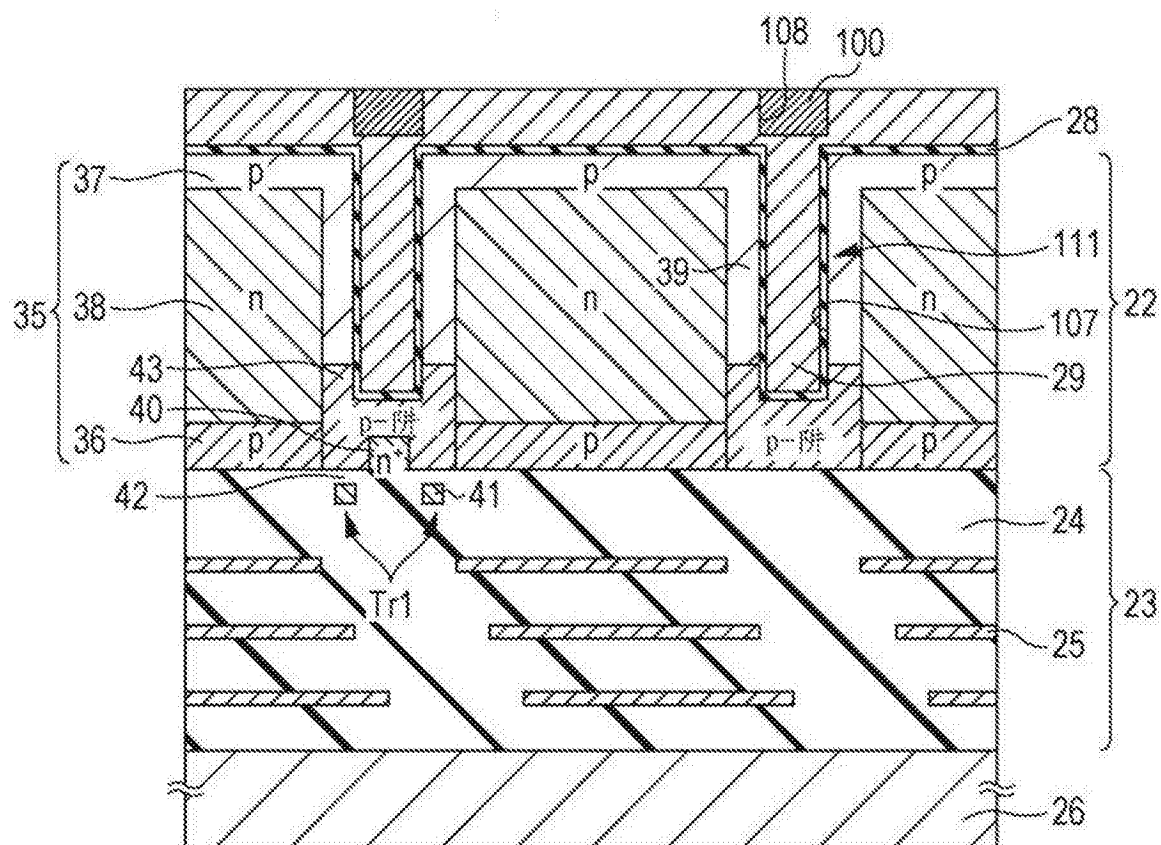


图 20D

121

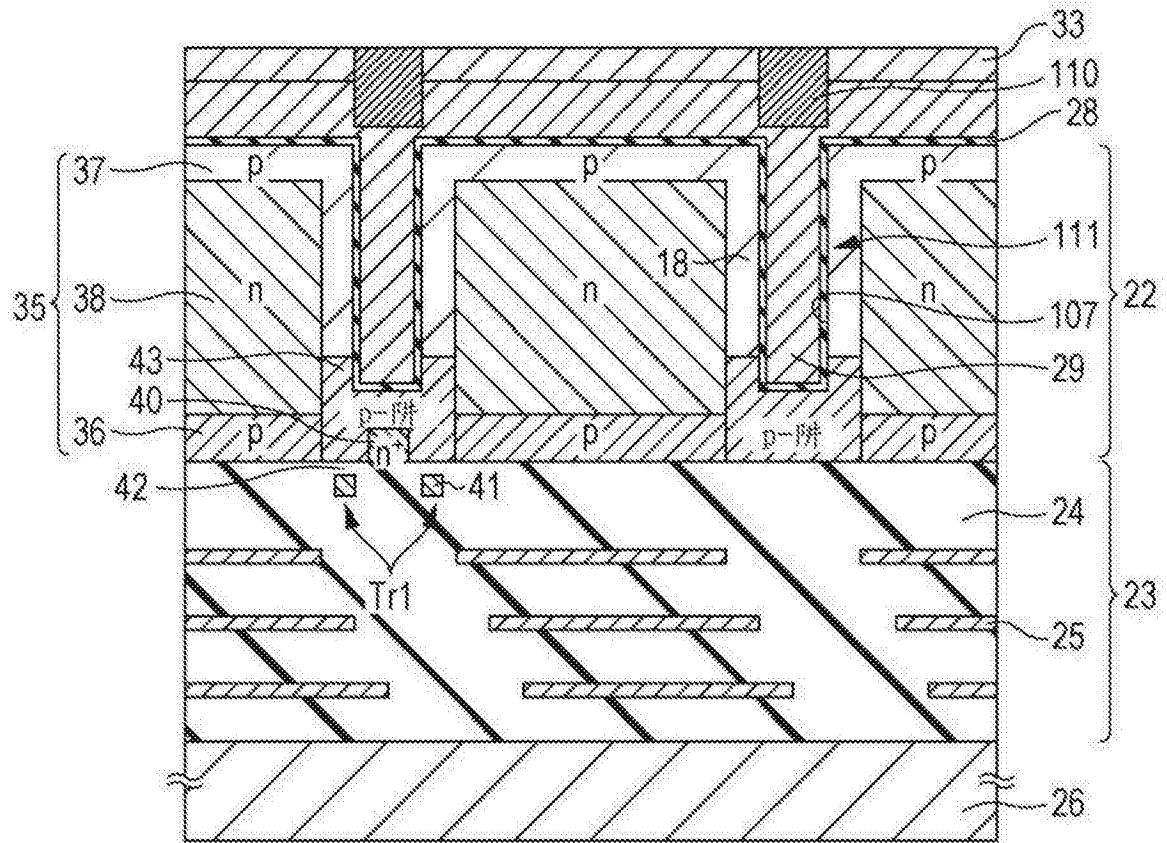


图21

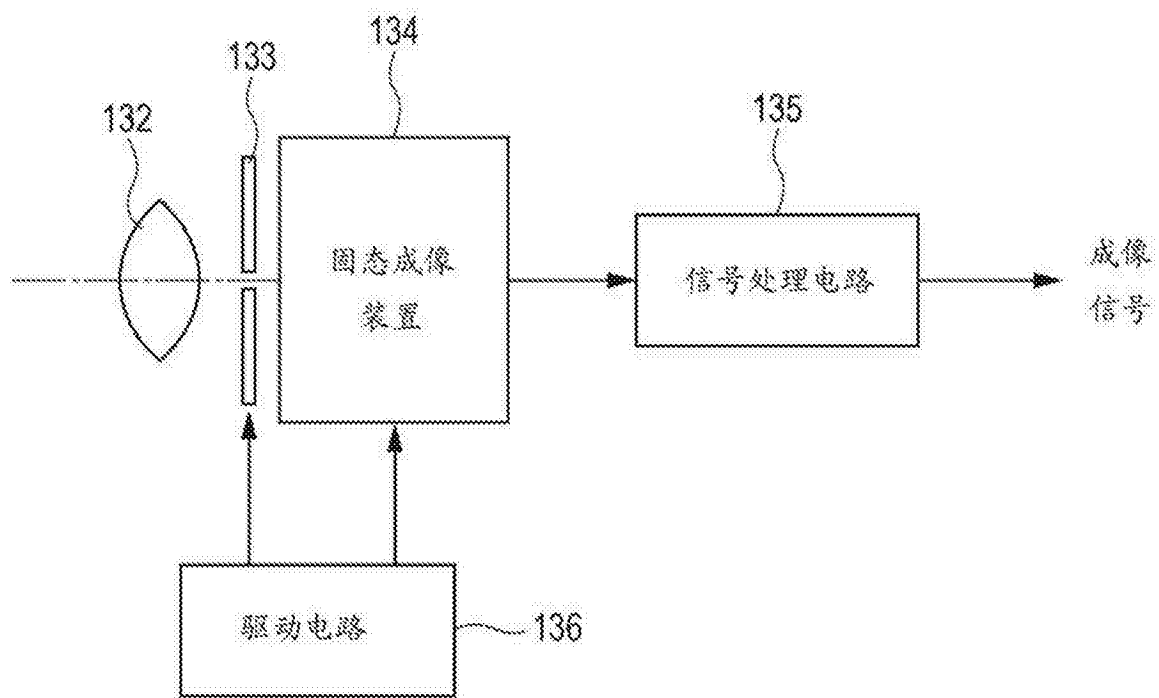
131

图22