

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5781720号  
(P5781720)

(45) 発行日 平成27年9月24日(2015.9.24)

(24) 登録日 平成27年7月24日(2015.7.24)

(51) Int. Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 7 J		
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 7 K		
HO 1 L 21/3205 (2006.01)	HO 1 L	29/78	6 1 2 C		
HO 1 L 21/768 (2006.01)	HO 1 L	29/78	6 1 2 D		
HO 1 L 23/522 (2006.01)	HO 1 L	29/78	6 1 3 B		
請求項の数 15 (全 15 頁) 最終頁に続く					

(21) 出願番号	特願2008-318098 (P2008-318098)	(73) 特許権者	302062931
(22) 出願日	平成20年12月15日(2008.12.15)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2010-141230 (P2010-141230A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成22年6月24日(2010.6.24)	(74) 代理人	100110928
審査請求日	平成23年12月7日(2011.12.7)		弁理士 速水 進治
審判番号	不服2014-9666 (P2014-9666/J1)	(74) 代理人	100127236
審判請求日	平成26年5月26日(2014.5.26)		弁理士 天城 聡
		(72) 発明者	林 喜宏
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		(72) 発明者	井上 尚也
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
最終頁に続く			

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、  
前記半導体基板に形成されたMOSトランジスタ型の素子と、  
前記半導体基板上に第1絶縁層を介して形成された第2絶縁層と、前記第2絶縁層の表面に埋め込まれた第1配線とを有する第1配線層と、  
前記第1配線層上に位置する半導体層と、  
前記半導体層の下に位置するゲート絶縁膜と、  
前記ゲート絶縁膜を介して前記半導体層の反対側に位置し、前記第2絶縁層の表面に埋め込まれたゲート電極と  
 を備え、  
 前記ゲート絶縁膜は、前記第1配線層の上、かつ前記半導体層と前記第1配線層の間に位置しており、  
前記第1配線及び前記ゲート電極は銅配線であり、  
前記第1配線層上に設けられた拡散防止膜をさらに備え、  
前記ゲート絶縁膜は、前記拡散防止膜であり、  
前記半導体層は、前記拡散防止膜上に形成されている半導体装置。

【請求項2】

請求項1に記載の半導体装置において、  
 前記第1配線層上に位置し、前記半導体層に接続する第2配線を備える第2配線層をさ

らに備える半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、  
前記半導体層にはチャネル領域が形成されており、  
前記半導体層上に位置するトラップ膜と、  
前記トラップ膜上に位置し、平面視において前記チャネル領域と重なるバックゲート電極と、  
を備える半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、  
前記半導体層、前記ゲート絶縁膜、前記ゲート電極、前記トラップ膜、及び前記バックゲート電極は、メモリ素子を構成する半導体装置。

10

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の半導体装置において、  
前記半導体層は酸化物半導体層を有している半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、  
前記酸化物半導体層は InGaZnO 層又は ZnO 層である半導体装置。

【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載の半導体装置において、  
前記第 2 絶縁層は、酸化シリコンより誘電率が低い低誘電率絶縁層である半導体装置。

20

【請求項 8】

請求項 1 ~ 7 のいずれか一項に記載の半導体装置において、  
前記 MOS トランジスタ型の素子は、平面視において少なくとも一部が前記半導体層と重なっている半導体装置。

【請求項 9】

半導体基板に、MOS トランジスタ型の素子を形成する工程と、  
前記半導体基板上に第 1 絶縁層を介して形成された第 2 絶縁層と、前記第 2 絶縁層の表面に埋め込まれた第 1 配線と、及び前記第 2 絶縁層の表面に埋め込まれたゲート電極とを有する第 1 配線層を形成する工程と、  
前記第 1 配線層上に、拡散防止膜を形成する工程と、  
前記拡散防止膜上に半導体層を形成する工程と、  
前記半導体層にソース及びドレインを形成する工程と、  
を備え、  
前記第 1 配線及び前記ゲート電極は銅配線であり、  
前記拡散防止膜は、前記ゲート電極上においてゲート絶縁膜である半導体装置の製造方法。

30

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、  
前記半導体層を形成する工程の後に、  
前記半導体層上にトラップ膜を形成する工程と、  
前記トラップ膜上に、平面視において前記第 1 配線と重なるバックゲート電極を形成する工程と、  
を備える半導体装置の製造方法。

40

【請求項 11】

請求項 10 に記載の半導体装置の製造方法において、  
前記トラップ膜を形成する工程及び前記バックゲート電極を形成する工程は、前記ソース及びドレインを形成する工程の前に行われ、  
前記ソース及びドレインを形成する工程は、前記バックゲート電極をマスクとして前記半導体層を処理する工程である半導体装置の製造方法。

50

## 【請求項 1 2】

請求項 9 ~ 1 1 のいずれか一項に記載の半導体装置の製造方法において、  
前記第 2 絶縁層は酸化シリコンより誘電率が低い低誘電率絶縁層である半導体装置の製造方法。

## 【請求項 1 3】

請求項 9 ~ 1 2 のいずれか一項に記載の半導体装置の製造方法において、  
前記半導体層は酸化物半導体層であり、  
前記半導体層を形成する工程において、前記半導体基板を 4 0 0 以下の温度に加熱する半導体装置の製造方法。

## 【請求項 1 4】

請求項 1 3 に記載の半導体装置の製造方法において、  
前記ソース及びドレインを形成する工程は、還元性プラズマを用いて前記半導体層を処理する工程である半導体装置の製造方法。

10

## 【請求項 1 5】

請求項 1 3 に記載の半導体装置の製造方法において、  
前記ソース及びドレインを形成する工程は、前記半導体層に選択的に不純物を導入する工程である半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、半導体装置及び半導体装置の製造方法に関する。

20

## 【背景技術】

## 【0 0 0 2】

通常の半導体装置は、半導体基板にトランジスタなどの半導体素子を形成し、このトランジスタ上に複数の配線層を形成した構成を有している。このような半導体装置において、半導体基板に形成された半導体素子のレイアウトは、その半導体装置に求められている機能に基づいて設計されている。

## 【0 0 0 3】

また、近年は、非特許文献 1 ~ 6 に記載するように、化合物半導体層を用いて薄膜トランジスタを形成することが研究されている。

30

【非特許文献 1】"Control of p- and n-type conductivity in sputter deposition of undoped ZnO"、Gang Xiong他 5 名、App.Phys.Lett., Vol.80, No.7, 18 February 2002

【非特許文献 2】"High mobility bottom gate InGaZnO thin film transistors with SiOx etch stopper"、Minlyu kim他 8 名、App.Phys.Lett., Vol.90, 212114(2007)

【非特許文献 3】"High mobility thin-film transistors with InGaZnO channel fabricated by room temperature rf-magnetron sputtering"、Hisato Yabuta他 8 名、App.Phys.Lett., Vol.89, 112123(2006)

【非特許文献 4】"Highly Stable Ga2O3-In2O3-ZnO TFT for Active-Matrix Organic Light-Emitting Diode Display Application"、Chang Jung Kim他 9 名、IEEE Electron Devices Meeting, IEDM '06, Technical Digest, session 11.6, 2006

40

【非特許文献 5】"Integrated circuits based on amorphous indium-gallium-zinc-oxide-channel thin-film transistors"、M.Ofuji他 8 名、ECS Transactions, 3(8)293-300(2006)

【非特許文献 6】"Wide-bandgap high-mobility ZnO thin-film transistors produced at room temperature"、Elvira M.C.Fortunato他 6 名、App.Phys.Lett., Vol.85, No.13, 27 September 2004

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0 0 0 4】

半導体基板に形成された半導体素子のレイアウトを変更せずに、半導体装置の機能を変

50

更できるようにすると、同一の半導体基板を用いて互いに異なる機能を有する複数種類の半導体装置を製造することができるようになる。この場合、半導体装置の製造コストを削減することができる。一方、半導体基板上の配線層には配線、容量素子、及びヒューズ等しか形成されていなかったため、配線層の構成を変更するのみでは、半導体装置の機能を変更することには一定の限界があった。このため、配線層に新たな機能を有する素子を形成できるようになれば、半導体基板に形成された半導体素子のレイアウトを変更せずに、半導体装置の機能を大幅に変更できるようになる。

【課題を解決するための手段】

【0005】

本発明によれば、半導体基板と、  
前記半導体基板上に形成された絶縁層と、前記絶縁層の表面に埋め込まれた第1配線とを有する第1配線層と、  
前記第1配線層上に位置する半導体層と、  
前記半導体層の上又は下に位置するゲート絶縁膜と、  
前記ゲート絶縁膜を介して前記半導体層の反対側に位置するゲート電極とを備える半導体装置が提供される。

10

【0006】

本発明によれば、配線層の中に半導体層、ゲート絶縁膜、及びゲート電極を有する素子が設けられている。この素子は、例えばトランジスタ（スイッチング素子）や記憶素子として機能する。従って、配線層に新たな機能を有する素子を設けることができ、その結果、半導体基板に形成された半導体素子のレイアウトを変更せずに、半導体装置の機能を大幅に変更できる。

20

【0007】

本発明によれば、半導体基板の上に、絶縁層及び前記絶縁層の表面に埋め込まれた第1配線を有する第1配線層を形成する工程と、  
前記第1配線層上に、前記第1配線上に位置するゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に半導体層を形成する工程と、  
前記半導体層にソース及びドレインを形成する工程と、  
を備える半導体装置の製造方法が提供される。

【0008】

本発明によれば、半導体基板の上に、絶縁層及び前記絶縁層の表面に埋め込まれた第1配線を有する第1配線層を形成する工程と、  
前記第1配線層上に半導体層を形成する工程と、  
前記半導体層上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程と、  
前記半導体層にソース及びドレインを形成する工程と、  
を備える半導体装置の製造方法が提供される。

30

【発明の効果】

【0009】

本発明によれば、配線層に新たな機能を有する素子を設けることができ、その結果、半導体基板に形成された半導体素子のレイアウトを変更せずに、半導体装置の機能を大幅に変更できる。

40

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0011】

図2は、第1の実施形態に係る半導体装置の断面図である。図1は、図2の要部を拡大した断面図であり、図2に示した半導体装置が有する半導体素子200の構成を示す図である。図3は、半導体素子200の平面レイアウトを示す平面図である。

50

## 【0012】

この半導体装置は、図2に示すように、半導体基板100、第1配線層150、及び半導体素子200を備える。第1配線層150は、半導体基板100上に形成された絶縁層156と、絶縁層156の表面に埋め込まれた第1配線154とを備える。

## 【0013】

図1に示すように半導体素子200は、半導体層220、ゲート絶縁膜160、及びゲート電極210を備える。半導体層220は、第1配線層150上に位置する。ゲート絶縁膜160は、半導体層220の上又は下に位置する。ゲート電極210は、ゲート絶縁膜160を介して半導体層220の反対側に位置する。半導体素子200は、トランジスタとして機能する。

10

## 【0014】

本実施形態において、ゲート絶縁膜160は、第1配線層150の上に位置している。すなわちゲート絶縁膜160は、第1配線層150と半導体層220の間に位置している。そしてゲート電極210は、第1配線154と同一層に形成されている。第1配線154及びゲート電極210は、例えば銅配線であり、ダマシン法を用いて絶縁層156に埋め込まれている。ゲート電極210の幅は、例えば50nm以上500nm以下である。

## 【0015】

絶縁層156は、例えば酸化シリコンより誘電率が低い(例えば比誘電率が2.7以下)低誘電率絶縁層である。低誘電率絶縁層は、例えばSiOC(H)膜やSiLK(登録商標)等の炭素含有膜、HSQ(ヒドロジェンシルセスキオキサン)膜、MHSQ(メチル化ヒドロジェンシルセスキオキサン)膜、MSQ(メチルシルセスキオキサン)膜、またはこれらの多孔質膜を用いることができる。

20

## 【0016】

半導体層220は、厚さが例えば50nm以上300nm以下である。半導体層220は、例えばInGaZnO(IGZO)又はZnOなどの酸化物半導体層を有している。半導体層220は、上記した酸化物半導体層の単層構造であっても良いし、上記した酸化物半導体層と他の層の積層構造であっても良い。後者の例としては、IGZO/Al<sub>2</sub>O<sub>3</sub>/IGZO/Al<sub>2</sub>O<sub>3</sub>の積層膜がある。また半導体層220はポリシリコン層又はアモルファスシリコン層であってもよい。そして半導体層220には、ソース及びドレイン222が設けられている。半導体層220が酸化物半導体層である場合、ソース及びドレイン222は、例えば酸素欠陥を導入することにより形成されるが、不純物を導入することにより形成されても良い。半導体層220がポリシリコン層やアモルファスシリコン層である場合、ソース及びドレイン222は不純物を導入することにより形成される。ソース及びドレイン222の幅は、例えば50nm以上500nm以下である。半導体層220のうちソース及びドレイン222に挟まれている領域は、チャネル領域224となる。

30

## 【0017】

第1配線層150及び半導体層220の上には、第2配線層を構成する絶縁層170が形成されている。絶縁層170は、例えば上記した低誘電率絶縁膜である。ゲート絶縁膜160は、拡散防止膜としても機能し、第1配線層150上の全面に設けられている。そして半導体層220はゲート絶縁膜160の上に形成されている。ゲート絶縁膜160すなわち拡散防止膜は、例えばSiCN膜であり、厚さが10nm以上50nm以下である。

40

## 【0018】

絶縁層170には、配線186, 188(第2配線)が埋め込まれている。配線186は、絶縁層170に形成されたビア184を介してソース及びドレイン222に接続している。すなわち半導体素子200のソース及びドレイン222は、半導体素子200の上層の配線層に形成された配線186によって電氣的に引き出されている。また配線188は、絶縁層170に形成されたビア189を介して第1配線154に接続している。なおビア184はゲート絶縁膜160を貫通しておらず、ビア189はゲート絶縁膜160を貫通している。ビア184はビア189より大径である。本図に示す例において、ビア1

50

84は一部が半導体層220から外れているが、半導体層220から外れていなくても良い。

【0019】

図2に示すように、半導体基板100にはMOSトランジスタ型の半導体素子110が形成されている。半導体素子110は、例えばトランジスタ又は容量素子として機能し、ゲート絶縁膜112、ゲート電極114、及びソース及びドレインである不純物領域116を備える。半導体素子110が形成されている素子領域は、素子分離膜102によって分離されている。そして半導体素子110は、平面視において少なくとも一部が半導体層220と重なっている。

【0020】

なお本図に示す例において、第1配線層150と半導体基板100の間には、コンタクト層120及び配線層130が形成されている。配線層130はコンタクト層120上に位置している。コンタクト層120は、絶縁層124及びコンタクト122を有しており、配線層130は絶縁層134及び配線132を有している。配線132はコンタクト122を介して半導体素子110に接続している。配線132は、絶縁層156に形成されたビア152を介して第1配線154に接続している。

【0021】

なお絶縁層124は、例えば酸化シリコン層であるが、絶縁層134は、例えば上記した低誘電率絶縁層である。また配線層130と第1配線層150の間には、SiCN膜などの拡散防止膜140が形成されている。そして半導体素子110は、半導体素子200と電氣的に接続している。

【0022】

次に、図1、図2、図4の各図及び図5を用いて、本実施形態に係る半導体装置の製造方法を説明する。図4の各図及び図5は、図2のうち図1に相当する部分を示した図である。

【0023】

まず、図2に示したように、半導体基板100に素子分離膜102を形成し、さらにゲート絶縁膜112、ゲート電極114、及び不純物領域116をこの順に形成する。次いで、コンタクト層120、配線層130、及び拡散防止膜140を形成する。

【0024】

次いで、図4(a)に示すように、拡散防止膜140上に絶縁層156を形成する。次いで絶縁層156にビア152、第1配線154、及びゲート電極210を、シングルダマシン法又はデュアルダマシン法を用いて埋め込む。このようにして、第1配線層150が形成される。

【0025】

次いで、図4(b)に示すように、第1絶縁層150上にゲート絶縁膜160を、例えばプラズマCVD法を用いて形成する。なお、上記したようにゲート絶縁膜160は、拡散防止膜としても機能するため、ゲート絶縁膜160は第1絶縁層150の全面に形成される。

【0026】

次いで、ゲート絶縁膜160の全面上に半導体層220を形成し、半導体層220を、マスク膜を用いたエッチングにより選択的に除去する。半導体層220がZnO又はInGaZnOなどの酸化物半導体層を含んでいる場合、半導体層220は例えばスパッタリング法により形成される。このとき半導体基板100は、400以下の温度に加熱される。なお半導体層220がポリシリコン層やアモルファスシリコン層である場合、半導体層220は、例えばプラズマCVD法により形成される。

【0027】

次いで図5に示すように、半導体層220上にマスクパターン50を形成し、マスクパターン50をマスクとして半導体層220を処理する。これにより、半導体層220にはソース及びドレイン222が形成される。ここで行う処理は、例えば半導体層220を還

10

20

30

40

50

元性プラズマ（例えば水素プラズマ）で処理する方法、及び半導体層 220 を窒素含有プラズマ（例えばアンモニアプラズマ）で処理する方法がある。前者の処理を行った場合、半導体層 220 には酸素欠陥領域としてソース及びドレイン 222 が形成され、後者の処理を行った場合、半導体層 220 には窒素が選択的に導入されてソース及びドレイン 222 が形成される。

#### 【0028】

次いで、図 1 に示すように、マスクパターン 50 を除去する。次いで、ゲート絶縁膜 160 上及び半導体層 220 上に絶縁層 170 を形成し、絶縁層 170 にビア 184, 189 及び配線 186, 188 を形成する。このとき、ビア 184, 189 は互いに異なる工程で形成される。すなわちビア 184 を形成する工程においては、ビア 184 がゲート絶縁膜 160 を貫通しないようにして、ビア 189 を形成する工程においては、ビア 189 がゲート絶縁膜 160 を貫通するようにする。

#### 【0029】

また、ビア 184, 189 及び配線 186, 188 と絶縁層 170 の間、及びビア 184, 189 とソース及びドレイン 222 の間に、バリア膜（図示せず）を形成しておくのが好ましい。バリア膜は、例えば Ta 膜と TaN 膜をこの順に積層した積層膜であるが、半導体層 220 が酸化物半導体層である場合、Ta 膜の下に、Ru 膜、MoN 膜、又は W 膜を形成しておいても良い。この場合、バリア膜のうち半導体層 220 に接している部分が酸化されても、バリア膜の抵抗が上昇することを抑制できる。

#### 【0030】

次に、本実施形態の作用及び効果について説明する。本実施形態によれば、配線層に半導体素子 200 を形成することができる。半導体素子 200 はスイッチング素子であるトランジスタとして機能する。従って、半導体基板に形成された半導体素子のレイアウトを変更せずに、半導体装置の機能を大幅に変更できる。

#### 【0031】

また、ゲート絶縁膜 160 に拡散防止膜としての機能を持たせている。従って、ゲート絶縁膜 160 と拡散防止膜を別々に設ける必要が無くなり、半導体装置の構成が複雑になって半導体装置の製造コストが増大することを抑制できる。

#### 【0032】

また、半導体素子 200 のゲート電極 210 を、第 1 配線層 150 の第 1 配線 154 と同一層に設けているため、ゲート電極 210 と第 1 配線 154 を同一工程で形成することができる。従って、半導体装置の製造コストが増大することを抑制できる。

#### 【0033】

また、半導体層 220 を酸化物半導体層とした場合、半導体層 220 を形成するときの半導体基板 100 の加熱温度を 400 以下にすることができる。従って、半導体層 220 より下に位置する配線層に熱的なダメージが加わることを抑制できる。このため、配線層として、低誘電率絶縁膜及び銅配線を使用することができる。

#### 【0034】

また、平面視において、半導体素子 110, 200 は互いに少なくとも一部が重なっている。従って、半導体装置の集積率を上げることができる。

#### 【0035】

また、ビア 184, 189 を別工程で形成している。このため、ビア 184 を形成するときにゲート絶縁膜 160 をエッチングストッパーとして機能させることができる。このため、ビア 184 が深く形成されすぎることが抑制できる。

#### 【0036】

図 6 は、第 2 の実施形態に係る半導体装置の断面図であり、第 1 の実施形態における図 1 に相当する図である。本実施形態に係る半導体装置は、ビア 184, 189 が同一工程で形成されている点を除いて、第 1 の実施形態と同様である。すなわちビア 184 の一部が半導体層 220 から外れている場合、この外れている部分は、ゲート絶縁膜 160 を貫通する。

10

20

30

40

50

## 【 0 0 3 7 】

本実施形態によっても、ビア 1 8 4 を形成するときにゲート絶縁膜 1 6 0 をエッチングストッパーとして機能させない点を除いて、第 1 の実施形態と同様の効果を得ることができる。

## 【 0 0 3 8 】

図 7 は、第 3 の実施形態に係る半導体装置の断面図であり、第 1 の実施形態における図 1 に相当する図である。本実施形態に係る半導体装置は、半導体層 2 2 0 上にトラップ膜 2 3 0 及びバックゲート電極 2 4 0 を有している点を除いて、第 1 の実施形態に係る半導体装置と同様の構成である。トラップ膜 2 3 0 及びバックゲート電極 2 4 0 は、平面視において、半導体層 2 2 0 のチャンネル領域 2 2 4 と重なっている。なお本図に示す例において、バックゲート電極 2 4 0 上には、バックゲート電極 2 4 0 を形成するときに用いたマスクパターン 5 4 が残っている。マスクパターン 5 4 は、例えば酸化シリコン膜であるが、窒化シリコン膜や炭窒化シリコン膜であってもよい。なおバックゲート電極 2 4 0 に接続するコンタクト（図示せず）は、マスクパターン 5 4 を貫通している。

10

## 【 0 0 3 9 】

トラップ膜 2 3 0 は、例えば SiN 膜であり、厚さが 5 nm 以上 5 0 nm 以下である。バックゲート電極 2 4 0 は、例えば TiN 膜である。バックゲート電極 2 4 0 は、例えば図示しないコンタクトを介して、配線 1 8 6 , 1 8 8 と同一層の配線（図示せず）に電気的に接続している。

## 【 0 0 4 0 】

本実施形態において半導体素子 2 0 0 は、トランジスタとして機能するほか、メモリ素子としても機能することができる。後者の場合、半導体素子 1 1 0 は半導体素子 2 0 0 のセレクト回路の一部であってもよい。

20

## 【 0 0 4 1 】

図 8 は、半導体素子 2 0 0 がメモリ素子として機能する原理を説明する図である。半導体素子 2 0 0 をメモリ素子として機能させる場合、トラップ膜 2 3 0 に電荷（例えばホール）を注入（トラップ）させたり、注入した電荷を除去したりすればよい。トラップ膜 2 3 0 に注入された電荷の有無により、半導体素子 2 0 0 をトランジスタとして機能させるときの閾値電圧（ $V_{th}$ ）が変化するためである。

## 【 0 0 4 2 】

具体的には、初期状態（半導体素子 2 0 0 に情報が書き込まれていない）では、バックゲート電極 2 4 0 の電圧（ $V_{BG}$ ）= 0 とする。そして半導体素子 2 0 0 に情報を書き込むとき、バックゲート電極 2 4 0 に負の電圧（例えば - 2 . 5 V）を印加して、ゲート電極 2 1 0 の電圧（ $V_G$ ）= 0 とする。すると、トラップ膜 2 3 0 にホールが注入され、半導体素子 2 0 0 の閾値電圧が - 側にシフトする。

30

## 【 0 0 4 3 】

そして、半導体素子 2 0 0 から情報を消去するとき、バックゲート電極 2 4 0 に正の電圧（例えば + 2 . 5 V）を印加して、ゲート電極 2 1 0 に負の電圧（例えば - 2 . 5 V）を印加する。すると、トラップ膜 2 3 0 に注入されていたホールが除去され、半導体素子 2 0 0 の閾値電圧が初期値に戻る。

40

## 【 0 0 4 4 】

なお、半導体素子 2 0 0 をメモリ素子として使用せずにトランジスタとして使用する場合においても、トラップ膜 2 3 0 に電荷を注入することにより、トランジスタの閾値電圧を変更することができる。

## 【 0 0 4 5 】

次に、本実施形態に係る半導体装置の製造方法を、図 9 及び図 1 0 の各図を用いて説明する。この半導体装置の製造方法は、ゲート絶縁膜 1 6 0 を形成するまでは、第 1 の実施形態と同様であるため説明を省略する。

## 【 0 0 4 6 】

図 9 ( a ) に示すように、ゲート絶縁膜 1 6 0 を形成した後、まずゲート絶縁膜 1 6 0

50



上に半導体層 220 を形成する。次いで半導体層 220 上にトラップ膜 230 及びバックゲート電極 240 を形成する。トラップ膜 230 は、例えばプラズマ CVD 法により形成され、バックゲート電極 240 は、例えばスパッタリング法により形成される。

【0047】

次いで図 9 (b) に示すように、バックゲート電極 240 上にマスクパターン 52 を形成し、マスクパターン 52 をマスクとしてバックゲート電極 240、トラップ膜 230、及び半導体層 220 をドライエッチングする。これにより、半導体層 220 は半導体素子 200 となるようにパターンニングされる。なおバックゲート電極 240 及びトラップ膜 230 の形状は、半導体層 220 の形状と略同じである。

【0048】

10

次いで、図 10 (a) に示すように、マスクパターン 52 を除去する。次いで、バックゲート電極 240 上にマスクパターン 54 を形成する。マスクパターン 54 は、例えば酸化シリコン膜を形成し、この酸化シリコン膜を選択的に除去することにより形成される。なお、マスクパターン 54 は、窒化シリコン膜や炭窒化シリコン膜などの他の膜を選択的に除去することにより形成されても良い。次いで、マスクパターン 54 をマスクとしてトラップ膜 230 及びバックゲート電極 240 をドライエッチングする。これにより、トラップ膜 230 及びバックゲート電極 240 は、半導体素子 200 となるようにパターンニングされる。

【0049】

その後、図 10 (b) に示すように、バックゲート電極 240 をマスクとして、半導体層 220 を処理する。これにより、半導体層 220 にはソース及びドレイン 222 が形成される。ここで行う処理は、第 1 の実施形態と同様である。

20

【0050】

次いで、図 7 に示した絶縁層 170 を形成する。この工程以降については、第 1 の実施形態と同様であるため、説明を省略する。

【0051】

本実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。また、半導体素子 200 をメモリ素子として使用することができる。

【0052】

図 11 は、第 4 の実施形態に係る半導体装置の構成を示す断面図であり、第 3 の実施形態における図 7 に相当する図である。この半導体装置は、ゲート電極 210 が設けられておらず、ゲート絶縁膜 232 およびゲート電極 242 が半導体層 220 上に位置している点を除いて、第 3 の実施形態に係る半導体装置と同様の構成である。

30

【0053】

ゲート絶縁膜 232 は、第 3 の実施形態におけるトラップ膜 230 と同様の構成であり、ゲート電極 242 は、第 3 の実施形態におけるバックゲート電極 240 と同様の構成である。

【0054】

また、第 1 配線層 150 の上には、拡散防止膜 162 が設けられている。拡散防止膜 162 の構成は、第 3 の実施形態におけるゲート絶縁膜 160 と同様である。

40

【0055】

本実施形態にかかる半導体装置の製造方法は、第 1 配線 154 を形成するときにゲート電極 210 が形成されない点を除いて、第 3 の実施形態に係る半導体装置の製造方法と同様である。

【0056】

本実施形態によっても、配線層に半導体素子 200 を形成することができる。従って、半導体基板に形成された半導体素子のレイアウトを変更せずに、半導体装置の機能を大幅に変更できる。

【0057】

また、半導体層 220 を酸化物半導体層とした場合、半導体層 220 を形成するときの

50

半導体基板 100 の加熱温度を 400 以下にすることができる。従って、半導体層 220 より下に位置する配線層に熱的なダメージが加わることを抑制できる。

【0058】

また、平面視において、半導体素子 110, 200 は互いに少なくとも一部が重なっている。従って、半導体装置の集積率を上げることができる。

【0059】

また、ビア 184, 189 を別工程で形成している。このため、ビア 184 を形成するときにゲート絶縁膜 160 をエッチングストッパーとして機能させることができる。このため、ビア 184 が深く形成されすぎること抑制できる。

【0060】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。例えば、第 1 配線 154 及びゲート電極 210 は銅配線であり、ダマシン法を用いて絶縁層 156 に埋め込まれているのが好ましいが、その他の配線層に位置する配線、例えば配線 132、及び配線 188, 189 の少なくとも一方については、他の金属材料（例えば Al 又は Al 合金）で形成されていても良い。この場合、ビア 152, 184, 189 も銅以外の金属材料により形成される。例えば配線 132, 154、ビア 152、及びゲート電極 210 が銅または銅合金により形成され、半導体素子 200 より上層に位置する配線 186, 188 及びビア 184, 189 が Al または Al 合金により形成されていても良い。

【図面の簡単な説明】

【0061】

【図 1】第 1 の実施形態に係る半導体装置の構成を示す断面図である。

【図 2】第 1 の実施形態に係る半導体装置の構成を示す断面図である。

【図 3】第 1 の実施形態に係る半導体装置の構成を示す平面図である。

【図 4】各図は半導体装置の製造方法を示す断面図である。

【図 5】半導体装置の製造方法を示す断面図である。

【図 6】第 2 の実施形態に係る半導体装置の構成を示す断面図である。

【図 7】第 3 の実施形態に係る半導体装置の構成を示す断面図である。

【図 8】半導体素子がメモリ素子として機能する原理を説明する図である。

【図 9】各図は半導体装置の製造方法を示す断面図である。

【図 10】各図は半導体装置の製造方法を示す断面図である。

【図 11】第 4 の実施形態に係る半導体装置の構成を示す断面図である。

【符号の説明】

【0062】

50 マスクパターン

52 マスクパターン

54 マスクパターン

100 半導体基板

102 素子分離膜

110 半導体素子

112 ゲート絶縁膜

114 ゲート電極

116 不純物領域

120 コンタクト層

122 コンタクト

124 絶縁層

130 配線層

132 配線

134 絶縁層

140 拡散防止膜

10

20

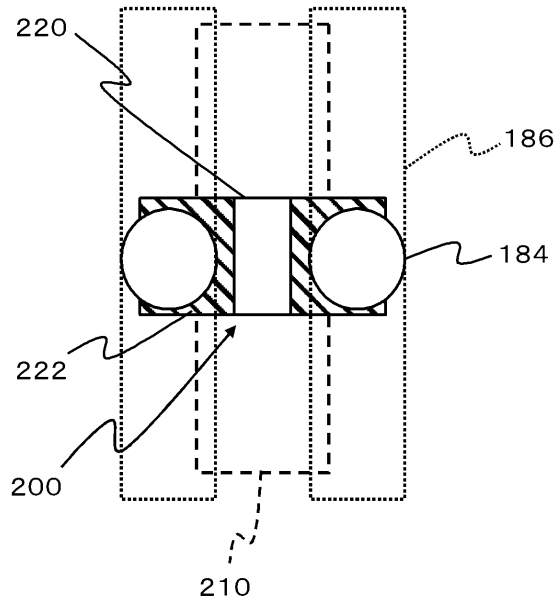
30

40

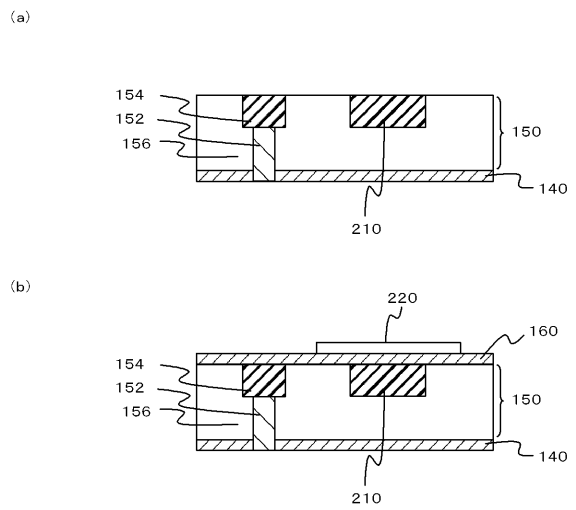
50



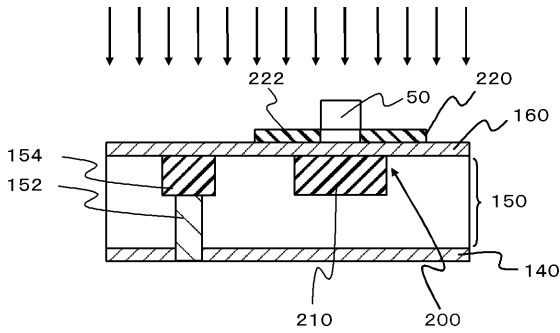
【図3】



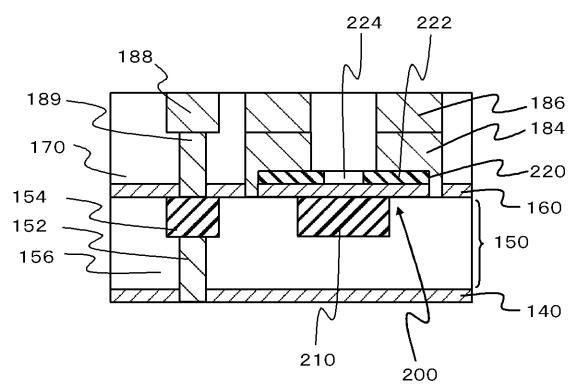
【図4】



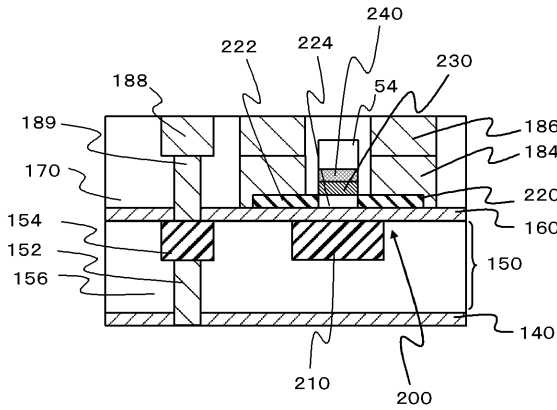
【図5】



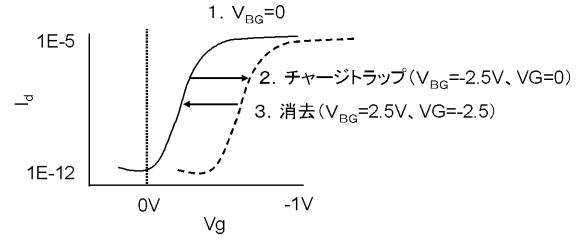
【図6】



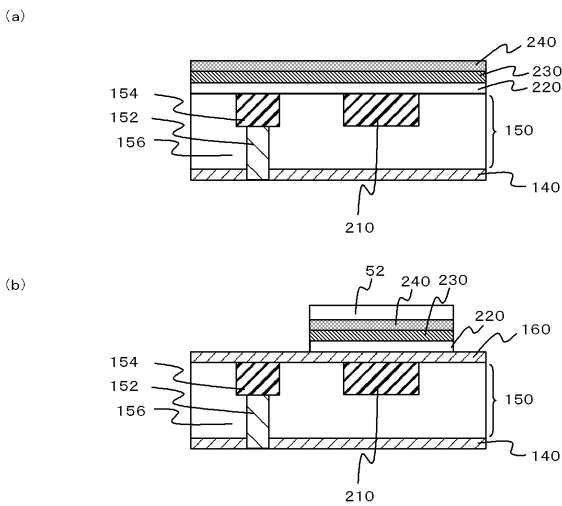
【図7】



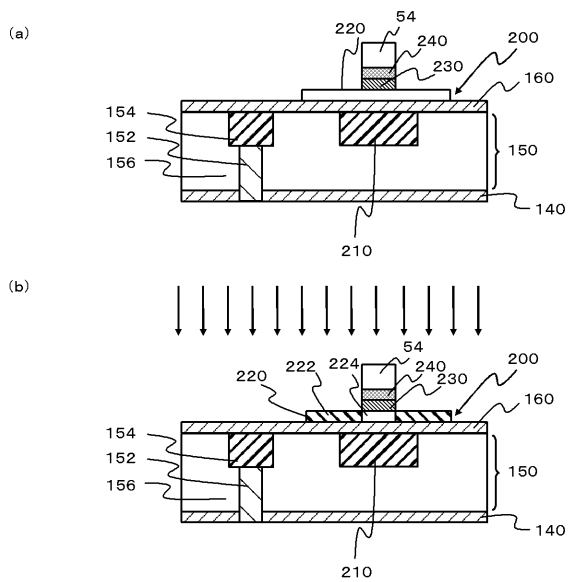
【図8】



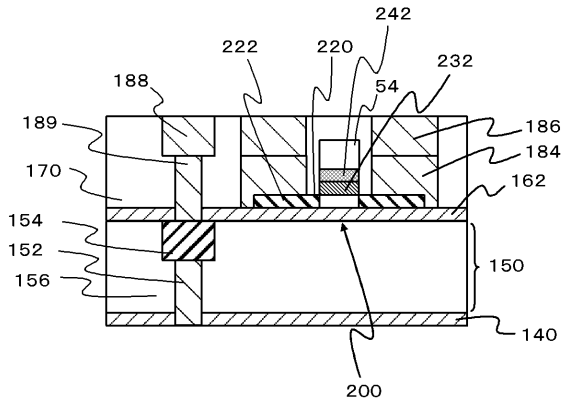
【図9】



【図10】



【図 11】



## フロントページの続き

(51)Int.Cl.		F I			
H 0 1 L	29/423	(2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/78	6 1 9 A
			H 0 1 L	29/78	6 2 6 C
			H 0 1 L	21/88	Z
			H 0 1 L	29/58	G

(72)発明者 金子 貴昭  
 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

## 合議体

審判長 飯田 清司

審判官 鈴木 匡明

審判官 恩田 春香

(56)参考文献 特開平05 - 055528 (JP, A)  
 特開平10 - 200125 (JP, A)  
 特開平07 - 066427 (JP, A)  
 特開2000 - 147493 (JP, A)  
 特開2001 - 274409 (JP, A)  
 特開2005 - 166757 (JP, A)  
 特開2008 - 283013 (JP, A)  
 特開2007 - 250983 (JP, A)  
 特開2006 - 210828 (JP, A)  
 特開昭60 - 224277 (JP, A)  
 特開平04 - 111361 (JP, A)  
 特開平10 - 048666 (JP, A)  
 特開2000 - 347221 (JP, A)  
 特開2001 - 059191 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6