

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6080953号
(P6080953)

(45) 発行日 平成29年2月15日 (2017. 2. 15)

(24) 登録日 平成29年1月27日 (2017. 1. 27)

(51) Int. Cl.	F I
HO 1 L 27/115 (2017. 01)	HO 1 L 27/10 4 3 4
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006. 01)	HO 1 L 27/10 4 8 1
HO 1 L 29/792 (2006. 01)	
HO 1 L 27/10 (2006. 01)	

請求項の数 12 (全 23 頁)

(21) 出願番号	特願2015-520689 (P2015-520689)	(73) 特許権者	595168543
(86) (22) 出願日	平成25年7月3日 (2013. 7. 3)		マイクロン テクノロジー, インク,
(65) 公表番号	特表2015-525971 (P2015-525971A)		アメリカ合衆国, アイダホ州 8 3 7 1 6
(43) 公表日	平成27年9月7日 (2015. 9. 7)		- 9 6 3 2, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2013/049360		ラル ウェイ 8 0 0 0
(87) 国際公開番号	W02014/008419	(74) 代理人	100074099
(87) 国際公開日	平成26年1月9日 (2014. 1. 9)		弁理士 大宮 義之
審査請求日	平成27年2月5日 (2015. 2. 5)	(74) 代理人	100106851
(31) 優先権主張番号	13/543, 154		弁理士 野村 泰久
(32) 優先日	平成24年7月6日 (2012. 7. 6)	(72) 発明者	ハ, チャン ワン
(33) 優先権主張国	米国 (US)		アメリカ合衆国, カルフォルニア州 9 4
			5 8 2, サン ラモン, ライサンダー ウ
			ェイ 5 6 5 6

最終頁に続く

(54) 【発明の名称】 少なくとも2個のマスクを使用する階段形成

(57) 【特許請求の範囲】

【請求項 1】

メモリ構造体を形成するための方法であって、

第1方向及び前記第1方向に直交する第2方向の長さがそれぞれ第1寸法及び第2寸法となる第1露出エリアを画成するために伝導性物質の上方に第1マスクを形成することと

、
前記第2方向について前記第1露出エリアよりも小さい第2露出エリアを画成するために前記第1露出エリアの1部分の上方に第2マスクを形成することと、

前記第2露出エリアから伝導性物質を除去することと
を含み、

前記第2マスクの初期における前記第2方向の第3寸法は前記第1露出エリアの前記第2寸法よりも小さく、前記第2マスクの初期における前記第1方向の第4寸法は少なくとも、前記第1露出エリアの前記第1寸法と、前記第2マスクの初期における前記第3寸法と階段構造の形成後における前記第2マスクの縮小された前記第3寸法との間の差異に等しい距離との合計となるものであって、前記階段構造の形成後における前記第4寸法は、初期における前記第4寸法よりも縮小され、前記第1寸法よりも大きくなる、

方法。

【請求項 2】

前記第2マスクは前記第1マスクのエッチング速度よりも大きいエッチング速度を有する物質で形成される、請求項1に記載の方法。

【請求項 3】

前記第 1 マスクはハードマスクであり前記第 2 マスクはフォトレジストマスクである、請求項 1 または 2 に記載の方法。

【請求項 4】

前記第 2 露出エリアが少なくともさらに 1 つの階段ステップの追加的エリアを含むように、ある量だけ前記第 2 マスクをリサイズすることをさらに含む、請求項 1 ～ 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記第 2 マスクの前記第 4 寸法は少なくとも、前記第 1 露出エリアの前記第 1 寸法と、前記階段構造における階段ステップの個数に 1 個の階段ステップを形成するために前記第 2 マスクがリサイズされる長さを乗算した積との合計である、請求項 1 ～ 4 のいずれか 1 項に記載の方法。

10

【請求項 6】

前記第 2 露出エリアを画成するために前記第 1 露出エリアの前記 1 部分の上方に前記第 2 マスクを形成することは、前記第 2 露出エリアが、等しい面積の 2 つの部分で、前記第 1 露出エリアの対向端部に有するよう、前記第 1 露出エリア内で前記第 2 方向において中心に置かれた前記第 2 マスクを形成することを含む、請求項 1 ～ 5 のいずれか 1 項に記載の方法。

【請求項 7】

前記第 2 露出エリアを画成するために前記第 1 露出エリアの前記 1 部分の上方に前記第 2 マスクを形成することは、前記第 2 露出エリアが前記第 1 露出エリアの一方端に位置するよう、前記第 1 露出エリア内で前記第 2 方向において中心から偏位した前記第 2 マスクを形成することを含む、請求項 1 ～ 5 のいずれか 1 項に記載の方法。

20

【請求項 8】

前記第 1 マスクを形成することは前記第 1 露出エリアを画成するための開口部を形成することを含み、前記第 2 マスクを形成することは前記開口部を完全に横断する前記第 2 マスクを形成することを含む、請求項 1 ～ 7 のいずれか 1 項に記載の方法。

【請求項 9】

メモリ構造体を形成する方法であって、

交互に並んだ伝導性物質および絶縁性物質を含む物質のスタックの上方に、階段構造が後に形成されるべきでない前記物質のスタックの第 1 エリアを被覆し、且つ前記階段構造が後に形成されるべき前記物質のスタックの第 2 エリアを被覆しない、第 1 マスクを形成することと、

30

前記第 2 エリアの第 1 部分の上方および前記第 1 マスクの 1 部分の上方に第 2 マスクを形成することと、

前記交互に並んだ伝導性物質および絶縁性物質のうちの 1 部分を、前記第 1 マスクまたは前記第 2 マスクにより被覆されない前記第 2 エリアの第 2 部分から除去することと、を含み、

前記第 2 マスクは、階段ステップを形成するために前記階段ステップが形成される第 1 の方向及び前記第 1 の方向に直交する第 2 の方向の全周にわたって縮小されるものであって、初期の前記第 2 マスクが縮小される量に、形成されるべき階段ステップの個数を乗算した積だけ、前記第 2 の方向について前記第 2 エリアの寸法よりも大きくなるように形成される、

40

方法。

【請求項 10】

第 1 方向の長さ及び前記第 1 方向に直交する第 2 方向の長さがそれぞれ第 1 寸法及び第 2 寸法である開口部を有する第 1 マスクを、伝導性物質の上方に形成することにより、前記伝導性物質上に前記開口部に基づく第 1 露出エリアを区画することと、

前記第 1 方向の長さ及び前記第 2 方向の長さがそれぞれ第 3 寸法及び第 4 寸法である第 2 マスクを、前記開口部の一部は塞ぎ残部は露出したまま、前記第 1 マスクの上方に形成

50

することにより、前記伝導性物質上の前記第 1 露出エリアを前記開口部の前記残部に基
づく第 2 露出エリアに変換することと、

前記伝導性物質の前記第 2 露出エリアに対する物質除去プロセスを行うことと、

前記第 2 マスクを前記第 1 方向および第 2 方向の両方向に縮小することにより、前記開
口部の前記残部を大きくして前記伝導性物質上の前記第 2 露出エリアを拡張することを複
数回行い、前記第 2 露出エリアを順次拡張することと、

前記伝導性物質の前記第 2 露出エリアを順次拡張する度に、当該拡張された露出エリア
に対する物質除去プロセスを行うことと、を含み、

前記第 2 マスクの前記第 3 寸法は、前記伝導性物質の前記第 2 露出エリアの拡張が前記
複数回行われても、前記第 2 露出エリアを前記第 2 方向にのみに順次拡張するように、前
記開口部の前記第 1 寸法に対し設定されている、

方法。

【請求項 1 1】

前記第 2 露出エリアは、前記第 1 露出エリアの前記第 2 方向における一端側と他端側に
それぞれ形成される請求項 1 0 に記載の方法。

【請求項 1 2】

前記第 2 露出エリアは、前記第 1 露出エリアの前記第 2 方向における一端側に形成され
、他端側には形成されない請求項 1 0 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、全般的には、半導体メモリ装置および形成方法に関し、さらに詳細には、少
なくとも 2 個のマスクを使用する階段形成のための装置および方法に関する。

【背景技術】

【0002】

メモリデバイスは、通常、コンピュータまたは他の電子デバイスにおける内蔵型の半導
体、集積回路として提供される。とりわけランダムアクセスメモリ（RAM）、リードオ
ンリーメモリ（ROM）、ダイナミックランダムアクセスメモリ（DRAM）、同期ダイ
ナミックランダムアクセスメモリ（SDRAM）、抵抗変化型メモリ（例えばRRAM）
、およびフラッシュメモリを含む、多くの異なる種類のメモリが存在する。

【0003】

メモリデバイスは広範な電子的用途のための揮発性および不揮発性のデータ記憶装置と
して利用される。フラッシュメモリは通常、高いメモリ密度、高い信頼性、および低い電
力消費を可能にする 1 つのトランジスタメモリセルを用いる。不揮発性メモリは、例えば
、パーソナルコンピュータ、携帯型メモリスティック、ソリッドステートドライブ（SS
D）、デジタルカメラ、携帯電話、携帯型音楽プレーヤ（例えばMP3プレーヤ）、ムー
ビープレーヤ、およびその他の電子デバイスにおいて使用され得る。

【0004】

メモリデバイスはメモリセルのメモリアレイを含み、係るメモリアレイは様々な 2 次元
構成または 3 次元構成で配列され得る。メモリアレイに連結される回路は、例えば、実質
的に平面構成で配列され得る。相互接続部が、メモリセルと、関連する回路と、を連結す
るために使用される。

【図面の簡単な説明】

【0005】

【図 1】 3 次元（3D）メモリデバイスの 1 部分の先行技術による斜視図である。

【図 2】 メモリアレイとストリングドライバとの間の接続を示す先行技術による概略図で
ある。

【図 3】 3Dメモリアレイと平面ストリングドライバとの間の接続を示す先行技術による
分離された斜視ブロック図である。

【図 4A】 縮小するフォトレジストを使用する階段形成の側面図を示す先行技術によるブ

10

20

30

40

50

【図 8 K】 本開示の 1 つまたは複数の実施形態に係る 2 個のマスクを使用する 1 方向にお 50

ける階段形成を図示するブロック図である。

【図8L】本開示の1つまたは複数の実施形態に係る2個のマスクを使用する1方向における階段形成を図示するブロック図である。

【発明を実施するための形態】

【0006】

例えばメモリデバイスなどにおいて、少なくとも2個のマスクを使用する階段形成のための装置および方法が提供される。1つの方法例は、第1露出エリアを画成するために第1マスクを伝導性物質の上方に形成することと、第1露出エリアよりも小さい第2露出エリアを画成するために第1露出エリアの1部分の上方に第2マスクを形成することと、を含み得る。伝導性物質は第2露出エリアから除去される。第2マスクの初期長さは第1露出エリアの長さよりも短く、第2マスクの初期幅は少なくとも、第1露出エリアの幅と、第2マスクの初期長さと階段構造の形成後における第2マスクの最終長さとの間の差異に等しい距離と、の合計である。

10

【0007】

本開示の以下の詳細な説明において、添付の図面が参照される。なお、添付の図面は本開示の一部を形成するものであり、添付の図面においては本開示の1つまたは複数の実施形態がいかにして実施され得るかが例示により示される。これらの実施形態は、当業者が本開示の実施形態を実施することが可能となるよう十分詳細に説明される。他の実施形態も利用され得ること、およびプロセスに関する変更、電気的な変更、および／または構造的な変更が本開示の範囲から逸脱することなく可能であることが理解されるべきである。

20

【0008】

本明細書における図面は、番号付与の習慣に従って、最初の桁（単数または複数）は図面番号に対応し、残余の桁は図面における構成要素または構成品を指す。異なる図面の間での同様の構成要素または構成品は、同一の桁を使用することにより指定され得る。理解され得るように、本明細書における様々な実施形態において示される構成要素は、本開示のいくつかの追加的な実施形態を提供するために、追加、交換、および／または排除され得る。加えて、これらの図面において提供される構成要素の比率および相対的尺度は本開示の様々な実施形態の例示を意図するものであり、限定的な意味で使用されるものではない。

【0009】

30

「第1」、「第2」、「第3」、および「第4」という用語は本明細書および／または請求項では、様々な特徴の命名を互いに区別する際に、単に便宜的に使用され得る。係る用語の使用は、物質が異なる組成であることを必ずしも示すものではなく、時には、たとえ同一の組成であったとしても異なる高度、異なる時間、または異なる手法で形成された物質を区別するためにも使用され得る。係る用語の使用は、特徴の特定の順序（形成の順序を含むが必ずしもこれに限定されない）を伝達することを意図するものではない。

【0010】

図1は3次元（3D）メモリデバイス100の1部分の先行技術による斜視図である。メモリデバイス100は、例えば、NAND型フラッシュメモリアレイを含み得る。メモリデバイス100は直列連結されたメモリセル103のいくつかの垂直ストリングを含み、これらのメモリセル103は、いくつかの導電線（例えばアクセス線105および／またはデータ線102など）に対して垂直に配列される。本明細書で使用される、AがBに「連結」されるという表現は、AとBとが例えば直接的オーミック接続を通して、または間接的接続（例えばCを介して）を通して電氣的に接続されるよう、AとBとが動作可能に連結されることを指す。様々な導電線間の絶縁性物質は明瞭化のために図1では省略される。伝導性物質は、例えばポリシリコン製であってもよく、または他のドーパ物質製もしくは非ドーパ物質製であってもよい。絶縁性物質は例えば酸化物製であってもよく、または他の誘電物質製であってもよい。

40

【0011】

第1選択ゲート108（例えばドレイン側選択ゲート（SGD）など）が、直列連結さ

50

れたメモリセル103のいくつかの垂直ストリングの第1端部に配置され得、第2選択ゲート110（例えばソース側選択ゲート（SGS）など）が、直列結合されたメモリセル103の垂直ストリングの第2端部（例えば反対側端部）に配置され得る。

【0012】

複数のデータ線102が第1平面内で配向され得、さらに第1平面内で第1方向に配向され得る。直列連結されたメモリセル103の垂直ストリングは第1平面に対して垂直に配向される。複数のアクセス線105が第2平面内で配向され得、さらに第2平面内で第2方向に配向され得る。

【0013】

図1に示すように、アクセス線105は平面構成で形成され得る。第2平面は第1平面に対して実質的に平行であり得る。第2方向は、例えば、第1方向に対して直交し得る。データ線102は直列連結されたメモリセル103のいくつかの垂直ストリングにより第1方向において共有され得、アクセス線105は直列連結されたメモリセル103のいくつかの垂直ストリングにより第2方向において共有され得る。

【0014】

1つまたは複数のソース線104が第3平面内で配向され得、第3平面は第1平面および第2平面に対して実質的に平行である。ソース線104はさらに第2方向（例えば図1に示すようにアクセス線105と同一方向）に配向されてもよく、または異なる方向に配向されてもよい。選択ゲート108および110は、データ線102とソース線104との間の直列連結されたメモリセル103の特定の垂直ストリングを選択するよう動作し得る。このようにして直列連結されたメモリデバイス103の垂直ストリングが、データ線102とソース線104との交差部分において位置決めされ得る。

【0015】

アクセス線105は、特定レベルにおけるメモリセルの制御ゲートに（いくつかの場合では、係る制御ゲートから）連結され、垂直ストリング内における直列連結されたメモリセルのうちの特定の1つを選択するために使用され得る。このようにして、第1選択ゲート108、第2選択ゲート110、およびアクセス線105の動作を介して、特定のメモリセルが選択されてデータ線102に電氣的に連結されることが可能となる。アクセス線105は、直列連結されたメモリセル103の1つまたは複数の垂直ストリング内の特定位置におけるメモリセルを選択するよう構成され得る。

【0016】

図1で見られ得るように、平面状のアクセス線105は、例えば垂直導体112による垂直方向の連結を支援するために、複数の3D階段構造106を有するよう構成され得る。すなわち、それぞれの平面状のアクセス線105は階段構造106のそれぞれの階段ステップとして形成され得る。本明細書で使用される階段構造106とは、一般に1組の階段ステップに関連付けられるように、異なる高度において横方向に異なる距離だけ延長する複数の階段ステップを有する3D構造を意味する。本開示の1つの実施形態によれば、より低い高度における階段ステップは、図1に示すように、すぐ1つ上の階段ステップが延長する横方向距離を越えて横方向に延長し得る。すなわち、より低い階段ステップは上方の階段ステップ（単数または複数）よりも横方向にさらに延長する。図1では、平面状のアクセス線105の両端部上の階段ステップが図示されるが、最も近い縁部上の階段ステップは図示されない。先行技術の手法では、階段ステップは、全縁部上に形成された後、階段ステップが必要でないこれらの縁部から削り取られる。結果的に、階段ステップが形成後に削り落とされるエリアが無駄になってしまう。係る無駄なエリアはメモリデバイス100の有効な占有面積を増加させ得る。

【0017】

例えば図1は、階段構造を有するよう形成された3個または4個の縁部を有する、少なくとも第1選択ゲート108、アクセス線105、第2選択ゲート110を含む物質のスタックを示す。図1は、階段構成に形成された縁部を有する物質のスタックを図示するが、後に論じるように、物質のスタックの縁部の1部分のみを階段構成に形成することは

10

20

30

40

50

先行技術ではない。本開示の実施形態は、物質のスタックが、階段構成を有する1つまたは複数の縁部を有することを含み得る。本開示の実施形態は、スタックの縁部の1部分（例えば全体に満たない部分）のみが階段構成に形成されることを含み得る。例えば本開示の実施形態は後にさらに詳細に述べるように、物質のスタックの1つの縁部の第1部分が階段構成を有するよう構成され得ることと、当該縁部の第2部分が、階段構成を有さないよう形成され得ることと、を含み得る。

【0018】

より低い階段ステップは、次により高い階段ステップを越えて横方向に延長するより低い階段ステップの部分に対して垂直連結が可能となり得るよう、次により高い階段ステップを越えて必要な距離だけ横方向に延長し得る。このようにして垂直導体112が、より低い階段ステップに、例えばアクセス線105、選択ゲート108もしくは110、またはソース線104に、連結され得る。なおこれらのアクセス線105、選択ゲート108もしくは110、またはソース線104は、階段構造106における階段ステップに対応し得る。

【0019】

メモリアレイ100は、メモリアレイ100を動作させることに関連する様々な回路に連結され得る。係る回路は、例えばストリングドライバ回路を含み得る。一例として、水平導電線114がメモリアレイ100から、例えばストリングドライバまで、配線され得る。階段構造106の階段ステップは、例えば垂直導体112を介して、導電線114に連結され得る。このようにして、アクセス線105、選択ゲート108／110、および／またはソース線104の垂直スタックとストリングドライバと、の間に、例えば平面水平導電線114を介して、電氣的連結が可能となる。

【0020】

NANDメモリセルのストリングは、選択ゲートトランジスタが各端部（例えばソース、ドレイン）において連結される状態で、配列され得る。各ストリングはドレインからソースへと直列に連結された、いくつかのメモリセルを含み得る。NANDメモリセルの垂直ストリングは、直列連結されたメモリセルのストリングが垂直方向に直線状に配列されるよう配列されてもよく、または例えば「U」字形（「U」形状の部分が垂直方向に向けられる）などの非直線状構成で配列されてもよい。すなわち、直列連結されたメモリセルのストリングは、アクセス線（例えばワード線）およびデータ線（例えばビット線）を含む平面に対して垂直な次元に配列され得る。

【0021】

図2はメモリアレイ200とストリングドライバ216との間の連結を示す先行技術による概略図である。ストリングドライバ216は、例えばアクセス線206の適切なアサートにより、例えばメモリセルのストリング内の特定の選択ゲートおよび／または特定メモリセルに電圧信号を印加することにより、メモリセルの特定ストリングおよび／または特定メモリセルの選択を制御するために使用され得る。図2は、いくつかの導電線214を介してストリングドライバ216に連結された、メモリアレイ200のアクセス線206、選択ゲート208（SGD）、および選択ゲート210（SGS）を図示する。ストリングドライバ216は例えばCMOSデバイスを使用して形成され得る。メモリアレイ200は、図示のように配列され且つメモリセルのストリングに連結されたデータ線202をさらに含む。

【0022】

メモリアレイ200のアクセス線206、選択ゲート208（SGD）、および選択ゲート210（SGS）は、選択トランジスタ218を通してそれぞれのグローバルアクセス線228に連結され得る。選択トランジスタ218は例えば電界効果トランジスタ（FET）であり得る。選択トランジスタ218はブロック高電圧スイッチ出力（BLKHVSW__OUT）信号線226を介して制御され得、この信号線226は、ブロック高電圧スイッチ220の出力と、例えば選択トランジスタ218のそれぞれのゲートと、の間に連結される。ブロック高電圧スイッチ220は、メモリアレイ200のアクセス線206

、選択ゲート208 (SGD)、および選択ゲート210 (SGS) をグローバルアクセス線228に連結することが適切である場合に、入力として例えばブロック選択アドレス222および入力電圧224を受け取り、ブロック高電圧ステッチ出力信号線226上でBLKHVSW_OUT信号を生成する。

【0023】

検出動作 (例えば読み出しまたはプログラムベリファイ動作) 時には、グローバルアクセス線ドライバ216は、検出対象のメモリセルに連結された特定のローカルアクセス線を選択するために、正の電圧信号をグローバルアクセス線228 (例えばグローバルワード線) に提供する。選択されたアクセス線には読み出し電圧が提供され得る一方で、選択されないアクセス線 (例えば読み出しまたはベリファイ中のメモリセルに連結されないアクセス線など) にはパス電圧 (Vpass) が提供され得る。メモリセルに対する読み出しおよび/またはプログラムを行うための他の技法も可能である。様々な実施形態によれば、メモリアレイ200は、垂直方向に配向されたストリングを有する3Dメモリアレイとして実装され得、選択トランジスタ218を含むストリングドライバ216は図3に示すように実質的に平面状のデバイスとして実装され得る。導電線214を含む階段構造が、垂直3Dアレイと水平平面構造 (例えばストリングドライバ216) とを電氣的に連結するために使用され得る。

【0024】

図3は3Dメモリアレイと平面ストリングドライバとの間の連結を示す先行技術による分離された斜視ブロック図である。図3は、分離して、垂直スタック構造 (例えば3Dメモリアレイ) と実質的に平面状の構造 (平面ストリングドライバ316) とを連結するための階段構造の使用を図示する。垂直スタック構造は、メモリアレイの選択ゲート308 (例えばSGD)、複数のアクセス線306 (例えば8階段ステップのワード線)、および選択ゲート310 (例えばSGS) を含む伝導性物質のいくつかの階段ステップからなる。直列連結されたメモリセル303の垂直ストリングは、垂直スタック構造の階段ステップに対して垂直に配列される (図3では簡略化のために多数の垂直ストリングのうちの2個だけが図示される)。

【0025】

様々な階段ステップに連結された垂直導体312が図示される。なお、より低い階段ステップは、それぞれのより低い階段ステップの上方の階段ステップを越えて延長する。図2に概略的に示す様式で、垂直導体312は水平導電線314に連結され、次に水平導電線314は実質的に平面ストリングドライバ316に連結される。ストリングドライバ316の導体、トランジスタ、および/または他の要素は3次元であり、従って有限の長さ、幅、高さを有するという意味において厳密には平面ではない。しかしストリングドライバは本明細書では、2方向における寸法が第3方向における寸法よりも著しく大きいという意味で、実質的に平面であるとされる。例えば3Dがスタックされた要素 (例えば3次元のそれぞれにおける複数の要素) を有する構造を指す一方で、平面はスタックされない要素を有する構造を指し得る。

【0026】

図4A~図4Fは縮小するフォトリジストを使用する階段形成の側面図を示す先行技術によるブロック図である。図4Aは、交互に並んだ伝導性物質および絶縁性物質407-1、407-2~407-5のスタック409を図示する。伝導性物質は、選択ゲート410物質 (例えばソース側選択ゲート物質) の上方に形成された複数のアクセス線406-0物質、アクセス線406-1物質、アクセス線406-2物質、およびアクセス線406-3物質の上方に形成された選択ゲート408物質 (例えば、ドレイン側選択ゲート物質) を含み得る。4個のアクセス線406-0、406-1、406-2、および406-3の物質のみがスタック409において図示されるが、本開示の実施形態は、物質の特定の量、順序、または組成を含むスタックに限定されず、より多数の、またはより少数の、アクセス線物質、選択ゲート物質、および/または他の物質を含み得る。さらにスタック409は必ずしも交互に並んだ単一の伝導性物質および絶縁性物質により形成される

10

20

30

40

50

必要はなく、例えば、互いに隣接して形成された2つの異なる絶縁性物質により隔てられたいくつかの伝導性物質（伝導性物質および絶縁性物質と考えられ得る）の他にも、物質の他の組み合わせおよび構成を含み得る。

【0027】

フォトレジスト430-1がスタック409の上方に形成される。図4Aに図示するようにフォトレジスト430-1は、フォトレジスト430-1がスタック409の縁部にまで横方向に延長しないよう、形成され得る。すなわちフォトレジスト430-1は、スタック409よりも各寸法においてより小さくなり、その結果、スタック409の横方向部分が各方向において露出された状態で残されるよう、形成され得る。図4Aの物質のスタックを通る側面図では、フォトレジストがスタック409の2つの対向縁部（例えば左および右の縁部）まで延長しないものとして図示されるが、先行技術によるフォトレジスト430-1は図面の方向（例えばスタック409の前縁および後縁）に縁部まで延長しないよう、形成される。フォトレジスト430-1は、スタック430-1の1つの階段ステップの幅がスタック409のそれぞれの縁部において露出状態で残されるよう、形成される。

10

【0028】

図4Bは、反応性イオンエッチングなどの第1物質除去プロセス（例えばポリシリコン物質および酸化物物質のエッチング）後におけるスタック409の構成を図示する。フォトレジスト430-1により保護されないスタック409の部分が除去される。物質除去プロセスは、事前定義された深さまでスタック409の物質が除去されるよう、例えばエッチングの時間および／または組成などにより、または他の技法により、制御される。例えば図4Bは、第1物質除去プロセスによりスタック409の物質が、選択ゲート408物質、絶縁性物質407-5、およびアクセス線406-3のフォトレジスト430-1により被覆されない部分を含む絶縁性物質407-4の深さまで除去されたことを図示する。第1除去プロセスはアクセス線406-3物質の深さにおいて停止され得る。すなわち例えば選択ゲート408物質および絶縁性物質407-5のみが除去され、アクセス線406-3物質を含まない第1階段ステップが形成されることとなる。

20

【0029】

このようにして、選択ゲート408物質、絶縁性物質407-5、およびアクセス線406-3物質から形成される階段ステップがスタック409の残余部分に対して形成される。図4Bはスタック409の2つの対向縁部において同時に形成された階段ステップを図示する。同様に、階段ステップは前縁および後縁においても形成される。

30

【0030】

図4Cは、スタック409の頂部物質の他の部分（例えば選択ゲート408物質）を露出させるために、図4Aおよび図4Bに示すフォトレジスト430-1の寸法から横方向寸法においてリサイズされたフォトレジスト430-2を図示する。フォトレジストは、図4Cの図面の方向（例えば前後方向）にも、より小さくリサイズされる。フォトレジスト430-2のリサイズは様々な技法により達成され得る。例えば図4Aおよび図4Bに示すフォトレジスト430-1が定位置において削り取られてもよく、または化学機械研磨（CMP）などにより完全に除去された後、より小さい寸法の新規フォトレジスト430-2が図4Cに示すように選択ゲート408の上方に堆積されてもよい。フォトレジスト430-1は例えば、それぞれの階段ステップを作成するために使用されるポリシリコンおよび酸化物ドライエッチングの間に、図4Bに示す介在構造が存在することがないよう、定位置において削り取られてもよい。

40

【0031】

図4Dは、後続の物質除去プロセス（例えば第2エッチング）後におけるスタック409の構成を図示する。フォトレジスト430-2により保護されない、いくらかの深さのスタック409の物質が除去される。物質除去プロセスは、スタック409の物質が事前定義された深さまで除去されるよう、制御される。例えば図4Dは、露出された選択ゲート408物質、絶縁性物質407-5、およびアクセス線406-3物質のフォトレジス

50

ト 4 3 0-2 により被覆されない他の部分を含むスタック 4 0 9 から物質が除去されるよう、第 2 物質除去プロセスが制御されることを図示する。第 2 物質除去プロセスは、絶縁性物質 4 0 7-4 (第 1 物質除去プロセスにより露出された) およびアクセス線 4 0 6-2 物質も除去する。アクセス線 4 0 6-2 は、第 2 物質除去プロセスの間に絶縁性物質 4 0 7-4 が除去された後、露出される。図 4 D は、第 2 除去プロセスから生成された 2 個の階段ステップ (右および左) を有する階段構造を図示する。同様に追加的な階段ステップが、以前の手法に従って、スタックの前縁および後縁上に同時に形成される。階段ステップに基づいてここで使用される命名は、物質のスタックに切り込まれた「ノッチ」であることに注意すべきである。なおノッチは、水平表面および水平表面により形成されるコーナー部である。従って図 4 A は、(1 個ではなく) 0 個の階段ステップを示し、図 4 B および図 4 C は (2 個ではなく) 1 個の階段ステップを示し、図 4 D は (3 個ではなく) 2 個の階段ステップを示す。

10

【0032】

物質除去プロセスはさらに反復され得る。なお各後続の除去プロセスでは、階段形成のそれぞれの位置 (例えば前後左右の縁部のそれぞれ) に関連付けられた 1 個の階段ステップ幅だけ小さいフォトレジストマスクが利用される。階段ステップ幅は例えば 10 μメートルであり得る。

【0033】

図 4 E は、4 回の物質除去プロセス (例えば 4 回のエッチング) 後におけるスタック 4 0 9 の構成を図示する。なおフォトレジスト 4 3 0-3 は各縁部において、いくつかの階段ステップの幅だけ、フォトレジスト 4 3 0-2 に対して縮小される。図 4 F は、4 回の物質除去プロセスが行われた後に例えば CMP によりフォトレジスト 4 3 0-3 が除去されて最終的な階段構造が残された後におけるスタック 4 0 9 の構成を図示する。各階段ステップは、それぞれの絶縁性物質が階段ステップの上部に存在する状態で図示されるが (ただし選択ゲート物質 4 0 8 は階段ステップとして算入されない)、垂直連結は、下方に存在する絶縁層を貫通するプラグを形成するためのさらなるエッチング技法を使用して、それぞれの下方に存在する伝導性物質 (例えば選択ゲート物質および/またはアクセス線物質) に対してなされ得る。

20

【0034】

図 5 A ~ 図 5 F は、本開示の 1 つまたは複数の実施形態に係る縮小するフォトレジストを使用する階段形成の上面図を図示するブロック図である。図 5 A ~ 図 5 F は図 4 A ~ 図 4 F に示す側面図に対応する上面図である。すなわち図 5 A は図 4 A に対応する上面図であり、図 5 B は図 4 B に対応する上面図であり、以下同様である。先に詳述したように、参照番号も、図 5 A ~ 図 5 F と図 4 A ~ 図 4 F との間で対応する。なお第 1 桁は適切な図面番号を反映する。

30

【0035】

図 5 A は交互に並んだ伝導性物質および絶縁性物質 (例えば図 4 A に示すスタック 4 0 9) の上方に形成されたフォトレジスト 5 3 0-1 を図示する。さらに詳細には、フォトレジスト 5 3 0-1 は、当該スタックの頂部物質である選択ゲート 5 0 8 物質の上方に形成される。図示のようにフォトレジスト 5 3 0-1 は、フォトレジスト 5 3 0-1 が選択ゲート 5 0 8 物質の一方または両方の縁部まで横方向 (例えば図 5 A における左右方向) に延長しないよう、形成され得る。例えばフォトレジスト 5 3 0-1 は、選択ゲート 5 0 8 の 1 部分を左右の縁部において露出状態で残すために、選択ゲート 5 0 8 物質より少なくとも 1 つの寸法においてより小さくなるよう形成され得る。

40

【0036】

フォトレジスト 5 3 0-1 が選択ゲート 5 0 8 の上方で、スタックにおける階段構造が形成されるべきでない選択ゲート 5 0 8 物質の一方または両方の縁部 (例えば図 5 A に示す選択ゲート 5 0 8 物質の上方縁部および下方縁部など) まで延長するよう、または係る縁部を越えて延長するよう、形成され得ることが、図 5 A に示す上面図において示される。フォトレジスト 5 3 0-1 は図 5 A に示すように、選択ゲート 5 0 8 物質の上方縁部お

50

よび下方縁部まで、または係る上方縁部および下方縁部を越えて、延長し得る。1つまたは複数の実施形態によれば、フォトレジスト530-1は、後に物質除去プロセスの全部に対してフォトレジストが縮小される距離全体に等しい距離だけ選択ゲート508物質の両方の縁部を越えて延長するよう、形成され得る。係る重複により、図5Aに示すように2つの寸法のそれぞれでフォトレジストが比例的に縮小されるとき、フォトレジストは、最小化されたときでさえも、スタックにおいて階段構造が形成されるべきでない選択ゲート508物質の縁部まで延長することとなる。

【0037】

図5Bは第1物質除去プロセス（例えばエッチング）後におけるスタックの構成を図示する。フォトレジスト530-1により保護されないスタックの物質が部分的に除去される。第1物質除去プロセスは、スタックの物質が絶縁性物質507-4の深さまで除去されるよう、制御される。すなわち、フォトレジスト530-1により保護されない、選択ゲート508物質の部分の他に、下方に存在する絶縁性物質およびアクセス線物質も、除去される。

10

【0038】

図5Cは、物質のスタックの上部における選択ゲート508物質の他の部分を露出させるために、図5Aおよび図5Bに示すフォトレジスト530-1のサイズからリサイズされたフォトレジスト530-2を図示する。第1物質除去プロセスにより露出された絶縁性物質507-4も露出状態に保たれる。フォトレジスト530-2のリサイズは、横方向（例えば左右方向）のみのサイズが縮小化されるのではなく、垂直方向の寸法も比例する量だけ縮小化されて図示されている。フォトレジストは、例えばポリシリコンおよび酸化物のドライエッチングが実施される間、全方向の寸法においてリサイズされ得る。

20

【0039】

従って1方向（例えば図5Cにおける水平方向）に階段を形成する際は、フォトレジストの（例えば図5Cに示す垂直方向における）幅は、幅の縮小化により、上方縁部および下方縁部における下方の伝導性物質および／または絶縁性物質が露出することがないように、保持され得る。従ってフォトレジストの幅は、最初は、選択ゲート物質508の縁部を越えて延長するよう形成され得る。これによりシリコンエリアは強制的に、フォトレジストがその上方に形成され得るよう、図5Cに示す垂直方向においてより大きくなり、その結果、体積および占有面積がより大きいものになってしまう。

30

【0040】

しかしフォトレジスト530-2のサイズが縮小されたとしても、依然としてフォトレジスト530-2は階段が形成されない選択ゲート508物質の縁部（例えば選択ゲート508物質の上方縁部および下方縁部）を越えて延長する。階段構造が形成されない選択ゲート508物質の縁部を越えてフォトレジストが比例的に過剰延長することは、フォトレジストが定位置において、例えばフォトレジスト物質の削り取りまたはエッチングにより、リサイズされる場合、利用され得る。

【0041】

図5Dは第2物質除去プロセス（例えば第2エッチング）後におけるスタックの構成を図示する。フォトレジスト530-2により保護されない、スタックの深さの物質が除去され（これにはフォトレジスト530-2により保護されない、露出された選択ゲート物質508の他の部分、絶縁性物質、およびアクセス線物質が含まれる）、それにより絶縁性物質507-4が露出される。第2物質除去プロセスにおいても、第1物質除去プロセスにより露出された絶縁性物質507-4と、絶縁性物質507-4の下方のアクセス線物質と、が同時に除去され、それにより、絶縁性物質507-3が第2階段ステップとして露出されることとなる。従って図5Dでは、図4Dに示す側面図に対応する、第2除去プロセスから生成された2つの階段ステップを有する階段構造が図示される。

40

【0042】

上述のように、物質除去プロセスはさらに反復され得る。なお、それぞれの物質除去プロセスでは、階段形成のそれぞれの位置（例えば左側縁部および右側縁部のそれぞれ）に

50

において階段ステップ幅だけ小さい（任意で、垂直方向においても同一量だけ小さい）フォトレジストが利用され得る。図 5 E では、それぞれが絶縁層 507-1、507-2、507-3、および 507-4 をそれぞれの階段ステップの上部に有する 4 つの階段ステップを含む、追加的な階段ステップを作成するための 4 回の物質除去プロセス後におけるスタックの構成が図示される。

【0043】

図 5 E は図 4 E に示すスタックの側面図に対応する。なおここでは、フォトレジスト 530-3 は各側部上で、フォトレジスト 530-2 に対して、いくつかの階段ステップの幅だけ縮小されている。図 5 E ではフォトレジスト 530-3 が同様に、フォトレジストの最終のリサイズにより、絶縁性物質 507-4 の上方縁部および下方縁部まで縮小されたことが図示される。図 5 F では、4 回の物質除去プロセスが実施され、例えば CMP によりフォトレジスト 530-3 が除去され、露出された選択ゲート 508 物質を有する最終的な階段構造が残された後における、図 4 F に対応する階段構造の構成が図示される。

10

【0044】

図 6 A ～図 6 B はスタック物質の 4 つの縁部における階段形成を図示する先行技術によるブロック図である。図 6 A は、スタックの 4 つの縁部において階段構造へと形成された物質のスタックの上面図を示す。図 6 A は第 2 階段ステップ 636 を越えて延長する第 1（底部）階段ステップ 634 を含む複数の階段ステップを有するスタックを示す。なお第 2 階段ステップ 636 は第 3 階段ステップ 638 を越えて延長し、第 3 階段ステップ 638 は第 4 階段ステップ 640 を越えて延長し、第 4 階段ステップ 640 は第 5（頂部）階段ステップ 642 を越えて延長する。ビア 644 がスタック内へと形成され、メモリセルがその内部に形成され得る（絶縁性物質が図示されていないため、図 6 B ではビアは輪郭が図示される）。

20

【0045】

図 6 A に示す階段構造は、階段構造が各縁部において形成されるよう 4 つの縁部のいずれへも（またはいずれも越えて）延長しないフォトレジストを使用して図 4 A ～図 4 F に関して説明したのと同様の様式で形成され得る。5 個の階段ステップのみが図 6 A では図示されるが、階段ステップの個数およびサイズは図示の個数およびサイズに限定されず、より少数のまたはより多数の、同一寸法または異なる寸法の階段ステップが含まれ得る。

【0046】

図 6 B は図 6 A に示すスタックの伝導性物質の側面図を示す。（例えば選択ゲート物質および／またはアクセス線物質間などの）スタックの絶縁性物質は明瞭化のために省略される。

30

【0047】

図 7 A は、本開示の 1 つまたは複数の実施形態に係るエリアマスクの使用による物質のスタックの 2 つの縁部のそれぞれの部分のみにおける階段形成を示すブロック図である。図 7 A は開口部 752 A（例えばエリアマスク 750 A を貫通する窓部）を有するエリアマスク 750 A を示す。エリアマスクは、例えばシリコン窒化物、シリコン酸化物、酸窒化シリコン、アルミニウム酸化物などから形成されたハードマスクであり得る。すなわちハードマスク物質を伝導性物質および絶縁性物質のスタックの上方に形成し、パターン形成およびエッチングを実質すると、開口部 752 A が形成され得る。

40

【0048】

様々な実施形態によれば、エリアマスク 750 A を貫通する開口部を有するエリアマスク 750 A は、階段構造が形成されるべきスタックされた物質（例えば伝導性物質）のエリアを露出するために、伝導性物質および絶縁性物質のスタックの上方に形成される。このようにしてエリアマスク 750 A は伝導性物質のスタックの第 1 露出エリアを画成し得る。第 1 露出エリアは開口部 752 A を通して露出状態で残される。

【0049】

エリアマスク 750 A まで延長するまたはエリアマスク 750 A を越えて延長する（例えば重なる）フォトレジストマスクが開口部 752 A の上方に形成され得る。いくつかの

50

実施形態によれば、フォトレジストマスクはエリアマスクのエッチング速度よりも大きいエッチング速度を有する物質から形成され得る。様々な実施形態によれば、フォトレジストマスクは、伝導性物質の第1露出エリアの1部分の上方に形成され得る。このようにしてフォトレジストマスクは第1露出エリアよりも小さい第2露出エリアを画成し得る。例えば第2露出エリア746は部分的にフォトレジストマスク753により開口部752A内に画成される。

【0050】

様々な実施形態によれば、第2露出エリアは伝導性物質の第1露出エリアの全体よりも小さい。例えばフォトレジストマスクは、最初、第1物質除去プロセスのために753において示すように形成されると、スタックのエリア746（例えば伝導性物質）が露出状態に残され、物質除去の対象となる。エリア746における伝導性物質（および下方に存在する絶縁性物質および／または伝導性物質）はその上方に形成されたエリアマスク750Aまたはフォトレジストマスク（例えば753）の部分の有さない。図7Aにおいて見られるように、フォトレジストマスク753の初期寸法（例えば（図7Aでは水平またはX方向における）長さ）はエリアマスク750Aにおける開口部752Aにより画成される第1露出エリアの対応する寸法（例えば長さ）より小さくなり得る。

【0051】

フォトレジストマスク753の（例えば図7Aに示す垂直なY方向における）初期幅は少なくとも、エリアマスクの幅と、フォトレジストマスクの初期長さとの間の差異に等しい距離と、の合計であり得る。すなわちフォトレジストマスクは、エッチングされて、および／または削り取られて、より小さいサイズとなった後、再び、追加的な階段ステップを形成するために使用され得る。フォトレジストマスクの初期幅は少なくとも、エリアマスクの幅と、重複距離と、の合計であり得る。初期重複の量（例えば重複距離）は例えば、フォトレジストマスクの初期長さとの間の差異に等しくなり得る。

【0052】

初期重複の量は階段構造に含まれる階段ステップ数に依存し得る。いくつかの実施形態によれば、フォトレジストマスクの初期幅は少なくとも、エリアマスクの幅と、階段構造に存在する階段ステップの個数に1個の階段ステップを形成するためにフォトレジストマスクがリサイズされる量を乗算した積と、の合計であり得る。すなわちフォトレジストマスクがそれぞれの階段ステップを形成するために物質除去の間で同一距離だけ全周にわたってエッチングされ、および／または削り取られた場合、最終階段形成に対して意図しない物質の除去が生じないよう、何らかの重複を保持するために、またはエリアマスクの縁部に少なくとも当接するために、フォトレジストマスクの寸法は、エリアマスク窓の幅に対して、階段ステップ毎の量に階段ステップの個数を乗算した積だけ、過大化され得る。

【0053】

いくつかの実施形態によればフォトレジストマスクは、最初は、次の階段ステップを形成するためにフォトレジストマスクが縮小される量に階段ステップの個数を乗算した積だけ、エリアマスクの部分に対して重複し得る。例えば2個の階段ステップを含む階段構造は2回の物質除去プロセスにより形成され、2回の物質除去プロセスは通常、フォトレジストマスクを1回リサイズすることを含む。従ってフォトレジストマスクは最初、1回の物質除去プロセスの間にフォトレジストマスクのサイズが縮小される距離だけ、エリアマスクに対して重複し得る。3個の階段ステップを含む階段構造はフォトレジストマスクの2回（例えば $3 - 1 = 2$ ）のリサイズを使用して形成され得る。従ってフォトレジストマスクは最初、2回のフォトレジストマスクのリサイズの間にフォトレジストマスクのサイズが縮小される距離だけ、エリアマスクに対して重複し得る。

【0054】

図7Aに示すように、開口部752Aの右側におけるエリア746および開口部752Aの左側におけるエリア746を含む階段構造が形成され得る。2個の露出エリア746

10

20

30

40

50

が隣接しないものとして図示され、エリア746間にフォトレジストマスクが形成されている。エリアマスク750Aは、図7Aに図示するように開口部752Aが非正方形の長方形に構成されるよう、形成され得る。しかし本開示の実施形態はそのように限定されるものではなく、エリア746は、様々なサイズ、形状、および／または位置を取り得る。すなわちいくつかの実施形態によれば、エリアマスク750Aは、開口部752Aが他の幾何学的形状（正方形、円形、3個以上の側部を有する多角形、その他など）を取るよう、形成され得る。最初に形成されるフォトレジストマスク753は、少なくとも1つの寸法において開口部を完全に横断する（例えば図7Aに示すように、開口部752Aの上部から下部へとY方向に、より小さい寸法で横断する）よう形成され得る。最初に形成されるフォトレジストマスク753は、階段ステップを形成する際にフォトレジストマスクが縮小される量に形成される階段ステップの個数を乗算した積だけ、エリアマスク750Aに対して重複するよう、形成され得る。すなわち最初に形成されるフォトレジストマスク753は図7Aに示すように位置757と位置753との間の距離に等しい量だけ開口部752Aの上縁部および下縁部においてエリアマスクに対して重複するよう形成され得る。

10

【0055】

その後、最初に形成されるフォトレジストマスク753は、第2物質除去プロセスのために、より小さいサイズにリサイズ（例えば形成）され、点線輪郭754で示す位置に配置され得、第3物質除去プロセスのために、より小さいサイズにリサイズされ、点線輪郭755で示す位置に配置され得、第4物質除去プロセスのために、より小さいサイズにリサイズされ、点線輪郭756で示す位置に配置され得、第5物質除去プロセスのために、より小さいサイズにリサイズされ、点線輪郭757で示す位置に配置され得る。1回につきフォトレジストマスク753、754、755、756、または757のうちの1個のみが開口部752Aの上方に形成される。フォトレジストマスク753、754、755、756、または757は、開口部752Aの上方において中心に置かれ得る。すなわちフォトレジストマスク753、754、755、756、または757は、図7Aに示すように2個の露出エリア746の面積が等しくなるよう、または図7Bに示すように偏心するよう、開口部752Aの上方で1方向において中心に置かれ得る。エリアマスク750Aは図示のように、物質除去プロセスの全部に対して、定位置に保持され得る。このようにして階段構造が開口部752A内で、例えば開口部752Aのそれぞれの側部において、形成され得る。

20

30

【0056】

開口部752Aを有するエリアマスク750Aは、物質のスタックの特定部分（例えば図8A～図8Lを参照して説明するように、1つの縁部、2つの縁部、または1つもしくは2つの縁部のうちのそれぞれの1部分のみなど）のみに形成されるよう階段構造を制限する。すなわち開口部752Aを有するエリアマスク750Aは、階段構造が、物質のスタックの全部（例えば4個）の縁部に満たない一部に形成されるよう、階段構造の形成を制限し得る。開口部752Aは、1つまたは複数の階段構造が、図7Aに示すようにX方向に、Y方向に、または他の何らかの方向（例えば中間方向）に形成されるよう、配向され得る。開口部752Aを有するエリアマスク750Aを階段構造形成のために使用することにより、幅狭化された階段構造が形成され得る。それにより、他の信号線および特徴物がエリアマスク750および／またはフォトレジストマスクによりマスクされるエリア内に形成されることが可能となる。開口部752Aが制限されること、および結果的に形成される階段構造のために、ダイサイズが全体的に小さくなり得る。なぜならエリアマスクが、階段構造形成が必要でないエリアを保護するために使用され得るためである。

40

【0057】

図7Bは、本開示の1つまたは複数の実施形態に係るエリアマスクを使用する1方向での階段形成を図示するブロック図である。図7Bは伝導性物質および絶縁性物質のスタックの上方に形成されたエリアマスク750Bを示す。なおエリアマスク750Bは、エリアマスク750Bを貫通する開口部752B（例えば窓）を有する。フォトレジストマス

50

クが753において図示する開口部752Bの上方に形成され得る。このフォトリソマスク753はエリಾಮスク750Bまで延長するか、またはエリಾಮスク750Bを越えて延長する。様々な実施形態によればフォトリソマスクは、スタックのエリア746（例えば伝導性物質）が露出状態で残されて物質除去の対象となるよう、開口部752Bを通して露出された伝導性物質のエリアの1部分の上方に形成され得る。エリア746における伝導性物質（および下方に存在する絶縁性物質および／または伝導性物質）は、その上方に形成された、エリಾಮスク750Bまたはフォトリソマスクの部分（例えば753）を有さない。

【0058】

図7Bに示すように、開口部752Bの右側にエリア746を含む、階段構造が形成され得る。フォトリソマスクは、開口部752Bの4個の縁部のうちの3個の縁部に対してエリಾಮスク750Bの上方に形成され、例えば非正方形の長方形の形状を有す。フォトリソマスク、例えば753は、1つのエリア746以外の開口部752Bにおける伝導性物質の露出されたエリア全体を被覆するよう、形成される。第1物質除去プロセスがエリア746に適用され得る。

【0059】

その後、フォトリソマスクは、第2物質除去プロセスのために、754で示されるようにリサイズ（例えば形成）され得、第3物質除去プロセスのために、755で示されるようにリサイズされ得、第4物質除去プロセスのために、756で示されるようにリサイズされ得、第5物質除去プロセスのために、757で示すようにリサイズされ得る。エリಾಮスク750Bは図示のように、物質除去プロセスの全部に対して、定位置に保持され得る。このようにして階段構造が開口部752B内（例えば開口部752Bの右側）に形成され得る。

【0060】

図8A～図8Lは、本開示の1つまたは複数の実施形態に係るエリಾಮスクを使用する階段形成を図示するブロック図である。図8Aは伝導性物質861のスタック860の端面図を示す。伝導性物質はスタック860におけるそれぞれの階段ステップを構成する。スタック860は伝導性物質861間における絶縁性物質も含み得るが、係る絶縁性物質は明瞭化のために図8A～図8Lから省略される。本開示の方法が適用され得る伝導性物質の量、組成、および順序は、この事例に図示するものと同一であってもよくまたは異なってもよい。例えばスタック860は複数の選択ゲート伝導性物質、複数のアクセス線伝導性物質、および／または他の伝導性物質および／または絶縁性物質を含み得る。

【0061】

図8Bは、スタック860の上方に形成されたチョップマスク物質862（例えばハードマスク物質）を図示する。図8Cは、エリಾಮスク864へとパターン形成およびエッチングされた後におけるチョップマスク物質862を図示する。図8Dは、エリಾಮスク864のパターンに基づいて、いくつかのスタックカラム863へと伝導性物質861（および絶縁性物質（図示せず））をエッチングするためのさらなる処理後におけるスタック860を図示する。図8Eは、例えばCMPなどによりエリಾಮスク864を除去するためのさらなる処理後における図8Dのエッチングされたスタック860を図示する。図示しないが、絶縁性物質などの物質は、エリಾಮスク864のパターンに基づいて伝導性物質861（および絶縁性物質（図示せず））をエッチングすることにより形成された空間に堆積され得る。

【0062】

図8Fは、パターン形成およびエッチングが実施されたスタック860の上方に形成されたハードマスク物質866を図示する。図8Gは、エリಾಮスク868へとパターン形成およびエッチングされた後におけるハードマスク物質866を図示する。図8Gに図示するように、エリಾಮスク868は伝導性物質861のいくつかのスタックカラム863の縁部を越えて横方向に延長し得る。図8Hは、パターン形成およびエッチングされたスタック860および／またはエリಾಮスク868の上方に形成された第1フォトリソ

マスク 872 および第 2 フォトリソマスク 870 を図示する。第 1 フォトリソマスク 872 は図 8H ではエリマスク 868 の部分間に配置された状態で図示され、第 2 フォトリソマスク 870 は第 1 フォトリソマスク 872 およびエリマスク 868 の上方に形成された状態で示される。別個の第 1 フォトリソマスク 872 および第 2 フォトリソマスク 870 が図 8H では図示されるが、フォトリソマスクは、単一フォトリソマスク物質により形成（例えば堆積）されてもよい。

【0063】

図 8I はさらなる処理後におけるスタック 860 の上面図である。それぞれ図 8J、図 8K、および図 8L に示す端面図に対応する切断線 8J、8K、および 8L が図 8I 上で示される。図 8I は、以前の図面に関して説明した形成、パターン形成、およびエッチング後におけるエリマスク 868（例えばハードマスク）を図示する。エリマスク 868 はエリマスク 868 を通る開口部を有し、そのためにエリマスク 868 は最外部スタックカラム 863 全体を完全に被覆し且つ内側スタックカラム 863 を部分的に被覆する U 形状多角形に似るよう構成される。

【0064】

いくつかのフォトリソマスク構成が、図 8I において示す位置に内側スタックカラム 863 を含む階段構造を形成するために、エリマスク 868 に関連して使用され得る。例えばフォトリソマスク構成 874、876、および 878 が、以前の図面に関して前述したように、内側スタックカラム 863（例えば第 1、第 2、および第 3 の物質除去プロセスにより除去されない内側スタックカラム 863 の部分）から階段構造をパターン形成するために使用され得る。図 8I は 2 個の外側スタックカラムの第 1 端部（例えば左端部）に対して整列し且つ近接する第 1 端部（例えば左端部）を有する内側スタックカラム 863 のうちの少なくとも 1 つを図示し、少なくとも 1 つの内側スタックカラムは、少なくとも 1 つの内側スタックカラムの第 2 端部（例えば右端部）において階段構造が形成されるよう、2 個の外側スタックカラムの第 2 端部（例えば右端部）に対して整列しない状態に位置する第 2 端部（例えば右端部）を有する。

【0065】

図 8J は図 8I に示す切断線 8J で取られたスタック 860 の端面図である。図 8J は第 3 フォトリソマスク構成 878 におけるフォトリソマスク 870 を反映し、外側スタック 868 および内側スタックカラム 863 のそれぞれにおける上部伝導性物質 861 を図示する。ここでは上部伝導性物質が階段構造の上部階段ステップとして残されている。なぜなら、外側スタックカラム 863 および内側スタックカラム 863 のこの部分は、全構成（例えばフォトリソマスク 870 / 872 の 874、876、878）に対して常にエリマスク 868 またはフォトリソマスク 870 / 872 のいずれかにより被覆されているためである。

【0066】

図 8K は図 8I に示す切断線 8K で取られたスタック 860 の端面図である。図 8K は第 3 フォトリソマスク構成 878 におけるフォトリソマスク 870 を反映する。一方、切断線 8K はフォトリソマスク 870 と交わらず、従って図 8K ではフォトリソマスク 870 は図示されない。図 8K は、外側スタックカラム 863 のそれぞれにおける伝導性物質が階段構造を形成するために使用される全部の物質除去プロセスに対して常にエリマスク 868 により被覆されていることを図示する。

【0067】

図 8K は内側スタックカラム 863 のそれぞれにおける伝導性物質 861 の上部層が除去された状態にあることを図示する。なぜなら切断線 8K の位置における内側スタックカラム 863 は、第 1 フォトリソマスク構成 874 および第 2 フォトリソマスク構成 876 を伴う物質除去プロセスに対するフォトリソマスク 870 / 872 により被覆されるが、第 3 フォトリソマスク構成 878 を伴う物質除去プロセスに対しては被覆されないためである。切断線 8K の位置において、内側スタックカラム 863 は、伝導性物質の第 2 層 882 が露出された状態で、階段構造における中央階段ステップを形成する。

【0068】

図8Lは内側スタックカラム863のそれぞれにおける伝導性物質861の上部2階段ステップが除去された状態にあることを図示する。なぜなら切断線8Lの位置における内側スタックカラム863は、第1フォトレジストマスク構成874を伴う物質除去プロセスに対するフォトレジストマスク870／872により被覆されるが、第2フォトレジスト構成876および第3フォトレジストマスク構成878を伴う物質除去プロセスに対しては被覆されないためである。切断線8Kの位置において、内側スタックカラム863は、伝導性物質の第3層880が露出された状態で、階段構造における下部階段ステップを形成する。

【0069】

図8Iにおいて観察されるように、フォトレジストマスクと組み合わせてエリಾಮスクを使用すると、より小さいエリアに、および／または例えば階段ステップが、単独で（例えばエリಾಮスクなしに）使用されるフォトレジストマスクの側部全部の周囲に形成される場合に達成されるより他の特徴物により近いエリアに、階段形成を制限することが可能となる。例えば階段は図8Iに示すように内側スタックカラム863のみに形成されることも可能である。ここで、エリಾಮスク868は、全体的にまたは部分的に、フォトレジストマスクを使用して階段が形成されるエリアを画成するために使用される。このようにして階段は例えば、より小さいエリアおよび／またはメモリアレイの近位に位置するより正確に配置されたエリアからドライバ回路への連結を形成することに使用されることが可能である。

【0070】

第1物質除去は内側スタックカラムの長さを2個の外側スタックカラムの長さよりも短縮することを含み得る。さらなる物質除去プロセス（例えばエッチング）は、少なくとも1つの内側スタックカラムの短縮された端部（例えば外側スタックカラムと整列しない端部）において階段構造を形成するために使用され得る。図8Iには図示しないが、階段構造は、少なくとも1つの内側スタックカラムの短縮された端部（例えば外側スタックカラムに整列しない端部）においても形成され得る。階段構造は、外側スタックカラムの1つまたは複数の縁部においても形成され得る。すなわちフォトレジストマスクと組み合わせて使用されるエリಾಮスクは、様々な非均一的な形状およびサイズの階段構造を形成するために使用され得る。フォトレジストマスクの初期サイズは少なくとも、全部（例えば複数）の階段ステップを形成する間におけるエッチングおよび／または削り取りの間の除去される量だけ、エリಾಮスクに対して重複するようにサイズ決定され得る。

【0071】

前述の例示および説明から理解されるように、エリಾಮスクは、階段構造が形成されないスタックのエリアを画成するために使用され得る。フォトレジストマスクは、その後、1つまたは複数の階段構造を形成するために、エリಾಮスクにより保護されないエリアにおいて異なる占有面積構成（例えば縮小）で使用され得る。エリಾಮスクは、エリಾಮスクを貫通する開口部を有し得る。そのためエリಾಮスクは、階段構造を形成するために使用されるいずれの物質除去プロセスにおいてもエッチングされるべきでない伝導性物質および／または絶縁性物質のスタックのいくつかの部分は被覆し、且つ、階段構造を形成するために使用される物質除去プロセスにおいてエッチングされるべき伝導性物質および／または絶縁性物質のスタックの他の部分は被覆しないよう、構成される。このようにして階段形成は、（階段構造が形成された後、引き続き除去されることとは対照的に）伝導性物質および／または絶縁性物質のスタックの最終構成において階段が必要とされるこれらのエリアにのみ限定されることが可能となる。

【0072】

特定の実施形態について本明細書において図示および説明してきたが、当業者は、同一結果を達成されると計算される構成が、示した特定の実施形態と取って代わり得ることを理解するであろう。本開示は本開示の様々な実施形態の改変例または変化例を含むことを意図するものである。上記の説明が例示的様式でなされたものであり、限定的様式でな

10

20

30

40

50

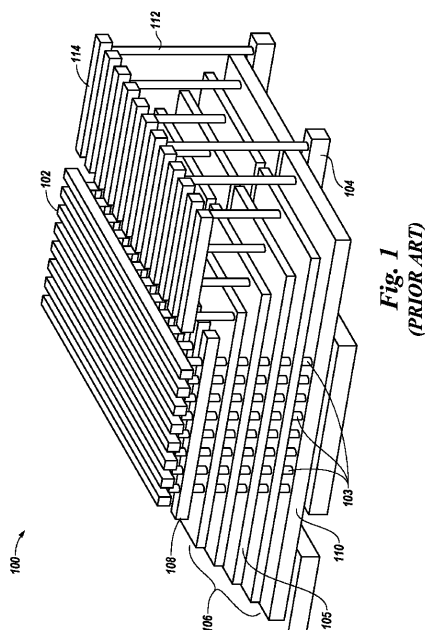
れたものではないことを理解すべきである。上述の実施形態の組み合わせ、および本明細書において特に説明されない他の実施形態は、上記の説明を綿密に調べると、当業者に明らかとなることであろう。本開示の様々な実施形態の範囲は上述の構造および方法が使用される他の応用を含む。従って本開示の様々な実施形態の範囲は、添付の請求項が権利を有する均等物の全範囲とともに添付の請求項を参照して、決定されるべきである。

【0073】

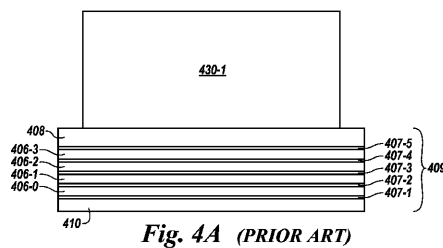
前述の発明を実施するための形態では、様々な特徴は、本開示を簡素化する目的で、単一の実施形態にまとめられる。この開示の方法は、本開示の開示された実施形態が、各請求項において明示的に記載されるよりも多くの特徴を用いなければならないという意図を反映するものとして解釈されるべきではない。むしろ以下の請求項が反映するように、発明主題は単一の開示された実施形態の全部の特徴よりも少ない特徴の中にある。従って以下の請求項は、各請求項が本発明の分離された実施形態としてそれ自身存在する状態で、発明を実施するための形態に組み込まれる。

10

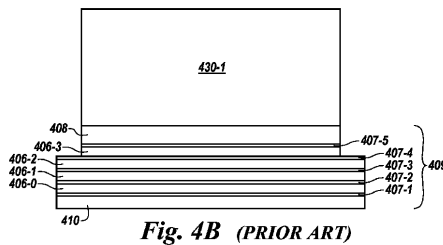
【図 1】



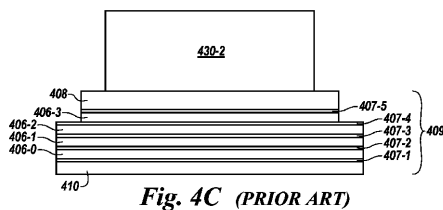
【図 4 A】



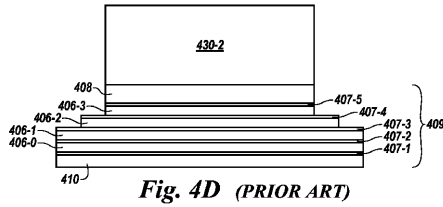
【図 4 B】



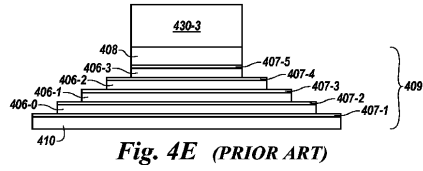
【図 4 C】



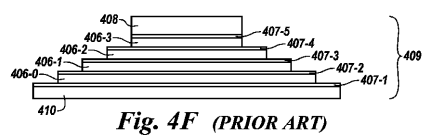
【図 4 D】



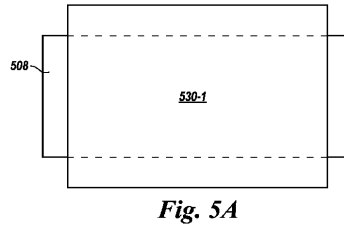
【図 4 E】



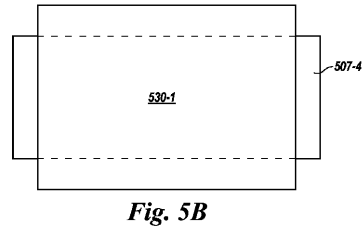
【図 4 F】



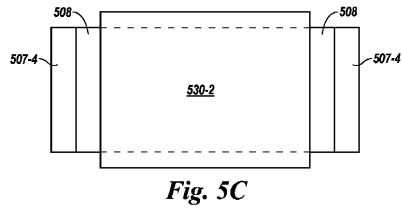
【図 5 A】



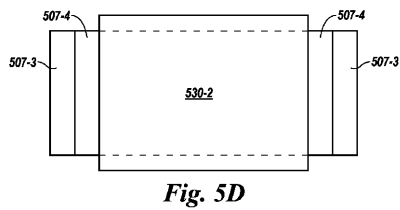
【図 5 B】



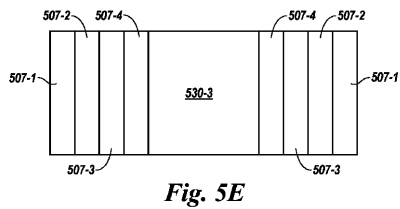
【図 5 C】



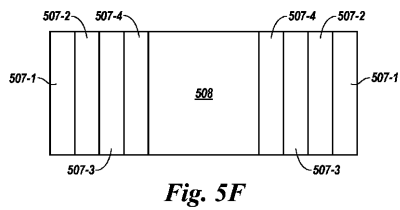
【図 5 D】



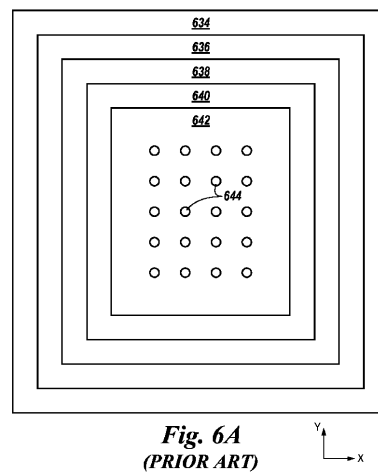
【図 5 E】



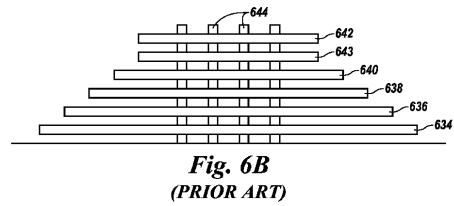
【図 5 F】



【図 6 A】



【図 6 B】



【図 7 A】

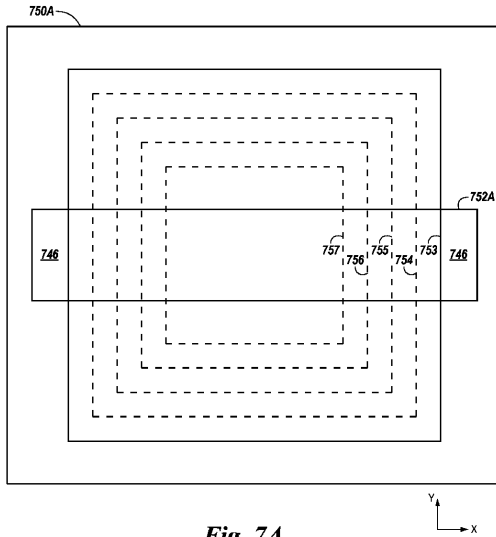


Fig. 7A

【図 7 B】

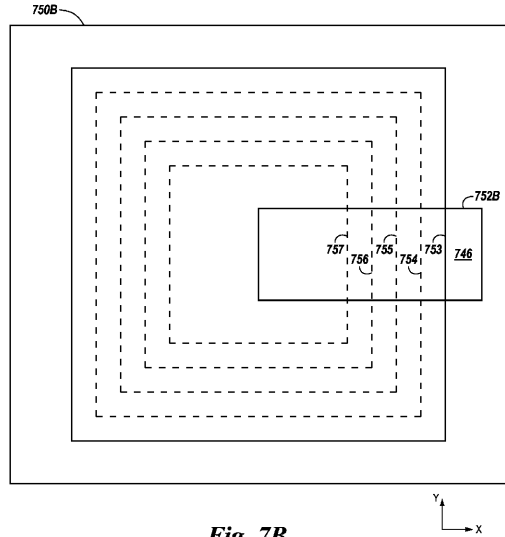


Fig. 7B

【図 8 A】

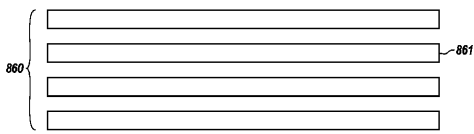


Fig. 8A

【図 8 B】

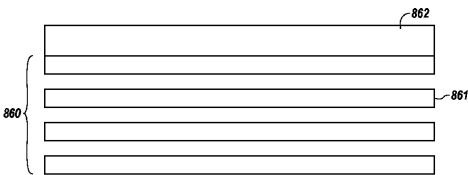


Fig. 8B

【図 8 E】

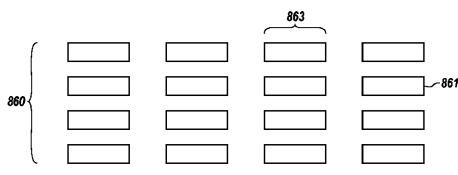


Fig. 8E

【図 8 C】

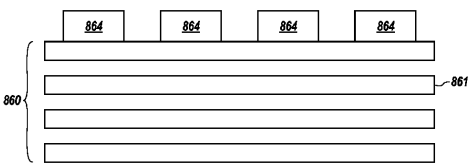


Fig. 8C

【図 8 F】

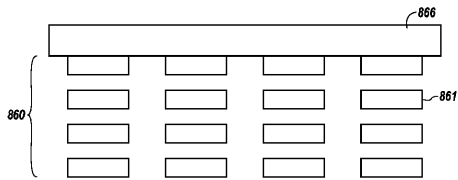


Fig. 8F

【図 8 D】

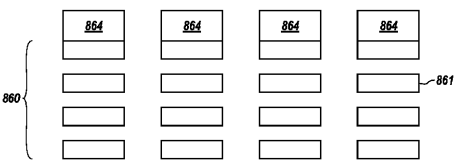


Fig. 8D

【図 8 G】

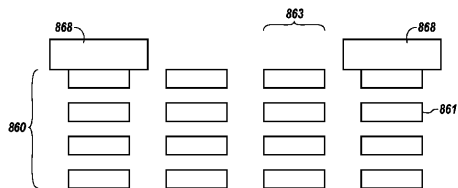


Fig. 8G

【図 8 H】

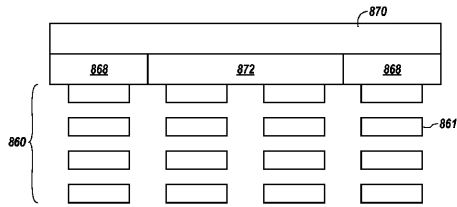


Fig. 8H

【図 8 I】

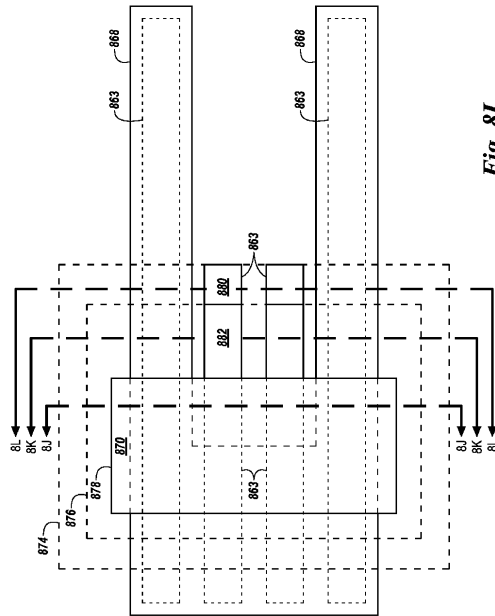


Fig. 8I

【図 8 J】

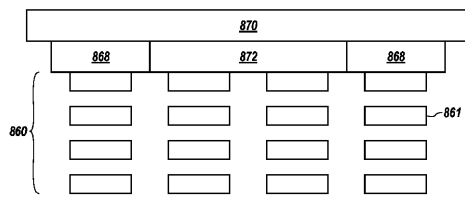


Fig. 8J

【図 8 K】

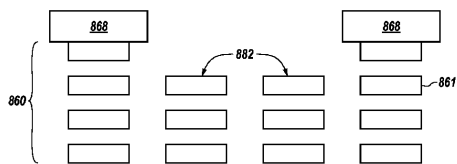


Fig. 8K

【図 8 L】

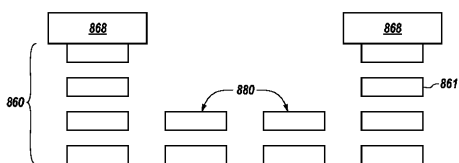
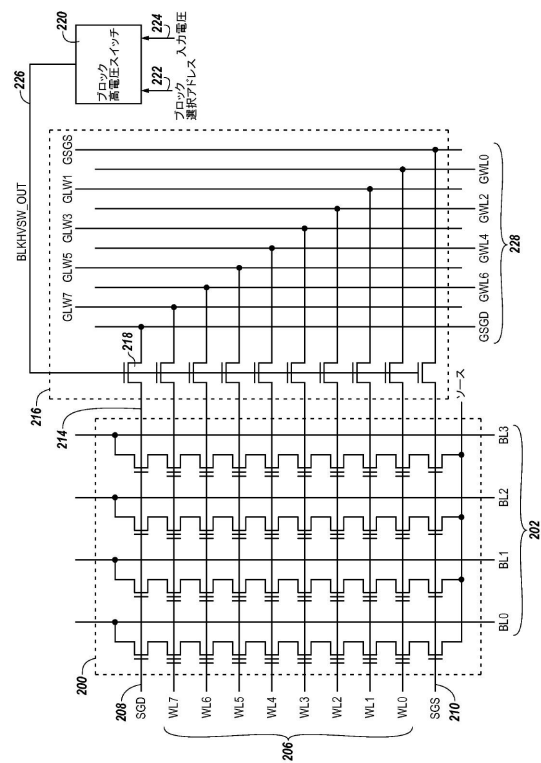
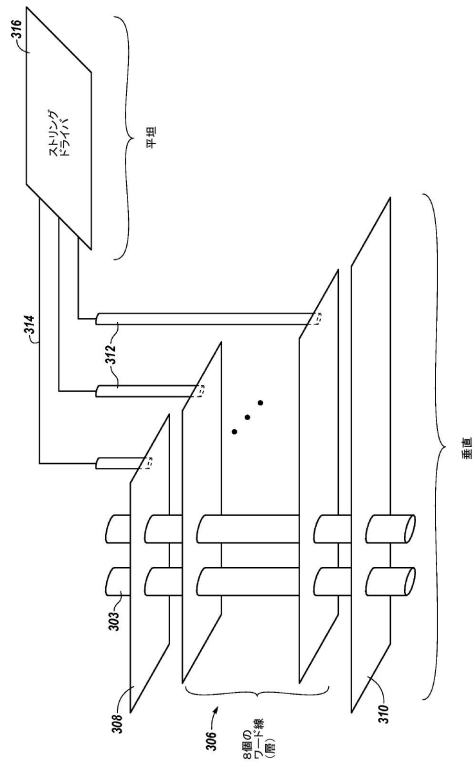


Fig. 8L

【图 2】



【図 3】



フロントページの続き

- (72)発明者 ウォルステンホルム, グラハム アール.
アメリカ合衆国, アイダホ州 83706, ボイズ, イースト リバーネスト コート 2945
- (72)発明者 シムゴード, ディーパク
アメリカ合衆国, アイダホ州 83716, ボイズ, サウス アドニス プレイス 5546

審査官 小山 満

- (56)参考文献 米国特許出願公開第2011/0084397 (US, A1)
特開2010-192589 (JP, A)
米国特許出願公開第2010/0207186 (US, A1)
特表2004-533110 (JP, A)
米国特許出願公開第2004/0209411 (US, A1)
国際公開第2002/078095 (WO, A2)
特開2010-045149 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 21/336
H01L 27/10
H01L 27/115
H01L 29/788
H01L 29/792