

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-158232
(P2007-158232A)

(43) 公開日 平成19年6月21日(2007.6.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F O 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 O 1
HO 1 L 29/792 (2006.01)		
HO 1 L 29/788 (2006.01)		

審査請求 有 請求項の数 12 O L (全 13 頁)

(21) 出願番号	特願2005-354676 (P2005-354676)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年12月8日 (2005.12.8)	(74) 代理人	100088487 弁理士 松山 允之
		(74) 代理人	100099450 弁理士 河西 祐一
		(74) 代理人	100119035 弁理士 池上 徹真
		(72) 発明者	松澤 一也 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
		Fターム(参考)	5F083 EP03 EP22 EP76 ER19 HA02 LA12 LA16 NA01 PR40 5F101 BA13 BB02 BD02 BD30 BD34 BD35 BE02 BE05 BE07

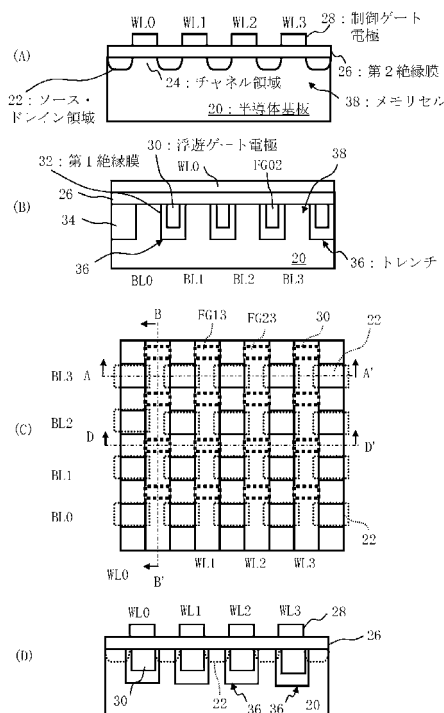
(54) 【発明の名称】 不揮発性半導体メモリとその製造方法

(57) 【要約】

【課題】 高密度な不揮発性半導体メモリを提供することにある。

【解決手段】 半導体基板のトレンチの壁面に形成される第1絶縁膜と、トレンチ内部で第1絶縁膜面に形成される浮遊ゲート電極と、半導体基板内に形成され、トレンチに隣接する半導体基板をチャンネル領域とするトランジスタのソース・ドレイン領域と、半導体基板表面に形成される第2絶縁膜と、チャンネル領域上と浮遊ゲート電極上の第2絶縁膜面に形成される制御ゲート電極と、を備え、第1絶縁膜にトンネル電流を流して、浮遊ゲート電極に電荷の出し入れを行い、記憶状態を形成する、不揮発性半導体メモリ。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板のトレンチの壁面に形成される第 1 絶縁膜と、
トレンチ内部で第 1 絶縁膜面に形成される浮遊ゲート電極と、
半導体基板内に形成され、トレンチに隣接する半導体基板をチャンネル領域とするトランジスタのソース・ドレイン領域と、

半導体基板表面に形成される第 2 絶縁膜と、
チャンネル領域上と浮遊ゲート電極上の第 2 絶縁膜面に形成される制御ゲート電極と、を
備え、

第 1 絶縁膜にトンネル電流を流して、浮遊ゲート電極に電荷の出し入れを行い、記憶状態を形成する、不揮発性半導体メモリ。 10

【請求項 2】

請求項 1 に記載の不揮発性半導体メモリにおいて、
一対のソース・ドレイン領域、ソース・ドレイン領域間のチャンネル領域、浮遊ゲート電極、及び該チャンネル領域上と該浮遊ゲート電極上の制御ゲート電極でメモリセルを構成し

、
半導体基板内に行列状に複数のメモリセルを形成し、
各メモリセルのソース・ドレイン領域とチャンネル領域で行選択ラインを構成し、
各セルの制御ゲート電極で列選択ラインを構成する、不揮発性半導体メモリ。

【請求項 3】

請求項 2 に記載の不揮発性半導体メモリにおいて、
隣接するメモリセルのソース・ドレイン領域は、両セルに共通に使用され、NAND型メモリを構成する、不揮発性半導体メモリ。 20

【請求項 4】

請求項 2 に記載の不揮発性半導体メモリにおいて、
隣接する両行選択ラインと列選択ラインによりメモリセルを選択する、不揮発性半導体メモリ。

【請求項 5】

請求項 4 に記載の不揮発性半導体メモリにおいて、
隣接する両行選択ライン間に電位差を付与し、列選択ラインと半導体基板間に電位差を付与して、選択したメモリセルに情報を書き込む、不揮発性半導体メモリ。 30

【請求項 6】

請求項 4 に記載の不揮発性半導体メモリにおいて、
半導体基板と列選択ライン間に電位差を付与して、メモリセルの情報を消去する、不揮発性半導体メモリ。

【請求項 7】

請求項 4 に記載の不揮発性半導体メモリにおいて、
隣接する行選択ラインに各々電位を付与し、列選択ラインに電位を付与して、行選択ラインに流れる電流により、選択したメモリセルの記憶状態を読み出す、不揮発性半導体メモリ。 40

【請求項 8】

請求項 1 に記載の不揮発性半導体メモリにおいて、
第 2 絶縁膜は、第 1 絶縁膜より高い誘電率を有する、不揮発性半導体メモリ。

【請求項 9】

請求項 1 に記載の不揮発性半導体メモリにおいて、
メモリセルの下方の半導体基板内に絶縁領域を形成する、不揮発性半導体メモリ。

【請求項 10】

請求項 1 に記載の不揮発性半導体メモリにおいて、
第 2 絶縁膜は、第 1 絶縁膜より高い誘電率を有すると共に、メモリセルの下方の半導体基板内に絶縁領域を形成する、不揮発性半導体メモリ。 50

【請求項 1 1】

半導体基板内にトレンチを形成し、
トレンチの壁面に第 1 絶縁膜を形成し、
トレンチ内部で第 1 絶縁膜面に浮遊ゲート電極を形成し、
第 1 絶縁膜を介して浮遊ゲート電極に隣接する半導体基板をチャンネル領域とし、チャンネル領域上と浮遊ゲート電極上に第 2 絶縁膜と制御ゲート電極を形成し、
第 2 絶縁膜と制御ゲート電極をマスクにして半導体基板内にソース・ドレイン領域を形成し、
ソース・ドレイン領域、浮遊ゲート電極、制御ゲート電極によりメモリセルを構成する、不揮発性半導体メモリの製造方法。

10

【請求項 1 2】

半導体基板内にトレンチを形成し、
トレンチの壁面に第 1 絶縁膜を形成し、
トレンチ内部で第 1 絶縁膜面に浮遊ゲート電極を形成し、
第 1 絶縁膜を介して浮遊ゲート電極に隣接する半導体基板をチャンネル領域とするトランジスタのソース・ドレイン領域を半導体基板内に形成し、
浮遊ゲート電極上とチャンネル領域上に第 2 絶縁膜を形成し、
第 2 絶縁膜面に制御ゲート電極を形成し、
ソース・ドレイン領域、浮遊ゲート電極、制御ゲート電極によりメモリセルを構成する、不揮発性半導体メモリの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気的書き換え可能な不揮発性半導体メモリに関するものである。

【背景技術】

【0002】

従来、半導体基板上に浮遊ゲート電極と制御ゲート電極が積層され、浮遊ゲート電極と半導体基板との間でトンネル現象による電荷の授受が行われ、それにより書込み及び消去を行う電気的書き換え可能な不揮発性半導体メモリ（フラッシュメモリ）が知られている（特許文献 1 参照）。

30

【0003】

電気的書き換え可能な不揮発性半導体メモリにおいて、NAND型メモリの概念図を図 15 に示す。NAND型メモリは、半導体基板 a の表面にトンネル電流が流れる絶縁膜であるトンネル絶縁膜 f を介して、浮遊ゲート電極 FG、ゲート間絶縁膜 e、制御ゲート電極 CG からなる積層ゲート領域 d が形成されている。積層ゲート領域 d の下方の半導体基板表面にチャンネル領域 c が形成されている。チャンネル領域 c、c 間の半導体基板表面領域には、不純物からなるソース・ドレイン領域（拡散層）b が形成されている。積層ゲート領域 d、チャンネル領域 c とソース・ドレイン領域 b、b によりメモリセルを構成している。半導体基板 a から浮遊ゲート電極 FG に量子力学的トンネル現象を利用して電荷を書込む。浮遊ゲート電極 FG の電荷の有無によって半導体基板表面に流れる電流量が異なることを利用して、情報を読み出す。電荷の消去は、量子力学的トンネル現象を利用して、浮遊ゲート電極 FG から半導体基板 a に向けて電荷を抜き去ることによって行う。なお、WL0～WL3 は、メモリセルの制御ゲート電極 CG に接続された 4 本のワードラインを示している。

40

【0004】

この不揮発性半導体メモリには、以下のような問題点がある。大容量の不揮発性半導体メモリを形成するためには、チャンネル領域 c およびチャンネル領域 c、c 間の間隔を狭くして、同一チップ面積に多数のメモリセルを形成する必要がある。それにより、微細化が進んだ結果、チャンネル領域 c が接近しすぎて、チャンネル領域 c、c 間が容量結合によって電氣的に干渉して、誤動作を起こす恐れが生じる。また、チャンネル領域 c、c 間の間隔が狭

50

くなり、図15のようにチャンネル領域c、c間の間隔に比して積層ゲート領域dが高いことにより、ソース・ドレイン領域bに十分な数の不純物を導入することができなくなる。そのため、この不揮発性半導体メモリの構造では、十分な読み出し電流を得ることが出来なくなりつつある。

【特許文献1】特開平2-10597

【発明の開示】

【発明が解決しようとする課題】

【0005】

(1)本発明は、高密度な不揮発性半導体メモリを提供することにある。

(2)又は、本発明は、ソース・ドレイン領域に不純物を注入できる不揮発性半導体メモリを提供することにある。 10

【課題を解決するための手段】

【0006】

(1)本発明は、半導体基板のトレンチの壁面に形成される第1絶縁膜と、トレンチ内部で第1絶縁膜面に形成される浮遊ゲート電極と、半導体基板内に形成され、トレンチに隣接する半導体基板をチャンネル領域とするトランジスタのソース・ドレイン領域と、半導体基板表面に形成される第2絶縁膜と、チャンネル領域上と浮遊ゲート電極上の第2絶縁膜面に形成される制御ゲート電極と、を備え、第1絶縁膜にトンネル電流を流して、浮遊ゲート電極に電荷の出し入れを行い、記憶状態を形成する、不揮発性半導体メモリにある。

(2)また、本発明は、半導体基板内にトレンチを形成し、トレンチの壁面に第1絶縁膜を形成し、トレンチ内部で第1絶縁膜面に浮遊ゲート電極を形成し、第1絶縁膜を介して浮遊ゲート電極に隣接する半導体基板をチャンネル領域とし、チャンネル領域上と浮遊ゲート電極上に第2絶縁膜と制御ゲート電極を形成し、第2絶縁膜と制御ゲート電極をマスクにして半導体基板内にソース・ドレイン領域を形成し、ソース・ドレイン領域、浮遊ゲート電極、制御ゲート電極によりメモリセルを構成する、不揮発性半導体メモリの製造方法にある。 20

【発明を実施するための最良の形態】

【0007】

以下、図面を用いて、本発明の実施形態による不揮発性半導体メモリについて説明する。 30

【0008】

(不揮発性半導体メモリ)

図1は、本発明の第1の実施形態に係る不揮発性半導体メモリの構造を示している。図1(A)、図1(B)と図1(D)は、それぞれ、図1(C)に示す上面図における、AA'、BB'とDD'の断面図である。半導体基板20に2つ以上の素子分離領域であるトレンチ36、36、・・・が形成され、トレンチ36内部に第1絶縁膜32を介して浮遊ゲート電極30が形成され、半導体基板20およびトレンチ36の表面に第2絶縁膜26を介して制御ゲート電極28が形成され、半導体基板20に複数のソース・ドレイン領域22、22、・・・が形成されている。トレンチ36は、半導体基板20内の溝である。第1絶縁膜32は、トレンチ36の壁面に形成され、トンネル電流を流すことができる。浮遊ゲート電極30は、半導体基板20に対して第1絶縁膜32を介してトレンチ36内に形成される。以下に、半導体基板20をp型とし、ソース・ドレイン領域22をn型とする不揮発性半導体メモリを例として説明するが、本発明は、p型とn型を逆にしてもよく、又は、半導体基板に島領域を形成し、その中に半導体メモリを形成してもよい。また、以下に、NAND型不揮発性半導体メモリを例として説明するが、本発明は、トレンチ36内に第1絶縁膜32を介して浮遊ゲート電極30が形成される不揮発性半導体メモリであれば、種々の公知の構成の不揮発性半導体メモリにも適用できる。なお、領域34は、STI(Shallow Trench Isolation)であり、トレンチにより半導体メモリ領域を分離するものである。 40

【0009】

複数のソース・ドレイン領域 22、22、・・・は、図 1 に示すように、半導体基板 20 の表面領域に形成されている。一对のソース・ドレイン領域 22、22 間の半導体基板 20 にチャンネル領域 24 が形成されている。制御ゲート電極 28 は、半導体基板 20 上に第 2 絶縁膜 26 を介して形成されている。また、制御ゲート電極 28 は、浮遊ゲート電極 30 とチャンネル領域 24 を覆うように第 2 絶縁膜 26 を介して形成されている。一对のソース・ドレイン領域 22、22、チャンネル領域 24、第 2 絶縁膜 26、制御ゲート電極 28、第 1 絶縁膜 32 と浮遊ゲート電極 30 によりメモリセル 38 を構成し、トランジスタとして作用する。隣接するメモリセル 38 は、相互にソース・ドレイン領域 22 を共有する。

【0010】

メモリセル 38 は、図 1 (C) に示されているように、半導体基板 20 に行列状に配列されている。図 1 (C) では、行選択ラインをビットライン BL とし、列選択ラインをワードライン WL としている。ビットライン BL は、ソース・ドレイン領域 22 とチャンネル領域 24 で構成され、例えば 4 行、BL0 ~ BL3 からなっている。ワードライン WL は、制御ゲート電極 28 に接続して構成され、例えば 4 列、WL0 ~ WL3 からなっている。メモリセル 38 は、NAND 型に配置されている。浮遊ゲート電極 30 は、ビットライン BL の側面にビットライン BL に沿って配置されている。浮遊ゲート電極 30 は、ワードライン WL とビットライン BL に沿って配置されている。浮遊ゲート電極 30 は、LFG00、FG01、・・・、FG10、FG11、・・・、FG32、FG33 と行列状に配置される。このように、半導体基板 20 内にトレンチ 36 を形成し、そこに浮遊ゲート電極 30 を配置することで、浮遊ゲート電極 30 に多く電荷を蓄積でき、安定した記憶状態を維持できる不揮発性半導体メモリを得ることができる。また、トレンチ 36 がチャンネル領域 24、24 間の電氣的干渉を減少できるので、メモリセル 38 を高密度に配置することができる。

浮遊ゲート電極 30 は、図 1 では、トレンチ 36 の中央でビットライン BL に対して左右対称の構造に配置してある。しかし、浮遊ゲート電極 30 は、少なくとも一面でチャンネル領域 24 に隣接し、ゲート電流に影響を付与でき、半導体基板 20 間でトンネル電流を流せる構造であれば、任意の構造を取ることができる。例えば、浮遊ゲート電極 30 は、トレンチ 36 内で隣接するチャンネル領域 24 の一方側に偏った構造を取ることにもできる。

【0011】

図 2 は、不揮発性半導体メモリの回路ブロック図を示しており、4x4 のメモリセルアレイを示している。しかし、本発明の不揮発性半導体メモリは、この 4x4 の数に制限されるものではない。ワードライン WL0、WL1、WL2、WL3 は、セクタ 40、40 に接続されて、後述する書き込み用電圧 V_{PRG} 、パスゲート電圧 V_{PASS} 、読み出し用電圧 V_{CGR} などの電圧が印加される。それにより、書き込み用電圧 V_{PRG} 、パスゲート電圧 V_{PASS} 、読み出し用電圧 V_{CGR} などの電圧がメモリセル 38 の制御ゲート電極 28 に印加される。ビットライン BL0、BL1、BL2、BL3 は、駆動検出回路 41、41 に接続されて、ソース側選択ゲート 42 の SGS0、SGS1、SGS2、SGS3 を介してソース電圧が印加される。それにより、ソース電圧がメモリセル 38 のソース側のソース・ドレイン領域 22 に印加される。また、ビットライン BL0、BL1、BL2、BL3 は、ドレイン側選択ゲート 44 の SGD0、SGD1、SGD2、SGD3 を介してドレイン電圧が印加される。それにより、ドレイン電圧がメモリセル 38 のドレイン側のソース・ドレイン領域 22 に印加される。駆動検出回路 41 は、不揮発性半導体メモリの書き込み、消去、及び読み出しなどの回路（書き込み回路、消去回路、及び読み出し回路など）を含み、ビットライン BL への電圧の印加や、ビットライン BL からの読み出し電流の検出などを行うことができる。

【0012】

(メモリセルへの書き込み)

個々のメモリセル 38 への書き込みは、例えば以下の方法で行うことができる。まず、書き込みは、特定のメモリセル 38 の浮遊ゲート電極 30 に電子を注入して行う。図 3 は

10

20

30

40

50

、特定の浮遊ゲート電極 F G 1 1 への書き込む際の電圧条件を示す。ワードライン W L 1 に書き込み用 W L 電圧 $V_{P R G}$ を印加する。書き込み用 W L 電圧 $V_{P R G}$ は、比較的高電圧であり、例えば 20 V とする。他のワードライン W L 0、W L 2、W L 3 には、メモリセル 3 8 のトランジスタを導通させる導通電圧 $V_{P A S S}$ を印加する。それと共に、図 3 (C) に示すように、浮遊ゲート電極 F G 1 1 の一側面のビットライン B L 1、B L 0 に 0 V、他側面のビットライン B L 2、B L 3 に書き込み用 B L 電圧 $V_{P P}$ を印加する。

【 0 0 1 3 】

この結果、図 3 (B) に示すように、浮遊ゲート電極 F G 1 1 の上面の制御ゲート電極 2 8 に書き込み用 W L 電圧 $V_{P R G}$ が印加される。同時に、図 3 (C) に示すように、浮遊ゲート電極 F G 1 1 の一側面のビットライン B L 1 に 0 V が印加され、他側面のビット
10
ライン B L 2 に書き込み用 B L 電圧 $V_{P P}$ が印加される。これにより、図 3 (B) の白抜きの矢印のように、ビットライン B L 1 のチャンネル領域から浮遊ゲート電極 F G 1 1 に向けて負のトンネル電流 I_{tunnel} が流れ、浮遊ゲート電極 F G 1 1 に電子が蓄積され、書き込みが行われる。この際、浮遊ゲート電極 F G 1 1 の上面の制御ゲート電極 2 8 に書き込み用 W L 電圧 $V_{P R G}$ が印加しているので、浮遊ゲート電極 F G 1 1 に正の電圧が誘起され、同時に、浮遊ゲート電極 F G 1 1 の両側面間に書き込み用 B L 電圧 $V_{P P}$ が印加されるので、負のトンネル電流はビットライン B L 1 から第 1 絶縁膜を通して浮遊ゲート電極 F G 1 1 に流れる。しかし、トンネル電流は、浮遊ゲート電極 F G 1 1 からビットライン B L 2 のチャンネル領域には流れない。ワードライン W L 1 で選択された他のメモリセル 3
20
8 の浮遊ゲート電極 F G 1 0、F G 1 2、F G 1 3 では、それらの両側のビットライン B L には、浮遊ゲート電極 F G 1 1 の両側のビットライン B L とは異なった電圧が印加されるので、書き込みが行われることはない。

【 0 0 1 4 】

図 4 は、浮遊ゲート電極 F G 1 1 へ書き込む際の電圧印加シーケンスを示している。先ず、ビットライン B L につながるソース電圧とドレイン電圧を印加する。図 2 ~ 図 4 に示すように、ソース電圧 $V_{S 0} = V_{S 1} = 0 V$ とし、 $V_{S 2} = V_{S 3} = V_{P P}$ とする。ドレイン電圧 $V_{D 0} = V_{D 1} = 0 V$ とし、 $V_{D 2} = V_{D 3} = V_{P P}$ とする。次に、ソース側の選択ゲート S G S 0、S G S 1、S G S 2、S G S 3 とドレイン側の選択ゲート S G D 0、S G D 1、S G D 2、S G D 3 を導通状態にして、ビットライン B L 0 と B L 1 には、
30
0 V を印加し、ビットライン B L 2 と B L 3 には、書き込み用 B L 電圧 $V_{P P}$ を印加する。次に、浮遊ゲート電極 F G 1 1 の制御ゲート電極 2 8 に書き込み用 W L 電圧 $V_{P R G}$ が印加するように、ワードライン W L 1 に $V_{P R G}$ を印加する。その他のワードライン W L 0、W L 2、W L 3 には、ビットライン B L に繋がっているトランジスタが導通するように導通電圧 $V_{P A S S}$ を印加する。半導体基板 2 0 には基板電圧 $V_{S U B} = 0 V$ を印加する。ワードラインの W L 1 には、浮遊ゲート電極 F G 1 1 に十分な電荷が書き込まれる間、電圧 $V_{P R G}$ を維持する。維持時間は、例えば 100 $\mu s e c$ 程度とする。一例として、 $V_{P P}$ と $V_{P A S S}$ は、10 V とする。

【 0 0 1 5 】

図 5 は、書き込みのシミュレーション結果を示す。縦軸は、浮遊ゲート電極 3 0 の電位 (V) を示しており、横軸は、制御ゲート電極 2 8 に印加する時間 (秒) を示している。
40
ワードライン W L 1 を $V_{P R G} = 20 V$ 、と $V_{P R G} = 10 V$ の 2 種類とする。その他の条件は、図 4 と同じにする。浮遊ゲート電極 F G 1 1 と F G 1 0 の電位を測定した。その結果、浮遊ゲート電極 F G 1 1 については、 $V_{P R G} = 20 V$ の場合 (実線の曲線)、 $V_{P R G} = 10 V$ の場合 (一点破線の曲線) に比して、 $V_{P R G}$ の印加後、0.6 秒付近から、F G 1 1 の電位が上昇している。このことにより、制御ゲート電極 2 8 に印加する電圧値が異なると、浮遊ゲート電極 3 0 に発生する電位が異なって現れることを示している。それに対して、浮遊ゲート電極 F G 1 0 については、浮遊ゲート電極 F G 1 1 に比して、浮遊ゲート電極の電位の上昇率が低い。更に、 $V_{P R G}$ の印加後、0.6 秒を経過しても、 $V_{P R G} = 20 V$ (実線の曲線) と $V_{P R G} = 10 V$ (一点破線の曲線) の場合で、浮遊ゲート電極 F G 1 0 の電位に差異が見られない (実線と破線が重なっている)。このこ
50

とは、ワードラインWLとビットラインBLを選択することにより、浮遊ゲート電極30の電位を選択的に制御して、情報を書き込むメモリセル38を選択できることを示している。

【0016】

(メモリセルの消去)

図6には、全部のメモリセルの一括消去の電圧条件を示している。全てのビットラインBL0~BL3のソース・ドレイン領域を開放し(V_{open} とし)、全てのワードラインWL0~WL3を接地して、全部のメモリセルの制御ゲート電極28を接地し、半導体基板に正の電圧 V_{sub} を印加する。この基板に印加する電圧 V_{sub} は、例えば20Vとする。これにより、全ての浮遊ゲート電極30に書き込まれていた電子を半導体基板20に引き抜くことができる。図7は、全部のメモリセルの一括消去の印加電圧シーケンスを示す。まず、各ビットラインBLに接続するソース電圧 $V_{S0} \sim V_{S3}$ とドレイン電圧 $V_{D0} \sim V_{D3}$ を開放する(V_{open} とする)。次に、ソース側の選択ゲートに電圧 $V_{SGS0} \sim V_{SGS3}$ と、ドレイン側の選択ゲートに電圧 $V_{DSGS0} \sim V_{DSGS3}$ とを印加する。全てのワードラインWL0~WL3は、0Vとする。次に、半導体基板20に正の電圧 V_{sub} を印加する。これにより、浮遊ゲート電極30に蓄積していた電子が、トンネル電流(負の電流)として半導体基板20に取り出される。

10

【0017】

(メモリセルの読み出し)

図8は、メモリセル38の読み出しの電圧条件を示している。読み出したい浮遊ゲート電極30をビットラインBLとワードラインWLで選択する。読み出したい浮遊ゲート電極30がFG11の場合、ビットラインBL1のソース側には0Vを付与し、ドレイン側には、読み出し用電圧 V_{RD} を印加する。ビットラインBL2のソース側には0Vを付与し、ドレイン側には、 V_{PD} を印加する。その他のビットラインBL0とBL3については、ソース側とドレイン側とも、0Vを付与する。ワードラインWL1には V_{CGR} を印加する。他のワードラインWL0、WL2~WL3には V_{PASS} を印加する。このように2本のビットラインBLと1本のワードラインWLでメモリセル38を選択する。一例として、 V_{RD} 、 V_{PD} 、 V_{CGR} の電圧は、それぞれ、5V、5V、10Vである。これらの電圧条件により、FG11の状態をBL1の電流の変化で検出できる。すなわち、FG10がどのような状態であっても、 V_{RD} 、 V_{PD} 、 V_{CGR} に十分に高い電位を与えることによって、BL1のチャンネルを導通状態にすることができる。

20

30

【0018】

図9は、浮遊ゲート電極FG11の読み出しの印加電圧シーケンスを示す。まず、ビットラインBL0~BL1、BL3のソース側電圧 $V_{S0} \sim V_{S1}$ と V_{S3} を接地する(0Vとする)。ビットラインBL2のソース側電圧 V_{S2} とドレイン側電圧 V_{D2} とを V_{PD} とする。次に、ビットラインBL1のドレイン側電圧 $V_{D1} = V_{RD}$ とする。他のビットラインBL0とBL3のドレイン側電圧 V_{D0} と V_{D3} を接地する(0Vとする)。次に、ソース側の選択ゲートSGS1、SGS2を導通状態とし、ドレイン側の選択ゲートSGD1、SGD2を導通状態とする。これにより、ビットラインBL2のソース側とドレイン側には、電圧 V_{PD} が印加し、ビットラインBL2全体に電圧 V_{PD} が印加する。ビットラインBL1のソース側には、0Vが印加し、ビットラインBL1のドレイン側には、読み出し用電圧 V_{RD} が印加する。次にワードラインWL1には、 V_{CGR} を印加し、他のワードラインWL0、WL2、WL3には、 V_{PASS} が印加される。これにより、浮遊ゲート電極FG11に電子が蓄積されている場合、ビットラインBL1に流れる読み出し電流が小さく、また、電子が蓄積されていない場合、読み出し電流が大きい。この電流の差を検出して、浮遊ゲート電極FG11の記憶の状態を読み出すことができる。このように、ビットラインBL2に電圧 V_{PD} を印加することにより、FG10とFG12の電荷の有無に関らず、FG11の状態を読み出すことができる。即ち、電圧 V_{PD} を印加することにより、FG11側の半導体表面にチャンネルを形成して、FG11のみの電荷の有無を検出できる。これは、書き込み時に浮遊ゲート電極FGを識別すると同様のメカ

40

50

ニズムによる。

【0019】

(メモリセルの製造方法)

本発明の実施の形態の不揮発性半導体メモリの製造方法は、半導体装置一般の公知の製造方法の技術を適用できる。図10と図11には、メモリセル38の製造方法の一例を示している。まず、図10(A)のように半導体基板20表面にSiNやSiONやその他高誘電体材料などの第2絶縁膜26を形成した後、半導体基板20中に浮遊ゲート電極を配置するためのトレンチ36を形成する。次に、図10(B)のようにトレンチ36内の表面を含めて半導体基板20の表面に酸化膜などの絶縁膜46を形成する。この絶縁膜46の一部は、第1絶縁膜32として利用される。第1絶縁膜32は、特にトレンチ36の壁面に薄く形成し、半導体基板20と後で形成される浮遊ゲート電極間でトンネル電流が流れるようにする。第1絶縁膜の表面にn⁺ポリシリコンなどの導電材料48を形成する。この導電材料48は、一部浮遊ゲート電極30として使用される。次に、図10(C)のように半導体基板20の表面を平坦化するために、例えばCMPで第2絶縁膜26が露出する程度に表面上の導電材料48や絶縁膜46を除去する。

10

【0020】

次に、トレンチ36内に形成された不必要な導電材料48を除去し、半導体基板20の表面領域にソース・ドレイン領域22を形成する。第2絶縁膜26表面に、n⁺ポリシリコン層などの導電材料(制御ゲート電極28)、フォトレジスト層50を順次形成し、図11(A)のように半導体基板面が露出するように、第2絶縁膜26、制御ゲート電極28、フォトレジスト層50のパターンを形成する。この2層のパターンをマスクにして、トレンチ36内の不要な導電材料を選択エッチングなどの方法で除去し、除去した穴に酸化膜などの埋設絶縁膜52を埋め込む。次に、図11(B)のように2層のパターンの上部のフォトレジスト層50を除去して、次いで、ソース・ドレイン領域22上の第2絶縁膜26を除去する。得られたパターンをマスクにイオン注入などの不純物注入方法でソース・ドレイン領域22を形成する。次に、図11(C)のように酸化膜などの被覆層54で半導体基板表面を被覆する。このような不揮発性半導体メモリは、従来の種々の半導体製造方法で製造することができる。このように、浮遊ゲート電極30が半導体基板のトレンチ36内に形成されるので、ソース・ドレイン領域22を形成する際のマスクパターンの厚さが、従来のチャンネル上にある積層ゲート領域(浮遊ゲートを含む)の構造よりも、薄くできる。それにより、不純物の量を多くソース・ドレイン領域に注入することができる。その結果、ソース・ドレイン領域22、22間に多くの電流を流すことができ、不揮発性半導体メモリの検出誤動作を少なくすることができる。なお、上記製造方法では、第1絶縁膜32、第2絶縁膜26、制御ゲート電極28は、特定の製造工程で形成しているが、他の種々の製造工程により製造することもできる。

20

30

【0021】

(第2実施形態)

図12は、本発明の第2実施形態を示す。半導体基板20の表面領域にトレンチ36が形成され、トレンチ36の内部に第1絶縁膜32を介して浮遊ゲート電極30が形成される。半導体基板20およびトレンチ36の表面に第1絶縁膜32よりも誘電率の高いHigh-K膜の第2絶縁膜26を介して制御ゲート28が形成される。第1絶縁膜32よりも誘電率の高い第2絶縁膜26を設けることにより、チャンネル領域24を狭くしても、制御ゲート電極28のチャンネル領域24に対する電氣的な支配力を維持可能である。

40

【0022】

(第3実施形態)

図13は、本発明の第3実施形態を示す。埋め込み絶縁膜領域BOXを有する半導体基板20の表面領域に複数のトレンチ36が形成され、トレンチ36の内部に第1絶縁膜32を介して浮遊ゲート電極30が形成され、半導体基板20およびトレンチ36の表面に第2絶縁膜26を介して制御ゲート電極28が形成される。半導体基板領域に埋め込み絶縁膜領域BOXを設けることにより、ソース・ドレイン領域22の間隔を狭め、チャンネル

50

領域 24 を短くしても、所謂短チャネル効果抑制により、制御ゲート電極 28 および浮遊ゲート電極 30 のチャネル領域 24 に対する電氣的な支配力を維持可能である。

【0023】

(第4実施形態)

図14に本発明の第3実施の形態を示す。第3実施形態は、第2と第3の実施形態を組み合わせたものである。埋め込み絶縁膜領域BOXを有する半導体基板表面領域に複数のトレンチ36が形成され、トレンチ36の内部に第1絶縁膜32を介して浮遊ゲート電極30が形成され、半導体基板20およびトレンチ36の表面に第1絶縁膜32よりも誘電率の高いHigh-K膜の第2絶縁膜26を介して制御ゲート電極28が形成される。第1絶縁膜32よりも誘電率の高い第2絶縁膜26を設け、半導体基板20に埋め込み絶縁膜領域BOXを設ける。このことにより、チャネル領域24を狭くしても、制御ゲート電極28のチャネル領域24に対する電氣的な支配力を維持可能である。また、ソース・ドレイン領域22の間隔を狭め、チャネル領域24を短くしても、所謂短チャネル効果抑制により、制御ゲート電極28および浮遊ゲート電極30のチャネル領域24に対する電氣的な支配力を維持可能である。

10

【0024】

なお、本発明は、上記実施の形態に限定されるものではなく、発明の要旨を逸脱しない範囲で、構成要素を变形することは可能である。

【図面の簡単な説明】

【0025】

20

【図1】第1の実施の形態の不揮発性半導体メモリの説明図

【図2】不揮発性半導体メモリの回路ブロック図

【図3】不揮発性半導体メモリの書き込み動作の説明図

【図4】書き込み時の電圧印加シーケンスの説明図

【図5】第1の実施の形態の不揮発性半導体メモリの書き込みシミュレーションの結果を示すグラフ図

【図6】不揮発性半導体メモリの消去動作の説明図

【図7】消去時の電圧印加シーケンスの説明図

【図8】不揮発性半導体メモリの読み出し動作の説明図

【図9】読み出し時の電圧印加シーケンスの説明図

30

【図10】第1の実施の形態の不揮発性半導体メモリの製造方法の前半工程図

【図11】第1の実施の形態の不揮発性半導体メモリの製造方法の後半工程図

【図12】第2の実施の形態の不揮発性半導体メモリの説明図

【図13】第3の実施の形態の不揮発性半導体メモリの説明図

【図14】第4の実施の形態の不揮発性半導体メモリの説明図

【図15】従来の不揮発性半導体メモリの説明図

【符号の説明】

【0026】

20・・・半導体基板

22・・・ソース・ドレイン領域

40

24・・・チャネル領域

26・・・第2絶縁膜

28・・・制御ゲート電極

30・・・浮遊ゲート電極

32・・・第1絶縁膜

34・・・STI

36・・・トレンチ

38・・・メモリセル

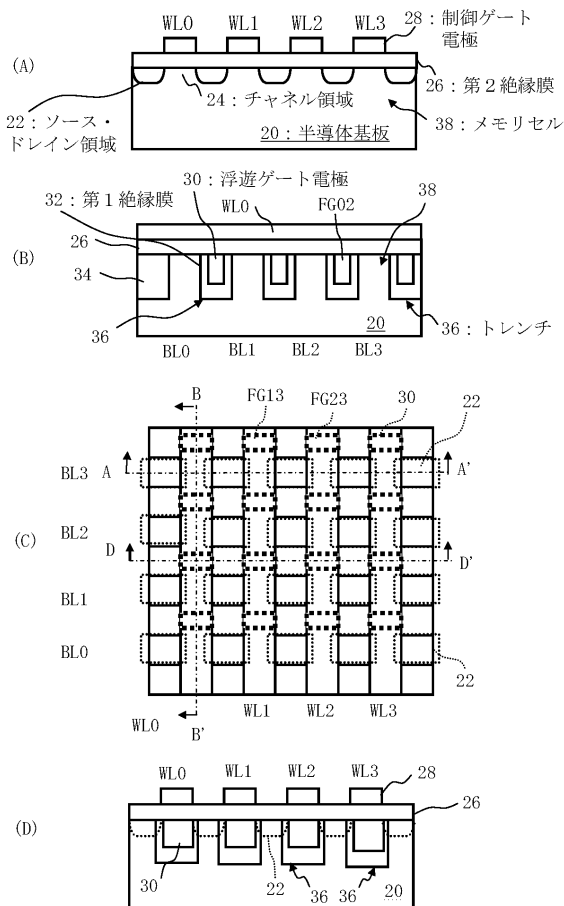
40・・・セレクト

41・・・駆動検出回路

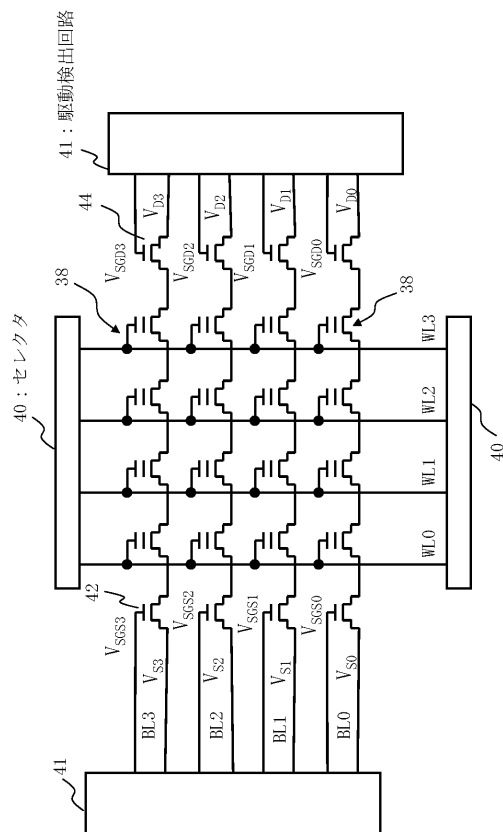
50

- 4 2 . . . ソース側選択ゲート
- 4 4 . . . ドレイン側選択ゲート
- 4 6 . . . 絶縁膜
- 4 8 . . . 導電材料
- 5 0 . . . フォトリソスト層
- 5 2 . . . 埋設絶縁膜
- 5 4 . . . 被覆層
- B L . . . ビットライン
- W L . . . ワードライン
- B O X . . . 埋め込み絶縁膜領域
- H i g h - K . . . 高誘電率膜

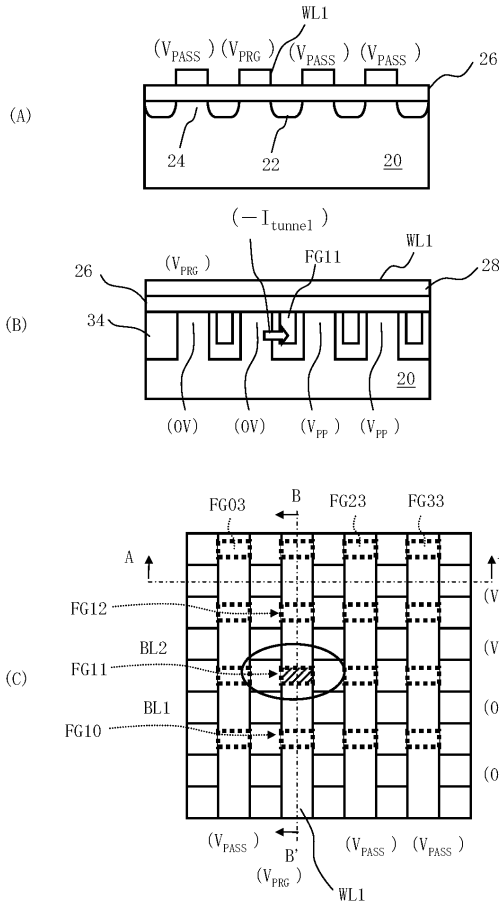
【図1】



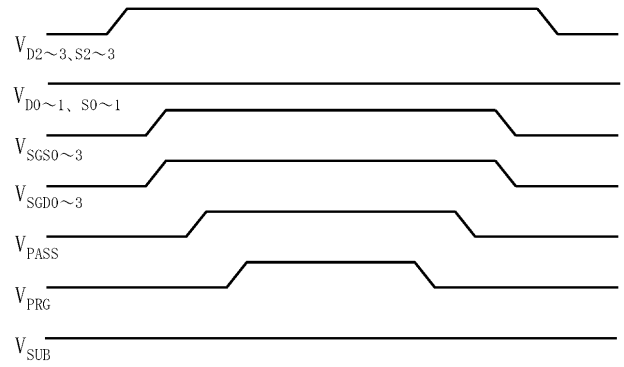
【図2】



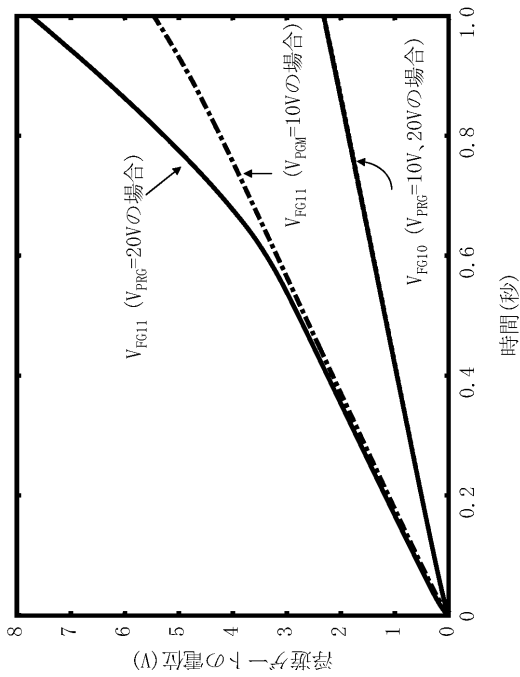
【 図 3 】



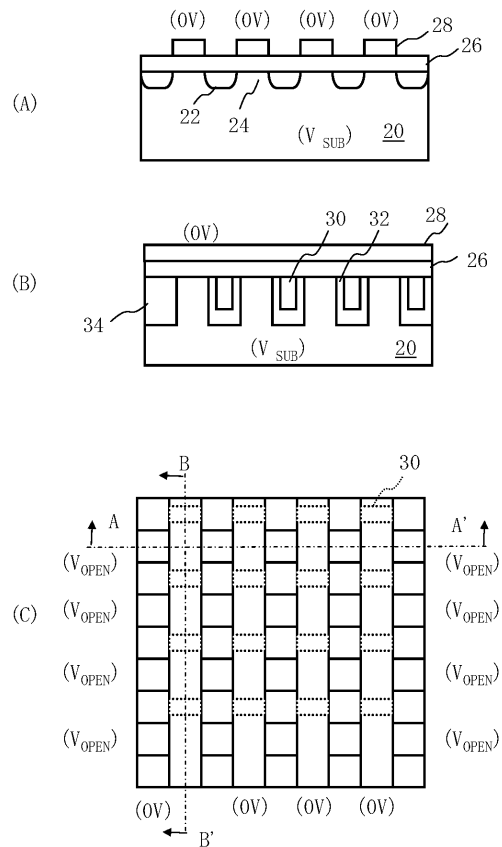
【 図 4 】



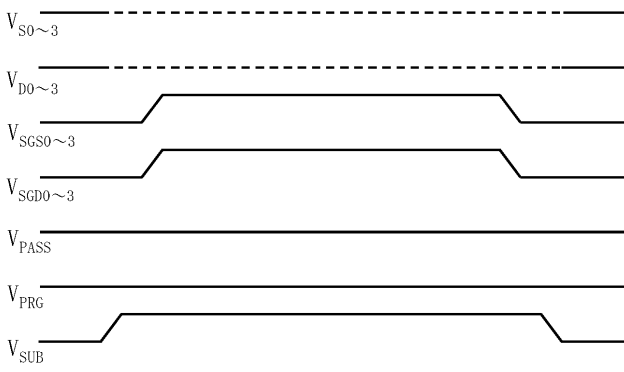
【 図 5 】



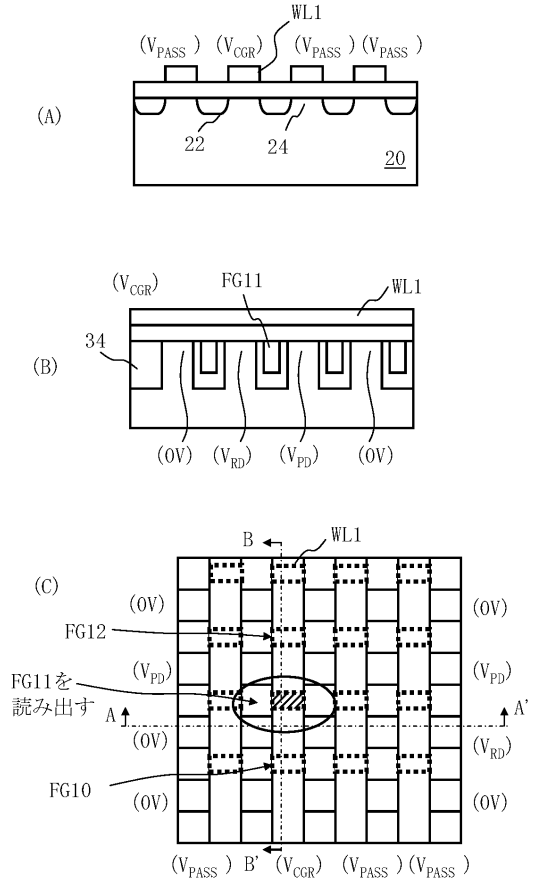
【 図 6 】



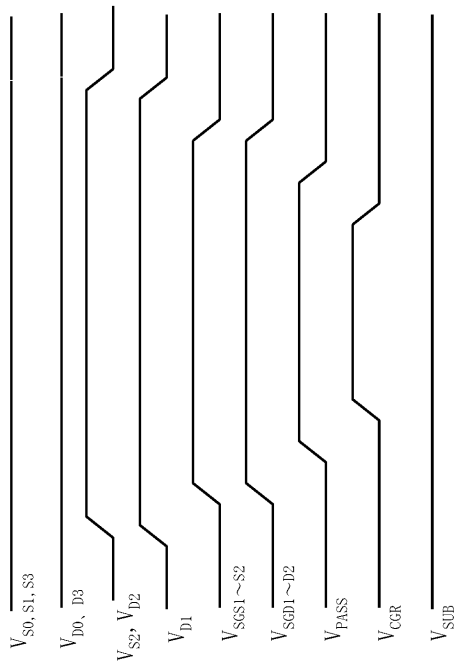
【 図 7 】



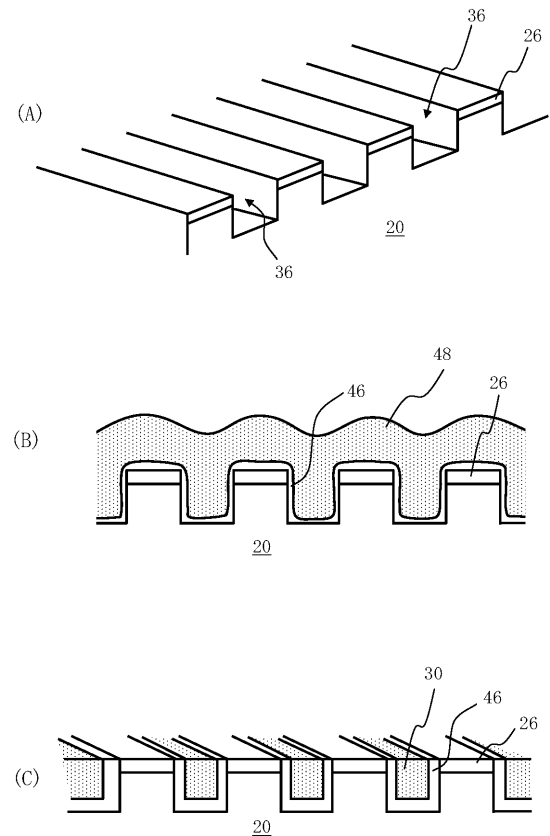
【 図 8 】



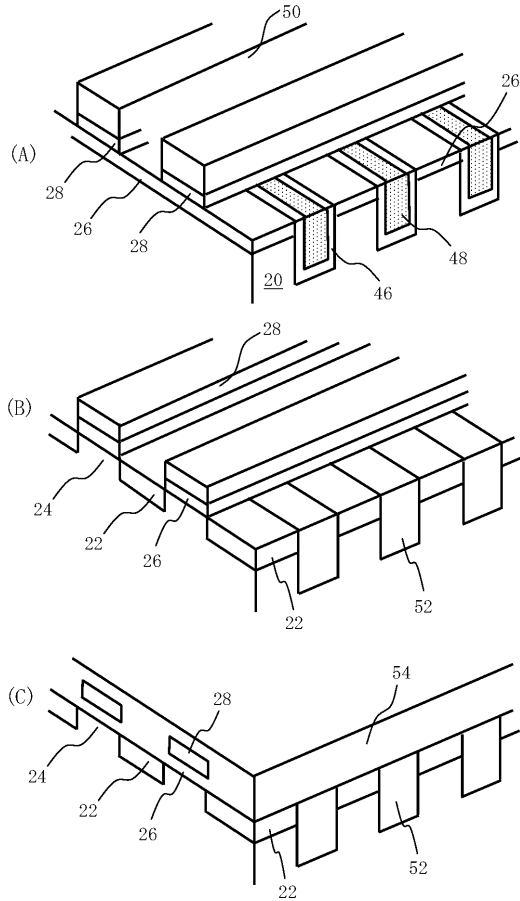
【 図 9 】



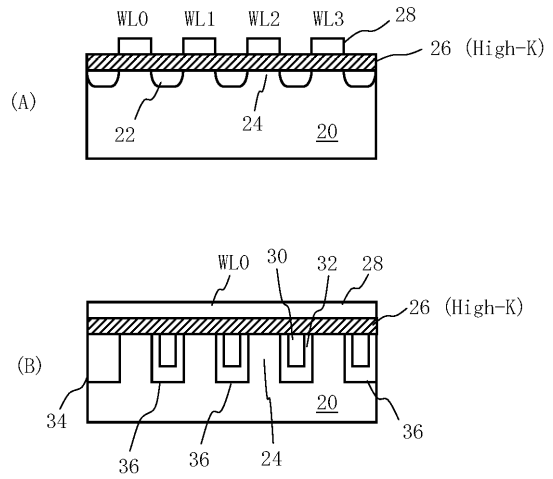
【 図 10 】



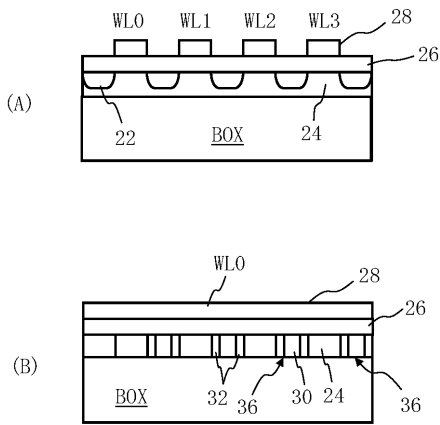
【図 1 1】



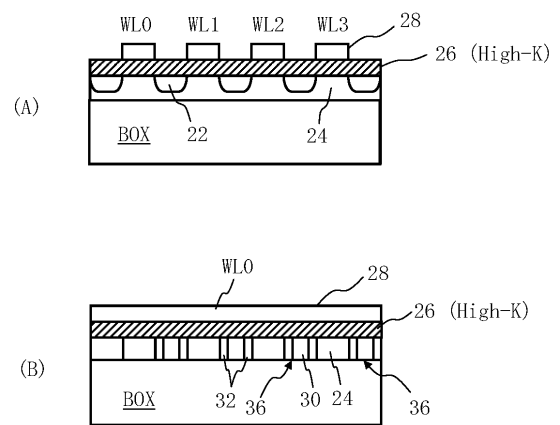
【図 1 2】



【図 1 3】



【図 1 4】



【図 1 5】

