(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3548970号
(P3548970)
(45)発行日　平成16年8月4日(2004.8.4)　(24)登録日　平成16年4月30日(2004.4.30)

(51)Int.Cl.[7]　F I
H03K 19/0175　H03K 19/00　101J
H03K 19/0944　H03K 19/094　A

請求項の数 6　(全 11 頁)

(21)出願番号　特願平7-126846
(22)出願日　平成7年5月25日(1995.5.25)
(65)公開番号　特開平8-321767
(43)公開日　平成8年12月3日(1996.12.3)
審査請求日　平成14年4月26日(2002.4.26)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100085811
弁理士　大日方　富雄
(72)発明者　飯塚　拓夫
東京都小平市上水本町５丁目２２番１号
株式会社日立マイコンシステム内

審査官　彦田　克文

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

出力段のプルアップ駆動側をなすｐチャンネルＭＯＳトランジスタのウェルから電源電位へ向けての通電を遮断するダイオードと、電源電位を越える電圧が出力に逆印加されたときに上記ｐチャンネルＭＯＳトランジスタのドレイン・ゲート間の電圧がしきい値を越えないように制御する電圧バイパス回路と、上記ｐチャンネルＭＯＳトランジスタのゲートと入力回路の間に介在するとともに、出力をイネーブル状態にするイネーブル信号によって直接オン設定されるスイッチ回路とを有するトライステート出力バッファが組み込まれていることを特徴とする半導体集積回路装置。

【請求項２】

電圧バイパス回路は、出力段のプルアップ駆動側をなすｐチャンネルＭＯＳトランジスタのドレインとゲートの間に接続されるとともに、ゲートに一定電圧が与えられて、ドレインに対するゲート電圧が一定以上になるとオン動作するようにしたｐチャンネルＭＯＳトランジスタによって形成されていることを特徴とする請求項１に記載の半導体集積回路装置。

【請求項３】

スイッチ回路は、出力段のプルアップ駆動側をなすｐチャンネルＭＯＳトランジスタのゲートと入力回路との間に互いに並列状態で介在するｎチャンネルＭＯＳトランジスタとｐチャンネルＭＯＳトランジスタによって形成されていることを特徴とする請求項１または２に記載の半導体集積回路装置。

【請求項４】
スイッチ回路は、イネーブル信号によってオン動作させられて入力回路から出力段への信号伝達を行うＭＯＳトランジスタを用いて構成されていることを特徴とする請求項１から３のいずれかに記載の半導体集積回路装置。
【請求項５】
出力段のプルアップ駆動側をなす第１のｐチャンネルＭＯＳトランジスタのウェルの電位が一定電位以上になったときにオン動作して上記ウェルの電位が上記一定電位を越えないように制御するＭＯＳトランジスタを備えたことを特徴とする請求項１から４のいずれかに記載の半導体集積回路装置。
【請求項６】
入力回路からの信号をソースフォロワで出力へ伝達することにより出力段でのプルアップ駆動動作を補助するｎチャンネルＭＯＳトランジスタを備えたことを特徴とする請求項１から５のいずれかに記載の半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体集積回路装置、さらにはトライステート出力バッファが組み込まれた半導体集積回路装置に適用して有効な技術に関するものであって、たとえば３Ｖ系の低電圧電源で動作させられるＣＭＯＳあるいはＢｉ－ＣＭＯＳプロセスの半導体集積回路装置に利用して有効な技術に関するものである。
【０００２】
【従来の技術】
論理用の半導体集積回路装置の分野では、高集積密度化、高速化、低消費電力化のために、標準の＋５Ｖ電源電圧よりも低い＋３．３Ｖ電源電圧で動作する３Ｖ系半導体集積回路装置が提供されている。
【０００３】
この３Ｖ系半導体集積回路装置を標準の５Ｖ系システムのバスラインに接続して使用するためには、５Ｖ振幅のシステム信号が逆印加されても正常に動作することができるトライステート出力バッファを組み込む必要がある（たとえば、日経ＢＰ社刊行「日経マイクロデバイセス」１９９２年１０月号８３～８８ページ参照）。
【０００４】
たとえば、図７に示すＣＭＯＳ型のトライステート出力バッファは３Ｖ系の電源電圧で動作し、入力信号およびイネーブル信号の論理状態に応じて、ｐチャンネルＭＯＳトランジスタＰ１がオンでｎチャンネルＭＯＳトランジスタＮ１がオフのＨ（高レベル）出力状態と、Ｐ１がオフでＮ１がオンのＬ（低レベル）出力状態と、Ｐ１とＮ１が共にオフのハイインピーダンス出力状態の３状態をとる。
【０００５】
しかし、同図に示したトライステート出力バッファでは、出力がハイインピーダンス状態のときに、その出力にバスラインを介して５Ｖ振幅のシステム信号が逆印加されると、Ｐ１のドレインとウェル（バックゲート）１１の間に構造上形成される寄生ダイオードＤＰの順方向を通して、出力から電源電位Ｖｃｃ（＋３．３Ｖ）に対して電流が流れ込んでしまう。さらに、その出力への逆印加電圧が、Ｖｃｃ（＋３．３Ｖ）に対してＰ１のゲートしきい値電圧以上になると、Ｐ１そのものがオン動作させられて、このＰ１を通して出力からＶｃｃ（＋３．３Ｖ）に電流が流れ込んでしまうようになる。
【０００６】
このため、図７に示したごときトライステート出力バッファを有する３Ｖ系半導体集積回路装置は、５Ｖ系システムとの間での信号のやりとりに使うことができない。
【０００７】
そこで、図８または図９に示すようなトライステート出力バッファを有する半導体集積回路装置が開発されている。

【０００８】
図８に示すトライステート出力バッファは出力段１がＣＭＯＳ回路で構成され、その出力段１の電源側ｐチャンネルＭＯＳトランジスタＰ１のウェル１１と電源電位Ｖｃｃの間に、ゲートが出力に接続されたｐチャンネルＭＯＳトランジスタＰ３を介在させることにより、出力をハイインピーダンス状態にしたときに、Ｐ１のウェル１１をＶｃｃから切り離して浮遊（フローティング）させるようにしてある。これにより、出力がハイインピーダンス状態のときに、Ｐ１のドレインとウェル１１の間に構造上形成される寄生ダイオードＤＰを通して出力からＶｃｃに電流が流れ込むことを阻止している。
【０００９】
さらに、Ｐ１のゲート（ｎ３）と入力回路２（ｎ４）の間に、ゲートがＶｃｃに接続されたｎチャンネルＭＯＳトランジスタＮ２と、ゲートが出力に接続されたｐチャンネルＭＯＳトランジスタＰ２を、互いに並列状態で介在させることによって、出力をハイインピーダンス状態にしたときに、Ｐ１のゲート（ｎ３）と入力回路２（ｎ４）の間を遮断させるようにしてある。
【００１０】
これに加えて、ゲートがＶｃｃに接続されたｐチャンネルＭＯＳトランジスタＰ４をＰ１のドレイン（出力）とゲートの間に接続させることにより、出力への逆印加電圧がＶｃｃに対してＰ１のしきい値以上に上昇した場合でも、Ｐ４を先に導通させてＰ１のドレイン・ゲート間を電圧バイパスさせることで、Ｐ１のドレイン・ゲート間の電圧がしきい値を越えないような電圧クランプを行わせ、これによりＰ１のオフ状態を保持させて、出力からＶｃｃへの電流の流れ込みを阻止するようにしてある。
【００１１】
以上のようにして、図８に示したトライステート出力バッファでは、出力がハイインピーダンス状態のときに、寄生ダイオードＤＰおよび電源側ｐチャンネルＭＯＳトランジスタＰ１のいずれの経路についても、出力から電源電位Ｖｃｃへの電流の流れ込みを阻止するようにしてある。
【００１２】
図９に示すトライステート出力バッファは、ショットキー型のｎｐｎバイポーラ・トランジスタＱ１，Ｑ２と、出力のプルアップ駆動を補助するｐチャンネルＭＯＳトランジスタＰ１とによって、出力段１が構成されている（特開平５－２５９８８３号公報参照）。
【００１３】
このトライステート出力バッファでは、ｐチャンネルＭＯＳトランジスタＰ１のウェル１１と電源電位Ｖｃｃの間にショットキー・ダイオードＤ１を介在させることにより、出力がハイインピーダンス状態のときに、出力から電源電位Ｖｃｃに電流が流れ込むのを阻止するようにしている。
【００１４】
これとともに、出力段１のｐチャンネルＭＯＳトランジスタＰ１のゲートをＨまたはＬに駆動する前段ＣＭＯＳ回路１２と電源電位Ｖｃｃの間にショットキー・ダイオードＤ２を直列に介在させることにより、Ｐ１のゲートから電源電位Ｖｃｃへ向けての通電路を遮断し、これに加えて、Ｐ１のゲートと出力の間をｐチャンネルＭＯＳトランジスタＰ２，Ｐ３で接続し、出力がハイインピーダンス状態のときに、その出力にシステム信号による逆印加電圧があっても、Ｐ２，Ｐ３により形成される電圧バイパスにより、Ｐ１のドレイン・ゲート間電圧がしきい値を越えないような電圧クランプを行わせる。これにより、出力への逆印加電圧が、Ｖｃｃに対してＰ１のしきい値以上に上昇した場合でも、Ｐ１のオフ状態を保持させて、出力からＶｃｃへの電流の流れ込みを阻止するようにしてある。
【００１５】
【発明が解決しようとする課題】
しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。
【００１６】

すなわち、図８に示したトライステート出力バッファでは、出力が入力信号に応じてＨまたはＬとなるイネーブル状態において、出力がＨからＬに駆動されるときに、ｐチャンネルＭＯＳトランジスタＰ１のゲート（ｎ３）と入力回路２（ｎ４）の間に介在しているｐチャンネルＭＯＳトランジスタＰ２は、出力がＬになってからでないとオン動作することができない。このため、Ｐ１のゲート電圧の立ち上がりに遅れが生じて、Ｐ１とＮ１が同時にオン状態となるタイミングが生じる。この結果、Ｐ１とＮ１を貫通して流れるリーク電流が増えて、消費電力の増大を招いてしまう、という問題が生じる。

【００１７】

また、出力がハイインピーダンス状態のときに、ｐチャンネルＭＯＳトランジスタＰ１～Ｐ４のウェル１１が浮遊状態になって、その電位が定まらぬために、ラッチアップ等を生じる危険が大きくなる、という問題があった。

【００１８】

さらに、ＭＯＳトランジスタＰ２，Ｐ３は、そのゲートが出力に直接接続されているため、外部からのサージ等によりゲートが静電破壊される危険性が高く、これを防止するためには特別の保護対策が必要になる、という問題もあった。

【００１９】

図９に示したトライステート出力バッファでは、前段ＣＭＯＳ回路１２と電源電位Ｖｃｃの間に直列に介在させたショットキー・ダイオードＤ２の順方向電圧降下により、Ｐ１のゲートにそのＰ１を確実にオフさせるのに十分なＨレベルを与えることができず、これによりＰ１とＱ１を貫通して流れるリーク電流が増えて、消費電力の増大を招いてしまう、という問題が生じる。

【００２０】

また、ｐチャンネルＭＯＳトランジスタＰ１～Ｐ３のウェル１１がショットキー・ダイオードＤ１によって電源電位Ｖｃｃにプルアップされることにより、出力がハイインピーダンス状態のときの浮遊状態は一応回避されるが、出力をＨまたはＬに駆動するイネーブル状態に戻したときに、そのウェル１１の電位を戻す方法がない。出力がハイインピーダンス状態のときのウェル１１には、バスラインから出力に逆印加されるシステム信号電圧（５Ｖ振幅）がｐチャンネルＭＯＳトランジスタのドレイン・ウェル間の寄生ダイオードＤＰを介して印加されるが、この印加電圧によるウェル１１の電位（＋５Ｖ）は、出力がイネーブル状態に戻された後も、ダイオードＤＰ，Ｄ１がそれぞれ逆方向で立ちはだかることによって逃げ場がないために、そのまま残されてしまう。このため、出力をＨにするためにＰ１のゲート（ｎ３）をＬにすると、Ｐ１のウェル１１とゲート（ｎ３）の間に比較的高い電位差（５Ｖ）が生じるが、微細化されたプロセスでは、その電位差（５Ｖ）が素子破壊等の危険を招いてしまう。

【００２１】

本発明の目的は、トライステート出力バッファが組み込まれた半導体集積回路装置にあって、貫通リーク電流を増大させることなく、電源電圧の高いシステムのバスラインに接続しても安全に動作させられるようにする、という技術を提供することにある。

【００２２】

本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【００２３】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００２４】

すなわち、出力段のプルアップ駆動側をなすｐチャンネルＭＯＳトランジスタのウェルから電源電位へ向けての通電を遮断するダイオードと、電源電位を越える電圧が出力に逆印加されたときに上記ｐチャンネルＭＯＳトランジスタのドレイン・ゲート間の電圧がしきい値を越えないように制御する電圧バイパス回路と、上記ｐチャンネルＭＯＳトランジス

タのゲートと入力回路の間に介在するとともに、出力をイネーブル状態にするイネーブル信号によって直接オン設定されるスイッチ回路を設ける、というものである。

【００２５】

【作用】

上述した手段によれば、ハイインピーダンス状態の出力に電源電位を越える電圧が逆印加された場合に、出力段のプルアップ駆動側をなすｐチャンネルＭＯＳトランジスタを介しての電源電位への電流の流れ込みを阻止させることができるとともに、イネーブル状態での上記ｐチャンネルＭＯＳトランジスタのオン／オフを迅速かつ確実に行わせることができる。

【００２６】

これにより、トライステート出力バッファが組み込まれた半導体集積回路装置にあって、貫通リーク電流を増大させることなく、電源電圧の高いシステムのバスラインに接続しても安全に動作させられるようにする、という目的が達成される。

【００２７】

【実施例】

以下、本発明の好適な実施例を図面を参照しながら説明する。

なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【００２８】

図１は本発明の技術が適用された半導体集積回路装置の要部における一実施例を示したものであって、１はＣＭＯＳ型の出力段、１１はウェル、２は入力回路、Ｐ１～Ｐ５はｐチャンネルＭＯＳトランジスタ、Ｎ１～Ｎ３はｎチャンネルＭＯＳトランジスタ、１１はｐチャンネルＭＯＳトランジスタＰ１～Ｐ５のウェル（バックゲート）、ＤＰはｐチャンネルＭＯＳトランジスタのドレインとウェル１１間に構造上形成される寄生ダイオード、Ｄ１はショットキー・ダイオード、Ｖｃｃは３Ｖ系電源電位（＋３．３Ｖ）、Ｇ１はＮＡＮＤゲート、Ｇ２は不定論理入力を有するＯＲゲートである。

【００２９】

また、１３はｐチャンネルＭＯＳトランジスタＰ３によって形成される電圧バイパス回路、１４はｎチャンネルＭＯＳトランジスタＮ２とｐチャンネルＭＯＳトランジスタＰ２によって形成されるスイッチ回路、１５はｎチャンネルＭＯＳトランジスタＮ３とｐチャンネルＭＯＳトランジスタＰ５によって形成される制御回路である。

【００３０】

同図において、出力段１の主要部は、電源電位Ｖｃｃ側から出力をプルアップ駆動するｐチャンネルＭＯＳトランジスタＰ１と、基準電位（０Ｖ）側から出力をプルダウン駆動するｎチャンネルＭＯＳトランジスタＮ１とによって構成されている。

【００３１】

入力回路２はゲートＧ１，Ｇ２により構成され、入力信号とイネーブル信号に応じて、出力段１のＭＯＳトランジスタＰ１，Ｎ１の各ゲートをそれぞれにＨまたはＬに駆動する論理信号を生成する。すなわち、イネーブル信号をＨにすることにより設定されるイネーブル状態では、入力信号がＬの場合にＰ１とＮ２の両ゲートにＨ信号を与えて出力をＬにする一方、入力信号がＨの場合にＰ１とＮ２の両ゲートにＬ信号を与えて出力をＨにする。また。イネーブル信号をＬにして設定されるディスイネーブル状態では、Ｐ１のゲートにＨを与える一方、Ｎ１のゲートにＬを与えることにより、Ｐ１とＮ１を共にオフ状態にし、これにより出力をハイインピーダンス状態にする。

【００３２】

出力段１のプルアップ駆動側ｐチャンネルＭＯＳトランジスタＰ１は、そのウェル１１が他のｐチャンネルＭＯＳトランジスタＰ２～Ｐ５と同電位に接続されているとともに、ショットキー・ダイオードＤ１を介して電源電位Ｖｃｃに接続されている。つまり、ショットキー・ダイオードＤ１は、Ｐ１のウェル１１と電源電位Ｖｃｃの間に介在し、電源電位Ｖｃｃ側からウェル１１をプルアップする一方、出力に電源電位Ｖｃｃを越える電圧が逆印加されたときには、その出力から電源電位Ｖｃｃに電流が流れ込むのを阻止する。

【００３３】
これとともに、出力段１のプルアップ駆動側ｐチャンネルＭＯＳトランジスタＰ１のドレインとゲートの間には、ｐチャンネルＭＯＳトランジスタＰ３が接続されている。このＰ３は、そのゲートに一定電位Ｖｇが与えられていて、出力への逆印加電圧が電源電位Ｖｃｃよりも高くなった場合に、Ｐ１よりも先にオン動作して電圧バイパスを行うことにより、Ｐ１のドレイン・ゲート間電圧がそのＰ１のゲートしきい値電圧以上とならないような一種の電圧クランプ制御を行う。つまり、Ｐ３は、電源電位Ｖｃｃを越える電圧が出力に逆印加されたときにＰ１のドレイン・ゲート間の電圧がしきい値を越えないように制御する電圧バイパス回路を形成する。これにより、Ｖｃｃを大きく越える電圧が出力に逆印加されても、Ｐ１を通しての電流の流れ込みを阻止することができる。

【００３４】
上記一定電位Ｖｇは、電源電位Ｖｃｃ（＋３．３Ｖ）からｐチャンネルＭＯトランジスタのゲートしきい値Ｖｔｈ（ｐ）を差し引いた電圧（Ｖｃｃ－Ｖｔｈ（ｐ））よりも高く設定され、Ｐ３，Ｐ４，Ｐ５の各ゲートに同じく与えられている。この一定電位Ｖｇには電源電位Ｖｃｃ（＋３．３Ｖ）をそのまま使用してもよい。

【００３５】
ｐチャンネルＭＯＳトランジスタＰ４は、ソース側がウェル１１に接続され、ドレイン側が出力に接続され、ゲートが一定電位Ｖｇに接続されて、ウェル１１の電位がＶｇ＋Ｖｔｈ（ｐ）以上になるとオン動作させられるようになっている。これにより、ウェル１１の電位はＶｇ＋Ｖｔｈ（ｐ）を越えないようにクランプ制御されて、ウェル１１が高電位になることによる素子破壊の危険が回避される。

【００３６】
ｎチャンネルＭＯＳトランジスタＮ２とｐチャンネルＭＯＳトランジスタＰ２はそれぞれ、出力段１のプルダウン駆動側ｐチャンネルＭＯＳトランジスタＰ１のゲート（ｎ３）と入力回路２（ｎ４）の間に介在する一種のスイッチ回路１４を形成するが、このスイッチ回路１４は、ディスイネーブル状態のときに、Ｐ１のゲート（ｎ３）を入力回路２（ｎ４）から遮断し、出力への逆印加電圧を入力回路２側に印加させないように動作する。

【００３７】
ｎチャンネルＭＯＳトランジスタＮ３とｐチャンネルＭＯＳトランジスタＰ５は、上記スイッチ回路１４をイネーブル信号によって直接オン設定する制御回路１５を形成する。Ｐ５はＮ３のドレイン負荷として作用し、Ｎ３はイネーブル信号がＨとなることにより設定されるイネーブル状態でオン動作してＰ２のゲートをＬに立ち下げる。

【００３８】
これにより、Ｐ２は、イネーブル状態のときに、入力回路２からのＨ信号をＰ１のゲートに伝達するパス状態となる。したがって、プルアップ駆動側ｐチャンネルＭＯＳトランジスタＰ１は、出力がＬになるのを待つことなく（図８参照）、入力回路２からのＨ信を受けて直ちにオンからオフの状態に切り替わることができる。この結果、Ｐ１とＮ１が同時にオンとなることによる貫通リーク電流が回避されるようになる。

【００３９】
以上のようにして、ハイインピーダンス状態の出力に、電源電位Ｖｃｃを越える電圧が逆印加された場合に、出力段１のプルアップ駆動側をなすｐチャンネルＭＯＳトランジスタＰ１を介しての電源電位Ｖｃｃへの電流の流れ込みを阻止させることができるとともに、イネーブル状態における上記ｐチャンネルＭＯＳトランジスタＰ１のオン／オフを迅速かつ確実に行わせることができる。

【００４０】
また、Ｐ１のウェル１１は、ダイオードＤ１またはＭＯＳトランジスタＰ４を介して電源電位Ｖｃｃまたは出力に接続されるため、ラッチアップの危険を伴う浮遊（フローティング）状態になることを免れている。

【００４１】
さらに、各ＭＯＳトランジスタＰ１～Ｐ５，Ｎ１～Ｎ３は、いずれのゲートも出力には直

接接続されていないので、外部からのサージ等による静電破壊の危険がなく、したがって特別な保護対策は不要である。

【００４２】

このようにして、貫通リーク電流を増大させることなく、またラッチアップや静電破壊の危険を伴うことなく、電源電圧の高いシステムのバスラインに接続しても安全に動作するトライステート出力バッファが得られる。

【００４３】

図２は、上述してきたトライステート出力バッファの各部（出力およびｎ１～ｎ６）での電圧を状態別に示した波形チャートである。同図において、Ｖｃｃは電源電圧（＋３．３Ｖ）、Ｖｏｕｔはトライステート出力バッファのH出力電圧（約＋３．３Ｖ）、Ｖｘは５Ｖ系システムから出力へ逆印加される電圧、Ｖｙは３Ｖ系システムから出力へ逆印加される電圧（約＋３．３Ｖ）、Ｖｔｈ（ｐ）はｐチャンネルＭＯＳトランジスタのしきい値電圧、Ｖｆ（Ｄ１）はショットキー・ダイオードＤ１の順方向電圧である。ここで、注目すべきことは、上述したトライステート出力バッファでは、電源を遮断して電源電位Ｖｃｃが０Ｖとなった状態でも、出力がハイインピーダンス状態の場合と同様の動作により、出力への逆印加電圧による電流の流れ込みが防止されることである。これにより、電源を遮断してシステム全体の消費電力を低減させるという使い方も可能になっている。

【００４４】

図３は本発明の第２の実施例を示したものであって、図１に示した実施例との相違点について説明すると、この第２の実施例では、ｐチャンネルＭＯＳトランジスタＰ３，Ｐ４，Ｐ５のゲートに与えられる一定電位Ｖｇを、ショットキー・ダイオードＤ３１と抵抗Ｒ３１によって生成している。これにより、その一定電位Ｖｇは、電源電位Ｖｃｃ（＋３．３Ｖ）よりもショットキー・ダイオードＤ３１の順方向電圧分だけ低い値に設定される。

【００４５】

図４は本発明の第３の実施例を示したものであって、この第３の実施例では、ｐチャンネルＭＯＳトランジスタＰ３，Ｐ４，Ｐ５のゲートに与えられる一定電位Ｖｇを、ｐチャンネルＭＯＳトランジスタＰ４１と抵抗Ｒ４１によって生成している。

【００４６】

図５は本発明の第４の実施例を示したものであって、この第４の実施例では、インバータ５１と、ウェルが基準電位（０Ｖ）に接続されたｎチャンネルＭＯＳトランジスタＮ５１によって、出力のプルアップ駆動を補助させるようにしてある。Ｎ５は、入力回路２からの信号をソースフォロワで出力へ伝達することにより、出力段１でのプルアップ駆動動作を補助する。この場合、そのｎチャンネルＭＯＳトランジスタＮ５１に構造上形成される寄生ダイオードは、出力に対しても電源電位Ｖｃｃに対しても共に逆方向となるため、出力への逆印加電圧が流れ込む心配はない。

【００４７】

図６は本発明の第４の実施例を示したものであって、この第５の実施例では、インバータ６１とｎｐｎ型ショットキー・トランジスタＱ６１によって出力のプルアップ駆動を補助させるようにしてある。Ｑ６１は、入力回路２からの信号をエミッタフォロワで出力へ伝達することにより、出力段１でのプルアップ駆動動作を補助する。この場合も、そのｎｐｎ型ショットキー・トランジスタＱ６１に構造上形成されるダイオードは、出力に対しても電源電位Ｖｃｃに対しても共に逆方向となるため、出力への逆印加電圧が流れ込む心配はない。

【００４８】

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、出力段１のブルダウン駆動側をなすｎチャンネルＭＯＳトランジスタＮ１はバイポーラ・トランジスタであってもよい。

【００４９】

以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野で

ある論理用の半導体集積回路装置に適用した場合について説明したが、それに限定されるものではなく、たとえばアナログ・デジタル混在型の半導体集積回路装置にも適用できる。

【００５０】

【発明の効果】

本願において開示される発明のうち、代表的なものの効果を簡単に説明すれば、下記のとおりである。

【００５１】

すなわち、トライステート出力バッファが組み込まれた半導体集積回路装置にあって、貫通リーク電流を増大させることなく、電源電圧の高いシステムのバスラインに接続しても安全に動作させることができる、という効果が得られる。

【図面の簡単な説明】

【図１】本発明の技術が適用された半導体集積回路装置の第１の実施例の要部を示す回路図

【図２】図１に示した回路の各部における電圧を状態別に示す波形チャート

【図３】本発明の第２の実施例の要部を示す回路図

【図４】本発明の第３の実施例の要部を示す回路図

【図５】本発明の第４の実施例の要部を示す回路図

【図６】本発明の第５の実施例の要部を示す回路図

【図７】従来のトライステート出力バッファの第１の構成例を示す回路図

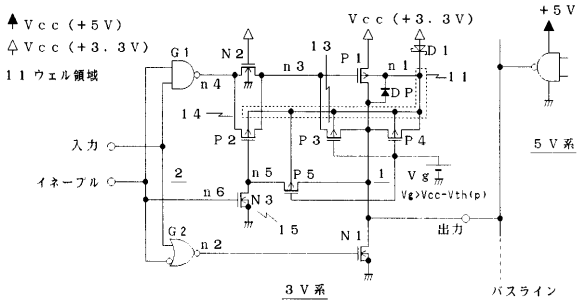
【図８】従来のトライステート出力バッファの第２の構成例を示す回路図

【図９】従来のトライステート出力バッファの第３の構成例を示す回路図

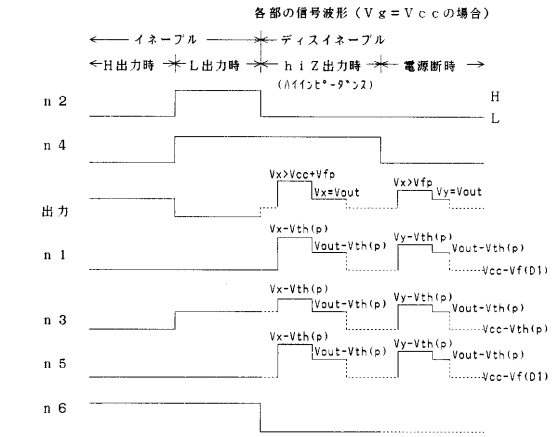
【符号の説明】

１　ＣＭＯＳ型の出力段
１１　ウェル
２　入力回路
Ｐ１～Ｐ５　ｐチャンネルＭＯＳトランジスタ
Ｎ１～Ｎ３　ｎチャンネルＭＯＳトランジスタ
１１　ウェル（バックゲート）
ＤＰ　寄生ダイオード
Ｄ１　ショットキー・ダイオード
Ｖｃｃ　３Ｖ系電源電位（＋３．３Ｖ）
Ｇ１　ＮＡＮＤゲート
Ｇ２　ＯＲゲート
１３　電圧バイパス回路
１４　スイッチ回路
１５　制御回路
４１，５１　インバータ
Ｎ４１　ｎチャンネルＭＯＳトランジスタ
Ｑ５１　ｎｐｎバイポーラ・トランジスタ

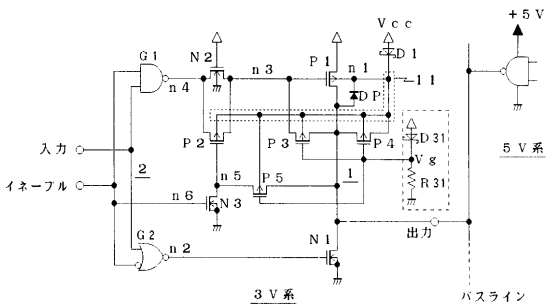
【図１】



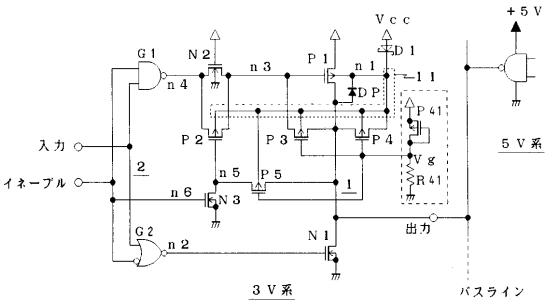
【図２】



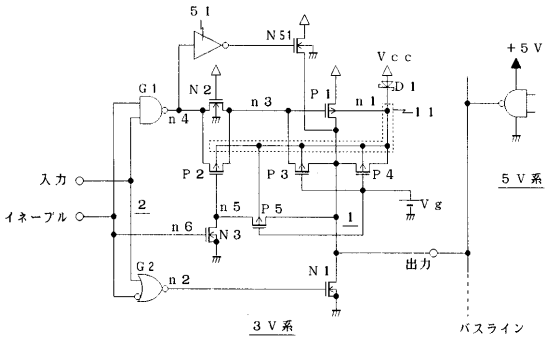
【図３】



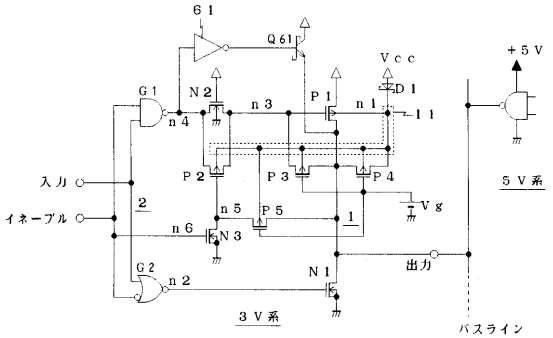
【図４】



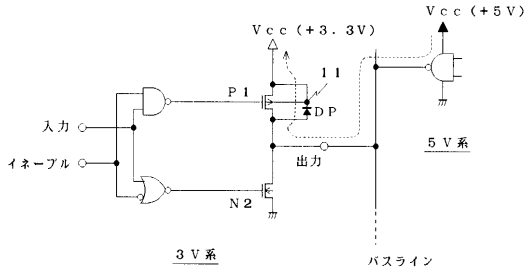
【図５】



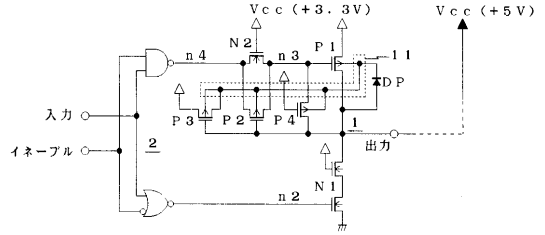
【図６】



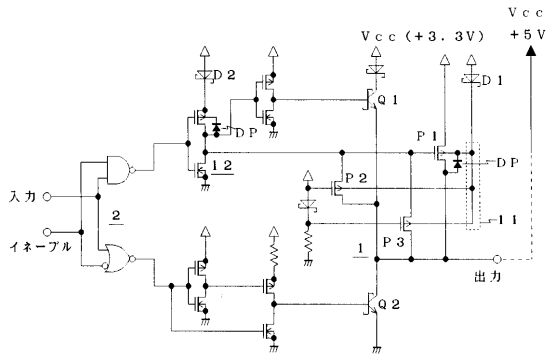
【図７】



【図８】



【図９】



フロントページの続き

(56)参考文献 特開平０４－３２９０２４（ＪＰ，Ａ）
特開平０５－０９５２７５（ＪＰ，Ａ）
特開平０７－０６６７１０（ＪＰ，Ａ）
特開平０７－０８６９１０（ＪＰ，Ａ）
特開平０８－２３７１０２（ＪＰ，Ａ）
特開平０８－２５１００４（ＪＰ，Ａ）