(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7313609号
(P7313609)

(45)発行日　令和5年7月25日(2023.7.25)

(24)登録日　令和5年7月14日(2023.7.14)

(51)国際特許分類

		FI		
H01L 29/872 (2006.01)		H01L	29/86	301F
H01L 21/329 (2006.01)		H01L	29/86	301P
H01L 21/365 (2006.01)		H01L	29/86	301M
H01L 29/47 (2006.01)		H01L	29/86	301D
		H01L	21/365	

請求項の数　15　（全21頁）　最終頁に続く

(21)出願番号　特願2019-529115(P2019-529115)
(86)(22)出願日　平成30年7月6日(2018.7.6)
(86)国際出願番号　PCT/JP2018/025767
(87)国際公開番号　WO2019/013136
(87)国際公開日　平成31年1月17日(2019.1.17)
審査請求日　令和3年7月5日(2021.7.5)
(31)優先権主張番号　特願2017-134243(P2017-134243)
(32)優先日　平成29年7月8日(2017.7.8)
(33)優先権主張国・地域又は機関
日本国(JP)
前置審査

(73)特許権者　511187214
株式会社ＦＬＯＳＦＩＡ
京都府京都市西京区御陵大原１番２９号
(72)発明者　杉本 雅裕
京都府京都市西京区御陵大原１番３６号
京大桂ベンチャープラザ北館 株式会社
ＦＬＯＳＦＩＡ内
(72)発明者　▲高▼橋 勲
京都府京都市西京区御陵大原１番３６号
京大桂ベンチャープラザ北館 株式会社
ＦＬＯＳＦＩＡ内
(72)発明者　神原 仁志
京都府京都市西京区御陵大原１番３６号
京大桂ベンチャープラザ北館 株式会社
ＦＬＯＳＦＩＡ内
最終頁に続く

(54)【発明の名称】　半導体装置

(57)【特許請求の範囲】

【請求項１】

半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置であって、前記半導体領域が、結晶性酸化物半導体を主成分として含み、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極または前記半導体領域とのバリアハイトが大きくなるバリアハイト調整領域が設けられており、前記バリアハイト調整領域が前記半導体領域の表面に複数設けられており、前記バリアハイト調整領域が、コランダム構造を有するｐ型酸化物半導体を主成分とすることを特徴とする半導体装置。

【請求項２】

半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置であって、前記半導体領域が、結晶性酸化物半導体を主成分として含み、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極または前記半導体領域とのバリアハイトが大きくなるバリアハイト調整領域が設けられており、前記バリアハイト調整領域が前記半導体領域の表面に複数設けられており、前記バリアハイト調整領域が金属であることを特徴とする半導体装置。

【請求項３】

前記バリアハイト調整領域が半導体領域に複数埋め込まれている請求項１又は２に記載の半導体装置。

【請求項４】
前記バリア電極の両端と前記半導体領域との間に、前記バリアハイト調整領域がそれぞれ設けられている請求項１記載の半導体装置。
【請求項５】
前記バリアハイト調整領域が前記バリア電極内に突出している請求項１記載の半導体装置。
【請求項６】
前記バリア電極の外周辺部にガードリングが設けられている請求項１記載の半導体装置。
【請求項７】
前記ガードリングの一部または全部が前記半導体領域の表面に埋め込まれている請求項６記載の半導体装置。
【請求項８】
前記バリア電極と前記バリアハイト調整領域との界面におけるバリアハイトが、１ｅＶ以上である請求項１記載の半導体装置。
【請求項９】
前記バリア電極の電極材料が金属である請求項１記載の半導体装置。
【請求項１０】
前記半導体領域が、ガリウム化合物を主成分として含む請求項１記載の半導体装置。
【請求項１１】
前記半導体領域が、α－Ga_2O_3またはその混晶を主成分として含む請求項１記載の半導体装置。
【請求項１２】
ダイオードである請求項１記載の半導体装置。
【請求項１３】
ジャンクションバリアショットキーダイオードである請求項１記載の半導体装置。
【請求項１４】
パワーデバイスである請求項１記載の半導体装置。
【請求項１５】
半導体装置を備える半導体システムであって、前記半導体装置が、請求項１～１４のいずれかに記載の半導体装置である半導体システム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、パワーデバイス等として有用な半導体装置およびそれを備える半導体システムに関する。
【背景技術】
【０００２】
従来、半導体基板上にショットキーバリア電極が設けられている半導体装置が知られており、逆方向耐圧を大きくし、さらに順方向立ち上がり電圧を小さくすること等を目的に、ショットキーバリア電極について種々検討されている。
特許文献１には、半導体上の中央部に、バリアハイトが小さくなる金属を配置し、半導体上の周辺部に、バリアハイトが大きくなる金属と半導体とのショットキーコンタクトを形成して、逆方向耐圧を大きくし、さらに順方向立ち上がり電圧を小さくすることが記載されている。
【０００３】
また、ショットキー電極とオーミック電極との組合せについても検討がなされており、例えば特許文献２には、同種金属で構成されるショットキー電極とオーミック電極とが基板上に形成されたワイドバンドギャップ半導体装置が記載されており、このような構成とすることにより、サージ電流などの高い電流が順方向に流れる場合における熱破壊耐性を向上させることができる旨記載されている。しかしながら、ショットキー接合とオーミッ

ク接合との各界面の密着性や各接合同士の密着性に課題があったり、また、電極材料も制限する必要があったり、またさらに、温度によって、バリアハイトが変化する問題等があったりして、必ずしも満足のいくものではなかった。そのため、立ち上がり電圧が低く、温度安定性にも優れた半導体装置が待ち望まれていた。

【０００４】

なお、特許文献３には、短絡部を介して、導電型のガードリングと、ショットキー電極と接合されている主接合部とを接続した半導体装置が記載されており、このような半導体装置が電界集中を緩和し、耐圧向上に寄与する旨記載されている。しかしながら、ガードリングを多数設置しても、主接合部と短絡させてしまっているため、耐圧が逆に悪化するなどの問題があった。

【先行技術文献】

【特許文献】

【０００５】

【文献】特開昭５２－１０１９７０号公報
特開２０１４－７８６６０号公報
特開２０１４－１０７４０８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

本発明は、ショットキー特性および半導体特性に優れた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００７】

本発明者らは、上記目的を達成すべく鋭意検討した結果、半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置において、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極とのバリアハイトが大きくなるバリアハイト調整領域を、前記半導体領域表面に複数埋め込むことにより、立ち上がり電圧を低くし、温度安定性を優れたものにでき、さらに耐圧をより優れたものにできることを知見し、このような半導体装置が、上記した従来の問題を一挙に解決できるものであることを見出した。

また、本発明者らは、上記知見を得た後、さらに検討を重ねて本発明を完成させるに至った。

【０００８】

すなわち、本発明は、以下の発明に関する。

［１］　半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置であって、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極とのバリアハイトが大きくなるバリアハイト調整領域が設けられており、前記バリアハイト調整領域が前記半導体領域表面に複数設けられていることを特徴とする半導体装置。

［２］　半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置であって、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極とのバリアハイトが大きくなるバリアハイト調整領域が設けられており、前記バリアハイト調整領域が前記半導体領域表面に複数埋め込まれていることを特徴とする半導体装置。

［３］　前記バリア電極の両端と前記半導体領域との間に、前記バリアハイト調整領域がそれぞれ設けられている前記［１］記載の半導体装置。

［４］　前記バリアハイト調整領域が前記バリア電極内に突出している前記［１］記載の半導体装置。

［５］　前記バリア電極の外周辺部にガードリングが設けられている前記［１］記載の半導体装置。

［６］　前記ガードリングの一部または全部が前記半導体領域表面に埋め込まれている前記［５］記載の半導体装置。
［７］　前記バリア電極と前記バリアハイト調整領域との界面におけるバリアハイトが、１ｅＶ以上である前記［１］記載の半導体装置。
［８］　前記バリア電極の電極材料が金属である前記［１］記載の半導体装置。
［９］　前記半導体領域が、結晶性酸化物半導体を主成分として含む前記［１］記載の半導体装置。
［１０］　前記半導体領域が、ガリウム化合物を主成分として含む前記［１］記載の半導体装置。
［１１］　前記半導体領域が、α－Ga_2O_3またはその混晶を主成分として含む前記［１］記載の半導体装置。
［１２］　前記バリアハイト調整領域が、ｐ型酸化物半導体を主成分として含む前記［１］または［２］に記載の半導体装置。
［１３］　前記バリアハイト調整領域が、コランダム構造または六方晶構造を有するｐ型酸化物半導体を主成分として含む前記［１］または［２］に記載の半導体装置。
［１４］　ダイオードである前記［１］記載の半導体装置。
［１５］　ジャンクションバリアショットキーダイオードである前記［１］記載の半導体装置。
［１６］　パワーデバイスである前記［１］記載の半導体装置。
［１７］　半導体装置を備える半導体システムであって、前記半導体装置が、前記［１］～［１６］のいずれかに記載の半導体装置である半導体システム。

【発明の効果】

【０００９】

本発明の半導体装置は、ショットキー特性および半導体特性に優れている。

【図面の簡単な説明】

【００１０】

【図１】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図２】図１のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な製造方法を説明する図である。
【図３】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図４】図３のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な製造方法を説明する図である。
【図５】図３のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な製造方法を説明する図である。
【図６】電源システムの好適な一例を模式的に示す図である。
【図７】システム装置の好適な一例を模式的に示す図である。
【図８】電源装置の電源回路図の好適な一例を模式的に示す図である。
【図９】参考例において用いられた成膜装置（ミストＣＶＤ装置）の概略構成図である。
【図１０】参考例におけるＩＶ測定結果を示す図であり、（ａ）が順方向測定結果を示し、（ｂ）が逆方向測定結果を示す。
【図１１】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図１２】図１１のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な製造方法を説明する図である。
【図１３】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図１４】図１３のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な製造方法を説明する図である。

【図１５】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図１６】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図１７】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【図１８】本発明のジャンクションバリアショットキーダイオード（ＪＢＳ）の好適な一態様を模式的に示す図である。
【発明を実施するための形態】
【００１１】
本発明の半導体装置は、半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置であって、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極とのバリアハイトが大きくなるバリアハイト調整領域が設けられており、前記バリアハイト調整領域が前記半導体領域表面に複数設けられていることを特長とする。
また、本発明の半導体装置は、半導体領域と、該半導体領域上に設けられているバリア電極とを少なくとも備えている半導体装置であって、前記半導体領域と前記バリア電極との間に、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極とのバリアハイトが大きくなるバリアハイト調整領域が設けられており、前記バリアハイト調整領域が前記半導体領域表面に複数埋め込まれていることを特長とする。
なお、本発明においては、前記バリアハイト調整領域が前記バリア電極内に突出しているのも好ましく、前記バリアハイト調整領域が前記半導体領域表面に埋め込まれており、かつバリア電極内に突出しているのがより好ましい。上記好ましい態様によれば、より電界集中を抑制し、また、よりコンタクト抵抗を下げることができる。
【００１２】
前記バリア電極は、前記半導体領域との界面に所定のバリアハイトを有するショットキーバリアを形成するものであれば特に限定されない。前記バリア電極の電極材料は、バリア電極として用いることができるものであれば特に限定されず、導電性無機材料であってもよいし、導電性有機材料であってもよい。本発明においては、前記電極材料が金属であるのが好ましい。前記金属としては、特に限定されないが、好適には例えば、周期律表第４族～第１１族から選ばれる少なくとも１種の金属などが挙げられる。周期律表第４族の金属としては、例えば、チタン（Ｔｉ）、ジルコニウム（Ｚｒ）、ハフニウム（Ｈｆ）などが挙げられるが、中でもＴｉが好ましい。周期律表第５族の金属としては、例えば、バナジウム（Ｖ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）などが挙げられる。周期律表第６族の金属としては、例えば、クロム（Ｃｒ）、モリブデン（Ｍｏ）およびタングステン（Ｗ）等から選ばれる１種または２種以上の金属などが挙げられるが、本発明においては、よりスイッチング特性等の半導体特性がより良好なものとなるのでＣｒが好ましい。周期律表第７族の金属としては、例えば、マンガン（Ｍｎ）、テクネチウム（Ｔｃ）、レニウム（Ｒｅ）などが挙げられる。周期律表第８族の金属としては、例えば、鉄（Ｆｅ）、ルテニウム（Ｒｕ）、オスミウム（Ｏｓ）などが挙げられる。周期律表第９族の金属としては、例えば、コバルト（Ｃｏ）、ロジウム（Ｒｈ）、イリジウム（Ｉｒ）などが挙げられる。周期律表第１０族の金属としては、例えば、ニッケル（Ｎｉ）、パラジウム（Ｐｄ）、白金（Ｐｔ）などが挙げられるが、中でもＰｔが好ましい。周期律表第１１族の金属としては、例えば、銅（Ｃｕ）、銀（Ａｇ）、金（Ａｕ）などが挙げられる。前記バリア電極の形成手段としては、例えば公知の手段などが挙げられ、より具体的には例えば、ドライ法やウェット法などが挙げられる。ドライ法としては、例えば、スパッタ、真空蒸着、ＣＶＤ等の公知の手段が挙げられる。ウェット法としては、例えば、スクリーン印刷やダイコート等が挙げられる。
【００１３】
前記半導体領域は、半導体を主成分とするものであれば特に限定されないが、本発明に

おいては、前記半導体領域が結晶性酸化物半導体を主成分として含むのが好ましく、ｎ型半導体を主成分として含むｎ型半導体領域であるのがより好ましい。前記結晶性酸化物半導体は、βガリア構造またはコランダム構造を有するのが好ましく、コランダム構造を有するのがより好ましい。また、前記半導体領域は、ガリウム化合物を主成分として含むのも好ましく、ＩｎＡｌＧａＯ系半導体を主成分とするのがより好ましく、α－Ga_2O_3またはその混晶を主成分として含むのが最も好ましい。なお、「主成分」とは、例えば結晶性酸化物半導体がα－Ga_2O_3である場合、前記半導体領域中の金属元素中のガリウムの原子比が０．５以上の割合でα－Ga_2O_3が含まれていればそれでよい。本発明においては、前記半導体領域中の金属元素中のガリウムの原子比が０．７以上であることが好ましく、０．８以上であるのがより好ましい。また、前記半導体領域は、通常、単相領域であるが、本発明の目的を阻害しない限り、さらに異なる半導体相からなる第２の半導体領域やその他の相などを有していてもよい。また、前記半導体領域は通常膜状であり、半導体膜であってよい。前記半導体領域の半導体膜の厚さは、特に限定されず、１μｍ以下であってもよいし、１μｍ以上であってもよいが、本発明においては、１μｍ～４０μｍであるのが好ましく、１μｍ～２５μｍであるのがより好ましい。前記半導体膜の表面積は特に限定されないが、１mm^2以上であってもよいし、１mm^2以下であってもよい。なお、前記結晶性酸化物半導体は、通常、単結晶であるが、多結晶であってもよい。また、前記半導体膜は、単層膜であってもよいし、多層膜であってもよい。前記半導体膜が多層膜である場合には、前記多層膜が、膜厚４０μｍ以下であるのが好ましく、また、少なくとも第１の半導体層と第２の半導体層とを含む多層膜であって、第１の半導体層上にショットキー電極が設けられる場合には、第１の半導体層のキャリア濃度が、第２の半導体層のキャリア濃度よりも小さい多層膜であるのも好ましい。なお、この場合、第２の半導体層には、通常、ドーパントが含まれており、前記半導体層のキャリア濃度は、ドーピング量を調節することにより、適宜設定することができる。

【００１４】

前記半導体膜は、ドーパントが含まれているのが好ましい。前記ドーパントは、特に限定されず、公知のものであってよい。前記ドーパントとしては、例えば、スズ、ゲルマニウム、ケイ素、チタン、ジルコニウム、バナジウムまたはニオブ等のｎ型ドーパント、またはｐ型ドーパントなどが挙げられる。本発明においては、前記ドーパントが、Ｓｎ、ＧｅまたはＳｉであるのが好ましい。ドーパントの含有量は、前記半導体膜の組成中、０．０００００１原子％以上であるのが好ましく、０．０００００１原子％～２０原子％であるのがより好ましく、０．０００００１原子％～１０原子％であるのが最も好ましい。なお、本発明においては、第１の半導体層に用いられるドーパントがゲルマニウム、ケイ素、チタン、ジルコニウム、バナジウムまたはニオブであり、第２の半導体層に用いられるドーパントがスズであるのが、密着性を損なうことなく、半導体特性がさらに一段と良好となるので好ましい。

【００１５】

前記半導体膜は、例えば、ミストＣＶＤ法等の手段を用いて形成され、より具体的に例えば、原料溶液を霧化または液滴化し（霧化・液滴化工程）、得られたミストまたは液滴をキャリアガスでもって基体上まで搬送し（搬送工程）、ついで、成膜室内で前記ミストまたは液滴を熱反応させることによって、基体上に結晶性酸化物半導体を主成分として含む半導体膜を積層する（成膜工程）ことにより好適に形成される。

【００１６】

（霧化・液滴化工程）

霧化・液滴化工程は、前記原料溶液を霧化または液滴化する。前記原料溶液の霧化手段または液滴化手段は、前記原料溶液を霧化または液滴化できさえすれば特に限定されず、公知の手段であってよいが、本発明においては、超音波を用いる霧化手段または液滴化手段が好ましい。超音波を用いて得られたミストまたは液滴は、初速度がゼロであり、空中に浮遊するので好ましく、例えば、スプレーのように吹き付けるのではなく、空間に浮遊してガスとして搬送することが可能なミストであるので衝突エネルギーによる損傷がない

ため、非常に好適である。液滴サイズは、特に限定されず、数mm程度の液滴であってもよいが、好ましくは５０μｍ以下であり、より好ましくは１００ｎｍ～１０μｍである。

【００１７】

（原料溶液）

前記原料溶液は、霧化または液滴化が可能であり、半導体領域を形成可能な原料を含んでいれば特に限定されず、無機材料であっても、有機材料であってもよいが、本発明においては、前記原料が、金属または金属化合物であるのが好ましく、ガリウム、鉄、インジウム、アルミニウム、バナジウム、チタン、クロム、ロジウム、ニッケル、コバルト、亜鉛、マグネシウム、カルシウム、シリコン、イットリウム、ストロンチウムおよびバリウムから選ばれる１種または２種以上の金属を含むのがより好ましい。

【００１８】

本発明においては、前記原料溶液として、前記金属を錯体または塩の形態で有機溶媒または水に溶解または分散させたものを好適に用いることができる。錯体の形態としては、例えば、アセチルアセトナート錯体、カルボニル錯体、アンミン錯体、ヒドリド錯体などが挙げられる。塩の形態としては、例えば、有機金属塩（例えば金属酢酸塩、金属シュウ酸塩、金属クエン酸塩等）、硫化金属塩、硝化金属塩、リン酸化金属塩、ハロゲン化金属塩（例えば塩化金属塩、臭化金属塩、ヨウ化金属塩等）などが挙げられる。

【００１９】

また、前記原料溶液には、ハロゲン化水素酸や酸化剤等の添加剤を混合するのが好ましい。前記ハロゲン化水素酸としては、例えば、臭化水素酸、塩酸、ヨウ化水素酸などが挙げられるが、中でも、より良質な膜が得られるとの理由から、臭化水素酸またはヨウ化水素酸が好ましい。前記酸化剤としては、例えば、過酸化水素（H_2O_2）、過酸化ナトリウム（Na_2O_2）、過酸化バリウム（BaO_2）、過酸化ベンゾイル（$(C_6H_5CO)_2O_2$等の過酸化物、次亜塩素酸（ＨＣｌＯ）、過塩素酸、硝酸、オゾン水、過酢酸やニトロベンゼン等の有機過酸化物などが挙げられる。

【００２０】

前記原料溶液には、ドーパントが含まれていてもよい。原料溶液にドーパントを含ませることで、ドーピングを良好に行うことができる。前記ドーパントは、本発明の目的を阻害しない限り、特に限定されない。前記ドーパントとしては、例えば、スズ、ゲルマニウム、ケイ素、チタン、ジルコニウム、バナジウムまたはニオブ等のｎ型ドーパント、またはｐ型ドーパントなどが挙げられる。ドーパントの濃度は、通常、約$1\times10^{16}/cm^3$～$1\times10^{22}/cm^3$であってもよいし、また、ドーパントの濃度を例えば約$1\times10^{17}/cm^3$以下の低濃度にしてもよい。また、さらに、本発明によれば、ドーパントを約$1\times10^{20}/cm^3$以上の高濃度で含有させてもよい。本発明においては、$1\times10^{17}/cm^3$以上のキャリア濃度で含有させるのが好ましい。

【００２１】

原料溶液の溶媒は、特に限定されず、水等の無機溶媒であってもよいし、アルコール等の有機溶媒であってもよいし、無機溶媒と有機溶媒との混合溶媒であってもよい。本発明においては、前記溶媒が水を含むのが好ましく、水または水とアルコールとの混合溶媒であるのがより好ましい。

【００２２】

（搬送工程）

搬送工程では、キャリアガスでもって前記ミストまたは前記液滴を成膜室内に搬送する。前記キャリアガスとしては、本発明の目的を阻害しない限り特に限定されず、例えば、酸素、オゾン、窒素やアルゴン等の不活性ガス、または水素ガスやフォーミングガス等の還元ガスなどが好適な例として挙げられる。また、キャリアガスの種類は１種類であってよいが、２種類以上であってもよく、流量を下げた希釈ガス（例えば１０倍希釈ガス等）などを、第２のキャリアガスとしてさらに用いてもよい。また、キャリアガスの供給箇所も１箇所だけでなく、２箇所以上あってもよい。キャリアガスの流量は、特に限定されないが、０．０１～２０Ｌ／分であるのが好ましく、１～１０Ｌ／分であるのがより好まし

い。希釈ガスの場合には、希釈ガスの流量が、０．００１～２Ｌ／分であるのが好ましく、０．１～１Ｌ／分であるのがより好ましい。

【００２３】

（成膜工程）

成膜工程では、成膜室内で前記ミストまたは液滴を熱反応させることによって、基体上に、前記半導体膜を成膜する。熱反応は、熱でもって前記ミストまたは液滴が反応すればそれでよく、反応条件等も本発明の目的を阻害しない限り特に限定されない。本工程においては、前記熱反応を、通常、溶媒の蒸発温度以上の温度で行うが、高すぎない温度（例えば１０００℃）以下が好ましく、６５０℃以下がより好ましく、３００℃～６５０℃が最も好ましい。また、熱反応は、本発明の目的を阻害しない限り、真空下、非酸素雰囲気下、還元ガス雰囲気下および酸素雰囲気下のいずれの雰囲気下で行われてもよいが、非酸素雰囲気下または酸素雰囲気下で行われるのが好ましい。また、大気圧下、加圧下および減圧下のいずれの条件下で行われてもよいが、本発明においては、大気圧下で行われるのが好ましい。なお、膜厚は、成膜時間を調整することにより、設定することができる。

【００２４】

（基体）

前記基体は、前記半導体膜を支持できるものであれば特に限定されない。前記基体の材料も、本発明の目的を阻害しない限り特に限定されず、公知の基体であってよく、有機化合物であってもよいし、無機化合物であってもよい。前記基体の形状としては、どのような形状のものであってもよく、あらゆる形状に対して有効であり、例えば、平板や円板等の板状、繊維状、棒状、円柱状、角柱状、筒状、螺旋状、球状、リング状などが挙げられるが、本発明においては、基板が好ましい。基板の厚さは、本発明においては特に限定されない。

【００２５】

前記基板は、板状であって、前記半導体膜の支持体となるものであれば特に限定されない。絶縁体基板であってもよいし、半導体基板であってもよいし、金属基板や導電性基板であってもよいが、前記基板が、絶縁体基板であるのが好ましく、また、表面に金属膜を有する基板であるのも好ましい。前記基板としては、例えば、コランダム構造を有する基板材料を主成分として含む下地基板、またはβ－ガリア構造を有する基板材料を主成分として含む下地基板、六方晶構造を有する基板材料を主成分として含む下地基板などが挙げられる。ここで、「主成分」とは、前記特定の結晶構造を有する基板材料が、原子比で、基板材料の全成分に対し、好ましくは５０％以上、より好ましくは７０％以上、更に好ましくは９０％以上含まれることを意味し、１００％であってもよい。

【００２６】

基板材料は、本発明の目的を阻害しない限り、特に限定されず、公知のものであってよい。前記のコランダム構造を有する基板材料としては、例えば、α－Al_2O_3（サファイア基板）またはα－Ga_2O_3が好適に挙げられ、ａ面サファイア基板、ｍ面サファイア基板、ｒ面サファイア基板、ｃ面サファイア基板や、α型酸化ガリウム基板（ａ面、ｍ面またはｒ面）などがより好適な例として挙げられる。β－ガリア構造を有する基板材料を主成分とする下地基板としては、例えばβ－Ga_2O_3基板、又はGa_2O_3とAl_2O_3とを含みAl_2O_3が０ｗｔ％より多くかつ６０ｗｔ％以下である混晶体基板などが挙げられる。また、六方晶構造を有する基板材料を主成分とする下地基板としては、例えば、ＳｉＣ基板、ＺｎＯ基板、ＧａＮ基板などが挙げられる。

【００２７】

本発明においては、前記成膜工程の後、アニール処理を行ってもよい。アニールの処理温度は、本発明の目的を阻害しない限り特に限定されず、通常、３００℃～６５０℃であり、好ましくは３５０℃～５５０℃である。また、アニールの処理時間は、通常、１分間～４８時間であり、好ましくは１０分間～２４時間であり、より好ましくは３０分間～１２時間である。なお、アニール処理は、本発明の目的を阻害しない限り、どのような雰囲気下で行われてもよいが、好ましくは非酸素雰囲気下であり、より好ましくは窒素雰囲気

下である。

【００２８】

また、本発明においては、前記基体上に、直接、前記半導体膜を設けてもよいし、バッファ層（緩衝層）や応力緩和層等の他の層を介して前記半導体膜を設けてもよい。各層の形成手段は、特に限定されず、公知の手段であってよいが、本発明においては、ミストＣＶＤ法が好ましい。

【００２９】

本発明においては、前記半導体膜を、前記基体等から剥離する等の公知の手段を用いた後に、前記半導体領域として半導体装置に用いてもよいし、そのまま前記半導体領域として半導体装置に用いてもよい。

【００３０】

前記バリアハイト調整領域は、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極または前記半導体領域とのバリアハイトが大きくなる領域であれば特に限定されない。前記バリアハイト調整領域は、通常、前記半導体領域と前記バリア電極との界面におけるバリアハイトよりも前記バリア電極または前記半導体領域とのバリアハイトが大きくなる導電性材料を主成分とする。ここで、「主成分」とは、前記導電性材料が、原子比で、前記バリアハイト調整領域の全成分に対し、好ましくは５０％以上、より好ましくは７０％以上、更に好ましくは９０％以上含まれることを意味し、１００％であってもよい。前記導電性材料は、本発明の目的を阻害しない限り特に限定されないが、金属酸化物または金属であるのが好ましい。前記金属酸化物としては、例えば、前記の半導体領域の主成分として例示したものなどが挙げられる。前記金属としては、前記のバリア電極として例示したものなどが挙げられる。また、前記バリアハイトの調整を、公知の手段を用いて、酸素濃度、不純物濃度、界面準位密度、終端構造、結晶構造や表面凹凸を制御したり、仕事関数や電子親和力を変調したりすることにより行ってもよい。また、本発明においては、前記バリアハイト調整領域がｐ型半導体を主成分とするのが好ましい。前記ｐ型半導体としては、例えば、ｐ型ドーパント（好ましくは、Ｍｇ、Ｚｎ、Ｃａ）を用いてｐ型ドーピングされている結晶性酸化物半導体が挙げられる。また、前記ｐ型半導体は、コランダム構造または六方晶構造を有するのが好ましく、コランダム構造を有するのがより好ましい。また、本発明においては、前記ｐ型半導体が、ガリウムを含む酸化物半導体であるのが好ましく、ＩｎＡｌＧａＯ系半導体を主成分とするのがより好ましく、α－Ga_2O_3またはその混晶を主成分として含むのが最も好ましい。バリアハイト調整層に好適に用いられる前記ｐ型半導体は、例えば、金属を含む原料溶液にｐ型ドーパントと臭化水素酸とを加え、ミストＣＶＤ法により得ることができる。なお、前記ミストＣＶＤ法の各工程ならびに各手段および各条件については、上記した霧化・液滴化工程、搬送工程および成膜工程ならびに各手段および各条件等と同様であってよい。

本発明においては、前記バリアハイト調整層と前記バリア電極とのショットキーバリアのバリアハイトが、１ｅＶ以上となるように調整されるのが好ましい。このような好ましいバリアハイトに調整することにより、本発明の半導体装置の半導体特性（例えばスイッチング特性等）をさらにより良好なものとすることができる。前記バリアハイト調整領域の数は、２以上であれば、特に限定されない。本発明においては、前記バリアハイト調整領域の数が３以上であるのが、前記バリアハイトの調整をより効果的に行うことができ、前記半導体装置の半導体特性をより優れたものとすることができるので、好ましく、４以上であるのがより好ましい。

【００３１】

前記バリアハイト調整領域の形成手段は、本発明の目的を阻害しない限り特に限定されず、公知の手段であってよい。例えば、前記半導体領域のバリア電極との界面側表面内に、複数のトレンチを設け、ついで、該トレンチ内にバリアハイト調整領域の主成分からなる膜を形成する手段が挙げられる。また、例えば、前記半導体領域の一部領域に対して、ドライエッチング、ウェットエッチング、プラズマ処理、紫外線処理、熱処理または有機溶媒もしくは有機酸などによる表面処理などの公知の表面処理手段を用いて表面改質を施

し、ついで、該表面改質領域にバリア電極を形成することでバリアハイトを調整してバリアハイト調整領域を形成する手段、または前記半導体領域とバリア電極とが接合を形成している界面の一部領域に対して、界面形成後または界面形成時に、熱処理（例えば電子ビームアニールやレーザーアニールなど）または紫外線処理などを施してバリアハイト調整領域を形成する手段なども挙げられる。またさらに、本発明においては、上記の手段を組み合わせてバリアハイト調整領域を形成してもよい。なお、これらバリアハイト調整領域の形成手段の実施は真空雰囲気下で行われてもよいし、大気雰囲気下で行われてもよいし、また、特定のガス雰囲気下で行われてもよい。

【００３２】

また、本発明の半導体装置は、通常、オーミック電極を備える。前記オーミック電極は、公知の電極材料が用いられてよく、本発明の目的を阻害しない限り特に限定されないが、周期律表第４族または第１１族の金属を含むのが好ましい。オーミック電極に用いられる好適な周期律表第４族または第１１族の金属は、前記ショットキー電極に含まれる金属と同様であってよい。また、オーミック電極は単層の金属層であってもよいし、２以上の金属層を含んでいてもよい。オーミック電極の形成手段としては、特に限定されず、例えば、真空蒸着法、スパッタリング法などの公知の手段などが挙げられる。また、オーミック電極を構成する金属は、合金であってもよい。本発明においては、オーミック電極が、Ｔｉまたは／およびＡｕを含むのが好ましい。

【００３３】

以下、図面を用いて本発明の好適な実施の態様をより詳細に説明するが、本発明はこれら実施の態様に限定されるものではない。

【００３４】

図１は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード（ＪＢＳ）を示す。図１の半導体装置は、半導体領域３と、前記半導体領域上に設けられておりかつ前記半導体領域との間にショットキーバリアを形成可能なバリア電極２と、バリア電極２と半導体領域３との間に設けられておりかつ前記半導体領域３との間にバリア電極２のショットキーバリアのバリアハイトよりも大きなバリアハイトのショットキーバリアを形成可能なバリアハイト調整層とを含んでいる。なお、バリアハイト調整層１は半導体領域３に埋め込まれている。本発明においては、バリアハイト調整層が一定間隔ごとに設けられているのが好ましく、前記バリア電極の両端と前記半導体領域との間に、前記バリアハイト調整領域がそれぞれ設けられているのがより好ましい。このような好ましい態様により、熱安定性および密着性により優れ、リーク電流がより軽減され、さらに、より耐圧等の半導体特性に優れるようにＪＢＳが構成されている。なお、図１の半導体装置は、半導体領域３上にオーミック電極４を備えている。

【００３５】

図１の半導体装置の各層の形成手段は、本発明の目的を阻害しない限り特に限定されず、公知の手段であってよい。例えば、真空蒸着法やＣＶＤ法、スパッタ法、各種コーティング技術等により成膜した後、フォトリソグラフィー法によりパターニングする手段、または印刷技術などを用いて直接パターニングを行う手段などが挙げられる。

【００３６】

以下、図２を用いて、図１の半導体装置の好ましい製造工程等を説明する。図２（ａ）は、半導体領域３としての半導体基板上にオーミック電極４が積層されており、その反対側表面に複数のトレンチが形成されている積層体を示している。そして、図２（ａ）の積層体に対して、フォトリソグラフィー法を用いて、図２（ｂ）のとおり、半導体領域３のトレンチ内に、バリアハイト調整層１を形成する。図２（ｂ）の積層体を得た後、バリアハイト調整層１および半導体領域３上に、バリア電極２を前記ドライ法（好ましくは真空蒸着法またはスパッタ）または前記ウェット法等により形成し、図２（ｃ）の積層体を得る。図２（ｃ）の積層体は、バリアハイト調整層１が、前記半導体領域３に埋め込められている構造をしているので、とりわけ耐圧に優れている。

【００３７】

図３は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード（ＪＢＳ）を示す。図３の半導体装置は、図１の半導体装置とは、バリア電極の外周辺部にガードリング５が設けられている点において異なる。このように構成することによって、より耐圧等の半導体特性に優れた半導体装置を得ることができる。なお、本発明においては、ガードリング５の一部を半導体領域３表面にそれぞれ埋め込むことにより、耐圧をより効果的により良好なものとすることができる。またさらに、ガードリングにバリアハイトの高い金属を用いることにより、バリア電極の形成とあわせてガードリングを工業的有利に設けることができ、半導体領域にあまり影響を与えることなく、オン抵抗も悪化させずに形成することができる。

【００３８】

前記ガードリングには、通常、バリアハイトの高い材料が用いられる。前記ガードリングに用いられる材料としては、例えば、バリアハイトが１ｅＶ以上の導電性材料などが挙げられ、前記電極材料と同じものであってもよい。本発明においては、前記ガードリングに用いられる材料が、耐圧構造の設計自由度が高く、ガードリングを多く設けることもでき、柔軟に耐圧をより良好なものとすることができるので、前記金属であるのが好ましい。また、ガードリングの形状としては、特に限定されず、例えば、ロの字形状、円状、コ字形状、Ｌ字形状または帯状などが挙げられる。本発明においては、ロの字形状または円状が好ましい。ガードリングの本数も特に限定されないが、好ましくは３本以上、より好ましくは６本以上である。

【００３９】

以下、図４および図５を用いて、図３の半導体装置の好ましい製造工程等を説明する。図４（ａ）は、半導体領域３としての半導体基板上にオーミック電極４が積層されており、その反対側表面に複数のトレンチが形成されている積層体を示している。そして、図４（ａ）の積層体に対して、フォトリソグラフィー法により、図４（ｂ）のとおり、バリアハイト調整領域１を半導体領域３上に形成した後、図４（ｃ）のとおり、半導体領域３表面を露出させる。図４（ｂ）および（ｃ）の積層体は、バリアハイト調整領域１と、半導体領域３と、オーミック電極４とが積層されている。図４（ｃ）の積層体を得た後、バリアハイト調整層１および半導体領域３上に、バリア電極２を前記ドライ法（好ましくは真空蒸着法またはスパッタ）または前記ウェット法等により形成し、図４（ｄ）の積層体を得る。

【００４０】

そして、図４（ｄ）の積層体に対して、フォトリソグラフィー法を用いたエッチングを行い、図５（ｅ）のとおり、バリア電極２の一部および半導体領域３の一部を除去する。図５（ｅ）の積層体を得た後、表面に露出している半導体領域３上に、ガードリング５を前記ドライ法（好ましくは真空蒸着法またはスパッタ）または前記ウェット法等により形成し、図５（ｆ）の積層体を得る。図５（ｆ）の積層体は、ガードリング５、バリア電極２、バリアハイト調整層１、半導体領域３およびオーミック電極４がそれぞれ積層されている。図５（ｆ）の積層体を得た後、フォトリソグラフィー法を用いたエッチングを行い、不要な部分を取り除き、図５（ｇ）の積層体を得る。図５（ｇ）の積層体は、バリアハイト調整層１が、半導体領域３に埋め込められており、さらに半導体領域３の周辺部に埋め込み構造のガードリング５を備えているので、耐圧等においてより優れている。

上記説明においては、ガードリング５を最後に形成したが、本発明においては、バリア電極２を形成する前にガードリング５を形成するのも好ましく、このように形成することにより、電極形成時の金属による影響を抑えることができる。

【００４１】

図１１は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード（ＪＢＳ）を示す。図１１の半導体装置は、半導体領域３と、前記半導体領域上に設けられておりかつ前記半導体領域との間にショットキーバリアを形成可能なバリア電極２と、バリア電極２と半導体領域３との間に設けられておりかつ前記半導体領域３との間にバリア電極２のショットキーバリアのバリアハイトよりも大きなバリアハイトのショ

ットキーバリアを形成可能なバリアハイト調整層とを含んでいる。なお、バリアハイト調整層１は、半導体領域３に埋め込まれており、かつ前記半導体領域３からバリア電極２内に突出している。本発明においては、バリアハイト調整層が一定間隔ごとに設けられているのが好ましく、前記バリア電極の両端と前記半導体領域との間に、前記バリアハイト調整領域がそれぞれ設けられているのがより好ましい。このような好ましい態様により、ＪＢＳが、熱安定性および密着性により優れ、リーク電流がより軽減され、電界集中をより抑制し、さらに、コンタクト抵抗を下げる等の半導体特性により優れたものとなる。なお、図１１の半導体装置は、バリア電極２側と反対側の半導体領域３上にオーミック電極４を備えている。

【００４２】

図１１の半導体装置の各層の形成手段としては、上記した各層の形成手段等が挙げられる。

【００４３】

以下、図１２を用いて、図１１の半導体装置の好ましい製造工程等を説明する。図１２（ａ）は、表面に複数のトレンチが形成されている半導体領域３としての半導体基板を示している。そして、図１２（ａ）の半導体基板上に、バリアハイト調整層１として、ガリウムを含むｐ型酸化物半導体をミストＣＶＤにより成膜し、図１２（ｂ）に示される積層体を得る。得られた積層体に対し、フォトリソグラフィー法を用いたエッチングを行い、不要な部分を取り除き、図１２（ｃ）に示される積層体を得る。図２（ｃ）の積層体を得た後、バリアハイト調整層１および半導体領域３上に、バリア電極２を前記ドライ法（好ましくは真空蒸着法またはスパッタ）または前記ウェット法等により形成し、図１２（ｄ）の積層体を得る。図１２（ｄ）の積層体は、バリアハイト調整層１が、前記半導体領域３に埋め込められており、かつバリア電極２内に突出した構造をしているので、電界集中を抑制し、コンタクト抵抗を下げることができ、とりわけ耐圧に優れている半導体装置に有用となる。

【００４４】

図１３は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード（ＪＢＳ）を示す。図１３の半導体装置は、半導体領域３と、前記半導体領域上に設けられておりかつ前記半導体領域との間にショットキーバリアを形成可能なバリア電極２と、バリア電極２と半導体領域３との間に設けられておりかつ前記半導体領域３との間にバリア電極２のショットキーバリアのバリアハイトよりも大きなバリアハイトのショットキーバリアを形成可能なバリアハイト調整層とを含んでいる。なお、バリアハイト調整層１は、半導体領域３上に積層されており、かつバリア電極２内に突出している。本発明においては、バリアハイト調整層が一定間隔ごとに設けられているのが好ましく、前記バリア電極の両端と前記半導体領域との間に、前記バリアハイト調整領域がそれぞれ設けられているのがより好ましい。このような好ましい態様により、ＪＢＳが、熱安定性および密着性により優れ、リーク電流がより軽減され、電界集中をより抑制し、さらに、コンタクト抵抗を下げる等の半導体特性により優れたものとなる。なお、図１３の半導体装置は、バリア電極２側と反対側の半導体領域３上にオーミック電極４を備えている。

【００４５】

図１３の半導体装置の各層の形成手段としては、上記した各層の形成手段等が挙げられる。

【００４６】

以下、図１４を用いて、図１３の半導体装置の好ましい製造工程等を説明する。図１２（ａ）は、半導体領域３としての半導体基板を示している。そして、図１４（ａ）の半導体基板上に、バリアハイト調整層１として、ガリウムを含むｐ型酸化物半導体をミストＣＶＤにより成膜し、図１４（ｂ）に示される積層体を得る。得られた積層体に対し、フォトリソグラフィー法を用いたエッチングを行い、不要な部分を取り除き、図１４（ｃ）に示される積層体を得る。図１４（ｃ）の積層体を得た後、バリアハイト調整層１および半導体領域３上に、バリア電極２を前記ドライ法（好ましくは真空蒸着法またはスパッタ）

または前記ウェット法等により形成し、図１４（ｄ）の積層体を得る。図１４（ｄ）の積層体は、バリアハイト調整層１が、前記半導体領域３に埋め込められており、かつバリア電極２内に突出した構造をしているので、電界集中を抑制し、コンタクト抵抗を下げることができ、とりわけ耐圧に優れている半導体装置に有用となる。

【００４７】

図１５は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード（ＪＢＳ）を示す。図１５の半導体装置は、図１１の半導体装置とは、バリア電極の外周辺部にガードリング５が設けられている点において異なる。このように構成することによって、より耐圧等の半導体特性に優れた半導体装置を得ることができる。なお、本発明においては、図１７に示すように、ガードリング５の一部を半導体領域３表面にそれぞれ埋め込むことにより、耐圧をより効果的により良好なものとすることができる。またさらに、ガードリングにバリアハイトの高い金属を用いることにより、バリア電極の形成とあわせてガードリングを工業的有利に設けることができ、半導体領域にあまり影響を与えることなく、オン抵抗も悪化させずに形成することができる。

【００４８】

図１６は、本発明の好適な実施態様の一つであるジャンクションバリアショットキーダイオード（ＪＢＳ）を示す。図１６の半導体装置は、図１３の半導体装置とは、バリア電極の外周辺部にガードリング５が設けられている点において異なる。このように構成することによって、より耐圧等の半導体特性に優れた半導体装置を得ることができる。なお、本発明においては、図１８に示すように、ガードリング５の一部を半導体領域３表面にそれぞれ埋め込むことにより、耐圧をより効果的により良好なものとすることができる。またさらに、ガードリングにバリアハイトの高い金属を用いることにより、バリア電極の形成とあわせてガードリングを工業的有利に設けることができ、半導体領域にあまり影響を与えることなく、オン抵抗も悪化させずに形成することができる。

【００４９】

前記半導体装置は、とりわけ、パワーデバイスに有用である。前記半導体装置としては、例えば、ダイオードまたはトランジスタ（例えば、ＭＥＳＦＥＴ等）などが挙げられるが、中でもダイオードが好ましく、ジャンクションバリアショットキーダイオード（ＪＢＳ）がより好ましい。

【００５０】

本発明の半導体装置は、上記した事項に加え、さらに公知の手段を用いて、パワーモジュール、インバータまたはコンバータとして好適に用いられ、さらには、例えば電源装置を用いた半導体システム等に好適に用いられる。前記電源装置は、公知の手段を用いて、配線パターン等に接続するなどすることにより、前記半導体装置からまたは前記半導体装置として作製することができる。図６に電源システムの例を示す。図６は、複数の前記電源装置と制御回路を用いて電源システムを構成している。前記電源システムは、図７に示すように、電子回路と組み合わせてシステム装置に用いることができる。なお、電源装置の電源回路図の一例を図８に示す。図８は、パワー回路と制御回路からなる電源装置の電源回路を示しており、インバータ（ＭＯＳＦＥＴ：Ａ～Ｄで構成）によりＤＣ電圧を高周波でスイッチングしＡＣへ変換後、トランスで絶縁及び変圧を実施し、整流ＭＯＳＦＥＴ（Ａ～Ｂ’）で整流後、ＤＣＬ（平滑用コイルＬ１，Ｌ２）とコンデンサにて平滑し、直流電圧を出力する。この時に電圧比較器で出力電圧を基準電圧と比較し、所望の出力電圧となるようＰＷＭ制御回路でインバータ及び整流ＭＯＳＦＥＴを制御する。

【実施例】

【００５１】

（参考例１：アニールによるバリアハイトの調整）

１－１．ｎ－型半導体層の形成

１－１－１．成膜装置

図９を用いて、参考例で用いたミストＣＶＤ装置１９を説明する。ミストＣＶＤ装置１９は、基板２０を載置するサセプタ２１と、キャリアガスを供給するキャリアガス供給手

段２２ａと、キャリアガス供給手段２２ａから送り出されるキャリアガスの流量を調節するための流量調節弁２３ａと、キャリアガス（希釈）を供給するキャリアガス（希釈）供給手段２２ｂと、キャリアガス（希釈）供給手段２２ｂから送り出されるキャリアガスの流量を調節するための流量調節弁２３ｂと、原料溶液２４ａが収容されるミスト発生源２４と、水２５ａが入れられる容器２５と、容器２５の底面に取り付けられた超音波振動子２６と、内径４０ｍｍの石英管からなる供給管２７と、供給管２７の周辺部に設置されたヒーター２８とを備えている。サセプタ２１は、石英からなり、基板２０を載置する面が水平面から傾斜している。成膜室となる供給管２７とサセプタ２１をどちらも石英で作製することにより、基板２０上に形成される膜内に装置由来の不純物が混入することを抑制している。

【００５２】

１－１－２．原料溶液の作製

０．１Ｍ臭化ガリウム水溶液に臭化水素酸を体積比で２０％含有させ、これを原料溶液とした。

【００５３】

１－１－３．成膜準備

上記１－１－２．で得られた原料溶液２４ａをミスト発生源２４内に収容した。次に、基板２０として、サファイア基板をサセプタ２１上に設置し、ヒーター２８を作動させて成膜室２７内の温度を４８０℃にまで昇温させた。次に、流量調節弁２３ａ、２３ｂを開いて、キャリアガス源であるキャリアガス供給手段２２ａ、２２ｂからキャリアガスを成膜室２７内に供給し、成膜室２７の雰囲気をキャリアガスで十分に置換した後、キャリアガスの流量を５Ｌ／分に、キャリアガス（希釈）の流量を０．５Ｌ／分にそれぞれ調節した。なお、キャリアガスとして窒素を用いた。

【００５４】

１－１－４．半導体膜形成

次に、超音波振動子２６を２．４ＭＨｚで振動させ、その振動を、水２５ａを通じて原料溶液２４ａに伝播させることによって、原料溶液２４ａを霧化させてミストを生成した。このミストが、キャリアガスによって成膜室２７内に導入され、大気圧下、５１０℃にて、成膜室２７内でミストが反応して、基板２０上に半導体膜が形成された。なお、膜厚は２．５μｍであり、成膜時間は１８０分間であった。

【００５５】

１－１－５．評価

ＸＲＤ回折装置を用いて、上記１－１－４．にて得られた膜の相の同定を行ったところ、得られた膜はα－Ga_2O_3であった。

【００５６】

１－２．ｎ＋型半導体層の形成

０．０５Ｍガリウムアセチルアセトナート水溶液に塩酸を体積比で１．５％および塩化スズ０．２％をそれぞれ含有させ、これを原料溶液としたこと以外、上記１－１．と同様にして、上記１－１．で得られたｎ－型半導体層上に半導体膜を成膜した。得られた膜につき、ＸＲＤ回折装置を用いて、膜の相の同定を行ったところ、得られた膜はα－Ga_2O_3であった。

【００５７】

１－３．オーミック電極の形成

ｎ＋型半導体層上に、Ｔｉ層およびＡｕ層をそれぞれ電子ビーム蒸着にて積層した。なお、Ｔｉ層の厚さは３５ｎｍであり、Ａｕ層の厚さは１７５ｎｍであった。

【００５８】

１－４．ショットキー電極の形成

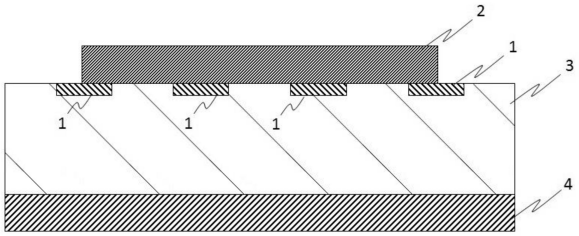
サファイア基板を剥離後、ｎ－型半導体層上に、Ｐｔ層を電子ビーム蒸着にて積層した。そして、高速アニール装置（ＲＴＡ）を用いて窒素雰囲気で４００℃３０秒間アニール処理し、アニール処理したＰｔ層を形成した。また、フォトリソグラフィーおよびエッチ

ング処理に付し、アニール処理していないＰｔ層も形成した。
【００５９】
１－５．評価
　ＩＶ測定を実施した。その結果、アニール処理していないＰｔ層のバリアハイトは、１．５ｅＶであり、アニール処理したＰｔ層のバリアハイトは０．９ｅＶであった。なお、アニール処理したＰｔ層のＩＶ測定結果を図１０に示す。
【００６０】
（参考例２：ｐ型半導体によるバリアハイトの調整）
　参考例２では、ｐ型半導体によるバリアハイトの調整について評価を行った。
２－１．ｐ型半導体層の形成
　基体として、ミストＣＶＤを用いて形成されたｎ＋型半導体層を表面に有するサファイア基板を用いたこと、原料溶液として、臭化ガリウムと臭化マグネシウムを超純水に混合し、ガリウムに対するマグネシウムの原子比が１：０．０１および臭化ガリウム０．１モル／Ｌとなるように水溶液を調整し、この際、ハロゲン化水素酸を体積比で２０％含有させたものを用いたこと、キャリアガスの流量を１Ｌ／分、キャリアガス（希釈）の流量を１Ｌ／分としたこと、成膜温度を５２０℃としたこと、および成膜時間を６０分間としたこと以外は、上記１－１．と同様にして半導体膜を成膜した。得られた膜につき、ＸＲＤ回折装置を用いて、膜の相の同定を行ったところ、ハロゲン化水素酸として臭化水素酸を用いて得られた膜はα－Ga_2O_3であった。
【００６１】
２－２．評価
　ｐ型半導体層においてマグネシウムがｐ型ドーパントとして正常に機能しているかどうかを確かめるために、上記２－１．にて得られたα－Ga_2O_3膜につき、ＩＶ測定を実施した。その結果、優れた整流性を示し、ｎ＋型半導体層とｐ型半導体層とが良好なＰＮ接合を形成していた。ＩＶ測定の結果から明らかなように、マグネシウムがｐ型ドーパントとして正常に機能していることから、ｐ型半導体の形成によってバリアハイトを調整できることがわかった。
【産業上の利用可能性】
【００６２】
　本発明の半導体装置は、半導体（例えば化合物半導体電子デバイス等）、電子部品・電気機器部品、光学・電子写真関連装置、工業部材などあらゆる分野に用いることができるが、とりわけ、パワーデバイスに有用である。
【符号の説明】
【００６３】
１　バリアハイト調整層
２　バリア電極
３　半導体領域
４　オーミック電極
５　ガードリング
１９　ミストＣＶＤ装置
２０　基板
２１　サセプタ
２２ａ　キャリアガス供給手段
２２ｂ　キャリアガス（希釈）供給手段
２３ａ　流量調節弁
２３ｂ　流量調節弁
２４　ミスト発生源
２４ａ　原料溶液
２５　容器
２５ａ　水

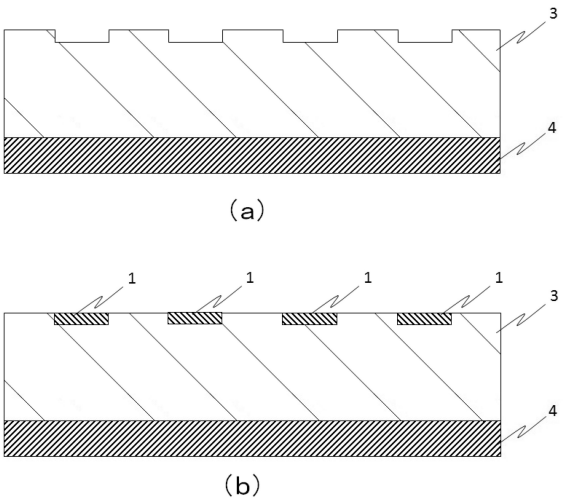
２６　超音波振動子
２７　供給管
２８　ヒーター
２９　排気口

【図面】

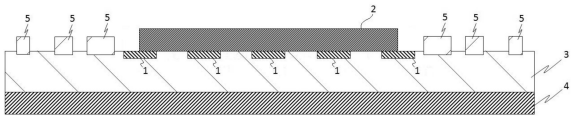
【図１】



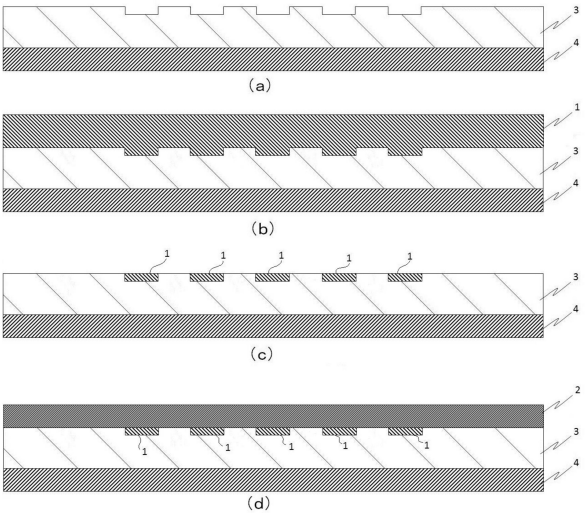
【図２】



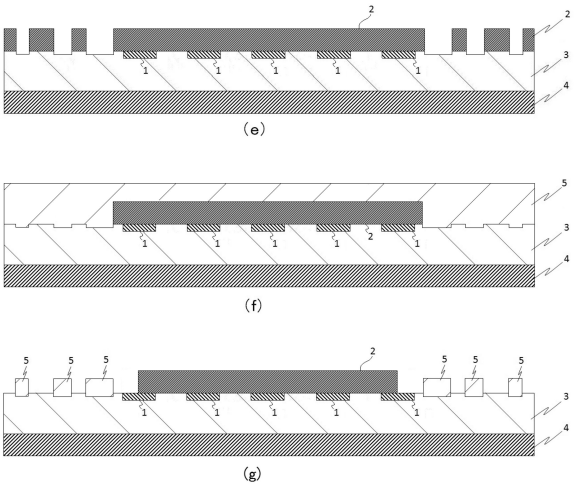
【図３】



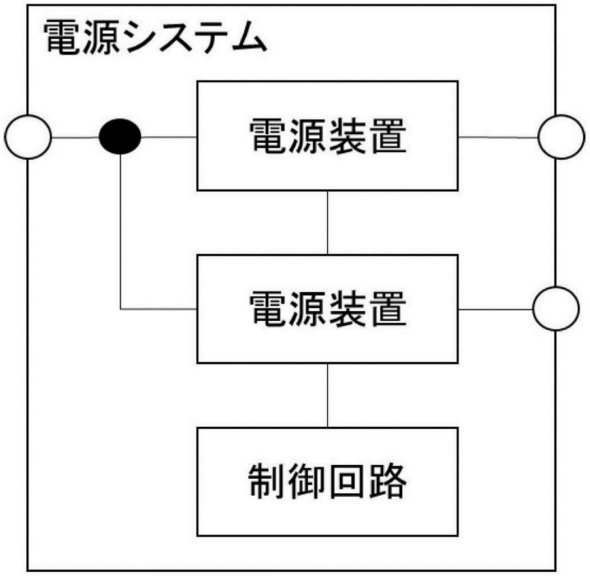
【図４】



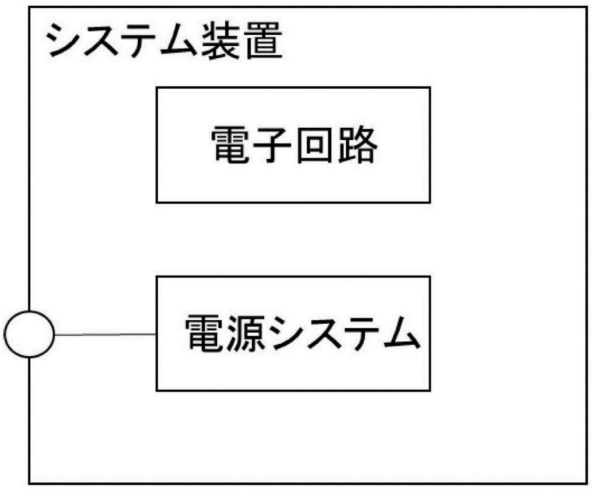
【図５】


(e)
(f)
(g)

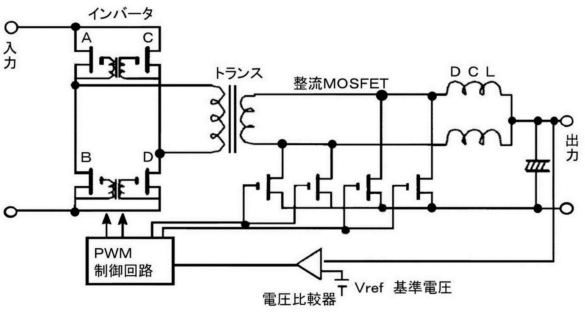
【図６】


電源システム
電源装置
電源装置
制御回路

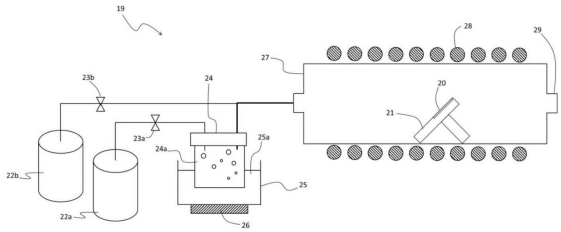
【図７】


システム装置
電子回路
電源システム

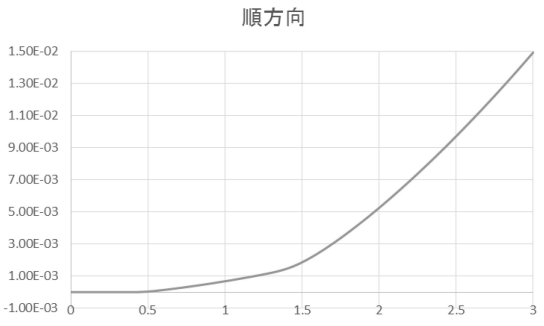
【図８】


インバータ
入力
A
C
B
D
トランス
整流MOSFET
ＤＣＬ
出力
PWM
制御回路
電圧比較器
Vref 基準電圧

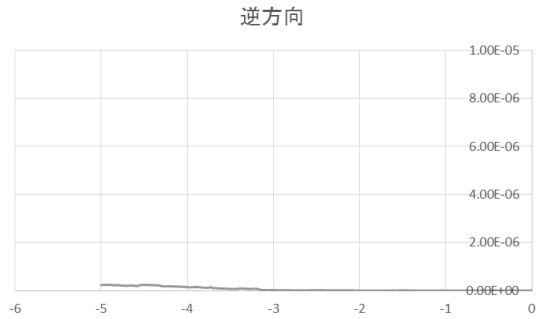
【図９】



【図１０】

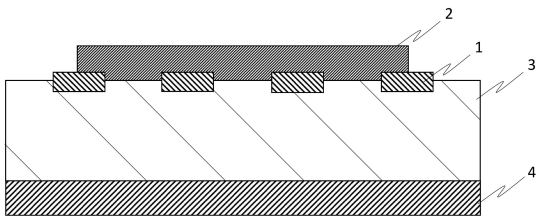


(a)

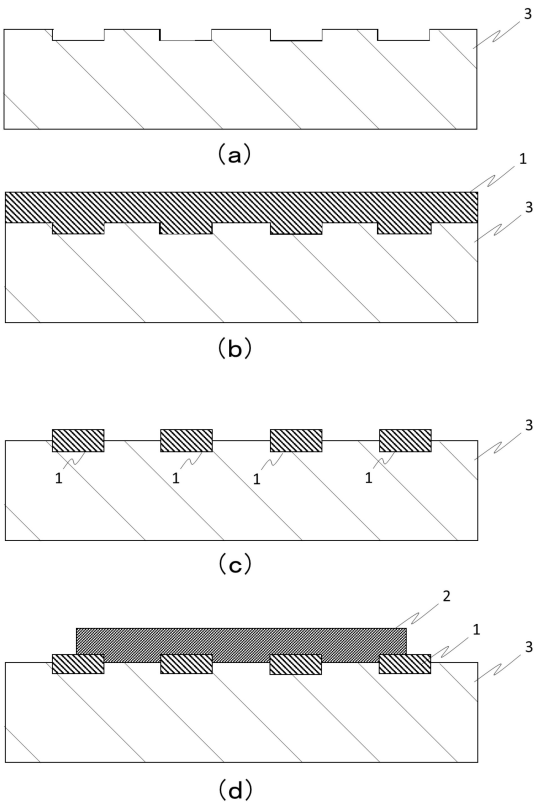


(b)

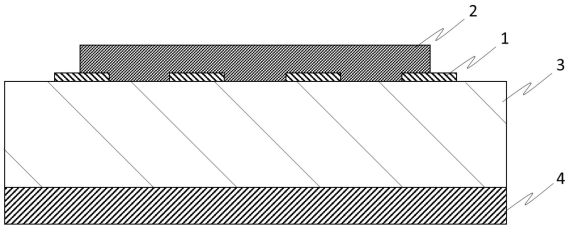
【図１１】



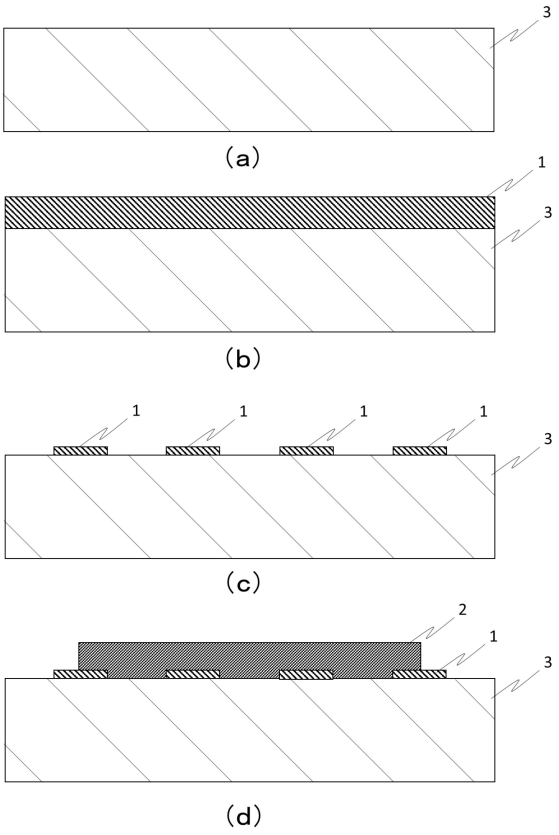
【図１２】



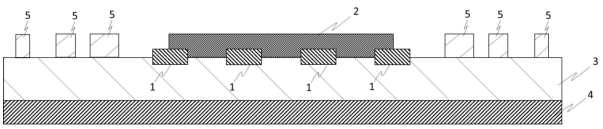
【図１３】



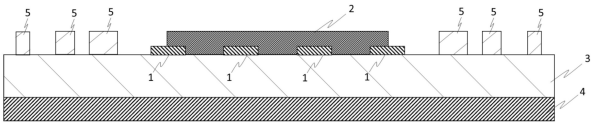
【図１４】



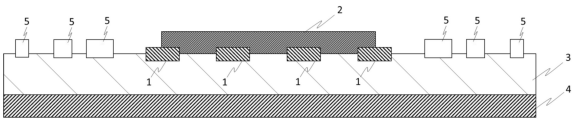
【図１５】



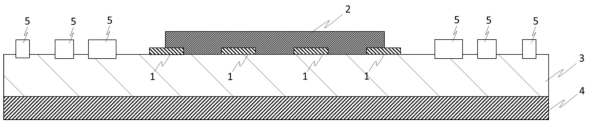
【図１６】



【図１７】



【図１８】



フロントページの続き

(51)国際特許分類

FI		
H01L	29/86	301E
H01L	29/48	M
H01L	29/48	F
H01L	29/48	D

(72)発明者　四戸 孝
京都府京都市西京区御陵大原１番３６号 京大桂ベンチャープラザ北館 株式会社ＦＬＯＳＦＩＡ内
(72)発明者　人羅 俊実
京都府京都市西京区御陵大原１番３６号 京大桂ベンチャープラザ北館 株式会社ＦＬＯＳＦＩＡ内

審査官　杉山 芳弘

(56)参考文献　特表２０１３－５２２８７６（ＪＰ，Ａ）
国際公開第２０１７／１１１１７３（WO，Ａ１）
特開２０１７－１１８０９０（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２９／８７２
Ｈ０１Ｌ　２１／３２９
Ｈ０１Ｌ　２１／３６５
Ｈ０１Ｌ　２９／４７