

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年11月7日(07.11.2019)



(10) 国際公開番号

WO 2019/211897 A1

(51) 国際特許分類:
H03G 11/02 (2006.01)

(21) 国際出願番号: PCT/JP2018/017432

(22) 国際出願日: 2018年5月1日(01.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:鳥居 拓真(TORII, Takuma); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 半谷 政毅(HANGAI, Masatake); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 山中 宏治(YAMANAKA, Koji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 西田 和広(NISHIDA, Kazuhiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

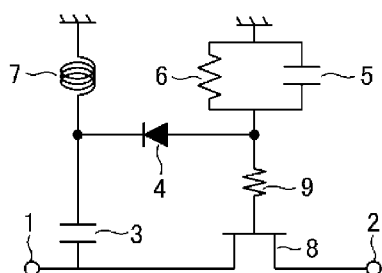
(74) 代理人:田澤 英昭, 外(TAZAWA, Hideaki et al.); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: LIMITER CIRCUIT

(54) 発明の名称: リミッタ回路



(57) Abstract: In the present invention, a switching element (8) is provided between an input terminal (1) and an output terminal (2). Signals from the input terminal (1) are distributed at a capacitive element (3) and provided to the cathode side of a diode (4). An inductor (7) is connected to the cathode side of the diode (4), and a smoothing circuit including a capacitive element (5) and a resistor (6) is connected to the anode side of the diode (4). The switching element (8) includes a control terminal that is connected to the anode of the diode (4), and, when a voltage is applied to the control terminal, turns off the path between the input terminal (1) and the output terminal (2).

(57) 要約: 入力端子(1)と出力端子(2)間にスイッチ素子(8)を設ける。入力端子(1)からの信号を容量素子(3)で分配し、ダイオード(4)のカソード側に与える。ダイオード(4)のカソード側にはインダクタ(7)が接続され、アノード側には容量素子(5)と抵抗(6)からなる平滑回路が接続される。スイッチ素子(8)は、ダイオード(4)のアノードに接続される制御端子を有し、制御端子に電圧が印加される場合に入力端子(1)と出力端子(2)間の経路をオフにする。

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称 : リミッタ回路

技術分野

[0001] この発明は、高周波信号の電力が既定値を超えた場合にその電力を低減するリミッタ回路に関するものである。

背景技術

[0002] 入力端子に与えられた高周波信号の電力が規定値を超える場合に、その高周波信号の電力を規定値以内に抑えるためのリミッタ回路が存在する。従来のリミッタ回路として、例えば、特許文献1に示されるリミッタ回路は、入力端子に与えられた信号を分配して、その一方が検波ダイオードで検波され、この検波された信号が受信電力計測部で計測される。また、分配された他方の信号は減衰器に与えられ、減衰器によって減衰された信号が出力される。ここで、受信電力計測部は、入力された信号のレベルを検知し、検知された信号のレベルに応じて減衰器制御部が減衰器への制御信号を出力する。減衰器制御部は、信号のレベルが大きい場合に減衰器の減衰量が大きくなるように制御信号を出力することでリミッタ回路としての動作を行っていた。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-195676号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記従来のリミッタ回路では、入力された信号を減衰させるための減衰器が必要であると共に、減衰器の減衰量を制御するために、減衰器制御部と受信電力計測部といった構成も必要であり、リミッタ回路として部品点数が多く、小型化が困難であるという問題があった。

[0005] この発明は上記のような課題を解決するためになされたもので、部品点数を少なくし小型化を図ることのできるリミッタ回路を提供することを目的と

する。

課題を解決するための手段

[0006] この発明に係るリミッタ回路は、高周波数信号が与えられる入力端子と、入力端子に与えられた高周波信号を出力する出力端子と、高周波数信号の一部を分配する分配部と、分配部とカソードが接続され、分配した信号のレベルと周期に応じてオンオフするダイオードと、ダイオードがオンのとき、ダイオードから流れる電流を接地するインダクタと、ダイオードのアノードと接地間に接続され、ダイオードのアノードに生じる電圧を平滑する平滑回路と、入力端子と出力端子間に接続され、ダイオードのアノードに接続される制御端子を有し、制御端子に電圧が印加される場合に入力端子と出力端子間をオフにするスイッチ素子とを備えたものである。

発明の効果

[0007] この発明のリミッタ回路は、ダイオードのカソードに、高周波数信号を分配する分配部を接続すると共に、ダイオードから流れる電流を接地するためのインダクタを接続する。ダイオードのアノードには平滑回路を接続すると共にスイッチ素子の制御端子を接続する。スイッチ素子は、制御端子に電圧が印加される場合に入力端子と出力端子間の高周波数信号をオフにする。これにより、部品点数を増加させることなくリミッタ回路を構成することができる。

図面の簡単な説明

[0008] [図1]この発明の実施の形態1によるリミッタ回路を示す構成図である。
[図2]この発明の実施の形態1によるリミッタ回路の入力電力と出力電力との関係を示す説明図である。
[図3]この発明の実施の形態2によるリミッタ回路を示す構成図である。
[図4]この発明の実施の形態3によるリミッタ回路を示す構成図である。
[図5]この発明の実施の形態3によるリミッタ回路の等価回路図である。
[図6]この発明の実施の形態3によるリミッタ回路の一形成例を示す構成図である。

[図7]この発明の実施の形態3によるリミッタ回路の要部断面図である。

発明を実施するための形態

[0009] 以下、この発明をより詳細に説明するために、この発明を実施するための形態について、添付の図面に従って説明する。

実施の形態1.

図1は、本実施の形態によるリミッタ回路を示す構成図である。図1に示すリミッタ回路は、入力端子1、出力端子2、容量素子3、ダイオード4、容量素子5、抵抗6、インダクタ7、スイッチ素子8、バイアス抵抗9を備える。

[0010] 入力端子1は、高周波信号が与えられる端子でありスイッチ素子8のソース端子に接続される。なお、高周波信号とは無線通信で使用する周波数の信号であるとする。出力端子2は入力端子1から入力された高周波信号を出力するための端子であり、スイッチ素子8のドレイン端子に接続される。容量素子3は、入力端子1から入力された高周波信号の一部を分配する分配部を構成し、その一端は入力端子1とスイッチ素子8のソース端子に接続され、他端は、インダクタ7の一端とダイオード4のカソードに接続される。ダイオード4は、例えば電界効果トランジスタを用いて形成され、そのアノードには、容量素子5の一端と抵抗6の一端とバイアス抵抗9の一端に接続される。容量素子5と抵抗6は、ダイオード4のアノードで生じた電圧を平滑するための平滑回路を構成し、容量素子5と抵抗6の他端は接地されている。インダクタ7は、ダイオード4がオンのときに、ダイオード4から流れる電流を接地するためのDCリターンインダクタであり、他端は接地されている。スイッチ素子8は、例えば、電界効果トランジスタで形成され、そのゲート端子にはバイアス抵抗9の他端が接続され、ゲート端子への制御電圧によってオンオフが行われるようになっている。バイアス抵抗9は、スイッチ素子8のゲート端子からみた入力インピーダンスを高めるものである。また、インダクタ7は、ダイオード4から流れる電流を接地面へと流し、また、容量素子3で検出された電圧がダイオード4のカソードに効率よく伝達される

ように整合をとる役割を持つ。また、実施の形態1では、スイッチ素子8として、GaN (Gallium Nitride) などのノーマリーオンの特性をもつトランジスタであるとする。

なお、容量素子3、ダイオード4、容量素子5、抵抗6、インダクタ7、バイアス抵抗9は、スイッチ素子8と同一基板上に形成されてもよい。

[0011] 次に、実施の形態1のリミッタ回路の動作について説明する。

高周波信号は、入力端子1から入力され、分配された高周波信号の一方が容量素子3を介してダイオード4のカソードへ伝達される。また、分配された高周波信号の他方はスイッチ素子8のソース端子に与えられる。

まず、低入力電力における動作について説明する。

低入力電力においては、容量素子3を介してダイオード4のカソードに伝達された信号の電圧振幅 v_K が十分に小さく、ダイオード4はオフ状態となる。このとき、ダイオード4には電流が流れない。スイッチ素子8のゲート端子は、バイアス抵抗9と抵抗6を介して接地面へ接続される。よって、スイッチ素子8のゲート端子には0Vが印加される。スイッチ素子8をGaNなどのノーマリーオンのトランジスタを用いて形成する場合、スイッチ素子8はオン状態となる。スイッチ素子8がオン状態となると、スイッチ素子8のドレインソース間はスルーの状態となるので、ソース端子に伝達された信号はドレイン端子に接続される。よって、低入力電力においては、入力端子1から伝達された信号がソース端子、ドレイン端子を介して出力端子2に到達し、出力される。

[0012] 次に、高入力電力における動作について述べる。

高入力電力時では、ダイオード4のカソードにて正の電圧振幅が生じるとオフ状態となり、負の電圧振幅が生じるとダイオード4はオン状態となる。

ダイオード4がオン状態となると、ダイオード4からインダクタ7に電流が流れる。このとき、ダイオード4には順電圧 V_f の電圧降下が生じる。ダイオード4のアノードには $v_A = v_K + V_f$ の電圧が生じる。

v_K が正と負の振幅を周期的にとるとき、ダイオード4は負の振幅の周期に

応じてオン状態となる。順電圧 V_f は一定値であるので v_K の負の振幅の大きさが大きい程、 v_A は負の電圧へと偏移する。アノードでの電圧 v_A はバイアス抵抗 9 を介してスイッチ素子 8 のゲート端子に印加される。

v_K が正の振幅をとるときダイオード 4 はオフの状態となるが、その周期が容量素子 5 と抵抗 6 により決まる時定数 τ よりも十分に小さければ、容量素子 5 に蓄えられた電荷が放出されずに容量素子 5 で電圧降下が発生する。よって、 v_K が正の電圧振幅の時にも v_A は 0 V とならず、負の電位となる。

従って、大信号動作時には、 v_A が 0 V から負の電位へ偏移する。そのため、スイッチ素子 8 はオン状態からオフ状態へと偏移し、高入力電力においては入力端子 1 から出力端子 2 へ信号が伝達されないので、リミッタ回路として動作する。

[0013] 図 2 は、入力電力と出力電力との関係を示す説明図である。図 2 において、 P_{in} は入力電力 (dBm)、 P_{out} は出力電力 (dBm)、 $P_{in} - P_{out}$ は入力電力と出力電力の差分 (dB) を示している。特性 201 は P_{in} に対する P_{out} の関係を示し、特性 202 は、 $P_{in} - P_{out}$ を示している。図 2 より、入力電力が 20 dBm 近傍においてリミッタの動作を示すことを確認できる。なお、リミッタの動作を示す入力電力のレベルは容量素子 3 の容量値によって調整可能であり、図 2 は一計算例を示すものである。

[0014] 以上説明したように、実施の形態 1 のリミッタ回路によれば、高周波数信号が与えられる入力端子と、入力端子に与えられた高周波信号を出力する出力端子と、高周波数信号の一部を分配する分配部と、分配部とカソードが接続され、分配した信号のレベルと周期に応じてオンオフするダイオードと、ダイオードがオンのとき、ダイオードから流れる電流を接地するインダクタと、ダイオードのアノードと接地間に接続され、ダイオードのアノードに生じる電圧を平滑する平滑回路と、入力端子と出力端子間に接続され、ダイオードのアノードに接続される制御端子を有し、制御端子に電圧が印加される場合に入力端子と出力端子間をオフにするスイッチ素子とを備えたので、部

品点数を増加させることなくリミッタ回路を構成することができ、リミッタ回路としての小型化を図ることができる。

[0015] 実施の形態 2.

実施の形態 2 は、分配部を方向性結合器で構成したものである。図 3 に実施の形態 2 のリミッタ回路を示す。

図 3 において、方向性結合器 10 は、入力端子 1 から入力された高周波信号を分配する分配部を構成する単方向性結合器である。分配された一方の信号はダイオード 4 のカソードとインダクタ 7 の一端に与えられ、他方の信号はスイッチ素子 8 のソース端子に与えられる。他の構成は図 1 に示した実施の形態 1 の構成と同様であるため、対応する部分に同一符号を付してその説明を省略する。また、動作に関しても、高周波信号を方向性結合器 10 で分配している以外は実施の形態 1 と同様である。

[0016] 以上説明したように、実施の形態 2 のリミッタ回路によれば、分配部は、方向性結合器を用いて構成されるようにしたので、実施の形態 1 の効果に加えて、低損失な特性を得ることができる。

[0017] 実施の形態 3.

実施の形態 3 は、インダクタと平滑回路を構成する抵抗を電磁界結合の関係としたものである。図 4 に実施の形態 3 のリミッタ回路を示す。

実施の形態 3 のリミッタ回路は、容量素子 3、ダイオード 4、容量素子 5、抵抗 6、インダクタ 7、バイアス抵抗 9 が、スイッチ素子 8 と同一基板上に形成される。また、インダクタ 7 は抵抗 6 と電磁界結合の関係にある。これ以外の構成については図 1 に示した実施の形態 1 の構成と同様であるため、対応する部分に同一符号を付してその説明を省略する。

[0018] 実施の形態 3 のリミッタ回路において、インダクタ 7 は抵抗 6 の間には結合容量が形成される。この結合容量のインピーダンスが無視できない周波数帯においては等価的な容量としてみなせる。図 5 は、結合容量のインピーダンスが無視できない周波数、ここではリミッタ回路の設定周波数よりも高い周波数における図 4 の回路の等価回路を示す。図 5 において、インダクタ 7

a、7 bはインダクタ7の一部であり、抵抗6 a、6 bは抵抗6の一部であり、結合容量1 1はインダクタ7と抵抗6の間の結合容量である。

[0019] 図6は、実施の形態3に係るリミッタ回路の一形成例を示すものである。

また、図7はリミッタ回路要部の断面図である。図6及び図7において、スパイラルインダクタ7 0はインダクタ7と、また、抵抗6 0は抵抗6とそれぞれ対応する。なお、図6及び図7では、スパイラルインダクタ7 0と抵抗6 0以外の構成についてはその図示を省略している。抵抗6 0はビア1 2を介して接地へと接続される。図6において、矢印7 0 aはスパイラルインダクタ7 0を流れる電流とその向きを表し、矢印6 0 aは抵抗6 0に流れる電流とその向きを表している。

矢印7 0 aと矢印6 0 aで示すように、スパイラルインダクタ7 0を流れる電流と抵抗6 0を流れる電流とが互いに同一方向を向き、スパイラルインダクタ7 0と抵抗6 0はその距離dがスパイラルインダクタ7 0と抵抗6 0が形成される半導体基板の厚みtよりも小さくなるように配置される。

[0020] 図5において、容量素子3、インダクタ7 a、結合容量1 1、抵抗6 bはL R Cの直列共振回路となる。結合容量1 1はリミッタ回路の設定周波数よりも高い周波数で等価的な容量とみなせるので、この直列共振回路の共振周波数はリミッタ回路の動作周波数よりも高い周波数となる。共振周波数では入力端子1から容量素子3をみたインピーダンスは低インピーダンスとなり高い反射特性を示す。そのため、共振周波数近傍の信号は出力端子2へ到達せず、実施の形態3に係るリミッタ回路は帯域遮断の特性を有する。

よって、実施の形態3のリミッタ回路では、部品数を増加させずに、帯域遮断特性を有する構成を得ることができる。

なお、上記例では、抵抗6とインダクタ7が電磁界結合の関係にある場合について説明したが、容量素子5とインダクタ7が電磁界結合の関係にあっても同様の効果が得られる。この場合、図6及び図7の抵抗6 0を容量素子5に対応した構成とすることで同様に適用可能である。

[0021] 以上説明したように、実施の形態3のリミッタ回路によれば、平滑回路は

抵抗と容量素子からなり、抵抗を流れる電流とインダクタを流れる電流が同一方向となり、かつ、抵抗とインダクタとの距離が基板の厚みより小さいようにしたので、実施の形態 1 の効果に加えて、抵抗とインダクタとが電磁界結合の関係となり、これら抵抗とインダクタ間の距離を選択することにより、帯域遮断特性を得ることができる。

[0022] 本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意な構成要素の変形、もしくは各実施の形態において任意な構成要素の省略が可能である。

産業上の利用可能性

[0023] 以上のように、この発明に係るリミッタ回路は、高周波数信号が既定値を超えた場合にその電力を低減する構成に関するものであり、基板上に各素子を設けるリミッタ回路の部品数の増加を抑えて小型化を図るのに適している。

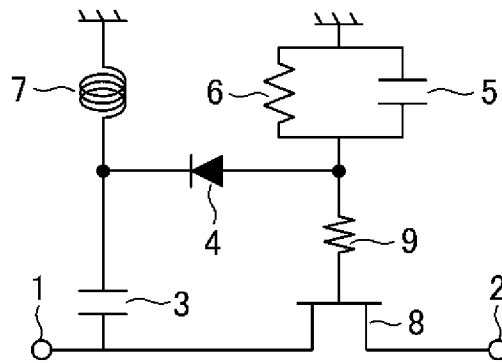
符号の説明

[0024] 1 入力端子、2 出力端子、3 容量素子、4 ダイオード、5 容量素子、6, 60 抵抗、7 インダクタ、8 スイッチ素子、9 バイアス抵抗、10 方向性結合器、11 結合容量、12 ビア、70 スパイラルインダクタ。

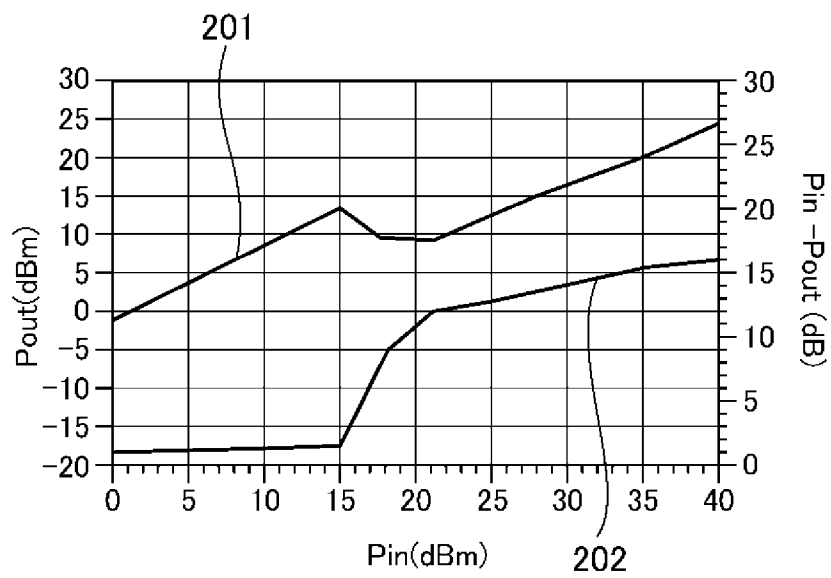
請求の範囲

- [請求項1] 高周波数信号が与えられる入力端子と、
前記入力端子に与えられた高周波信号を出力する出力端子と、
前記高周波数信号の一部を分配する分配部と、
前記分配部とカソードが接続され、前記分配した信号のレベルと周期に応じてオンオフするダイオードと、
前記ダイオードがオンのとき、当該ダイオードから流れる電流を接地するインダクタと、
前記ダイオードのアノードと接地間に接続され、前記ダイオードのアノードに生じる電圧を平滑する平滑回路と、
前記入力端子と前記出力端子間に接続され、前記ダイオードのアノードに接続される制御端子を有し、当該制御端子に電圧が印加される場合に前記入力端子と前記出力端子間をオフにするスイッチ素子とを備えたリミッタ回路。
- [請求項2] 前記分配部は、前記入力端子に一端を接続し、他端を前記ダイオードのカソードに接続した容量素子を用いて構成されていることを特徴とする請求項1記載のリミッタ回路。
- [請求項3] 前記分配部は、方向性結合器を用いて構成されていることを特徴とする請求項1記載のリミッタ回路。
- [請求項4] 前記スイッチ素子と前記ダイオードは電界効果トランジスタで構成され、
かつ、前記容量素子とインダクタと平滑回路とが、前記スイッチ素子及びダイオードと同一基板上に設けられたことを特徴とする請求項2記載のリミッタ回路。
- [請求項5] 前記平滑回路は抵抗と容量素子からなり、前記抵抗を流れる電流と前記インダクタを流れる電流が同一方向となり、かつ、前記抵抗と前記インダクタとの距離が前記基板の厚みより小さいことを特徴とする請求項4記載のリミッタ回路。

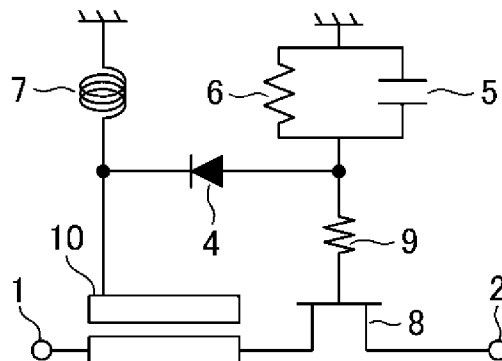
[図1]



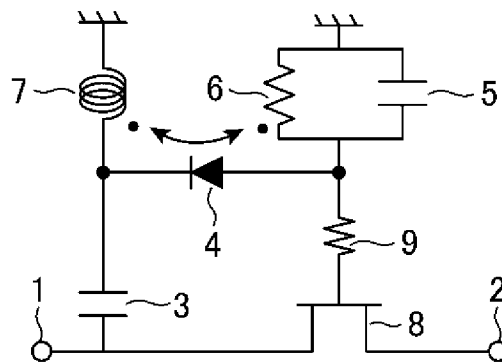
[図2]



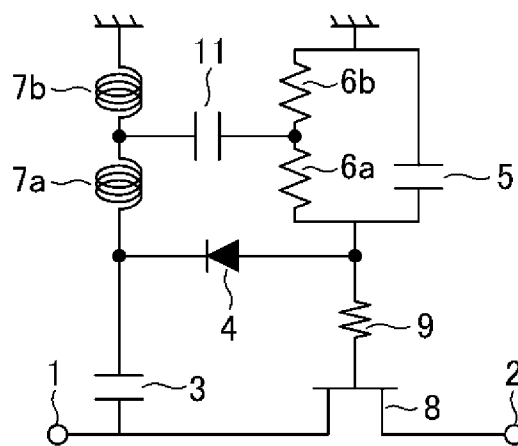
[図3]



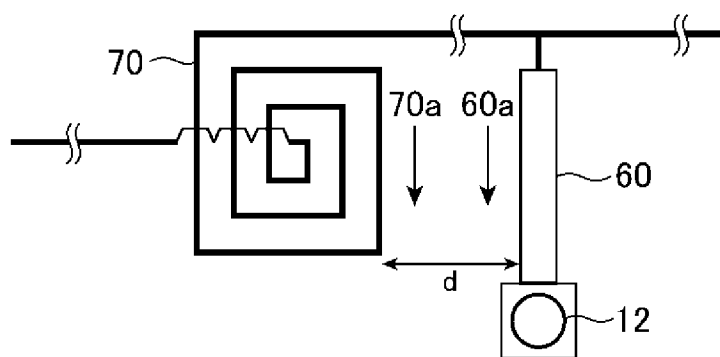
[図4]



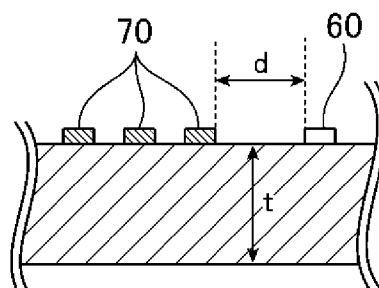
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/017432

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03G11/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03G11/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-195676 A (SHIMADA PHYSICAL CHEM IND CO., LTD.) 11 October 2012, paragraphs [0019]-[0033], fig. 6 (Family: none)	1-5
A	JP 7-74567 A (WATKINS JOHNSON CO.) 17 March 1995, paragraphs [0016]-[0020], fig. 2 & US 5300900 A, column 4, line 25 to column 5, line 26, fig. 2	1-5
A	JP 2006-217362 A (MITSUBISHI ELECTRIC CORP.) 17 August 2006, paragraphs [0016]-[0020], fig. 2 (Family: none)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18.07.2018

Date of mailing of the international search report
31.07.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/017432

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-22255 A (JAPAN RADIO CO., LTD.) 31 January 2008, paragraphs [0017]-[0031], fig. 1 (Family: none)	1-5
A	JP 2013-74500 A (MITSUBISHI ELECTRIC CORP.) 22 April 2013, entire text, all drawings (Family: none)	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03G11/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03G11/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-195676 A (島田理化工業株式会社) 2012.10.11, 段落 [0019] - [0033], 図6 (ファミリーなし)	1-5
A	JP 7-74567 A (ワトキンズ - ジョンソン カンパニー) 1995.03.17, 段落 [0016] - [0020], 図2 & US 5300900 A, 第4欄第25行-第5欄第26行, 図2	1-5
A	JP 2006-217362 A (三菱電機株式会社) 2006.08.17, 段落 [0016] - [0020], 図2 (ファミリーなし)	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18.07.2018

国際調査報告の発送日

31.07.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-22255 A (日本無線株式会社) 2008. 01. 31, 段落 [0017] - [0031] , 図 1 (ファミリーなし)	1-5
A	JP 2013-74500 A (三菱電機株式会社) 2013. 04. 22, 全文, 全図 (ファミリーなし)	1-5