



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월29일  
(11) 등록번호 10-1720592  
(24) 등록일자 2017년03월22일

(51) 국제특허분류(Int. Cl.)  
*G11C 17/12* (2006.01) *G11C 7/12* (2006.01)

*G11C 7/24* (2006.01)

(52) CPC특허분류

*G11C 17/12* (2013.01)

*G11C 7/12* (2013.01)

(21) 출원번호 10-2016-7004550

(22) 출원일자(국제) 2014년07월24일

심사청구일자 2016년12월06일

(85) 번역문제출일자 2016년02월22일

(65) 공개번호 10-2016-0039220

(43) 공개일자 2016년04월08일

(86) 국제출원번호 PCT/US2014/048061

(87) 국제공개번호 WO 2015/017253

국제공개일자 2015년02월05일

(30) 우선권주장

13/953,511 2013년07월29일 미국(US)

(56) 선행기술조사문현

US20060013041 A1

US5959467 A

US5866933 A

US4599704 A

(73) 특허권자

웰컴 인코포레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자

윤, 세승

미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

정, 철민

미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(뒷면에 계속)

(74) 대리인

특허법인 남엔드남

전체 청구항 수 : 총 13 항

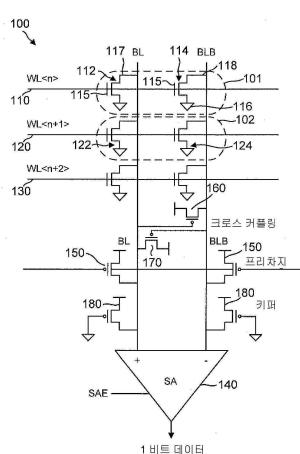
심사관 : 한선경

(54) 발명의 명칭 강화된 보안을 갖는 마스크-프로그래밍된 판독 전용 메모리

**(57) 요약**

MROM(mask-programmed read-only memory)은 복수의 열 라인 쌍들을 갖고, 각각의 열 라인 쌍들은 비트 라인 및 보수 비트 라인을 갖는다. MROM은 열 라인 쌍들과 복수의 워드 라인들 사이의 복수의 인터섹션들에 대응하는 복수의 메모리 셀들을 포함한다. 각각의 메모리 셀은 하이 Vt 트랜지스터 및 로우 Vt 트랜지스터를 포함한다.

**대 표 도** - 도1



(52) CPC특허분류

**G11C 7/24** (2013.01)

(72) 발명자

**테르지오글루, 예신**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

---

**밀렌도르프, 스티븐 마크**

미국 92121 캘리포니아주 샌 디에고 모어하우스 드  
라이브 5775

## 명세서

### 청구범위

#### 청구항 1

MROM(mask-programmed ROM)으로서,

비트 라인 및 보수(complement) 비트 라인을 포함하는 열(column) 라인 쌍;

복수의 메모리 셀들 – 각각의 메모리 셀은 상기 비트 라인에 커플링된 제 1 트랜지스터 및 상기 보수 비트 라인에 커플링된 제 2 트랜지스터를 포함하는 트랜지스터들의 쌍을 포함하고, 트랜지스터들의 각각의 쌍에 대해, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 하나는 로우(low) 임계 전압(로우  $V_t$ ) 트랜지스터이고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 나머지 하나는 하이(high) 임계 전압(하이  $V_t$ ) 트랜지스터임 –;

상기 비트 라인 및 상기 보수 비트 라인 사이의 전압 차를 감지하도록 구성되는 감지 증폭기;

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 각각의 소스와 접지 사이에 커플링된 초크(choke) 디바이스 – 상기 초크 디바이스는 누설 전류를 억제하기 위해 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 각각에 대한 게이트-투-소스(gate-to-source) 전압을 감소시키도록 구성됨 –;

상기 보수 비트 라인에 커플링된 자신의 게이트 및 상기 비트 라인에 커플링된 드레인을 갖는 제 1 PMOS 트랜지스터; 및

상기 비트 라인에 커플링된 자신의 게이트 및 상기 보수 비트 라인에 커플링된 드레인을 갖는 제 2 PMOS 트랜지스터를 포함하는,

MROM.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 NMOS 트랜지스터들인,

MROM.

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

제 1 항에 있어서,

상기 초크 디바이스는 파워 서플라이(power supply)에 커플링된 게이트, 접지에 커플링된 소스, 및 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 소스들에 커플링된 드레인을 갖는 NMOS 트랜지스터를 포함하는,

MROM.

#### 청구항 6

삭제

#### 청구항 7

제 1 항에 있어서,

상기 제 1 PMOS 트랜지스터에 대한 소스 및 상기 제 2 PMOS 트랜지스터에 대한 소스는 둘 모두 파워 서플라이에 커플링되는,

MROM.

#### 청구항 8

제 1 항에 있어서,

상기 열 라인 쌍에 걸쳐 공통 모드 전압 드롭(drop)을 감소시키도록 구성된 키퍼(keeper) 디바이스들의 쌍을 더 포함하는,

MROM.

#### 청구항 9

제 1 항에 있어서,

상기 열 라인 쌍을 프리차지(precharge)하도록 구성되는 프리차지 트랜지스터들의 쌍을 더 포함하는,

MROM.

#### 청구항 10

방법으로서,

비트 라인 및 보수 비트 라인을 포함하는 열 라인들의 쌍을 프리차지하는 단계;

상기 비트 라인에 커플링된 제 1 트랜지스터 및 상기 보수 비트 라인에 커플링된 제 2 트랜지스터를 포함하는 메모리 셀에 액세스하기 위해 워드 라인을 어서트(assert)하는 단계 – 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 하나는 로우  $V_t$  트랜지스터이고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 나머지 하나는 하이  $V_t$  트랜지스터임 –;

워드 라인 어서션(assertion)에 응답하여, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 어느 것이 상기 로우  $V_t$  트랜지스터인지 그리고 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 어느 것이 상기 하이  $V_t$  트랜지스터인지를 결정하여 액세스된 메모리 셀에 저장된 바이너리 값을 감지하기 위해 프리차지된 열 라인들의 쌍에 걸친 전압 차를 감지하는 단계;

누설 전류를 억제하기 위해, 초크 디바이스를 통해 상기 제 1 트랜지스터에 대한 소스를 접지에 커플링시키고 그리고 상기 초크 디바이스를 통해 상기 제 2 트랜지스터의 소스를 접지에 커플링시키는 단계; 및

키퍼 디바이스들을 통해 상기 비트 라인 및 상기 보수 비트 라인을 약하게 차지(charge)함으로써 열 라인 쌍에 대한 공통 모드 전압 드롭(drop)을 감소시키는 단계를 포함하는,

방법.

#### 청구항 11

제 10 항에 있어서,

상기 로우  $V_t$  트랜지스터가 프리차지된 열 라인들 중 하나를 상기 프리차지된 열 라인들 중 나머지 하나보다 전압이 더 낮도록 디스차지하는 것(discharging)에 응답하여, 상기 프리차지된 열 라인들 중 나머지 하나를 파워 서플라이 전압까지 차지(charge)하기 위해 트랜지스터를 턴온하는 단계를 더 포함하는,

방법.

#### 청구항 12

삭제

#### 청구항 13

삭제

**청구항 14**

삭제

**청구항 15**

제 10 항에 있어서,

감지 증폭기에서 상기 전압 차의 감지를 트리거하기 위해 상기 전압 차의 전개(development) 이후 감지 인에이블(enable) 신호를 어서트하는 단계를 더 포함하는,

방법.

**청구항 16**

MROM(mask-programmed ROM)으로서,

비트 라인 및 보수 비트 라인을 포함하는 열 라인 쌍;

초크 디바이스;

복수의 메모리 셀들 – 각각의 메모리 셀은 상기 비트 라인에 커플링된 제 1 트랜지스터 및 상기 보수 비트 라인에 커플링된 제 2 트랜지스터를 포함하는 트랜지스터들의 쌍을 포함하고, 트랜지스터들의 각각의 쌍에 대해, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 하나는 상기 초크 디바이스를 통해 접지에 커플링된 소스를 갖는 로우 임계 전압(로우  $V_t$ ) 트랜지스터이고, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 나머지 하나는 상기 초크 디바이스를 통해 접지에 커플링된 소스를 갖는 하이 임계 전압(하이  $V_t$ ) 트랜지스터이고, 상기 초크 디바이스는 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터의 각각에 대한 게이트-투-소스(gate-to-source) 전압을 감소시키도록 구성됨 –;

상기 메모리 셀들 중 액세스된 메모리 셀에서 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 어느 것이 하이  $V_t$  트랜지스터 또는 로우  $V_t$  트랜지스터인지 결정하기 위해, 상기 비트 라인 및 상기 보수 비트 라인 사이의 전압 차를 감지하기 위한 수단;

상기 보수 비트 라인에 커플링된 자신의 게이트 및 상기 비트 라인에 커플링된 드레인을 갖는 제 1 PMOS 트랜지스터; 및

상기 비트 라인에 커플링된 자신의 게이트 및 상기 보수 비트 라인에 커플링된 드레인을 갖는 제 2 PMOS 트랜지스터를 포함하는,

MROM.

**청구항 17**

제 16 항에 있어서,

상기 수단은, 상기 메모리 셀들 중 액세스된 메모리 셀에서 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 어느 것이 하이  $V_t$  트랜지스터 또는 로우  $V_t$  트랜지스터인지 결정하기 위해, 상기 열 라인 쌍에 걸친 전압 차를 검출하도록 구성되는,

MROM.

**청구항 18**

제 17 항에 있어서,

상기 수단은, 상기 메모리 셀들 중 액세스된 메모리 셀에서 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중 어느 것이 하이  $V_t$  트랜지스터 또는 로우  $V_t$  트랜지스터인지 결정하는 것에 응답하여 비트 판정(bit decision)을 하도록 추가로 구성되는,

MROM.

**청구항 19**

제 16 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 NMOS 트랜지스터들인,  
MROM.

## 청구항 20

삭제

### 발명의 설명

#### 기술 분야

[0001] 본 출원은 2013년 7월 29일자로 출원된 미국 가출원 번호 제13/953,511호에 대한 우선권을 주장하고, 상기 가출원은 그 전체 내용이 인용에 의해 본원에 포함된다.

[0002] 본 출원은 마스크-프로그래밍된 ROM(read-only memory)에 관한 것으로, 더 구체적으로, 자신에 저장된 데이터로의 허가되지 않은 액세스에 대해 강화된 보안을 갖는 마스크-프로그래밍된 ROM에 관한 것이다.

### 배경 기술

[0003] MROM(mask-programmed ROM)에 저장된 데이터는 암호화 코드들 또는 동작 파라미터들에 관한 매우 민감한 데이터일 수 있다. 예를 들어, MROM은 중요한 프로그램 코드, 메인 프로세서에 대한 기본 부트스트랩핑(bootstrapping) 펌웨어, 또는 독립형(self-contained) 디바이스들을 내부적으로 제어하는데 필요한 펌웨어, 이를테면, 그래픽 카드들, 하드 디스크들, DVD 드라이브들 및 TFT 스크린들을 저장할 수 있다. 따라서, MROM이 자신에 저장된 데이터로의 허가되지 않은 액세스에 대해 비교적 안전하도록 하는 것이 바람직할 수 있다.

[0004] MROM에서의 마스크 프로그래밍 단계의 탑입은 MROM의 데이터 보안에 영향을 미친다. 예를 들어, MROM의 하나의 탑입은 금속층 프로그래밍 단계의 이용을 수반한다. 금속층 프로그래밍은 꽤 유명하지만, 정교한(sophisticated) 사용자는 저장된 데이터를 복원하기 위해 금속층 프로그래밍을 쉽게 역조작(reverse engineer)할 수 있다. 예를 들어, 임베디드 MROM들을 포함하는 SOC(system on a chip) 다이는 전형적으로 패키지 기판 상에 플립-칩 장착된다(flip-chipmounted). 따라서, 자신의 인접한 금속층들을 갖는 다이에 대한 활성(active) 표면은 패키지 기판을 향하는(face) 반면, 다이의 후면은 몰드 컴파운드(mold compound)로 캡슐화된다. 그 다음, 역조작은, 금속층 프로그래밍을 판독하고 저장된 데이터를 결정하도록, 전자 현미경을 이용하여, 노출된 다이를 통해 다이의 후면 및 이미지를 노출시키기 위해 몰드 컴파운드를 쉽게 제거할 수 있다. 퓨즈-기반 ROM들에서의 금속층 퓨즈들의 상태는 또한, 이 스캐닝 전자 현미경 기법을 이용하여 복원될 수 있다.

[0005] 또 다른 탑입의 MROM은 채널 프로그래밍 단계를 이용하여 채널 임플란트를 대응하는 메모리 셀 트랜지스터들에 선택적으로 제공한다. 채널 임플란트의 존재에 따라, 메모리 셀 트랜지스터는 하이(high) 임계 전압 트랜지스터 또는 로우(low) 임계 전압 트랜지스터를 포함한다. 이상적으로, 로우 임계 전압 트랜지스터 메모리 셀은 그것의 대응하는 워드 라인의 어서션(assertion)에 응답하여 전도될 것인 반면, 하이 임계 전압 트랜지스터는 그렇지 않을 것이다. 채널 임플란트들이 금속층 프로그래밍을 검사하는데 이용되는 역조작의 탑입에 견고하지만, 트랜지스터 디멘션(dimension)들이 초 서브-미크론 체제(deep sub-micron regime)로 강요되므로, 하이 임계 전압과 로우 임계 전압 사이의 차는 100 밀리볼트만큼 작게 감소된다. 따라서, 로우 임계 전압 트랜지스터들 및 하이 임계 전압 트랜지스터들 양자는 개별 기준 회로가 하이 임계 전압 메모리 셀들을 로우 임계 메모리 셀들과 구별하는데 요구되도록 진화된 프로세스 노드들에서의 워드 라인의 어서션에 응답할 것이고, 이는 밀도를 감소시키고, 시스템 복잡도를 증가시킨다. 게다가, 채널-임플란트-프로그래밍된 MROM들에서의 로우 임계 전압 메모리 셀 트랜지스터들은 과도한 누설 전류를 겪는다.

[0006] 따라서, 허가되지 않은 액세스에 대해서는 견고하지만 증가된 밀도 및 감소된 전력 소모를 달성하는 마스크 프로그램 가능한 ROM들에 대한 필요성이 당해 기술 분야에 존재한다.

### 발명의 내용

[0007] 강화된 보안을 갖지만 증가된 밀도 및 감소된 전력 소모를 달성하는 마스크-프로그래밍된 ROM들에 대한

당해 기술 분야에서의 필요성을 충족하기 위해, 열(column) 라인들 또는 비트 라인들의 쌍들을 포함하는 MROM(mask-programmed ROM)이 개시된다. 각각의 열 라인 쌍은 비트 라인 및 보수(complement) 비트 라인을 포함한다. MROM은 각각의 열 라인 쌍에 대한 복수의 메모리 셀들을 포함한다. 각각의 메모리 셀은 트랜지스터들의 쌍을 포함한다. 각각의 트랜지스터 쌍에서의 제 1 트랜지스터는 비트 라인에 커플링되는 반면, 나머지 제 2 트랜지스터는 보수 비트 라인에 커플링된다. 각각의 메모리 셀에 대한 마스크 프로그래밍 단계에서의 선택적 채널 임플란트들은 그것의 바이너리 값(로직 1 또는 로직 0)을 결정한다. 각각의 트랜지스터 쌍에서의 제 1 트랜지스터 또는 제 2 트랜지스터는 채널 임플란트를 수신하는 반면, 그 쌍에서의 트랜지스터들 중 나머지 하나는 채널 임플란트를 수신하지 않는다. 채널 임플란트의 존재(또는 그것의 결여)는 메모리 셀의 제 1 트랜지스터 및 제 2 트랜지스터에 대한 임계 전압들을 결정한다. 마스크 프로그래밍은, 각각의 트랜지스터 쌍에서의 트랜지스터들 중 하나가 하이 임계 전압(하이  $V_t$ ) 트랜지스터이고 각각의 쌍에서의 트랜지스터들 중 나머지 하나가 로우 임계 전압(로우  $V_t$ ) 트랜지스터이도록 각각의 메모리 셀에 대해 상보적이다.

[0008] 채널 임플란트의 타입은 메모리 셀 트랜지스터들이 로우  $V_t$  트랜지스터들인지 아니면 하이  $V_t$  트랜지스터들인지를 결정한다. 예를 들어, 어셉터 도펀트들(acceptor dopants)이 NMOS 트랜지스터의 채널에 임플란트되면, 임계 전압은 증가된다. 반대로, 도너 도펀트들(donor dopants)이 NMOS 트랜지스터의 채널에 임플란트되면, 임계 전압은 감소된다. 따라서, 일 실시예에서, 메모리 셀은 자신의 임계 전압을 하이  $V_t$  트랜지스터가 되도록 상승시키기 위해 제 1 트랜지스터를 채널 임플란트함으로써, 제 1 바이너리 값(로직 하이 또는 로우)을 저장하도록 마스크 프로그래밍될 수 있다. 나머지 제 2 트랜지스터는 채널 임플란트를 수신하지 않도록 마스킹(mask)될 것이며, 따라서, 로우  $V_t$  트랜지스터를 포함할 것이다. 이러한 실시예에서, 메모리 셀은 그것이 하이  $V_t$  트랜지스터를 포함하도록 제 2 트랜지스터를 채널 임플란트함으로써 제 1 바이너리 값의 보수인 제 2 바이너리 값을 저장하도록 마스크 프로그래밍될 수 있다. 나머지 제 1 트랜지스터는 그것이 로우  $V_t$  트랜지스터를 포함하도록 채널 임플란트로부터 마스킹될 것이다. 그러나, 채널 임플란트의 존재가 대신에, 위에서 논의된 바와 같은 임계 전압보다 낮을 수 있다는 것이 인식될 것이다. 채널 임플란트가 임계 전압을 상승시키는지 아니면 저하시키는지에 관계없이, 마스킹 단계는, 각각의 메모리 셀에서의 제 1 트랜지스터 및 제 2 트랜지스터 중 하나가 하이  $V_t$  트랜지스터인 반면 나머지 트랜지스터가 로우  $V_t$  트랜지스터이도록 상보적이다. 따라서, 메모리 셀의 바이너리 값은 제 1 트랜지스터 및 제 2 트랜지스터 중 어느 것이 하이  $V_t$  트랜지스터 또는 로우  $V_t$  트랜지스터인지에 의존한다.

[0009] 복수의 워드 라인들은 열 라인 쌍들과의 인터섹션(intersection)들을 형성하도록 배열된다. 각각의 열 라인 쌍에 대한 메모리 셀들은 각각의 메모리 셀이 대응하는 워드 라인 및 대응하는 열 라인 쌍의 교차점(cross point) 또는 인터섹션에 로케이팅되도록(located) 워드 라인들에 의해 배열된다. 메모리 셀의 워드 라인은 트랜지스터 쌍의 게이트들에 커플링된다. 따라서, 대응하는 워드 라인이 자신의 전압을 상승시킴으로써 어서트(assert)되면, 쌍에서의 양자의 트랜지스터들을 턴온될 것이다. 그러나, 로우  $V_t$  트랜지스터는 하이  $V_t$  트랜지스터보다 오래 턴온될 것이다.

[0010] 하이  $V_t$  트랜지스터 및 로우  $V_t$  트랜지스터에 의해 통과되는 전류의 양 사이의 이러한 차는 다음과 같은 판독 동작 동안 이용된다. 특정 메모리 셀에 저장된 비트 값을 판독하기 위해, 대응하는 열 라인 쌍은 먼저, 프리차지(precharge) 전압으로 프리차지된다(precharged). 다음으로, 대응하는 워드 라인은, 예를 들어, 파워 서플라이 전압 VDD까지 그것을 차지함(charging)으로써 하이(high)로 어서트된다. 그 다음, 트랜지스터 쌍에서의 양자의 트랜지스터들은 전도될 것이다. 그러나, 로우  $V_t$  트랜지스터에 커플링된 열 라인의 전압은 임계 전압들의 차로 인하여 하이  $V_t$  트랜지스터에 커플링된 나머지 라인보다 많이 디스차지된다(discharged). 따라서, 감지 증폭기를 이용하여 열 라인 쌍에 걸친 전압 드롭(drop) 차를 검사함(examining)으로써, 제 1 트랜지스터가 하이  $V_t$  트랜지스터인지 아니면 로우  $V_t$  트랜지스터인지 – 또는 동등하게, 제 2 트랜지스터가 로우  $V_t$  트랜지스터인지 아니면 하이  $V_t$  트랜지스터인지 – 가 결정될 수 있다. 일단 감지 증폭기가 이러한 결정을 수행하면, 그것은 대응하는 출력 비트를 생성한다. 예를 들어, 감지 증폭기가 제 1 트랜지스터가 하이  $V_t$  트랜지스터임(또는 동등하게, 제 2 트랜지스터가 로우  $V_t$  트랜지스터임)을 결정하면, 그것은 제 1 바이너리 값과 동일한 출력 비트를 생성할 수 있다 – 제 1 바이너리 값이 바이너리 1 값인지 아니면 바이너리 0 값인지가 설계 선택.design choice)임 – . 반대로, 감지 증폭기가 제 1 트랜지스터가 로우  $V_t$  트랜지스터임(또는 동등하게, 제 2 트랜지스터가 하이  $V_t$  트랜지스터임)을 결정하면, 그것은 제 1 바이너리 값의 보수인 제 2 바이너리 값과 동일한 출력 비트를 생성할 수 있다.

## 도면의 간단한 설명

[0011]

- [0011] 도 1은 본 개시의 실시예에 따른 MROM(mask-programmed ROM)에서의 열(column)의 개략도이다.
- [0012] 도 2는 도 2의 MROM에서의 다양한 신호들에 대한 과정들을 예시한다.
- [0013] 도 3은 본 개시의 실시예에 따른 초크 디바이스들을 포함하는 MROM에서의 열의 개략도이다.
- [0014] 도 4는 도 3의 MROM에서의 다양한 신호들에 대한 과정들을 예시한다.
- [0015] 도 5는 본 개시의 실시예에 따른 MROM에 대한 동작의 예시적 방법에 대한 흐름도이다.

### 발명을 실시하기 위한 구체적인 내용

[0012]

[0016] 각각의 메모리 셀이 트랜지스터들의 쌍을 포함하는 MROM(mask programmed ROM)이 개시된다. 각각의 쌍에서의 제 1 트랜지스터는 비트 라인에 커플링된다. 따라서, 제 1 트랜지스터는 또한, 비트 라인 트랜지스터로서 표시될 수 있다. 각각의 쌍에서의 나머지 제 2 트랜지스터는 제 2 트랜지스터가 또한 보수 비트 라인 트랜지스터로서 표시될 수 있도록 보수 비트 라인에 커플링된다. 각각의 쌍에서의 트랜지스터들에 대한 임계 전압들은, 트랜지스터들 중 하나(비트 라인 트랜지스터 또는 보수 비트 라인 트랜지스터)가 로우 Vt 트랜지스터이고 나머지 트랜지스터가 하이 Vt 트랜지스터이도록 상보적이다. 메모리 셀 트랜지스터들의 임계 전압들은 제조 프로세스 동안 대응하는 마스크 단계(또는 단계들)를 통해, 이들이 마스킹되는지 아닌지에 따라 채널 임플란트를 수신하도록 구성된다. 각각의 트랜지스터 쌍에 대해, 트랜지스터들 중 하나는 마스킹되는 반면, 나머지 트랜지스터는 채널 임플란트를 수신한다. 다음의 논의는 채널 임플란트가 임계 전압을 증가시킨다고 가정할 것이지만, 채널 임플란트가 또한 임계 전압을 감소시키도록 구성될 수 있다는 것이 인식될 것이다. 메모리 셀들은 각각의 메모리 셀이 워드 라인 및 열 라인 쌍의 교차점 또는 인터섹션에 로케이팅되도록 워드 라인들에 의해 배열된다. 각각의 열 라인 쌍은 비트 라인 및 보수 비트 라인을 포함한다.

[0013]

[0017] 제 1 바이너리 값을 저장하도록 메모리 셀을 마스크 프로그래밍하기 위해, 메모리 셀의 비트 라인 트랜지스터는 채널 임플란트로부터 차폐되고(shielded) 로우 Vt 트랜지스터로서 구성되도록 마스킹된다. 반대로, 마스킹되지 않은 보수 비트 라인 트랜지스터는 그것이 하이 Vt 트랜지스터로서 구성되도록 채널 임플란트를 수신한다. 유사하게, 제 1 바이너리 값의 보수인 제 2 바이너리 값을 저장하도록 메모리 셀을 마스크 프로그래밍하기 위해, 채널 임플란트 및 마스킹은, 비트 라인 트랜지스터가 하이 Vt 트랜지스터로서 구성되는 반면 보수 비트 라인 트랜지스터가 로우 Vt 트랜지스터로서 구성되도록 수행된다. 따라서, 각각의 마스크-프로그래밍된 메모리 셀의 바이너리 상태는 유리하게 임의의 금속층 구성에 의존하지 않는다. 다시 말해서, 본원에 개시된 MROM들에 대한 금속층들의 임의의 외관 검사(visual examination)는 MROM 내에 저장된 데이터에 대한 어떠한 정보도 제공하지 않는다. 이러한 방식으로, 보안은 종래 기술의 금속층 프로그래밍된 ROM들에 비해 크게 강화된다. 더욱이, 각각의 메모리 셀에서의 하이-Vt 트랜지스터 및 로우-Vt 트랜지스터의 상보적 이용은 종래의 채널-임플란트-프로그래밍된 ROM들의 설계를 복잡하게 하는 개별 기준 회로에 대한 필요성을 제거한다. 또한, 종래의 채널-임플란트-프로그래밍된 ROM들에 악영향을 주었던 누설 전류들은 본원에 추가로 논의된 바와 같이 급격히 감소한다. 일부 예시적 실시예들이 이제 논의될 것이다.

[0014]

### 예시적 실시예들

[0015]

[0018] 도면들을 이제 참조하면, 도 1은 복수의 메모리 셀들, 이를테면, 메모리 셀들(101 및 102)을 포함하는 MROM(100)을 예시한다. 각각의 메모리 셀은 비트 라인(BL)에 커플링된 제 1 NMOS 트랜지스터 및 보수 비트 라인(BLB)에 커플링된 제 2 NMOS 트랜지스터를 포함한다. 비트 라인들(BL 및 BLB)은 열 라인 쌍을 형성한다. 따라서, 열 라인 쌍에 커플링된 메모리 셀들은 MROM(100)에서의 메모리 셀들의 열을 형성한다. 각각의 제 1 트랜지스터 및 각각의 제 2 트랜지스터로부터의 임계 전압들은 각각의 메모리 셀의 바이너리 상태를 결정한다. 메모리 셀(101)에서, 제 1 트랜지스터는 비트 라인(BL)에 커플링된 드레인(117)을 갖는 로우 Vt 트랜지스터(112)이다. 반대로, 제 2 트랜지스터는 보수 비트 라인(BLB)에 커플링된 드레인(118)을 갖는 하이 Vt 트랜지스터(114)이다.

[0016]

[0019] MROM(100)은 복수의 행(row) 워드 라인들, 이를테면, 워드 라인들(110, 120 및 130)을 포함한다. 워드 라인(110)은 MROM에 대한 제 n 워드 라인이며, 여기서, n은 임의적 양의 정수이다. 유사하게, 워드 라인(120)은 제 (n + 1) 워드 라인이고, 워드 라인(130)은 제 (n + 2) 워드 라인이다. 예시적 명료성을 위해, MROM(100)에서의 나머지 워드 라인들은 도시되지 않는다. 트랜지스터들(112 및 114)에 대한 게이트들(115)은 워드 라인(110)에 전기적으로 연결되는 반면, 트랜지스터들(112 및 114)에 대한 소스들은 접지(116)에 커플링된다. 그러나, 아래에서 추가로 논의될 바와 같이, 트랜지스터들(112 및 114)에 대한 소스들은, 누설 전류를 제

한하기 위해 대안적 실시예에서, 초크 디바이스에 커플링될 수 있다. 감지 증폭기(140)는 열 라인 쌍에 걸친 전압 차를 감지함으로써 비트 판정을 수행하도록 구성된다. 로우 Vt 트랜지스터(112)는 서플라이 전압 VDD까지의 워드 라인(110)의 상승에 응답하여 더 충분히 턴온되는 경향이 있을 것인 반면, 하이 Vt 트랜지스터(114)는 그렇게 견고하게 턴온되지는 않을 것이다. 따라서, 비트 라인(BL)은 워드 라인(110)이 어서트되는 경우(워드 라인(110) 상의 전압이 서플라이 전압 VDD까지 상승되는 경우) 보수 비트 라인(BLB)보다 빠르게 접지로 디스차지될 것이다. 일 실시예에서, 감지 증폭기(140)는 제 1 트랜지스터 및 제 2 트랜지스터 중 어느 것이 메모리 셀들 중 액세스된 셀에서의 하이 Vt 트랜지스터 또는 로우 Vt 트랜지스터인지를 결정하기 위한 수단을 포함한다.

[0017] [0020] MROM(100)에서의 메모리 셀의 프로그래밍은 각각의 메모리 셀 트랜지스터 쌍에서의 제 1 트랜지스터 및 제 2 트랜지스터에 대한 임계 전압들에 의존한다. 이들의 임계 전압들은 트랜지스터 쌍에서의 트랜지스터들 중 하나가 하이 Vt 트랜지스터이고 트랜지스터들 중 나머지 하나가 로우 Vt 트랜지스터라는 점에서 상보적이다. 예를 들어, 메모리 셀(102)에서, 제 1 트랜지스터는 하이 Vt 트랜지스터(122)인 반면, 제 2 트랜지스터는 로우 Vt 트랜지스터(124)이다. 따라서, 메모리 셀(102)의 마스크 프로그래밍은 메모리 셀(101)에 대한 마스크 프로그래밍에 상보적이다. 예를 들어, 제 1 트랜지스터가 로우 Vt 트랜지스터이면 그리고 제 2 트랜지스터가 하이 Vt 트랜지스터이면, 논리 0 값이 메모리 셀에 저장되는 것으로 간주될 수 있다. 반대로, 제 1 트랜지스터가 하이 Vt 트랜지스터이면 그리고 제 2 트랜지스터가 로우 Vt 트랜지스터이면, 논리 1 값이 메모리 셀에 저장되는 것으로 간주될 수 있다. 제 1 트랜지스터가 하이 Vt 트랜지스터이면 그리고 제 2 트랜지스터가 로우 Vt 트랜지스터이면 논리 1 값이 대신에, 메모리 셀에 저장되는 것으로 간주될 수 있도록, 바이너리 값들의 할당이 임의적이라는 것이 인식될 수 있다. 제  $(n+1)$  워드 라인(120)은 메모리 셀(102)에서의 트랜지스터들(122 및 124)의 게이트들에 커플링된다. 워드 라인(120)이 어서트되는 경우, 보수 비트 라인(BLB)은 따라서, 비트 라인(BL)에 비해 빠르게 접지로 디스차지될 것이다.

[0018] [0021] 일반적으로, MROM(100)에서의 특정 메모리 셀에 대한 판독 동작은 다음과 같다. 액세스된 메모리 셀에 저장된 비트 값을 판독하는 제 1 단계는, 이를테면, 프리차지 PMOS 트랜지스터들(150)의 게이트들을 구동시키는 프리차지 신호의 어서션(액티브 로우(active low))에 응답하여 프리차지 PMOS 트랜지스터들(150)의 쌍을 턴온함으로써 비트 라인(BL) 및 보수 비트 라인(BLB)을 프리차지하는 단계를 포함한다. 각각의 프리차지 트랜지스터(150)는 파워 서플라이 VDD에 커플링된 자신의 소스를 갖는다. 하나의 프리차지 트랜지스터(150)는 비트 라인(BL)과 관련된 자신의 드레인을 갖는 반면, 나머지 프리차지 트랜지스터(150)는 보수 비트 라인(BLB)과 관련된 자신의 드레인을 갖는다. MROM(100)이 워드 라인별로 순차적으로 판독되기 때문에, 동일한 워드 라인에 의해 액세스되는 모든 메모리 셀들은 워드 라인의 어서션에 대해 판독될 수 있다. 프리차지 전압은, 일 실시예에서 0.8 내지 1.2 볼트(V)의 범위를 가질 수 있는 파워 서플라이 전압 VDD에 의존한다. 프리차지 스테이지 동안, 워드 라인은 어서트되지 않는다. 유사하게, 감지 증폭기(140)는 또한, 이때 열 라인 쌍으로부터 턴오프 또는 커플링해제된다. 일단 열 라인 쌍이 프리차지되면, 프리차지 트랜지스터들(150)은 비트 라인(BL) 및 보수 비트 라인(BLB)이 플로팅(float)되도록 턴오프된다.

[0019] [0022] 워드 라인들은 다수의 열 라인 쌍들에 걸쳐 연장된다 – 단지 단일 열 라인 쌍이 예시적 명료성을 위해 도 1에 도시된다. 타겟팅된 워드 라인은 어서트된 워드 라인에 의해 크로싱(cross)되는 다양한 열 라인 쌍들에서 메모리 셀들에서의 제 1 트랜지스터 및 제 2 트랜지스터를 턴온하기 위해 VDD까지 상승됨으로써 어서트될 수 있다. 그 다음, 액세스된 메모리 셀에 커플링된 비트 라인(BL) 및 보수 비트 라인(BLB)에 대한 전압들은 어느 열 라인이 로우 Vt 트랜지스터에 커플링되는지 그리고 어느 열 라인이 하이 Vt 트랜지스터에 커플링되는지에 따라 응답할 것이다. 전압 차의 전개(development) 이후, 감지 증폭기(140)는 비트 판정을 수행하기 위해 인에이블된다. 일 실시예에서, 서플라이 전압 VDD는 1V인 반면, 하이 전압 임계치는 섭씨 25도에서 대략 400mV이고, 로우 전압 임계치는 섭씨 25도에서 대략 300mV이다. 따라서, 하이 Vt 트랜지스터 및 로우 Vt 트랜지스터 양자는 대응하는 워드 라인의 어서션에 응답하여 턴온될 것이지만, 로우 Vt 트랜지스터는 더 빠르게 턴온되기 시작한다. 일단 턴온되면, 트랜지스터들 양자는 이를 각각의 채널들에서 전류들을 전도하도록 동작하고, 이들은 하이 Vt 트랜지스터 및 로우 Vt 트랜지스터의 응답 패턴들이 상이하기 때문에 양들을 변경함으로써 열 라인들을 디스차지한다. NMOS 트랜지스터의 채널에서 생성된 전류의 크기가 게이트-투-소스 전압과 임계 전압 사이의 차에 의존하기 때문에, 하이 Vt 트랜지스터에서 생성된 전류에 비해 더 큰 전류가 로우 Vt 트랜지스터의 채널에서 생성된다. 그 다음, 로우 Vt 트랜지스터에 커플링된 열 라인(비트 라인(BL) 또는 보수 비트 라인(BLB))에 대한 전압은, 따라서, 하이 Vt 트랜지스터에 커플링된 열 라인의 전압보다 빠르게 드롭(drop)될 것이다.

[0020] [0023] 도 2는 워드 라인(110) 상에서 어서트된 전압(210)에 응답하여 열 라인 쌍 상에서의 시간에 따른 전압

변화들을 예시한다. 프리차지된 비트 라인(BL) 상의 전압(220)은 메모리 셀(101)에서의 로우 Vt 트랜지스터(112)가 턴온될 때 먼저 드롭되기 시작하고, 바로 이어서, 보수 비트 라인(BLB) 상의 전압(230)은 하이 Vt 트랜지스터(114)가 턴온되기 시작될 때 드롭된다는 것이 보여질 수 있다. 그러나, 비트 라인(BL) 전압(220)은 보수 비트 라인(BLB) 전압(230)보다 빠르게 드롭된다. 이러한 전압 차가 비트 라인들(BL)과 보수 비트 라인(BLB) 사이에서 전개되는 충분한 양의 시간 이후, 감지 증폭기 인에이블(SAE) 신호(240)는, 감지 증폭기(140)가 비트 라인(BL) 전압(220)이 보수 비트 라인(BLB) 전압(230)보다 높은지 아니면 낮은지를 결정함으로써 메모리 셀(101)에 저장된 바이너리 값을 감지할 수 있도록, 어서트된다. 예를 들어, 메모리 셀(102)이 판독 동작에서 액세스되었으면, 감지 증폭기(140)는, 메모리 셀(102)에서 하이 Vt 트랜지스터(122)가 비트 라인(BL)에 커플링되기 때문에, 비트 라인(BL) 전압(220)이 보수 비트 라인(BLB) 전압(230)보다 높게 유지될 것임을 결정할 것이다. 열 라인 쌍에 대한 전압 차에 기초하여, 감지 증폭기(140)는 액세스된 메모리 셀에 저장된 논리 값을 결정하고, 데이터 버스 또는 출력으로 전송될 대응하는 데이터 비트(250)를 생성할 수 있다. 열 라인 쌍에 걸친 전압 차의 감지 및 감지 증폭기(140)에 의한 그것으로부터의 데이터 비트의 생성은 메모리 기술 분야들에 공지된 바와 같은 감지 증폭기(140)에서의 종래의 래칭 프로세스에 의해 달성될 수 있다.

[0021]

[0024] 전압 차를 강조(accentuate)하기 위해, 열 라인 쌍은 크로스-커플링될 수 있다. 예를 들어, PMOS 트랜지스터들(160 및 170)의 쌍은 도 1에 도시된 바와 같이 이러한 크로스-커플링을 구현하는데 이용될 수 있다. PMOS 트랜지스터(160)의 게이트는 비트 라인(BL) 상의 전압에 의해 구동되는 반면, PMOS 트랜지스터(170)의 게이트는 보수 비트 라인(BLB) 상의 전압에 의해 구동된다. PMOS 트랜지스터(160)의 드레인은 보수 비트 라인(BLB)에 커플링되는 반면, PMOS 트랜지스터(170)의 드레인은 비트 라인(BL)에 커플링된다. 트랜지스터들(160 및 170)에 대한 소스들은 파워 서플라이 전압 VDD를 제공하는 파워 서플라이에 커플링된다. 이러한 크로스-커플링이 주어지면, 열 라인 쌍에 걸친 전압 차는 강조된다. 예를 들어, 비트 라인(BL) 상의 전압이 먼저 드롭되면, 트랜지스터(160)는 보수 비트 라인(BLB)에 대한 전압을 VDD로 풀링(pull)하도록 턴온되는 경향이 있을 것이다. 반대로, 보수 비트 라인(BLB) 상의 전압이 먼저 드롭되면, 트랜지스터(170)는 비트 라인(BL) 상의 전압을 VDD로 풀링하도록 턴온되는 경향이 있을 것이다. 도 2가 비트 라인 전압(220)이 워드 라인 어서션에 응답하여 먼저 드롭되는 메모리 셀(101)과 같은 메모리 셀에 대한 전압 전개를 예시하기 때문에, 보수 비트 라인 전압(230)은 비트 라인 전압(220)이 감소될 때 바운스 업(bounce up)되는 것으로 도시된다. 이러한 방식으로, PMOS 트랜지스터들(160 및 170)로부터의 크로스-커플링은 감지 증폭기(140)가 비트 판정을 수행하는 것을 돋는다.

[0022]

[0025] 약한 키퍼(keeper) PMOS 트랜지스터(180)는 또한, 공통 모드 전압 드롭을 늦추기 위해 각각의 열 라인에 커플링될 수 있다. 이러한 디바이스들이 없으면, 각각의 열 라인 상의 공통 모드 드롭은 하이 Vt 및 로우 VT 트랜지스터들이 전도되기 시작하는 것에 응답하여 너무 빠르게 발생할 수 있다. 그 다음, 감지 증폭기(140)는 어느 열 라인 전압이 이러한 빠른 디스차지들로부터 가장 크게 디스차지되었는지를 식별할 수 없을 수 있다. 각각의 키퍼 PMOS 트랜지스터(180)는 항상 온(on)인 상태이지만, 약한 것으로 구성된다. 각각의 열 라인에 대한 전압을 약하게 풀링 업(pulling up)함으로써, 키퍼 트랜지스터들(180)은 열 라인 디스차지를 늦추도록 동작한다. 키퍼 트랜지스터들(180)의 효과는 전압들(220 및 230)이 비교적 점진적으로 감소된다는 점에서 도 2에 예시된다.

[0023]

[0026] MROM(100)에 대한 하나의 문제는 누설 전류의 양이다. 특히, 로우 Vt 트랜지스터들로부터의 누설 전류는 하이 Vt 트랜지스터들로부터의 전류에 비해 상대적으로 높다. 이러한 트랜지스터들을 통한 접지로의 결과적 디스차지는 배터리로 구동되는 디바이스에 대한 더 빠른 배터리 소모를 초래한다. 더욱이, 워드 라인들의 수가 증가될 때, 각각의 열 라인에 커플링된 로우 Vt 트랜지스터들의 수는 증가되는 경향이 있을 것이다. 각각의 열 라인에 커플링된 이러한 증가된 수의 로우 Vt 트랜지스터들은 로우 Vt 트랜지스터로부터의 디스차지가 액세스된 메모리 셀에서 턴온되는 것보다 훨씬 크거나 이와 동일한 양만큼 각각의 열 라인을 디스차지할 수 있다. 따라서, 감지 증폭기(140)는 열 라인 쌍에서의 어느 열 라인이 더 낮은 전압을 갖는지를 정확하게 결정할 수 없을 것인데, 그 이유는, 그것이 액세스된 메모리 셀에서의 제 1 트랜지스터 및 제 2 트랜지스터에 대한 임계 전압들에 더이상 의존하지 않기 때문이다. 대신에, 열 라인들의 디스차지는 액세스되지 않은 메모리 셀들에서의 누설 전류들에 의해 생성된 것에 의해 지배될(dominated) 수 있다.

[0024]

[0027] 이러한 누설 전류를 억제하기 위해, 메모리 셀 트랜지스터 드레인들은 도 3의 MROM(300)에 대해 도시된 바와 같이, 대응하는 초크 트랜지스터(310)를 통해 접지에 커플링될 수 있다. 초크 트랜지스터(310)는 메모리 셀 트랜지스터들에 비해 상대적으로 약하다. MROM(300)에서, 초크 트랜지스터(310)는, 영구적으로 턴온되도록 VDD와 관련된 자신의 게이트를 갖는 NMOS 트랜지스터이다. 초크 트랜지스터(310)에 대한 소스는 접지에 커플링되는 반면, 그것의 드레인은 모든 로우 Vt 트랜지스터들에 대한 소스들에 그리고 대응하는 열 라인 쌍에 커플링

된 모든 하이  $V_t$  트랜지스터들에 대한 소스들에(또는 적어도 로우  $V_t$  및 하이  $V_t$  트랜지스터들의 서브세트에) 커플링된다. 초크 트랜지스터(310)가 비교적 약하기 때문에, 그것은 자신의 드레인의 VDD까지의 전압의 상승을 시작하도록 누설되는 로우  $V_t$  트랜지스터들로부터의 모든 누설 전류들을 전도하지 않을 수 있다. 초크 트랜지스터(310) 상의 드레인 전압의 이러한 상승은, 이러한 로우  $V_t$  트랜지스터들에 대해 네거티브(negative)가 되도록 디-어서트된 워드 라인들을 갖는 턴오프된 로우  $V_t$  트랜지스터들에 대해 게이트-투-소스 전압이 감소된다는 것을 의미한다. 누설 전류가 게이트-투-소스 전압의 지수 함수이기 때문에, 초크 트랜지스터(310)는 액세스되지 않은 로우  $V_t$  트랜지스터들에서의 누설 전류들을 급격히 감소시킨다. 초크 트랜지스터(310)는 이러한 방식으로 누설 전류들을 감소시킬 뿐만 아니라, 그것은 또한, 하이  $V_t$  트랜지스터의 게이트-투-소스 전압이 턴온될 하이 임계 전압을 초과하여야 하기 때문에, 액세스된 메모리 셀에서의 하이  $V_t$  트랜지스터를 오프 상태로 유지하도록 돋는다. 그러나, 소스 전압들이 초크 트랜지스터(310)의 효과로부터 상승하기 때문에, 하이  $V_t$  트랜지스터들은 대응하는 워드 라인들의 어서션에 응답하여 턴온되는 것이 억제될 것이다. 결과적으로, 하이  $V_t$  트랜지스터에 커플링된 열 라인 상의 전압은 대응하는 워드 라인의 어서션에 응답하여 드롭되지 않는다(또는 아주 작게 드롭된다).

[0025] [0028] 도 4는 도 3의 메모리 셀(301)에 대한 판독 동작에 대해 초크 트랜지스터(310)의 효과를 예시한다. 메모리 셀(301)에서, 로우  $V_t$  트랜지스터(316)는 비트 라인(BL)에 커플링된 제 1 트랜지스터인 반면, 하이  $V_t$  트랜지스터(317)는 보수 비트 라인(BLB)에 커플링된 제 2 트랜지스터이다. 따라서, 초크 트랜지스터(310)는 트랜지스터들(316 및 317)에 대한 소스들에 커플링된다. 하이  $V_t$  트랜지스터(317) 상의 증가된 소스 전압은 보수 비트 라인 전압(430)으로 하여금 워드 라인(110)에 대한 워드 라인 전압(210)의 어서션에 응답하여 아주 작게 드롭되게 한다. 따라서, 초크 트랜지스터(310)는, 액세스되지 않은 메모리 셀들에서의 로우  $V_t$  트랜지스터들로부터의 누설을 감소시킬 뿐만 아니라, 또한 열 라인 쌍에 걸친 전압 차를 추가로 전개하기 위해 액세스된 메모리 셀에서의 하이  $V_t$  트랜지스터가 턴온되는 것을 억제함으로써, 감지 증폭기(140)에 의한 신호 판독 및 구별을 강화한다. 동작의 예시적 방법이 이제 논의될 것이다.

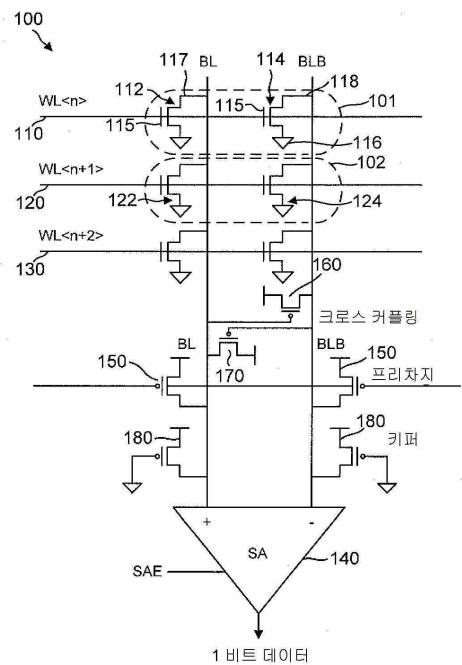
#### 동작의 예시적 방법

[0027] [0029] 예시적 판독 동작에 대한 흐름도가 도 5에 도시된다. 판독 동작은 비트 라인 및 보수 비트 라인을 포함하는 열 라인들의 쌍을 프리차지하는 동작(500)으로 시작한다. 판독 동작은 비트 라인에 커플링된 제 1 트랜지스터 및 보수 비트 라인에 커플링된 제 2 트랜지스터를 포함하는 트랜지스터 쌍을 포함하는 메모리 셀에 액세스하기 위해 워드 라인을 어서트(assert)하는 동작(505)으로 계속되고, 트랜지스터 쌍에서의 트랜지스터들 중 하나는 로우  $V_t$  트랜지스터이고, 트랜지스터 쌍에서의 트랜지스터들 중 나머지 하나는 하이  $V_t$  트랜지스터이다. 판독 동작은, 워드 라인 어서션(assertion)에 응답하여, 트랜지스터 쌍에서의 트랜지스터들 중 어느 것이 로우  $V_t$  트랜지스터인지 그리고 트랜지스터 쌍에서의 트랜지스터들 중 어느 것이 하이  $V_t$  트랜지스터인지를 결정하여 액세스된 메모리 셀에 저장된 바이너리 값을 감지하기 위해 열 라인 쌍에 걸친 전압 차를 감지하는 동작(510)으로 종료된다.

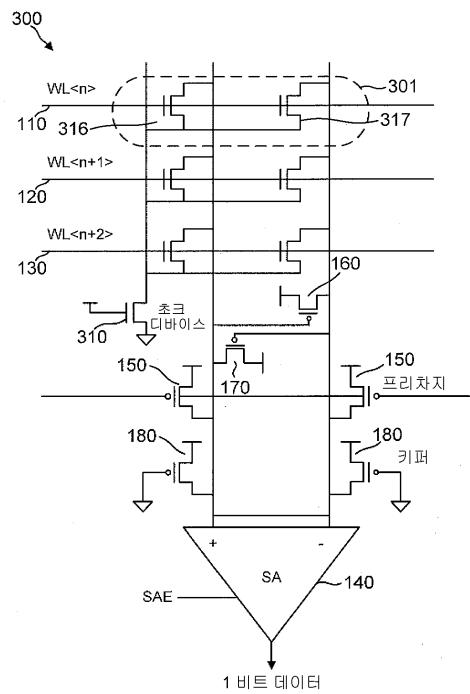
[0028] [0030] 당업자들이 이제 인식할 바와 같이 그리고 당면한 특정 애플리케이션에 따라, 본 개시의 사상 및 범위로부터 벗어나지 않으면서 본 개시의 디바이스들의 이용의 재료들, 장치, 구성들 및 방법들에서 그리고 이들에 대해 많은 수정들, 치환들 및 변형들이 이루어질 수 있다. 이것을 고려하여, 본 개시의 범위는, 본원에 예시되고 설명된 특정 실시예들이 단지 본원의 일부 예들에 의한 것이므로, 본원에 예시되고 설명된 특정 실시예들의 범위에 제한되어서는 안되지만, 오히려, 이하에 첨부된 청구항들 및 이들의 기능적 등가물들의 범위에 충분히 상응하여야(commensurate) 한다.

## 도면

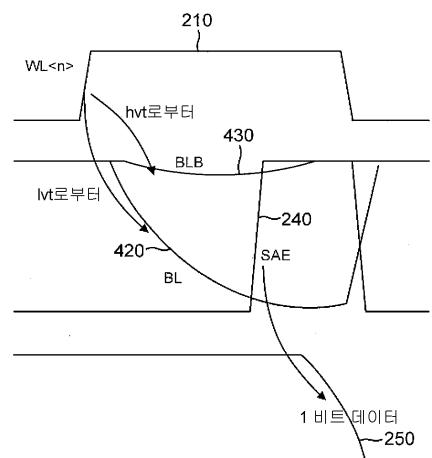
## 도면1



## 도면3



## 도면4



## 도면5

