



(12) 发明专利

(10) 授权公告号 CN 112106195 B

(45) 授权公告日 2025. 01. 21

(21) 申请号 201980031257.4

(22) 申请日 2019.05.09

(65) 同一申请的已公布的文献号
申请公布号 CN 112106195 A

(43) 申请公布日 2020.12.18

(30) 优先权数据
15/977,712 2018.05.11 US

(85) PCT国际申请进入国家阶段日
2020.11.09

(86) PCT国际申请的申请数据
PCT/US2019/031417 2019.05.09

(87) PCT国际申请的公布数据
W02019/217611 EN 2019.11.14

(73) 专利权人 德州仪器公司
地址 美国德克萨斯州

(72) 发明人 X-Z·薄 P·R·史密斯
D·T·格里德

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 林斯凯

(51) Int.Cl.
H10B 41/30 (2023.01)
H10D 1/68 (2025.01)

(56) 对比文件
US 2003001208 A1, 2003.01.02
US 2003113967 A1, 2003.06.19
US 2013076335 A1, 2013.03.28
US 6479341 B1, 2002.11.12
US 7232717 B1, 2007.06.19

审查员 吴双

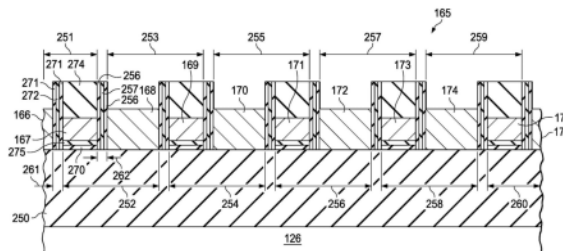
权利要求书2页 说明书5页 附图18页

(54) 发明名称

包含垂直电容器的集成电路

(57) 摘要

在一些示例中,一种集成电路包含第一板(167)、第二板(168)和设置在第一板(167)和
第二板(168)之间的电介质层(262)。第一板(167)、
第二板(168)和电介质层(262)设置在集成电路
的隔离区(250)上,并且它们形成垂直电容器
(252)。



1. 一种集成电路,包括:
第一板;
第二板;
第三板;
第一电介质层,其设置在所述第一板和第二板之间;以及
第二电介质层,其设置在所述第二板和第三板之间,
其中所述第一板和第二板以及所述第一电介质层形成第一垂直电容器,且所述第二板和第三板用于第二垂直电容器,其中所述第一板、第二板和第三板以及所述第一电介质层和第二电介质层设置在所述集成电路的相同的隔离区上,且其中所述第一板和所述第三板接触所述隔离区的上表面且所述第二板通过第三电介质层而与所述上表面间隔开。
2. 根据权利要求1所述的集成电路,其中所述集成电路进一步包括闪存位单元,所述闪存位单元至少包含所述第一板和所述第二板。
3. 根据权利要求1所述的集成电路,其中所述第一电介质层和第二电介质层包含第一二氧化硅层、第二二氧化硅层和氮化硅层。
4. 根据权利要求1所述的集成电路,其中所述隔离区设置在硅衬底上。
5. 根据权利要求1所述的集成电路,其中所述隔离区包含浅沟槽隔离STI区。
6. 根据权利要求1所述的集成电路,其中所述隔离区包含二氧化硅。
7. 一种集成电路,包括:
第一浮栅闪存位单元,其至少包括第一控制栅层、第一字线栅层和第一电介质层;
第二浮栅闪存位单元,其至少包括第二控制栅层、第二字线栅层和第二电介质层;
第一垂直电容器,其设置在浅沟槽隔离STI区上,所述第一垂直电容器包括所述第一控制栅层、所述第一字线栅层和所述第一电介质层,所述第一电介质层位于所述第一控制栅层和所述第一字线栅层之间;以及
第二垂直电容器,其设置在所述STI区上,所述第二垂直电容器包括所述第二控制栅层、所述第二字线栅层和所述第二电介质层,所述第二电介质层位于所述第二控制栅层和所述第二字线栅层之间;
其中所述第一字线栅层和所述第二字线栅层接触所述STI区的上表面且所述第一控制栅层和所述第二控制栅层通过第三电介质层而与所述上表面间隔开。
8. 根据权利要求7所述的集成电路,其中所述第一控制栅层和第二控制栅层和所述第一字线栅层和第二字线栅层包含多晶硅。
9. 根据权利要求7所述的集成电路,其中所述STI区包含二氧化硅。
10. 根据权利要求7所述的集成电路,其中所述STI区设置在硅衬底上。
11. 根据权利要求7所述的集成电路,进一步包括第一浮栅层,所述第一电介质层位于所述第一控制栅层和所述第一浮栅层之间。
12. 根据权利要求7所述的集成电路,其中所述第一电介质层包括至少一个二氧化硅层。
13. 根据权利要求7所述的集成电路,其中所述第一电介质层包括第一二氧化硅层、第二二氧化硅层和氮化硅层。
14. 一种在衬底上的浅沟槽隔离STI区上制造具有至少第一垂直电容器和第二垂直电

容器的集成电路的方法,包括:

在所述STI区上沉积第一电介质层;

在所述第一电介质层上沉积第一多晶硅层;

将所述第一多晶硅层图案化以形成具有第一侧壁的所述第一垂直电容器的第一板以及具有第二侧壁的所述第二垂直电容器的第一板;

沉积第二电介质层,使得所述第二电介质层接触所述第一侧壁和第二侧壁;以及

沉积第二多晶硅层,使得所述第二多晶硅层接触所述第二电介质层,所述第二多晶硅层形成所述第一垂直电容器的第二板以及所述第二垂直电容器的第二板;

其中所述第一垂直电容器的所述第一板以及所述第二垂直电容器的所述第一板接触所述STI区的上表面且所述第二板通过第三电介质层而与所述上表面间隔开。

15. 根据权利要求14所述的方法,其中所述第一电介质层包括第一二氧化硅层、第二二氧化硅层和氮化硅层。

16. 根据权利要求14所述的方法,其中所述第二电介质层包括第一二氧化硅层、第二二氧化硅层和氮化硅层。

17. 根据权利要求14所述的方法,其中所述STI区包含二氧化硅。

包含垂直电容器的集成电路

背景技术

[0001] 非易失性存储器 (NVM) 位单元是配置为存储信息的电子元件。位单元的电气状态 (例如, 阈值电压) 可以用于定义逻辑电平, 诸如逻辑低电平 (意味着数字低或0) 或逻辑高电平 (意味着数字高或1)。这种定义的逻辑电平有时可以称为存储在位单元中的信息 (或位)。

发明内容

[0002] 根据至少一个实例, 集成电路包括第一板、第二板以及设置在第一板和第二板之间的电介质层, 第一板和第二板以及电介质层形成垂直电容器, 其中垂直电容器的第一板和第二板以及电介质层设置在集成电路的隔离区上。

[0003] 根据另一实例, 集成电路包括浮栅闪存位单元, 该浮栅闪存位单元至少包括控制栅层、字线栅层和电介质层。集成电路还包括设置在浅沟槽隔离 (STI) 区上的垂直电容器, 垂直电容器包括控制栅层、字线栅层和电介质层, 电介质层位于控制栅层和字线栅层之间。

[0004] 根据又一实例, 一种在衬底上的浅沟槽隔离 (STI) 区上制造具有至少一个垂直电容器的集成电路的方法, 包括在STI区上沉积第一电介质层; 在第一电介质层上沉积第一多晶硅层; 将第一多晶硅层图案化以形成具有侧壁的垂直电容器的第一板; 沉积第二电介质层, 使得第二电介质层接触侧壁; 以及沉积第二多晶硅层, 使得第二多晶硅层接触第二电介质层, 第二多晶硅层形成垂直电容器的第二板。

附图说明

[0005] 图1 (a) 描绘了根据各种实例的浮栅闪存位单元存储器阵列的说明性布局的一部分。

[0006] 图1 (b) 描绘了根据各种实例的一对说明性位单元的侧视横截面。

[0007] 图1 (c) 描绘了根据各种实例的垂直电容器阵列的说明性布局。

[0008] 图1 (d) 描绘了根据各种实例的一对说明性垂直电容器的侧视横截面。

[0009] 图2描绘了根据各种实例的执行制造垂直电容器的说明性方法。

[0010] 图3(a) - 3(g) 描绘了根据各种实例的说明性位单元的制造。

[0011] 图4(a) - 4(g) 描绘了根据各种实例的至少一个垂直电容器的制造。

具体实施方式

[0012] 闪存存储器是一种可以在位单元阵列中存储信息的非易失性存储介质。这种存储的信息 (或“位”) 可以被电擦除、编程, 以及读取。在一些情况下, 浮栅晶体管位单元的阵列可以用在闪存存储器中。浮栅晶体管位单元与标准的金属氧化物场效应晶体管 (MOSFET) 相似, 除了浮栅晶体管位单元包含多个栅, 例如, 控制栅和浮栅。如上所述, 位单元的电气状态可以用于定义逻辑电平, 其可以称为存储在位单元中的位。这可以用位单元的阈值电压变化来执行。浮栅型晶体管位单元的阈值电压可能由于其浮栅中存在或缺少陷阱电荷而变化, 这进一步改变了浮栅晶体管位单元的阈值电压 (相对于旧的阈值电压)。当电子在浮栅

型晶体管位单元中被俘获时,阈值电压(或浮栅晶体管位单元的电气状态)可以表征为数字低或“0”,作为位存储在位单元中。相反,电子在浮栅中耗尽时的电气状态可以称为数字高或“1”,作为位存储在位单元中。

[0013] 如上所述,在浮栅位单元中存储的位的特征(例如,数字高或低)取决于浮栅中电荷的存在或缺少。在一些情况下,通过在浮栅晶体管位单元的控制栅处施加电压电势(例如,大于或等于10V),把电荷存储/耗尽在浮栅中。在一些情况下,使用电荷泵电路施加电压电势。示例电荷泵电路升压输入电荷以提供比提供给它电压更高的电压。在一些情况下,电荷泵电路是基于电容器的,并且通常,基于电容器的电荷泵电路采用诸如金属覆盖半导体(MOS)的电容器。

[0014] MOS电容器通常包含一层金属(例如,金属触点)、一层绝缘材料(例如,二氧化硅),以及一层半导体材料(例如,硅)。这些层通常是横向制造的,并且这些电容器的制造设计导致在衬底(例如,p型硅衬底)和电容器的板(例如,n阱)之间产生寄生电容,这干扰了MOS电容器的电容并且降低了其性能。为了避免寄生电容干扰,在电荷泵中采用了平面多晶对多晶电容器或金属对多晶电容器。然而,此类电容器的制造需要附加的掩模,这增加了整体制造成本。因此,期望一种可以用在电荷泵电路中并且减轻上述问题的电容器的可替代的设计。

[0015] 因此,本说明书中的至少一些实例针对用于制造可以用在浮栅闪存位单元技术中的垂直电容器的系统和方法。在至少一些实例中,本文所描述的垂直电容器在与浮栅闪存位单元相同的管芯上制造,而不用附加的掩模。本说明书中的垂直电容器位于隔离区中,诸如浅沟槽隔离(STI)区中。在STI区上设置垂直电容器防止了来自上述寄生电容(例如,n阱到p衬底)的干扰。在至少一些实例中,垂直电容器利用闪存位单元的字线栅层和控制栅层作为它们的电容器板。在至少一些实例中,控制栅层和字线栅层由可以包括多层结构的电介质层分隔开。

[0016] 图1(a)示出了根据各种实例的浮栅闪存位单元存储器阵列(或浮栅位单元)的说明性布局100的一部分。布局100描绘了形成浮栅位单元阵列的至少一些层。布局100包含位线(BL)层106、108、110、112、114和116以及源线(SL)层124。布局100还包含字线(WL)栅层118、122、擦除栅(EG)层120和控制栅(CG)层102、104。由BL层106、108、110、112、114和116占据的区有时被称为有源区。布局100还描绘了形成将在电荷泵电路中利用的垂直电容器的至少一些层(例如,WL栅层118、122和CG层102、104)。这种描述不限于包含前面提到的栅层的浮栅位单元阵列。以下对垂直电容器的描述对于其他类型的浮栅位单元是有效的,包含不采用擦除栅层的浮动栅位单元。

[0017] 图1(a)还示出了坐标系1,其中坐标系1的X轴和Y轴各自位于附图的页面中,并且Z轴远离(向外)附图的页面。例如,从布局100的视角来看(如图1(a)中所示),一或多个位单元位于与Y轴对齐的线50上;然而,从制造的视角来看(如图1(b)中所示),可以在沿线50的Y-Z平面中观察到一或多个位单元的横截面的侧视图。

[0018] 至少部分地,布局100被用作布局(或蓝图)来制造浮栅位单元阵列和垂直电容器阵列,它们与CMOS逻辑阵列(未明确描绘)一起实现。在一些实例中,布局100可以用于制造位单元阵列,该位单元阵列实现为独立存储器设备(例如,在其自己的半导体管芯上实现,封装在其自己的芯片封装内,等等)。在一些实例中,布局100可以用于制造位单元阵列,该

位单元阵列在集成电路 (IC) 中实现 (例如, 在包含附加的电路的半导体管芯上实现)。

[0019] 参照图1 (b), 可以在Y-Z平面中沿通过位线层112的线50 (图1 (a)) 观察到一对说明性位单元70、80的侧视横截面。可以在Y-Z平面中沿在Y轴上存在的其他位线106、108、110、114和116观察到其他位单元。

[0020] 位单元70和80在结构上基本类似。位单元70包含设置在衬底126中的位线层112。位单元70还包括字线 (WL) 栅层118、控制栅层102、浮栅层132和擦除栅层120 (也由位单元80共享)。电介质层142位于控制栅层102上方。位单元70进一步包含电介质层138、140。制造这些电介质层以在字线栅层118、控制栅层102、浮栅层132和擦除栅层120之间提供隔离。在一些实例中, 衬底126可以包含硅。在此类实例中, 电介质层140可以包括含二氧化硅, 并且电介质层138可以包含氮化硅。位单元70还包含电介质层111, 该电介质层充当浮栅电介质并且在浮栅132和衬底126之间提供隔离。位单元70形成WL晶体管, 其包含WL栅层118 (类同于MOSFET的栅极)、位线层112 (类同于MOSFET的漏极) 和源极线层124 (类同于MOSFET的源极)。位单元70还包含在衬底126中设置在字线栅层118下方的注入层128。在一些实例中, 注入层128可以用于改变WL晶体管的阈值电压。在一些实例中, 衬底126还包含附加的注入层, 诸如通过在衬底126中注入掺杂剂 (例如, 硼) 形成的抗穿通层136。尽管在图1 (b) 中描绘的位单元70 (或此类位单元的阵列) 包含擦除栅层120、控制栅层102、字线栅层118和浮栅层132, 但是这种描述不限于包含前面提到的栅层的浮栅位单元70。这种描述对于浮栅位单元阵列有效, 其中每个浮栅位单元包含字线栅层118、控制栅层102和浮栅层132。

[0021] 类似于位单元70, 位单元80包含位线层112、源线层124、擦除栅层120、浮动栅层134、控制栅层104, 以及字线栅层122。电介质层144位于控制栅层104上方, 并且注入层130位于字线栅层122下方。位单元80还包含电介质层146、148, 其将字线栅层122、控制栅层104、浮栅层134和擦除栅层120彼此隔离。位单元80还包含电介质层111, 该电介质层充当浮栅134电介质并且在浮栅132和衬底126之间提供隔离。在一些实例中, 衬底126可以包含硅。在此类实例中, 电介质层146可以包括含二氧化硅, 并且电介质层148可以包含氮化硅。在一些实例中, 字线栅层118、122和控制栅层102、104包括多晶硅。

[0022] 在一些实例中, 可以在集成电路 (IC) (例如, 在包含附加的电路的半导体管芯上实现) 中制造位单元70、80。

[0023] 如上所述, 在与浮栅位单元阵列相同的管芯上用字线栅层和控制栅层形成垂直电容器。与在衬底126上制造的位单元70、80不同, 为了防止寄生电容干扰, 垂直电容器在隔离区 (例如, STI区) 上制造。虽然本说明书大致描述了在单个STI区上的垂直电容器, 但是在一些实例中, 多个垂直电容器分布在多个隔离区 (例如, STI区)。

[0024] 图1 (c) 描绘了垂直电容器阵列的说明性布局160, 其与垂直电容器在相同管芯中设置的位单元 (未明确示出) 的控制栅层167、169、171……237和字线栅层166、168、170……236形成。布局160包含与控制栅层167、169、171……237中的每个耦合的接触层162。布局160还包含与字线栅层166、168、170……236中的每个耦合的接触层164。在一些实例中, 字线栅层166、168、170……236和控制栅层167、169、171、237包括多晶硅。

[0025] 在一些实例中, 布局160可以与布局100一起用于制造垂直电容器和位单元阵列, 该垂直电容器和位单元阵列在集成电路 (IC) 中实现 (例如, 在包含附加的电路的半导体管芯上实现)。

[0026] 图1(d)示出了沿线165(图1(c))的一部分设置的垂直电容器的侧视横截面。图1(d)描绘了在位于衬底126上的STI区250上设置的垂直电容器251-260。在图1(d)中描绘的电容器包括字线栅层166、168、170、172、174和176以及控制栅层167、169、171、173和175。例如,字线栅层166充当垂直电容器251的板中的一个,而控制栅层167充当板中的另一个。在一些实例中,电介质层261设置在字线栅层166和控制栅层167之间。在一些实例中,这种电介质层261可以包括三层结构。在一些实例中,这种三层结构包含两个作为氧化物层的电介质层271和作为氮化物层的电介质层272。在衬底包括硅的实例中,电介质层271包括二氧化硅,并且电介质层272包括氮化硅。也可以使用其他材料。

[0027] 类似于在字线栅166和控制栅167之间形成的垂直电容器251,在控制栅层167和字线栅层168之间形成垂直电容器252,并且在它们之间设置有电介质层262。类似于垂直电容器251,在STI区250上也设置了垂直电容器252。在一些实例中,电介质层262包括三层结构。在一些实例中,这种三层结构包含两个作为氧化物层的电介质层296和作为氮化物层的电介质层297。在衬底包括硅的实例中,电介质层296包括二氧化硅,并且电介质层297包括氮化硅。类似于垂直电容器251、252,在字线栅层168、170、172、174和176和STI区250上的控制栅层169、171、173和175之间形成垂直电容器253-260,其中垂直电容器253-260中的每一个包含电介质层,该介质层又可以包括三层结构。

[0028] 参照图2,可以执行说明性方法300来制造位于STI区上的垂直电容器。结合图3(a)-3(g)和图4(a)-4(g)中描绘的说明性制造流程图来描述方法300。图3(a)-3(g)描绘了包含至少一个控制栅层和字线栅层的说明性位单元的制造,并且图4(a)-4(g)描绘了至少一个垂直电容器的制造,该垂直电容器采用上面所提到的位单元的控制栅层和字线栅层来形成其平行板。

[0029] 图3(a)-3(g)中描绘的步骤可以沿线50观察(图1(a)),并且图4(a)-4(g)中描绘的步骤可以沿线165观察(图1(c))。

[0030] 为简单起见,图3(a)-3(g)中描绘的是单个位单元的制造步骤,并且图4(a)-4(g)中描绘的是用位单元的控制栅层和字线栅层形成的至少一个垂直电容器的制造步骤。然而,在其他实例中,描述可以适用于多个位单元和垂直电容器的制造。

[0031] 方法300开始于获得包括STI区,诸如STI区401(图4(a))的衬底126(步骤310),其包括二氧化硅。在半导体设备制造过程中,在形成其他电子元件(例如,晶体管、位单元)之前,先创造STI区。在一些实例中,STI区的制造包括在诸如衬底126的衬底中蚀刻沟槽的图案(图3(a)-3(g)和4(a)-4(g)中未明确示出)。在STI区的制造中进一步的步骤包含沉积一或多种电介质材料(例如,二氧化硅)以填充沟槽,然后用平坦化技术(例如,化学机械平坦化)去除多余的电介质材料。

[0032] 在一些实例中,在步骤310之后,可以执行附加的步骤(未在方法300中明确包含)。附加的步骤可以包含沉积电介质层405和浮栅层410以形成位单元的一部分(分别参照图3(a)、图3(b))。浮栅层410的沉积可以在图4(b)中观察到;然而,电介质层405的沉积被掩盖以将其含到位单元的制造中。在一些实例中,可以制造电介质层405,使得电介质层405设置在STI区401上(图4(b)中未明确描绘)。在一些实例中,浮栅层410包括多晶硅。在一些实例中,可以用化学气相沉积来执行前面提到的沉积步骤。

[0033] 在一些实例中,从垂直电容器的视角来看,方法300还可以包含从STI区401移除浮

栅层410(图4(c))。浮栅层410可用掩模技术和干/湿蚀刻技术来移除,使得浮栅层410从STI区401移除(图4(c)),而不是从图3(c)的电介质层405移除。在一些实例中,可使用化学机械抛光技术从STI区401移除浮栅层410。

[0034] 在从STI区401移除浮栅层410之后,方法300可以前进到步骤320,其可以包含沉积电介质层413。从垂直电容器的视角来看,电介质层413沉积在STI区401(图4(c))上,并且从位单元的视角来看,电介质层413沉积在浮栅层410(图3(c))上。在一些实例中,电介质层413可以包括三层结构。在一些实例中,这种三层结构包含两个包括二氧化硅的电介质层412、416和包括氮化硅的电介质层414。在一些实例中,步骤320还可以包含在衬底126中注入掺杂剂(例如,硼),以形成抗穿通层136(图3(c))。

[0035] 然后,方法300移动到步骤330,其包含在电介质层413上沉积控制栅层420。可以从垂直电容器(图4(c))和位单元(图3(c))的视角观察控制层420。在一些实例中,步骤330还可以包含在控制栅层420上沉积电介质层430。再一次,可以从垂直电容器(图4(c))和位单元(图3(c))的视角观察电介质层430。在一些实例中,控制栅层420和电介质层430的沉积可以用化学气相沉积来执行。在一些实例中,控制栅层420包括含多晶硅,并且电介质层430包含氮化硅。

[0036] 然后,方法300可以移动到步骤340,该步骤包含将控制栅层420(图3(d)和4(d))图案化。可以用光刻和干等离子体蚀刻来执行图案化。从垂直电容器的视角来看,在步骤340之后,控制栅层420或控制栅层420的至少一部分形成垂直电容器的第一板。如上所述,为简单起见,方法300、图3(a)-3(g)和图4(a)-4(g)描述了单个位单元和至少一个垂直电容器的形成。在其他实例中,可以执行图案化,使得可以形成多个位单元和垂直电容器。图4(d)示出了图案化的控制栅层420的侧壁2、3。

[0037] 方法300可以前进到步骤350,其包含在控制栅层420的侧壁2、3上沉积电介质层417(图4(e))。电介质层417的沉积也可以在图3(e)中观察到。尽管图4(e)描绘了邻接控制栅层420和电介质层430的电介质层417(例如,可以将电介质层417的沉积从电介质层416的顶部延伸到电介质层430的顶部),在一些实例中,电介质层417仅邻接控制栅层420。在一些实例中,在电介质层417的沉积之后,可以蚀刻/去除浮栅层410的一部分,随后进一步地,在衬底126中注入掺杂剂(诸如硼)。在一些实例中,电介质层417呈现三层结构,其包含电介质层421、422、423。在一些实例中,电介质层421、423包括含二氧化硅,并且电介质层422包括氮化硅。

[0038] 然后,方法300可以前进到步骤360,其包含沉积多晶硅层424,使得多晶硅层424设置在电介质层416、电介质层421、422、423和电介质层430的顶部(图3(f)、3(g)、4(f)和4(g))。步骤360还可以包含蚀刻多晶硅层424的一部分,以形成两个单独的多晶硅层415和418(图3(g)和4(g)),它们分别称为字线栅层和擦除栅层。

[0039] 在权利要求的范围内,可针对所描述的实施例和其他实施例作一定修改。

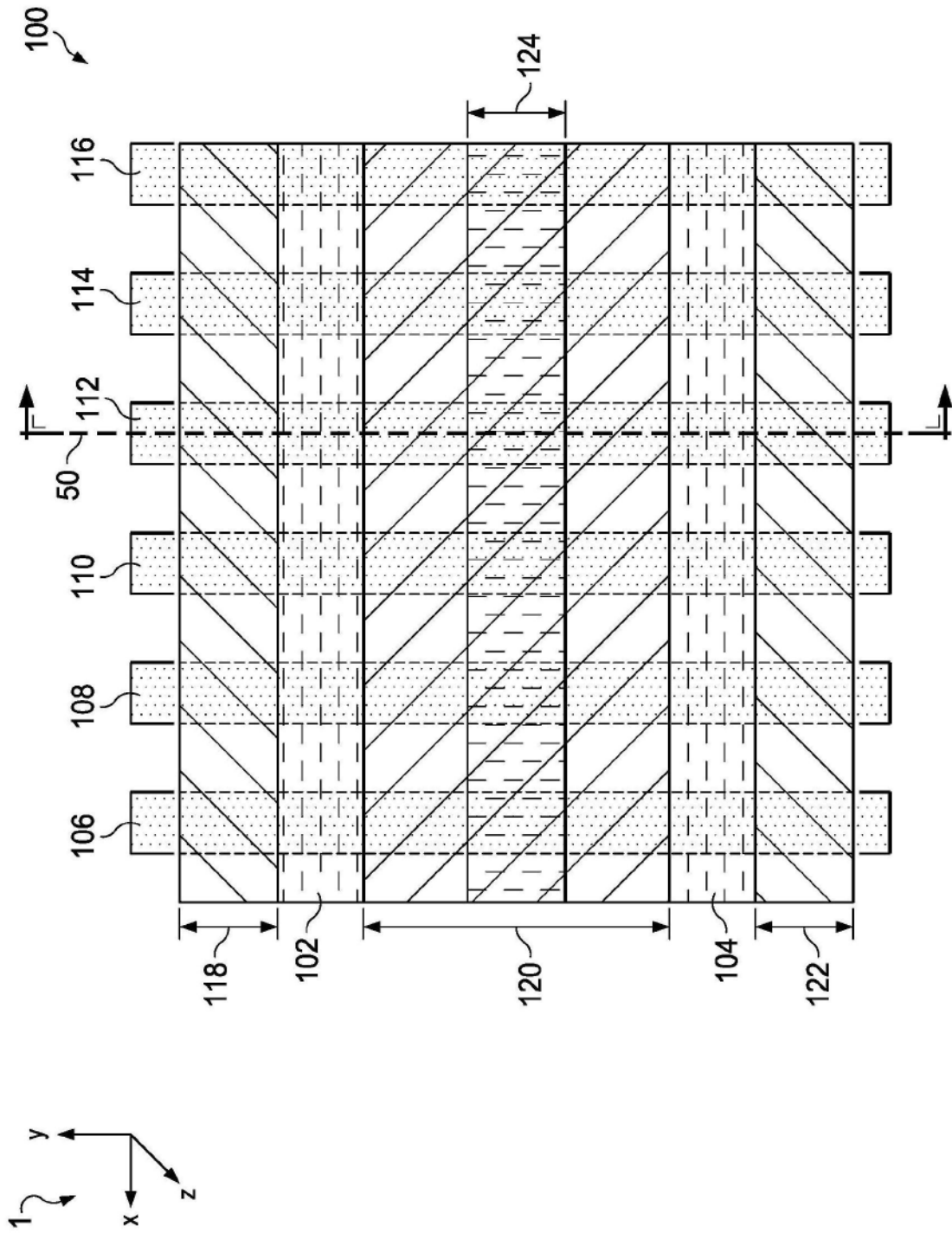


图1(a)

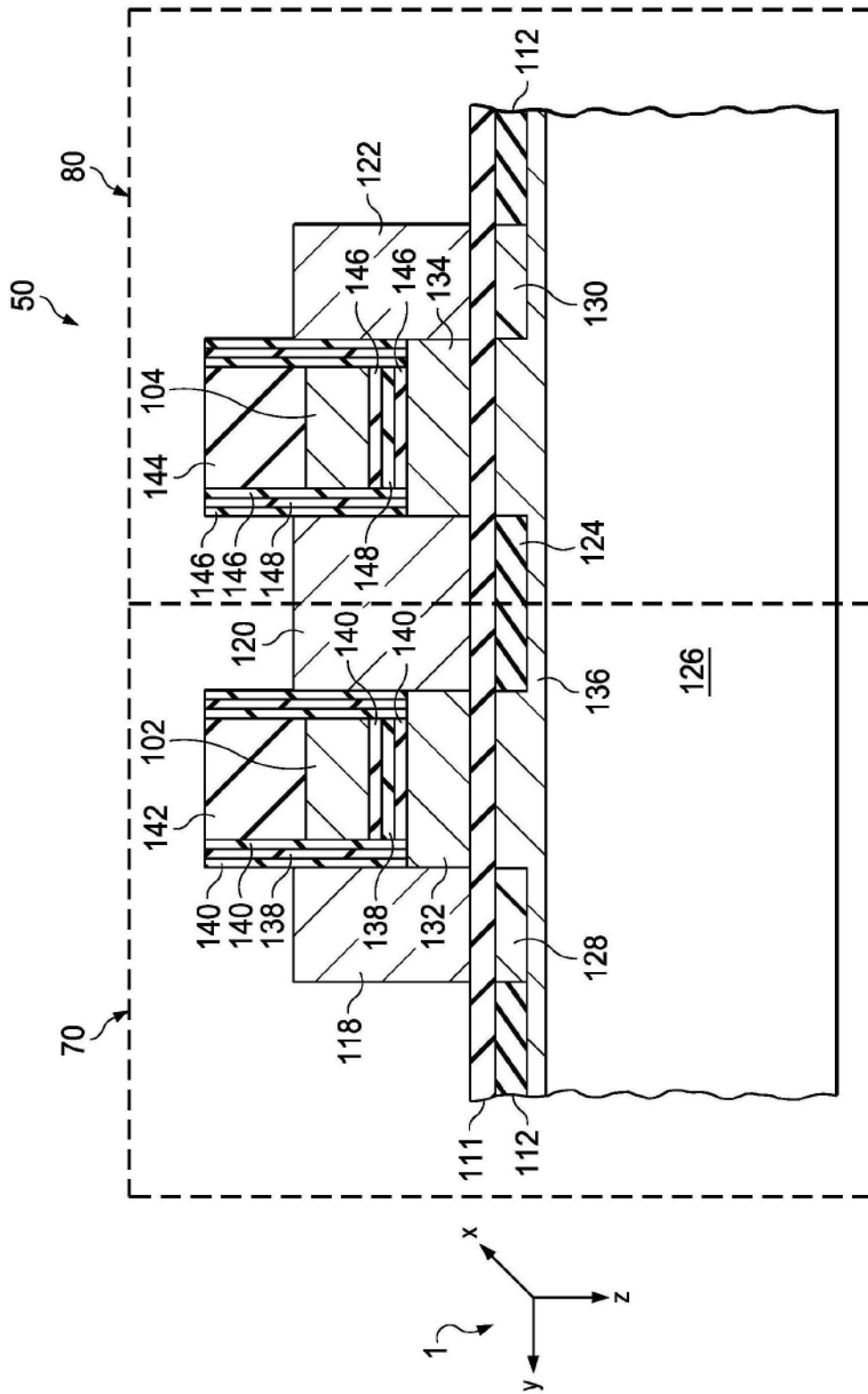


图1(b)

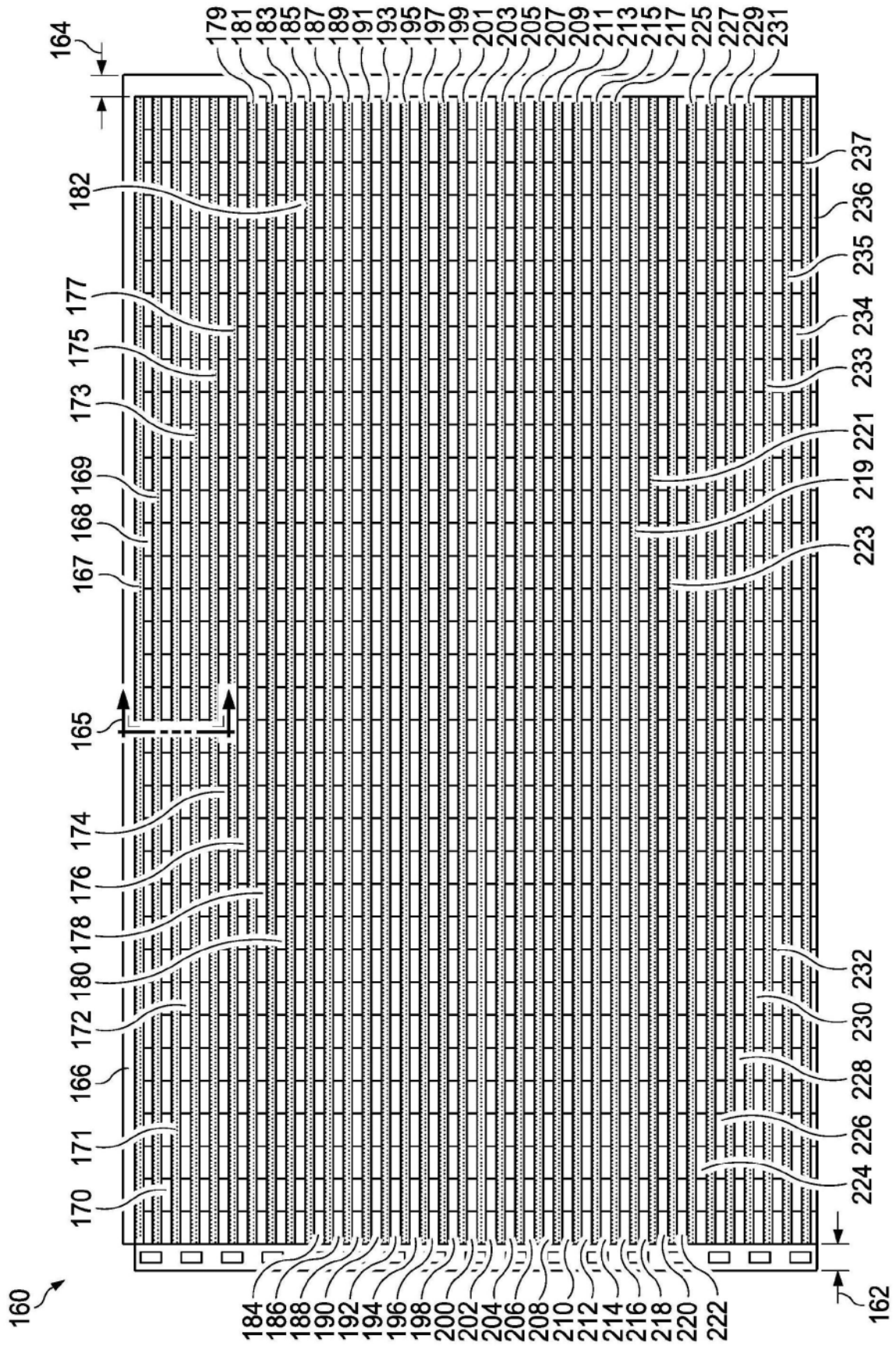


图1(c)

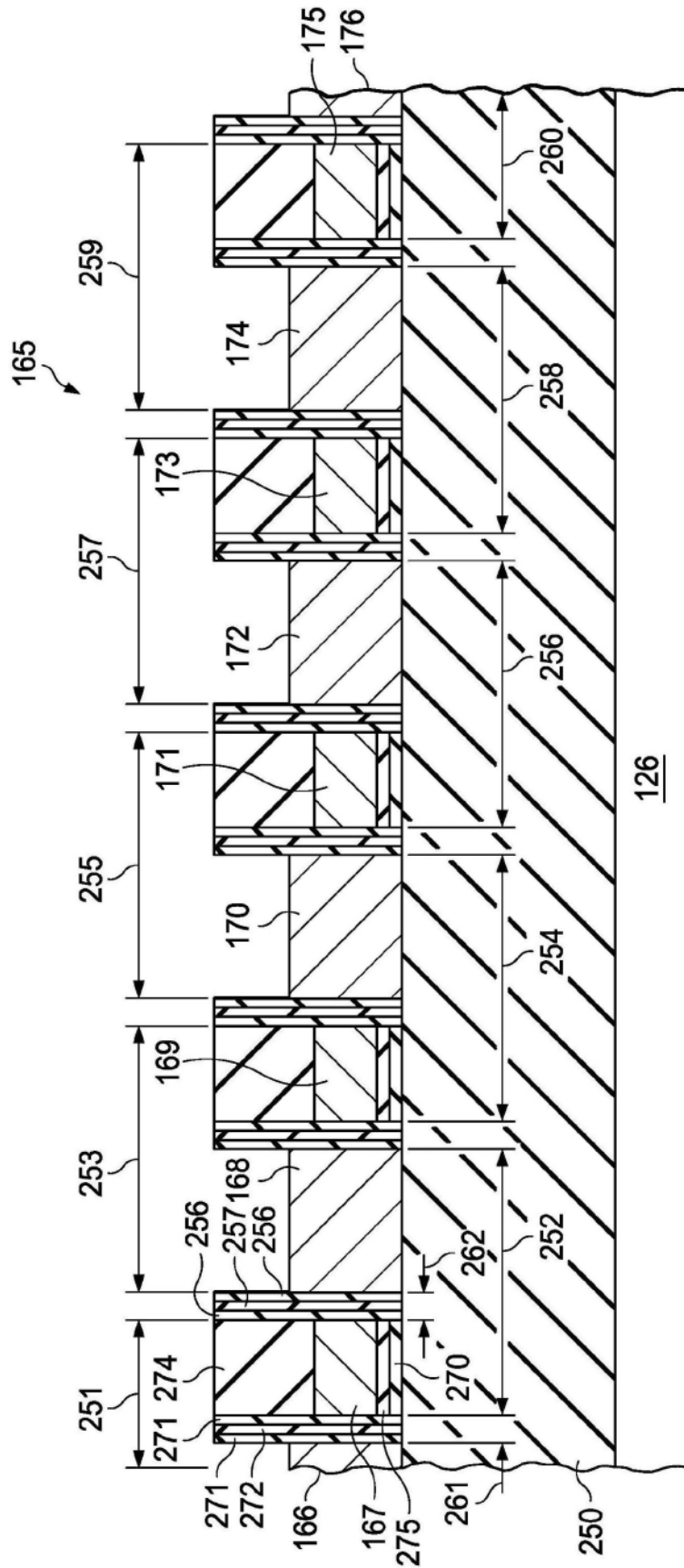


图1(d)

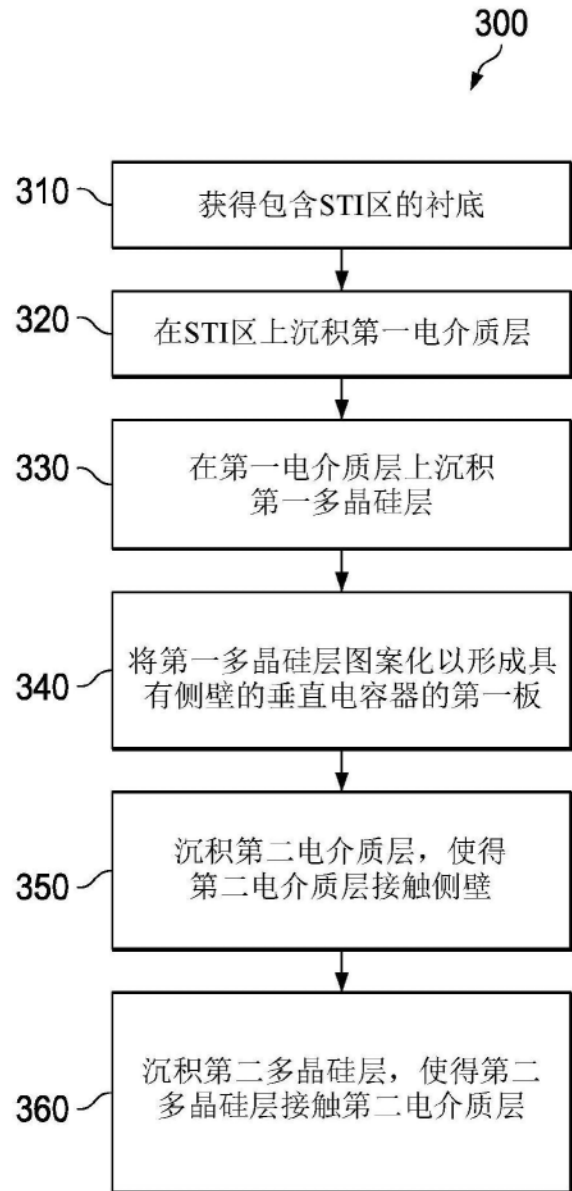


图2

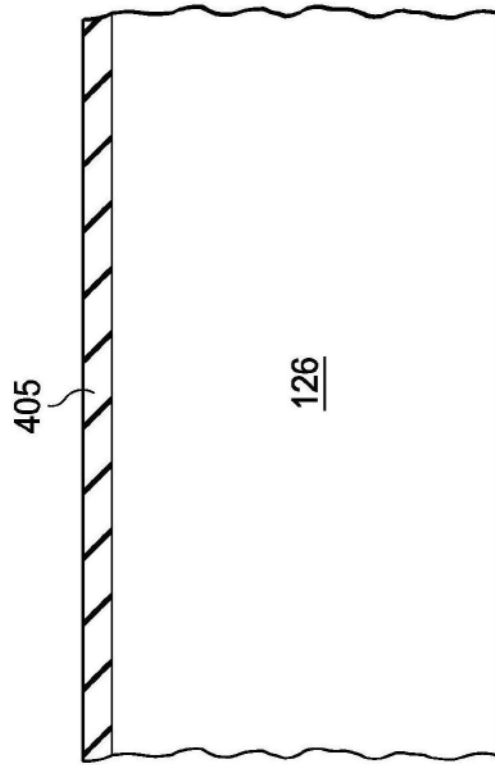


图3(a)

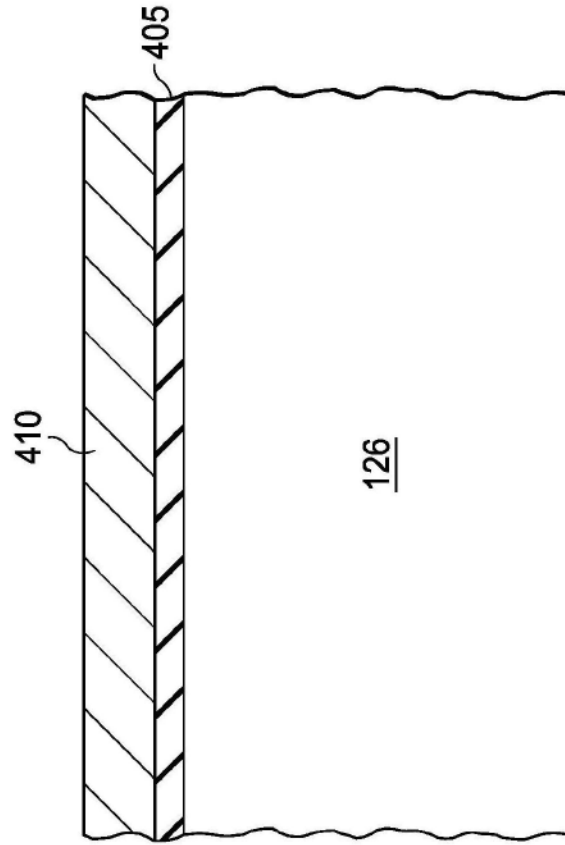


图3(b)

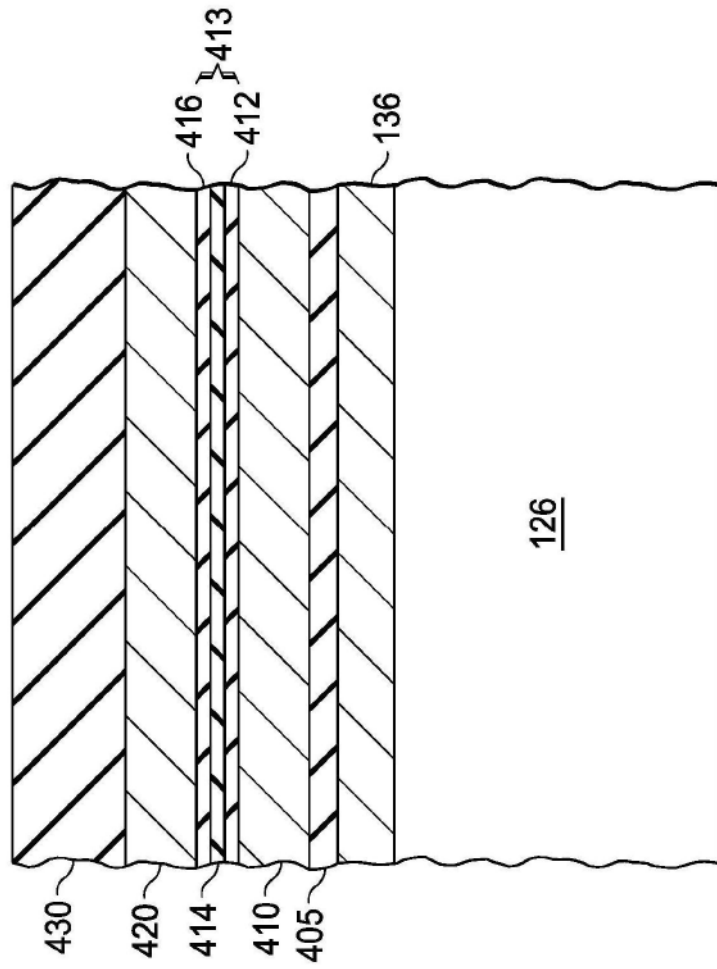


图3(c)

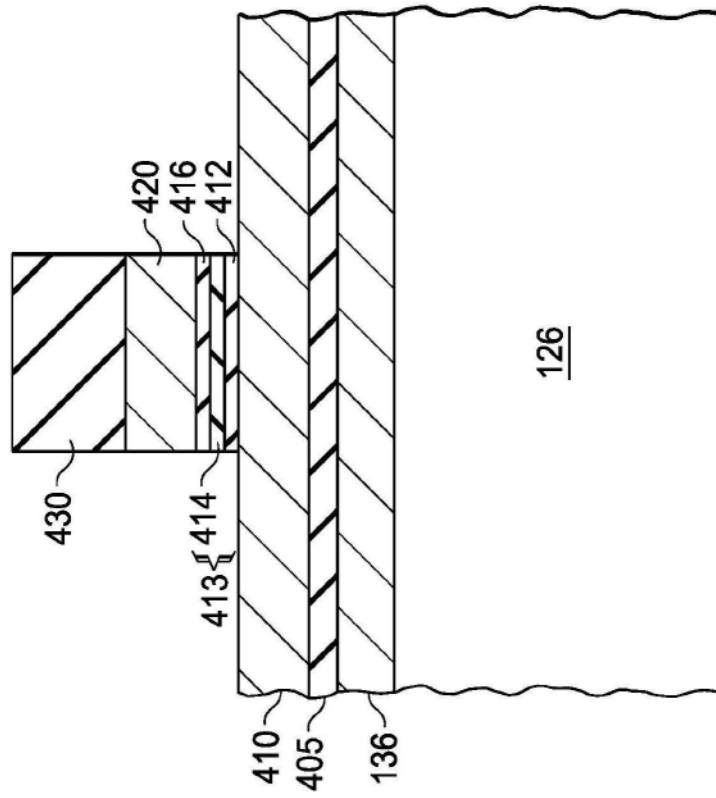


图3 (d)

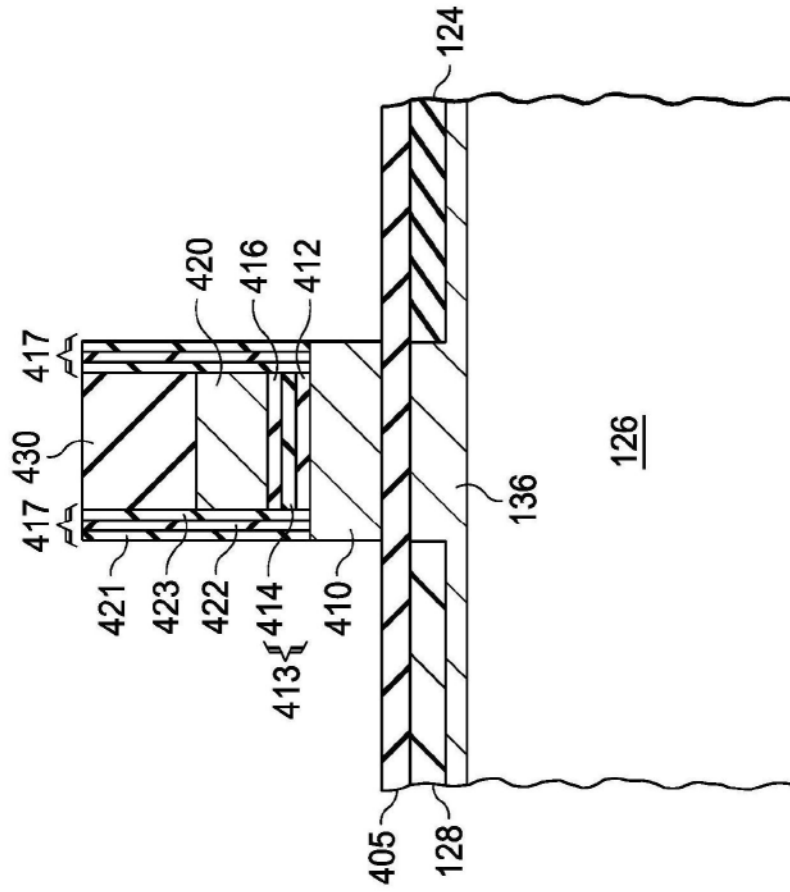


图3(e)

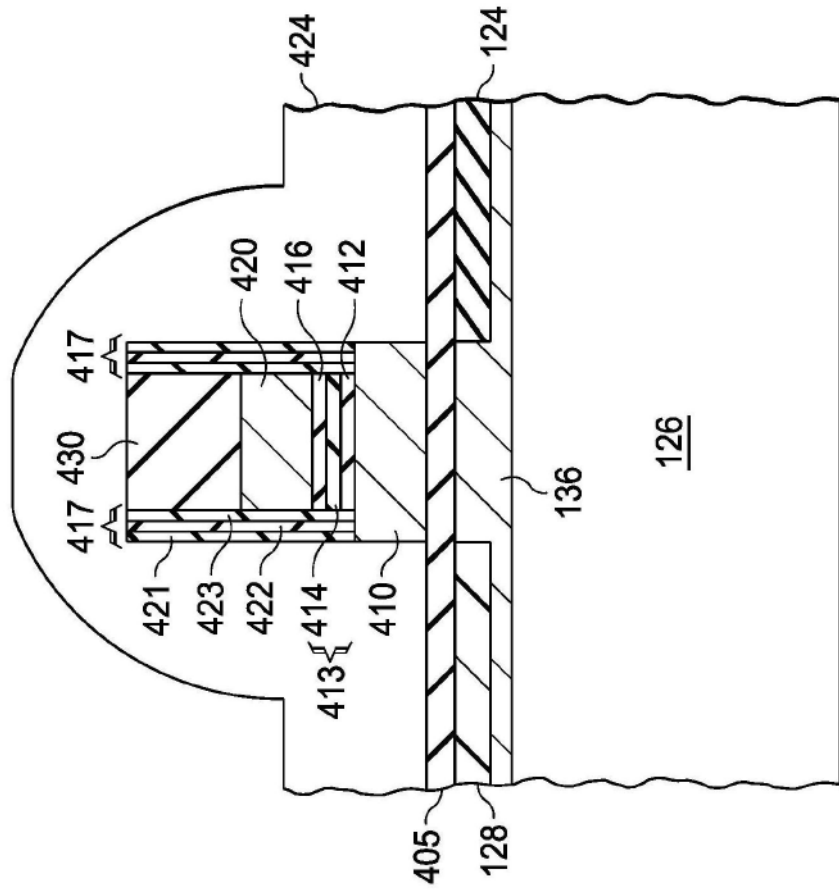


图3(f)

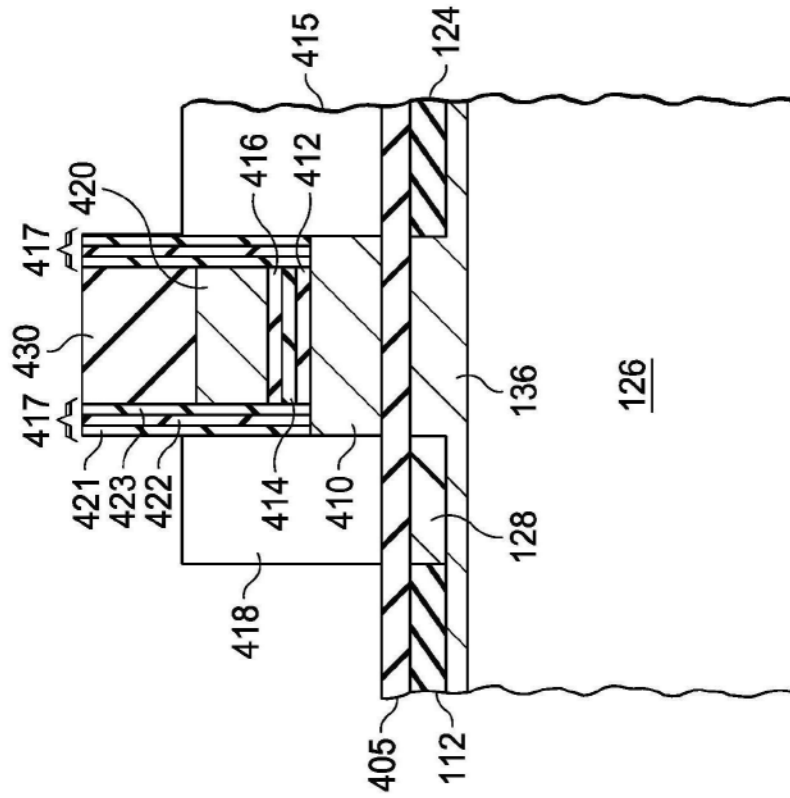


图3(g)

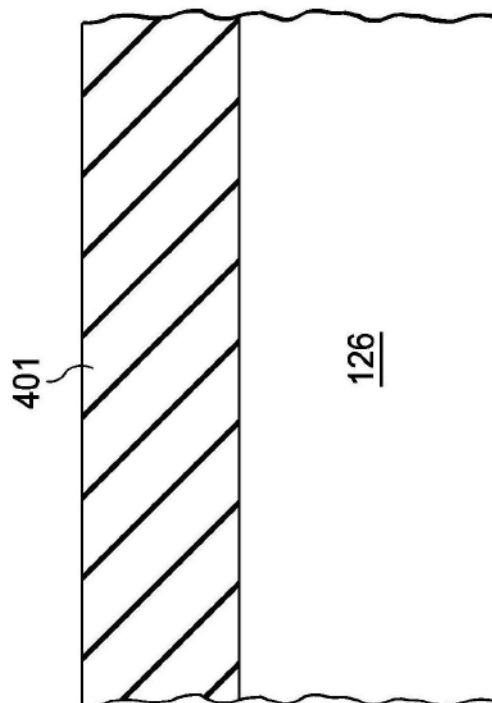


图4(a)

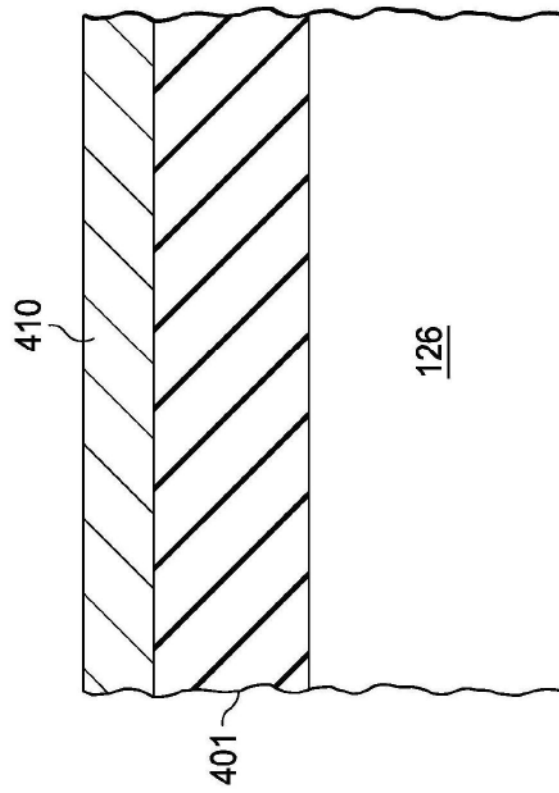


图4(b)

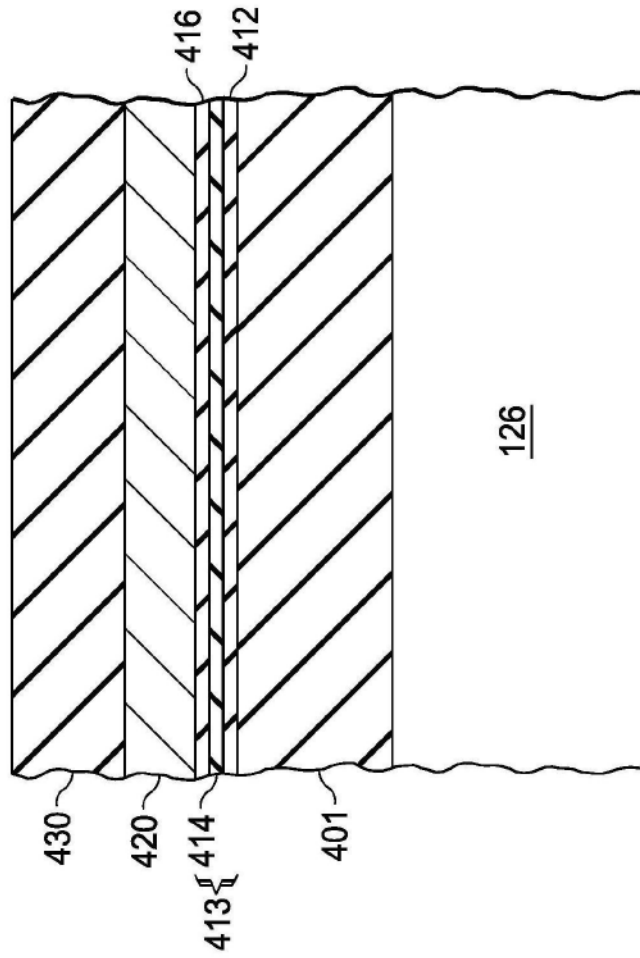


图4(c)

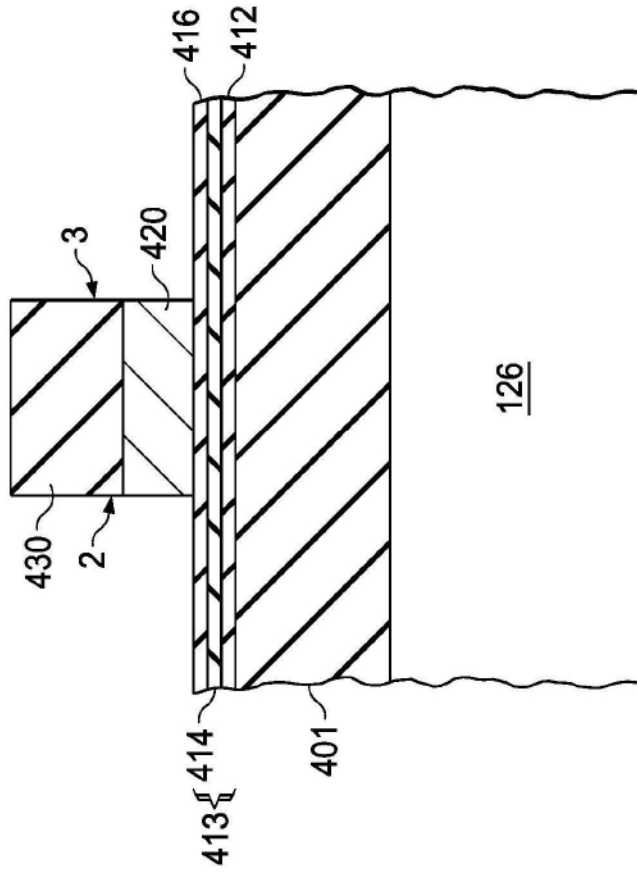


图4(d)

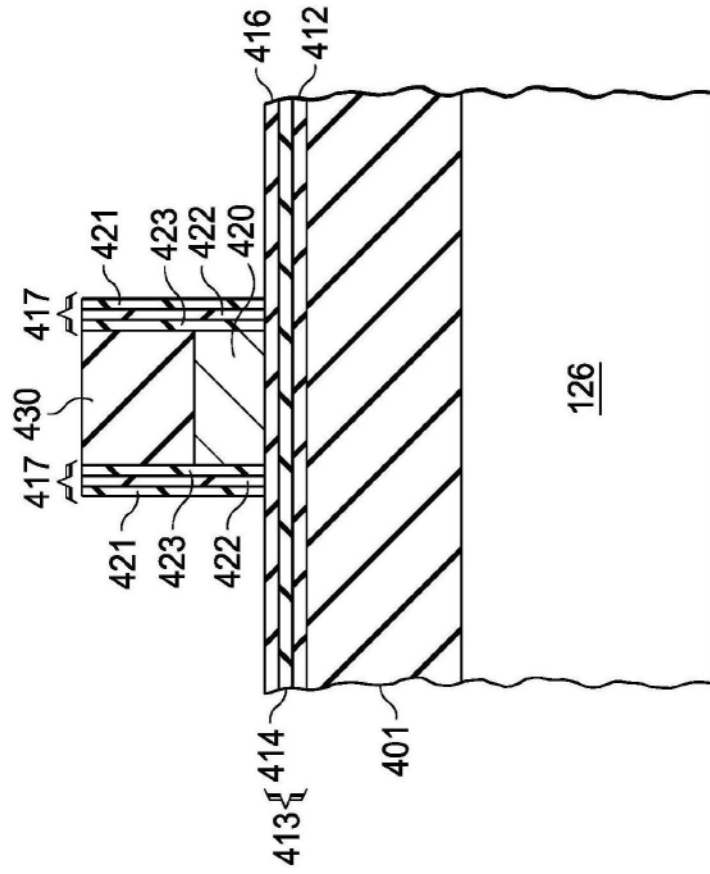


图4(e)

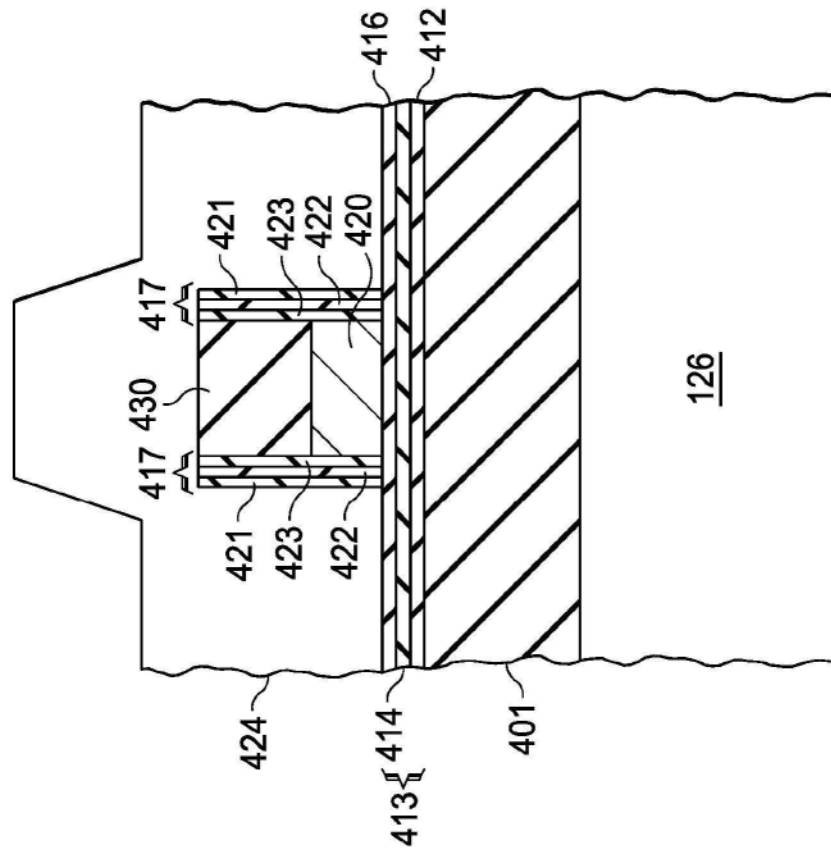


图4(f)

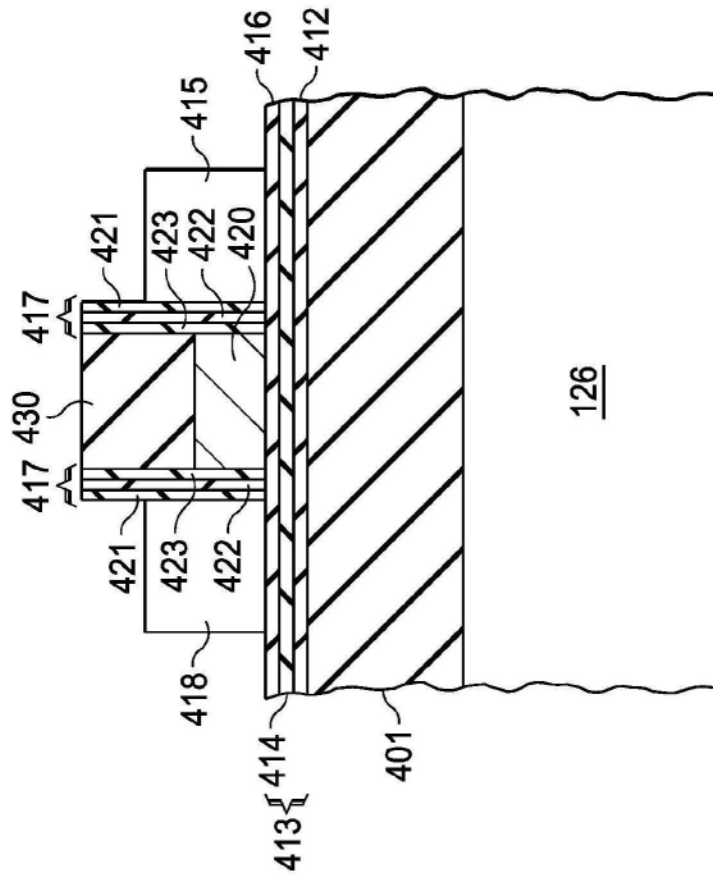


图4(g)