



(12) 发明专利

(10) 授权公告号 CN 105190896 B

(45) 授权公告日 2021.01.26

(21) 申请号 201480024429.2

(22) 申请日 2014.05.05

(65) 同一申请的已公布的文献号  
申请公布号 CN 105190896 A

(43) 申请公布日 2015.12.23

(30) 优先权数据  
13/886,688 2013.05.03 US

(85) PCT国际申请进入国家阶段日  
2015.10.30

(86) PCT国际申请的申请数据  
PCT/US2014/036838 2014.05.05

(87) PCT国际申请的公布数据  
W02014/179808 EN 2014.11.06

(73) 专利权人 德克萨斯仪器股份有限公司  
地址 美国德克萨斯州

(72) 发明人 N·蒂皮兰尼 S·彭德哈卡尔  
J·约翰

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245  
代理人 赵蓉民 赵志刚

(51) Int.Cl.  
H01L 29/778 (2006.01)

审查员 宋晶晶

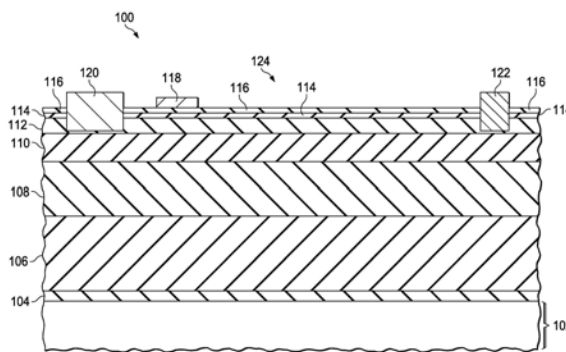
权利要求书1页 说明书5页 附图4页

(54) 发明名称

RESURF III-N高电子迁移率晶体管

(57) 摘要

本发明涉及一种包括GaN FET (124) 的半导体装置 (100), 在阻挡层 (112) 下面的低缺陷层 (110) 以及电隔离层 (108) 中的至少一个III-N半导体层中, 所述半导体装置 (100) 具有n型掺杂质。所述n型掺杂的载流子面密度是二维电子气的载流子面密度的1%到200%。



1. 一种耗尽型场效应晶体管,其包括:

基底;

在所述基底上方形成的p型氮化镓层;

在所述p型氮化镓层上方形成的低缺陷层,所述低缺陷层主要包括氮化镓;

在所述低缺陷层上形成的III-N半导体材料的阻挡层;以及

在所述阻挡层上方形成的栅极;

其中:

所述低缺陷层包括添加的n型杂质以至于所述添加的n型杂质的载流子面密度是所述低缺陷层中的二维电子气的载流子面密度的1%到200%,所述二维电子气通过所述低缺陷层上的所述阻挡层的形成生成;且

所述p型氮化镓层的载流子面密度是所述低缺陷层的所述载流子面密度的70%到140%。

2. 根据权利要求1所述的耗尽型场效应晶体管,其中所述p型氮化镓层的p型杂质种类主要为镁。

3. 根据权利要求1所述的耗尽型场效应晶体管,其中所述栅极是氮化镓场效应晶体管即GaN FET的栅极,所述GaN FET的源极触点与所述p型氮化镓层电接触。

4. 根据权利要求1所述的耗尽型场效应晶体管,其中所述添加的n型杂质的n型杂质种类主要为硅。

5. 根据权利要求1所述的耗尽型场效应晶体管,其中所述添加的n型杂质的n型杂质种类主要为碳。

6. 根据权利要求1所述的耗尽型场效应晶体管,其中所述添加的n型杂质的平均掺杂密度为 $1 \times 10^{16} \text{cm}^{-3}$ 到 $1 \times 10^{17} \text{cm}^{-3}$ 。

7. 根据权利要求1所述的耗尽型场效应晶体管,其中所述添加的n型杂质均匀分布。

## RESURF III-N高电子迁移率晶体管

### 技术领域

[0001] 本发明总体涉及半导体装置,且更具体地,涉及RESURF III-N高电子迁移率晶体管(HEMT)。

### 背景技术

[0002] 氮化镓场效应晶体管(GaN FET)在二维电子气下面的半导体层中可具有陷阱,其在操作过程中引起不期望的不稳定性。

### 发明内容

[0003] 在形成GaN FET通道的二维电子气下面的至少一个III-N半导体层中,包括GaN FET的半导体装置具有n型掺杂剂。n型掺杂剂的载流子面密度遮蔽二维电子气免受其下面的陷阱电荷和图像电荷。

### 附图说明

[0004] 图1至图4为包括GaN FET的示例性半导体装置的横截面图。

### 具体实施方式

[0005] 下列描述相关主题且在此以引用的方式并入:申请号US 13/886,378;US 2014/0042452A1;申请号US 13/886,429(与此同时提交对应的PCT申请TI-71209W0);申请号US 13/886,652(与此同时提交对应的PCT申请TI-71492W0);申请号US13/886,709;以及申请号US 13/886,744(与此同时提交对应的PCT申请TI-72605W0)。

[0006] 包括GaN FET的半导体装置在形成GaN FET通道的二维电子气下面的至少一个III-N半导体层中具有n型掺杂剂。n型掺杂剂的载流子面密度遮蔽二维电子气免受其下面的陷阱电荷和图像电荷。

[0007] III-氮化物(III-N)半导体材料为这样的材料,其中族III(硼族)元素(硼、铝、镓、铟)在半导体材料中提供一部分原子且氮原子提供剩余物。III-N半导体材料的实例为氮化镓、硼氮化镓、铝氮化镓、氮化铟和铟铝氮化镓。III-N材料可用可变下标书写以表示可能的化学计量学的范围。例如,铝氮化镓可写为 $Al_xGa_{1-x}N$ ,且铟铝氮化镓可写为 $In_xAl_yGa_{1-x-y}N$ 。GaN FET为包括III-N半导体材料的场效应晶体管的实例。

[0008] 在一个实施例中,“载流子面密度”为用于感兴趣结构的每单位顶部表面积的自由载流子的净面密度(例如,每平方厘米的载流子)。在第一实例中,二维电子气的载流子面密度是生成二维电子气的阻挡层的顶部表面处一平方厘米下的二维电子气中的电子数量。在第二实例中,n型掺杂层的载流子面密度为n型掺杂层的顶部表面处一平方厘米下的n型掺杂层的传导带中的电子数量。掺杂层的载流子面密度可通过沿垂直轴,垂直于掺杂层的顶部表面,从掺杂层的底部表面到顶部表面对掺杂密度积分(例如,每立方厘米的载流子)进行估计。

[0009] 降低的表面场 (RESURF) 区域对降低邻近半导体区域中的电场是有用的。在一个实例中, RESURF 区域为具有与邻接半导体区域的导电类型相反的导电类型的半导体区域。在 Philips J, Res. 35 1-13, 1980 (飞利浦杂志, 1980 年 35 期 1-13) 中 Appels 等人在“Thin Layer High Voltage Devices (薄层高电压装置)”中描述了 RESURF 结构。

[0010] 图 1 至图 4 为包括 GaN FET 的示例性半导体装置的横截面图。参照图 1, 半导体装置 100 在基底 102 上形成, 基底 102 可为, 例如, 硅片, 或其它适于 GaN FET 制造的基底。失配隔离层 104 在基底 102 上形成。失配隔离层 104 可为, 例如, 100 至 300 纳米的氮化铝。缓冲层 106 在失配隔离层 104 上形成。缓冲层 106 可为, 例如, 1 至 7 微米厚且包括  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  分级层的叠层, 其在失配隔离层 104 处富含铝, 而在缓冲层 106 的顶部表面处富含镓。

[0011] 电隔离层 108 在缓冲层 106 上形成。电隔离层 108 可为, 例如, 300 至 2000 纳米的半绝缘氮化镓。电隔离层 108 可为, 例如, 半绝缘以在电隔离层 108 下面的层和电隔离层 608 上面的层之间提供所需水平的电隔离。可替换地, 电隔离层 108 可掺杂有 n 型或 p 型杂质以降低电荷陷阱对半导体装置 100 中的电流密度的不良影响。

[0012] 低缺陷层 110 在电隔离层 108 上形成。低缺陷层 110 可为, 例如, 25 至 1000 纳米的氮化镓。低缺陷层 110 可经形成以便最小化晶体缺陷, 所述晶体缺陷可对电子迁移率有不利影响。低缺陷层 110 的形成方法可导致低缺陷层 110 掺杂有碳、铁或其它杂质种类, 例如, 具有少于  $10^{17}\text{cm}^{-3}$  的掺杂密度。

[0013] 阻挡层 112 在低缺陷层 110 上形成。阻挡层 112 可为, 例如, 2 至 30 纳米的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  或  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 。阻挡层 112 中族 III 元素的组合物可为, 例如, 24% 至 28% 的氮化铝和 72% 至 76% 的氮化镓。在低缺陷层 110 上形成阻挡层 112 在正好在阻挡层 112 下面的低缺陷层 110 中生成二维电子气, 其中具有电子密度即载流子面密度, 例如,  $1 \times 10^{12}$  至  $2 \times 10^{13}\text{cm}^{-2}$ 。可选择的覆盖层 114 可在阻挡层 112 上形成。覆盖层 114 可为, 例如, 2 至 5 纳米的氮化镓。可选择的栅极介电层 116 可在阻挡层 112 和覆盖层 114 (如果存在的话) 上方形成, 从而提供所需的阈值电压。栅极介电层 116 可包括, 例如, 氮化硅。

[0014] 在电隔离层 108 和/或低缺陷层 110 的形成过程中, n 型杂质被添加以至于电隔离层 108 和低缺陷层 110 的载流子面密度为二维电子气下面的陷阱电荷和图像电荷提供屏蔽。在目前实例的一个版本中, 电隔离层 108 和低缺陷层 110 的载流子面密度可为二维电子气的载流子面密度的 10% 至 200%。

[0015] 添加的 n 型杂质可主要包括, 例如, 硅和/或锗杂质。添加的 n 型杂质可在电隔离层 108 和/或低缺陷层 110 的外延生长过程中添加。可替换地, 在形成电隔离层 108 和/或低缺陷层 110 后, 添加的 n 型杂质可通过离子注入添加。添加的 n 型杂质的平均掺杂密度可为, 例如,  $1 \times 10^{16}\text{cm}^{-3}$  至  $1 \times 10^{17}\text{cm}^{-3}$ 。添加的 n 型杂质的分布可基本均匀, 或可被分级以至于掺杂区域底部处的掺杂密度比掺杂区域顶部处的掺杂密度高。

[0016] 栅极 118 在阻挡层 112 和栅极介电层 116 (如果存在的话) 的上方形成。栅极 118 可包括, 例如, III-N 半导体材料以提供耗尽型 FET。其它类型的栅极在目前实例的范围内。源极触点 120 经形成延伸到阻挡层 112 中, 以便形成连接到低缺陷层 110 中的二维电子气的隧穿连接 (tunneling connection)。类似地, 漏极触点 122 经形成延伸到阻挡层 112 中, 以便形成连接到二维电子气的隧穿连接。栅极 118、源极触点 120 和漏极触点 122 是半导体装置 100 的 GaN FET 124 的部分。在目前实例的一个版本中, 半导体装置 100 可包括其它有源组件, 诸如

除GaN FET 124之外的晶体管或二极管。在另一个版本中,GaN FET 124可为半导体装置110的唯一有源组件。源极触点120可以与栅极118横向分开,例如,500至1500纳米。漏极触点122与栅极118横向分开一段距离,该距离取决于GaN FET 124的最大操作电压。例如,在设计用于200伏特最大操作电压的GaN FET 124中,漏极触点122可以与栅极118横向分开1至8微米。在设计用于600伏特最大操作电压的GaN FET 124中,漏极触点122可以与栅极118横向分开8至20微米。GaN FET 124可在图1描述的层结构中和在不同的层结构上形成。

[0017] 参照图2,半导体装置200在基底202上形成,失配隔离层204在基底202上形成,缓冲层206在失配隔离层204上形成,且电隔离层208在缓冲层206上形成,例如,如参照图1所述的。在目前实例中,电隔离层208没有如参照图1所讨论的添加的n型杂质。

[0018] p型氮化镓层226在电隔离层208上形成。p型氮化镓层226可为,例如,200纳米至1200纳米厚,且可包括低分数的铝和/或铟以匹配电隔离层208的化学计量关系。p型氮化镓层226掺杂有p型杂质,诸如具有 $1 \times 10^{17} \text{cm}^{-3}$ 至 $8 \times 10^{19} \text{cm}^{-3}$ 示例性掺杂密度的镁。P型杂质可在p型氮化镓层226的外延生长过程中添加或在形成p型氮化镓层226后可通过离子注入添加。

[0019] 低缺陷层210在p型氮化镓层226上形成。低缺陷层210可为,例如,50至1000纳米的氮化镓。N型杂质添加到低缺陷层210以至于低缺陷层210的载流子面密度是随后生成的二维电子气的载流子面密度的1%至200%。p型氮化镓层226的掺杂密度经选择以提供低缺陷层210的载流子面密度的70%至140%的载流子面密度。

[0020] 例如,参照图1所述,阻挡层212在低缺陷层210上形成。如参照图1所述,在低缺陷层210上形成阻挡层212在低缺陷层210中生成了二维电子气。可选择的覆盖层214可在阻挡层212上形成。可选择的栅极凹处228可在阻挡层212中形成。覆盖层214在栅极凹处228中形成。栅极218,例如,钛钨的金属栅极218,在栅极凹处228中的覆盖层214上形成以提供耗尽型FET。在栅极凹处228中形成栅极218可以提供期望的阈值电压。其它类型的栅极在目前实例的范围内。

[0021] 漏极触点222在阻挡层212中形成,例如,参照图1所述。源极触点220在阻挡层212中形成以与二维电子气电接触。源极触点220也可选择地与p型氮化镓层226电接触。栅极218、源极触点220和漏极触点222是半导体装置200的GaN FET 224的部分。

[0022] 在半导体装置200的操作过程中,通过低缺陷层210中的添加的n型杂质提供的电子可有利地填充低缺陷层210中的一部分陷阱。P型氮化镓层226可提供RESURF层以有利地降低来自栅极218的电场且因此减少移进和移出陷阱的电子移动。

[0023] 参照图3,半导体装置300在基底302上形成,失配隔离层304在基底302上形成,缓冲层306在失配隔离层304上形成,且电隔离层308在缓冲层306上形成,例如,参照图1所述。

[0024] 图形化的P型氮化镓层326在电隔离层308上形成,从源极触点区域延伸,经过栅极区域,且在漏极区域前停止。图形化的P型氮化镓层326的厚度和掺杂特性如参照图2所述。在目前实例的一个版本中,通过植入掩膜,部分p型氮化镓层326可通过离子植入p型杂质到电隔离层308的顶部部分形成,从而转化其为具有所需掺杂密度的p型。在另一个版本中,均厚(blanket)p型氮化镓层可使用外延生长工艺生长,且随后用刻蚀工艺图形化。

[0025] 低缺陷层310在部分p型氮化镓层326和电隔离层308上形成。低缺陷层310可为,例如,50至1000纳米的氮化镓。在低缺陷层310,和可能电隔离层308的形成过程中,n型杂质被

添加以至于低缺陷层310和电隔离层308的载流子面密度为随后生成的二维电子气的载流子面密度的1%至200%。部分p型氮化镓层326的掺杂密度经选择以提供低缺陷层310的载流子面密度的70%至140%的载流子面密度。

[0026] 例如,参照图1所述,阻挡层312在低缺陷层310上形成。参照图1所述,在低缺陷层310上形成阻挡层312在低缺陷层310中生成了二维电子气。可选择的覆盖层314可在阻挡层312上形成。可选择的栅极凹处328可在阻挡层312中形成。覆盖层314在栅极凹处328中形成。栅极介电层316在覆盖层314(如果存在的话)上方和阻挡层312上方形成。栅极介电层316可为,例如,10至20纳米的氮化硅,其通过低压化学气相沉积(LPCVD)或等离子体增强化学气相沉积(PECVD)形成。在目前实例的其它版本中,栅极介电层316可包括氮化硅、二氧化硅,氧氮化硅和/或氧化铝中的一层或更多层。栅极介电层316在栅极凹处328中形成。金属栅极318在栅极凹处328中的栅极介电层316上形成以提供增强型FET。在栅极凹处328中形成栅极318可提供所需的阈值电压。其它类型的栅极在目前实例的范围内。

[0027] 参照图2所述,源极触点320在阻挡层312中形成以与二维电子气和部分p型氮化镓层326电接触。例如,参照图1所述,漏极触点322在阻挡层312中形成。栅极318、源极触点320和漏极触点322为半导体装置300的GaN FET 324的部分。

[0028] 在半导体装置300的操作过程中,低缺陷层310中添加的n型杂质可有利地填充如参照图1和图2所述的一部分陷阱。参照图2所述,部分P型氮化镓层326可提供RESURF层以有利地降低来自栅极318的电场。与图2的GaN FET 224相比,形成在漏极区前终止的部分p型氮化镓层326可增加GaN FET 324的漏极源极击穿电压。

[0029] 参照图4,半导体装置400在基底402上形成,失配隔离层404在基底402上形成,且缓冲层406在失配隔离层404上形成,例如,参照图1所述。

[0030] p型氮化镓层426在缓冲层406上形成。P型氮化镓层426的厚度和掺杂特点如参照图2所述。低缺陷层410在p型氮化镓层426上形成。低缺陷层410可为,例如,50至1000纳米的氮化镓。在低缺陷层410的形成过程中,n型杂质被添加以至于低缺陷层410和电隔离层408的载流子面密度是随后生成的二维电子气的载流子面密度的1%至200%。p型氮化镓层426的掺杂密度经选择以提供低缺陷层410的载流子面密度的70%至140%的载流子面密度。

[0031] 例如,参照图1所述,阻挡层412在低缺陷层410上形成。参照图1所述,在低缺陷层410上形成阻挡层412在低缺陷层410中生成了二维电子气。可选择的覆盖层414可在阻挡层412上形成。P型III-N半导体栅极418在覆盖层414上形成以提供增强型FET。P型III-N半导体栅极418可包括,例如, $Al_xGa_{1-x}N$ 或 $In_xAl_yGa_{1-x-y}N$ 中的一层或更多层。P型III-N半导体栅极418可包括半导体材料上方的金属层。

[0032] 参照图2所述,源极触点420在阻挡层412中形成以与二维电子气和p型氮化镓层426电接触。例如,参照图1所述,漏极触点422在阻挡层412中形成。栅极418、源极触点420和漏极触点422是半导体装置400的GaN FET 424的部分。

[0033] 在半导体装置400的操作过程中,低缺陷层410中的添加的n型杂质可有利地填充如参照图1和图2所述的一部分陷阱。参照图2所述,P型氮化镓层426可提供RESURF层以有利地降低来自栅极418的电场。在缓冲层406上形成p型氮化镓层426可有利地降低半导体装置400的制造成本和复杂性。

[0034] 本领域技术人员应该理解,可对所述实施例进行修改,且也应理解,在本权利要求

范围内的许多其它实施例是可行的。

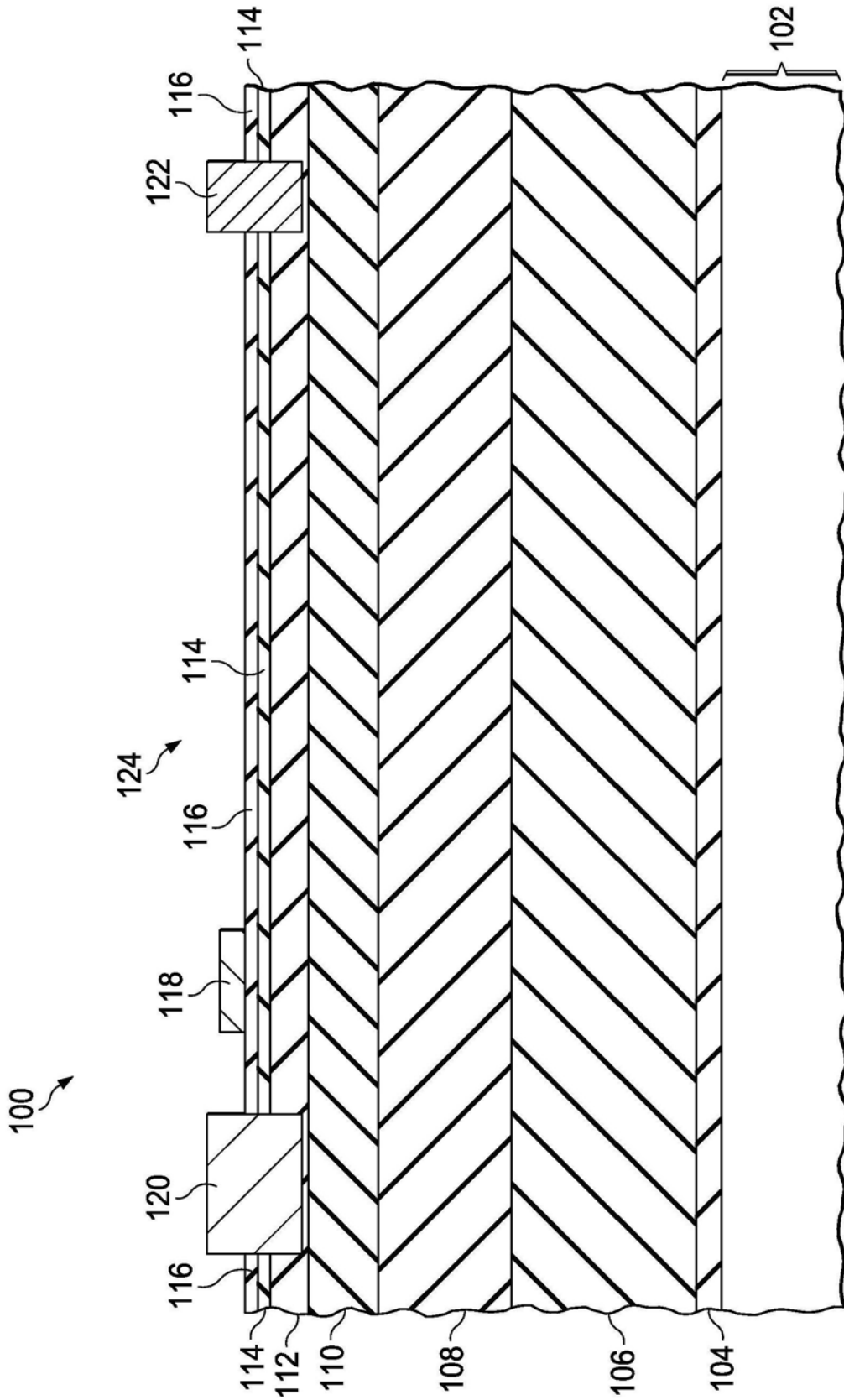


图1

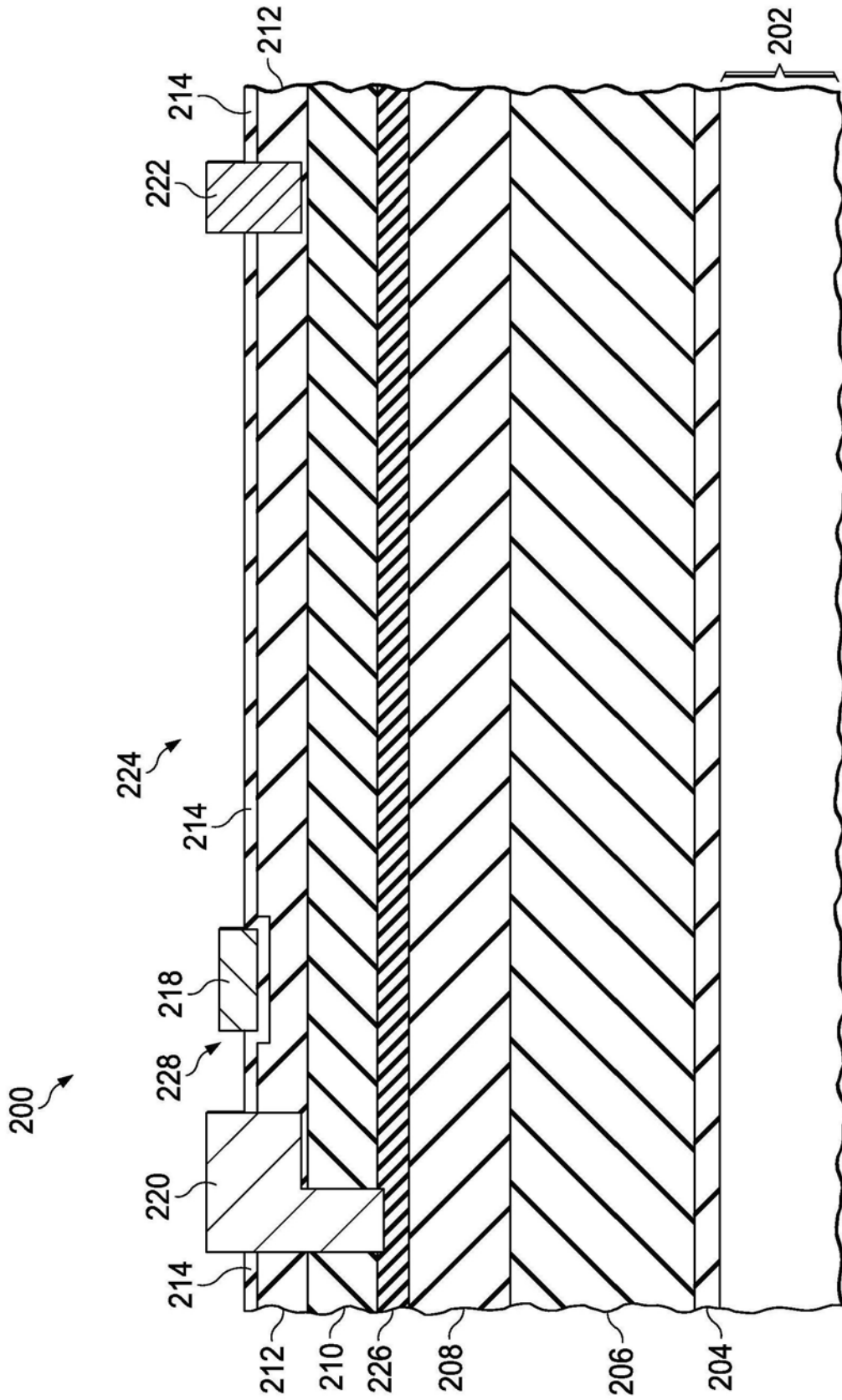


图2



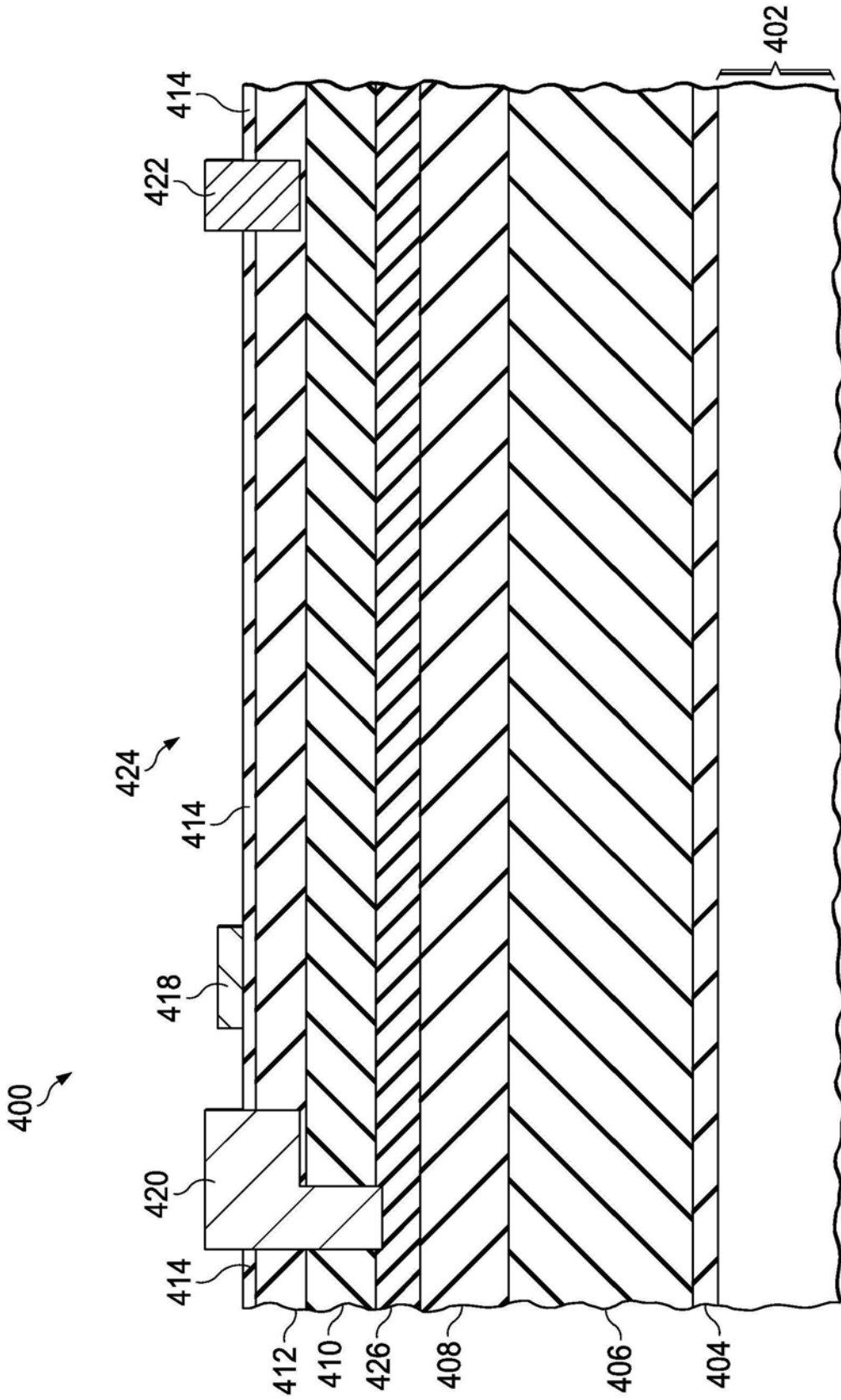


图4