



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0099893
(43) 공개일자 2019년08월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/02 (2006.01)
H01L 21/265 (2006.01) H01L 29/772 (2006.01)
(52) CPC특허분류
H01L 27/10805 (2013.01)
H01L 21/0262 (2013.01)
(21) 출원번호 10-2018-0019936
(22) 출원일자 2018년02월20일
심사청구일자 2018년02월20일

(71) 출원인
가천대학교 산학협력단
경기도 성남시 수정구 성남대로 1342 (복정동)
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
조성재
서울특별시 강남구 개포로110길 43, 104동 605호 (일원동, 한신아파트)
신형순
서울특별시 서초구 반포대로5길 65, 102동 301호 (서초동, 아이파크빌)
(74) 대리인
권오준

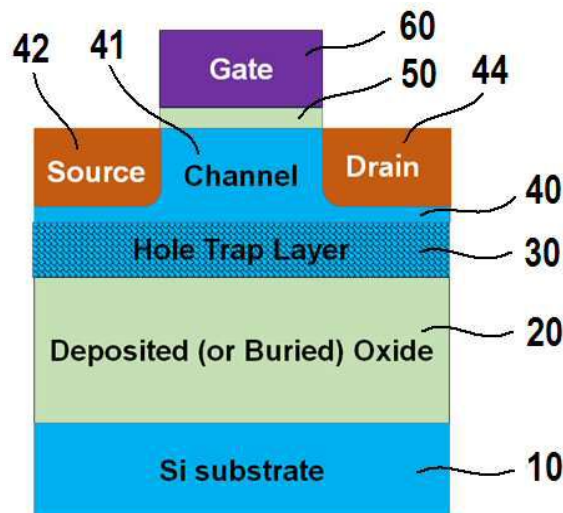
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 폴리실리콘 기반의 1T 디램 셀 소자 및 그 제조방법

(57) 요약

본 발명은 바디(액티브 영역)의 하단부에 결정성이 상대적으로 낮은 반도체층(예컨대, 폴리실리콘층)을 의도적으로 형성하여 셀 바디에 축적되는 정공들을 물리적으로 포획함으로써, retention time을 획기적으로 향상시킬 수 있고, 저비용으로 제작 가능하며 기능성 블록들과 일괄 공정으로 진행할 수 있는 폴리실리콘 기반의 1T 디램 셀 소자 및 그 제조방법을 제공한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/265 (2013.01)

H01L 29/772 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711059019

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업

연구과제명 차세대 SoC를 위한 폴리 실리콘 기반의 메모리/비메모리 반도체소자 기술개발

기 여 율 1/1

주관기관 가천대학교 산학협력단

연구기간 2017.07.01 ~ 2021.12.31

명세서

청구범위

청구항 1

블로킹 절연막;

상기 블로킹 절연막 상에 형성된 제 1 반도체층;

상기 제 1 반도체층 상에 형성된 제 2 반도체층;

상기 제 2 반도체층에 채널 영역을 사이에 두고 이격되어 상기 채널 영역과 반대 타입의 도전형으로 형성된 소스/드레인 영역; 및

상기 채널 영역 상에 게이트 절연막을 사이에 두고 형성된 게이트를 포함하여 구성된 것을 특징으로 하는 1T 디램 셀 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 반도체층은 상기 제 2 반도체층과 동일한 반도체 물질층이나 상기 제 2 반도체층보다 결정성이 낮은 것을 특징으로 하는 1T 디램 셀 소자.

청구항 3

제 2 항에 있어서,

상기 반도체 물질층은 실리콘계 물질층인 것을 특징으로 하는 1T 디램 셀 소자.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 블로킹 절연막은 실리콘 기판 상에 형성된 실리콘 산화막이고,

상기 채널 영역은 상기 게이트의 구동전압으로 p형 채널이 형성되도록 구비되고,

상기 제 1 반도체층은 입계(grain boundary)로 정공을 포획하는 정공 포획층인 것을 특징으로 하는 1T 디램 셀 소자.

청구항 5

제 4 항에 있어서,

상기 소스/드레인 영역은 각 하부가 상기 제 1 반도체층과 만나도록 형성되고,

상기 블로킹 절연막과 상기 제 1 반도체층의 계면 부근에 상기 제 1 반도체층의 다른 부분보다 높은 농도의 이온 주입층을 갖는 것을 특징으로 하는 1T 디램 셀 소자.

청구항 6

실리콘 기판상에 화학기상증착 또는 열산화 방식으로 실리콘 산화막을 형성하는 제 1 단계;

상기 실리콘 산화막 상에 화학기상증착 방식을 통해 실리콘계 물질로 액티브 영역을 형성하는 제 2 단계;

상기 액티브 영역 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트를 형성하는 제 3 단계; 및

상기 게이트를 마스크로 하여 이온 주입하여 상기 액티브 영역과 반대 타입의 도전형으로 소스/드레인 영역을 형성하는 제 4 단계를 포함하되,

상기 제 2 단계는 저온 공정으로 결정성이 낮은 폴리 실리콘으로 제 1 반도체층을 형성한 후, 상기 저온 공정보다 온도를 높인 고온 공정을 연속적으로 진행하여 상기 제 1 반도체층보다 결정성이 높은 결정질 실리콘으로 제 2 반도체층을 형성하고,

상기 제 4 단계의 상기 소스/드레인 영역은 상기 제 2 반도체층 속에 상기 게이트 밑의 채널 영역을 사이에 두고 형성하는 것을 특징으로 1T 디램 셀 소자의 제조방법.

청구항 7

제 6 항에 있어서,

상기 제 2 단계와 상기 제 3 단계 사이에 상기 실리콘 산화막과 상기 폴리 실리콘의 계면 부근에 이온 주입의 피크 지점이 형성되도록 이온 주입 공정을 더 진행하는 것을 특징으로 1T 디램 셀 소자의 제조방법.

발명의 설명

기술 분야

- [0001] 본 발명은 반도체 메모리 소자에 관한 것으로, 더욱 상세하게는 커패시터 없이 폴리실리콘을 기반으로 하는 하나의 트랜지스터를 갖는 1T 디램 셀 소자 및 그 제조방법에 관한 것이다.

배경 기술

- [0002] 동적 랜덤 액세스 메모리인 디램(DRAM)은 현재 낸드 플래시 메모리와 더불어 반도체 메모리 분야의 대표적인 메모리 소자로, 한국을 포함한 반도체 선도 국가들 간에 기술 경쟁이 매우 치열한 분야이다.
- [0003] 종래의 DRAM은 하나의 트랜지스터와 하나의 커패시터, 즉 1T1C 구조를 갖는다. 커패시터의 존재로부터 야기되는 복잡한 공정으로 인해 CPU와 동시에 집적하지 못하고 stand-alone type으로 제작, 공급되어야 한다는 점, 동일한 초미세 반도체 공정을 기반을 두면서도 플래시 메모리 소자에 비해 용량의 증가 속도가 더디고 3차원 적층이 어렵다는 점 등이 1T1C 구조의 DRAM이 갖는 기술적 한계점으로 지적되어 왔다.
- [0004] 이에, 커패시터 없앤 1T 구조의 DRAM들이 제안되었지만 종래의 1T1C 구조 DRAM 대비 retention time이 상당히 짧다는 단점을 갖고 있다. 또한, 한국 공개특허 제10-2017-0055031호와 같이, 고가의 SOI(Silicon-On-Insulator) 기판의 매물산화막으로 셀 바디를 절연시킬 경우 소자의 단가가 올라가는 문제가 있고, 터널링 전계 효과 트랜지스터(TFET)를 이용함에 따라 일반 MOSFET 소자로 구성되는 기능성 블록(functional block)들과 일괄 공정의 가능성을 떨어뜨리는 문제도 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 상술한 종래 1T 디램 셀 소자의 문제점을 해결하기 위해 제안된 것으로, 디램 셀의 하단부에 폴리실리콘 영역을 의도적으로 형성하여 셀 바디에 축적되는 정공들을 물리적으로 포획함으로써, retention time을 획기적으로 향상시킬 수 있고, 벌크 기판 등에 일반 MOSFET 구조를 가져 저비용으로 기능성 블록들과 일괄 공정의 가능성을 높일 수 있는 폴리실리콘 기반의 1T 디램 셀 소자 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 상기 목적을 달성하기 위하여, 본 발명에 의한 1T 디램 셀 소자는 블로킹 절연막; 상기 블로킹 절연막 상에 형

성된 제 1 반도체층; 상기 제 1 반도체층 상에 형성된 제 2 반도체층; 상기 제 2 반도체층에 채널 영역을 사이에 두고 이격되어 상기 채널 영역과 반대 타입의 도전형으로 형성된 소스/드레인 영역; 및 상기 채널 영역 상에 게이트 절연막을 사이에 두고 형성된 게이트를 포함하여 구성된 것을 특징으로 한다.

[0007] 상기 제 1 반도체층은 상기 제 2 반도체층과 동일한 반도체 물질층이나 상기 제 2 반도체층보다 결정성이 낮은 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0008] 상기 반도체 물질층은 실리콘계 물질층인 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0009] 상기 블로킹 절연막은 실리콘 기판 상에 형성된 실리콘 산화막이고, 상기 채널 영역은 상기 게이트의 구동전압으로 p형 채널이 형성되도록 구비되고, 상기 제 1 반도체층은 입계(grain boundary)로 정공을 포획하는 정공 포획층인 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0010] 상기 소스/드레인 영역은 각 하부가 상기 제 1 반도체층과 만나도록 형성되고, 상기 블로킹 절연막과 상기 제 1 반도체층의 계면 부근에 상기 제 1 반도체층의 다른 부분보다 높은 농도의 이온 주입층을 갖는 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0011] 본 발명에 의한 1T 디램 셀 소자의 제조방법은 실리콘 기판상에 화학기상증착 또는 열산화 방식으로 실리콘 산화막을 형성하는 제 1 단계; 상기 실리콘 산화막 상에 화학기상증착 방식을 통해 실리콘계 물질로 액티브 영역을 형성하는 제 2 단계; 상기 액티브 영역 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트를 형성하는 제 3 단계; 및 상기 게이트를 마스크로 하여 이온 주입하여 상기 액티브 영역과 반대 타입의 도전형으로 소스/드레인 영역을 형성하는 제 4 단계를 포함한다.

[0012] 여기서, 상기 제 2 단계는 저온 공정으로 결정성이 낮은 폴리 실리콘으로 제 1 반도체층을 형성한 후, 상기 저온 공정보다 온도를 높인 고온 공정을 연속적으로 진행하여 상기 제 1 반도체층보다 결정성이 높은 결정질 실리콘으로 제 2 반도체층을 형성하고, 상기 제 4 단계의 상기 소스/드레인 영역은 상기 제 2 반도체층 속에 상기 게이트 밑의 채널 영역을 사이에 두고 형성할 수 있다.

[0013] 상기 제 2 단계와 상기 제 3 단계 사이에 상기 실리콘 산화막과 상기 폴리 실리콘의 계면 부근에 이온 주입의 피크 지점이 형성되도록 이온 주입 공정을 더 진행할 수 있다.

[0014] 상기 제 2 단계와 상기 제 3 단계 사이의 이온 주입 공정은 상기 제 2 단계에서 공정 온도를 변화시키는 방법 대신 취하거나 병행하여 사용할 수도 있다.

발명의 효과

[0015] 본 발명은 바디(액티브 영역)의 하단부에 결정성이 상대적으로 낮은 반도체층(예컨대, 폴리실리콘층)을 의도적으로 형성하여 셀 바디에 축적되는 정공들을 물리적으로 포획함으로써, retention time을 획기적으로 향상시킬 수 있고, 저비용으로 제작 가능하며 기능성 블록들과 일괄 공정으로 진행할 수 있는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시 예에 따른 1T 디램 셀 소자의 구조를 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부한 도면을 참조하며 본 발명의 바람직한 실시 예에 대하여 설명한다.

[0018] 본 발명의 일 실시 예에 따른 1T 디램 셀 소자는, 도 1과 같이, 블로킹 절연막(20); 상기 블로킹 절연막 상에 형성된 제 1 반도체층(30); 상기 제 1 반도체층 상에 형성된 제 2 반도체층(40); 상기 제 2 반도체층에 채널 영역(41)을 사이에 두고 이격되어 상기 채널 영역과 반대 타입의 도전형으로 형성된 소스(42)/드레인 영역(44); 및 상기 채널 영역(41) 상에 게이트 절연막(50)을 사이에 두고 형성된 게이트(60)를 포함하여 구성된다.

[0019] 여기서, 상기 제 1 반도체층(30) 및 상기 제 2 반도체층(40)은 셀 소자가 만들어지는 액티브 영역(바디)을 구성하고, 일반적인 셀 소자와 같이, 각 측면으로 격리 절연막(미도시) 등이 둘러싸여 이웃 셀과 전기적으로 격리된다.

[0020] 상기 블로킹 절연막(20)은 셀 바디를 외부와 절연시켜 유입된 정공 등을 바디 내로 가두기 위한 것으로, 절연체이면 기판을 대신하며 유리나 가요성 물질층으로 형성할 수도 있고, 도 1과 같이, 실리콘 기판(10) 상에 형성할 경우에는 증착된 또는 매몰된 산화막(deposited or buried oxide layer), 구체적으로 실리콘 산화막일 수 있다.

여기서, 상기 실리콘 기판(10)은 SOI(Silicon-On-Insulator) 기판은 물론 벌크 기판일 수도 있다.

- [0021] 상기 채널 영역(41)은 상기 게이트(60)의 구동전압(예컨대, $V_{GS} < 0$)으로 p형 채널이 형성되도록 구비되고, 상기 제 1 반도체층(30)은 입계(grain boundary)로 정공을 포획하는 정공 포획층일 수 있다. 이렇게 함으로써, 셀 바디 하부에 정공들을 물리적으로 다수 포획하여 retention time을 향상시킬 수 있게 된다.
- [0022] 상기 제 1 반도체층(30)은 상기 제 2 반도체층(40)과 다른 반도체 물질층으로 이종접합으로 형성될 수도 있으나, 동일한 반도체 물질층으로, 어떤 경우든지 상기 제 2 반도체층보다 결정성이 낮은 것으로 한다. 이렇게 함으로써, 제 2 반도체층(40)의 채널 영역(41)에서 캐리어(전자 또는 정공)의 이동도를 높여 저전력 구동이 가능한 물론 제 1 반도체층(30)의 입계(grain boundary)에 더욱 많은 정공을 포획할 수 있는 장점이 있다.
- [0023] 구체적인 예로, 상기 제 1 반도체층(30)은 폴리 실리콘으로, 상기 제 2 반도체층(40)은 결정질 실리콘으로 형성할 수 있다.
- [0024] 다른 실시 예로, 미도시 되었으나, 도 1에서 상기 소스(42)/드레인 영역(44)은 각 하부가 상기 제 1 반도체층(30)과 만나도록 형성될 수 있다.
- [0025] 또한, 상기 블로킹 절연막(20)과 상기 제 1 반도체층(30)의 계면 부근에는 상기 제 1 반도체층(30)의 다른 부분보다 높은 농도의 이온 주입층이 더 형성될 수 있다.
- [0026] 다음은 도 1의 구조를 제조하기 위한 본 발명에 따른 1T 디램 셀 소자의 제조방법에 대하여 설명한다.
- [0027] 먼저, 실리콘 기판(10)상에 화학기상증착(CVD) 또는 열산화 방식으로 실리콘 산화막(20)을 형성한다(제 1 단계).
- [0028] 이어, 상기 실리콘 산화막(20) 상에 화학기상증착 방식을 통해 실리콘계 물질로 액티브 영역(30, 40)을 형성한다(제 2 단계).
- [0029] 이때, 상기 제 2 단계는 저온 공정으로 결정성이 낮은 폴리 실리콘으로 제 1 반도체층(30)을 형성한 후, 상기 저온 공정보다 온도를 높인 고온 공정을 연속적으로 진행하여 상기 제 1 반도체층보다 결정성이 높은 결정질 실리콘으로 제 2 반도체층(40)을 형성함으로써, 결정성이 낮은 폴리 실리콘으로 제 1 반도체층을 형성하여 정공 포획층을 아래에 형성하면서, 연속적으로 상부에는 상대적으로 결정성이 높은 결정질 실리콘으로 제 2 반도체층을 형성하여 셀 동작시 캐리어(전자 또는 정공)의 이동도를 높일 수 있는 장점이 있다.
- [0030] 다음, 상기 액티브 영역 상에 게이트 절연막(50)을 형성하고, 상기 게이트 절연막 상에 게이트(60)를 형성한다(제 3 단계).
- [0031] 이어, 상기 게이트(60)를 마스크로 하여 이온 주입하여 상기 액티브 영역(30, 40)과 반대 타입의 도전형으로 소스(42)/드레인 영역(44)을 형성한다(제 4 단계). 이때, 상기 소스(42)/드레인 영역(44)은 상기 제 2 반도체층(40) 속에 상기 게이트(60) 밑의 채널 영역(41)을 사이에 두고 형성하게 된다.
- [0032] 다른 실시 예로, 상기 제 2 단계와 상기 제 3 단계 사이에는 상기 실리콘 산화막(20)과 상기 제 1 반도체층(30)인 폴리 실리콘의 계면 부근에 이온 주입의 피크 지점이 형성되도록 이온 주입 공정을 더 진행하여 제 1 반도체층(30)의 결정성을 더 저하시킬 수 있다.
- [0033] 물론, 상기 제 2 단계와 상기 제 3 단계 사이의 이온 주입 공정은 상기 제 2 단계에서 공정 온도를 변화시키는 방법 대신 취하거나 병행하여 사용할 수도 있다.
- [0034] 마지막으로, 도 1의 실시 예에 따른 1T 디램 셀 소자의 동작 방법에 대하여 간단히 설명한다.
- [0035] <쓰기 동작>
- [0036] 실리콘 기판(10)에 인가한 바디 전압 $V_B = 0$, 소스 영역(42)에 인가한 소스 전압 $V_S = 0$, 게이트와 소스 간 전압 $V_{GS} < 0$, 드레인과 소스 간 전압 $V_{DS} > 0$ 으로 각각 인가하여 p-type 채널 영역(41)의 valence band 전자들을 드레인 영역(44)으로 band-to-band tunneling 하게 된다.
- [0037] 이때, p-type 채널에는 자유 정공들이 형성되어 이들이 제 1 반도체층(30)인 폴리실리콘의 입계(grain boundary) 및 하부 정공 포획 층에 포획되는 정도에 따라, 0 또는 1 상태(state)로 쓰여 지게 된다. 하부 정공 포획층으로의 효과적인 정공 이동을 위해 $V_{GS} > 0$ 의 펄스를 추가적으로 인가할 수도 있다.

- [0038] <읽기 동작>
- [0039] $V_B = 0$, $V_S = 0$, $V_{GS} > V_{th}$ (MOSFET의 문턱 전압), $V_{DS} > 0$ 의 전압을 인가하여 드레인 전류의 높낮이로 메모리 소자의 0, 1 상태를 판별하게 된다.
- [0040] 이때, V_{DS} 가 과도하게 높으면 impact ionization으로 인해 추가적인 전자, 정공쌍이 발생하여 정확한 메모리 상태 판별을 어렵게 만들므로 적절히 작은 크기의 V_{DS} 전압을 인가함이 바람직하다.
- [0041] <지우기 동작>
- [0042] $V_B = 0$, $V_S = 0$, $V_{GS} < 0$, $V_{DS} < 0$ 의 전압을 인가하여 포획되어 있는 정공들을 트랩으로부터 강제적으로 떼어내는 과정이 지우기 동작이다. 포획되어 있지 않은 정공은 자연적으로 재결합에 의해 소멸되므로, $V_S < 0$, $V_G < 0$, $V_D < 0$ 을 인가하여 표동에 의한 정공의 유출을 소스 영역(42) 및 드레인 영역(44)의 각 접합에서 이루어지도록 할 수 있다.
- [0043] 이때, 게이트(60)의 하부에 정공들이 홀드 되는 것을 방지하기 위해 V_S , V_D 는 V_G 로 인해 야기되는 채널의 표면 전위보다는 크기가 큰 음의 값을 가질 수 있도록 조건을 설정함이 바람직하다.

부호의 설명

- [0044] 10: 실리콘 기판
- 20: 증착된 또는 매몰된 산화막(실리콘 산화막)
- 30: 제 1 반도체층
- 40: 제 2 반도체층
- 41: 채널 영역
- 42: 소스 영역
- 44: 드레인 영역
- 50: 게이트 절연막
- 60: 게이트

도면

도면1

