



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202425302 A

(43) 公開日：中華民國 113 (2024) 年 06 月 16 日

(21) 申請案號：112125037

(22) 申請日：中華民國 112 (2023) 年 07 月 05 日

(51) Int. Cl. : H01L27/146 (2006.01)

H04N25/59 (2023.01)

H04N25/771 (2023.01)

(30) 優先權：2022/08/22 日本

2022-131496

(71) 申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72) 發明人：山中貴哉 YAMANAKA, TAKAYA (JP)

(74) 代理人：陳長文；呂光；金若芸

申請實體審查：無 申請專利範圍項數：12 項 圖式數：19 共 57 頁

(54) 名稱

固態攝像裝置

(57) 摘要

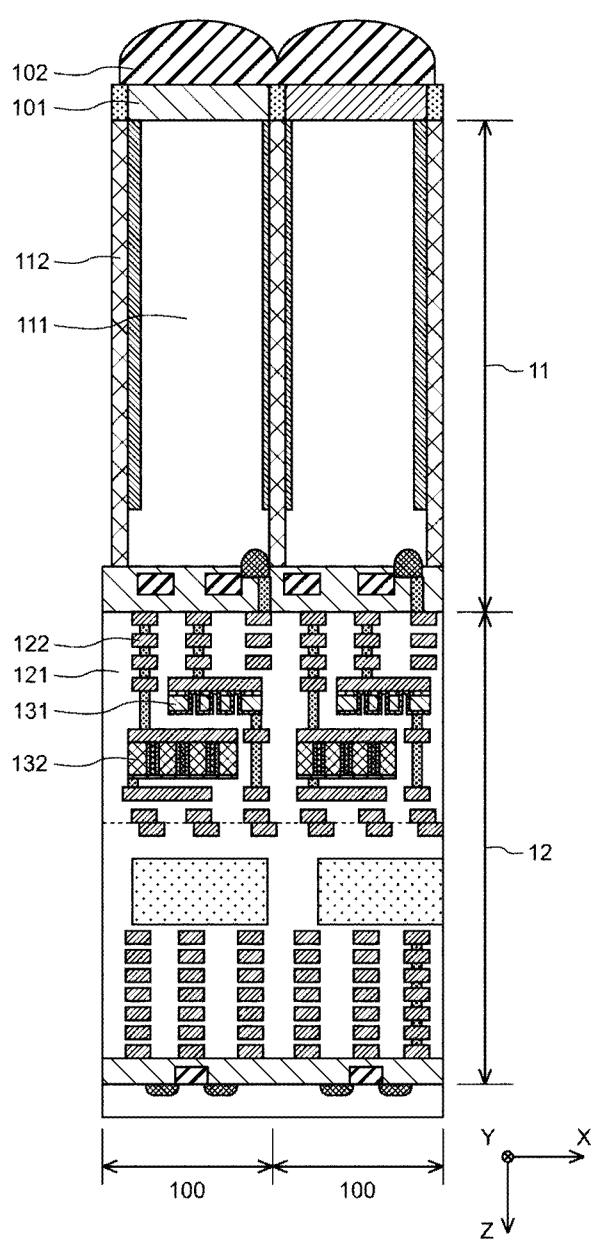
本發明之課題在於以更適切之配置實現所期望之特性。

本發明提供一種固態攝像裝置，其包含：複數個像素，其等分別具有光電轉換元件與複數個配線電容元件；及讀出部，其讀出來自複數個像素之信號；且具有自光電轉換元件溢流之電荷蓄積於第 1 配線電容元件，自第 1 配線電容元件溢流之電荷蓄積於第 2 配線電容元件之構造，讀出部個別地讀出光電轉換元件、第 1 配線電容元件、及第 2 配線電容元件各者之信號。本揭示例如可應用於 CMOS 型固態攝像裝置。

指定代表圖：

符號簡單說明：

- 11: 半導體層
- 12: 配線層
- 100: 像素
- 101: 彩色濾光器
- 102: 晶載微透鏡
- 111: 二極體
- 112: 像素間分離部
- 121: 配線層間膜
- 122: 配線
- 131: MIM 電容元件
- 132: MIM 電容元件
- X,Y,Z: 方向



【圖2】

【發明摘要】

【中文發明名稱】

固態攝像裝置

【中文】

本發明之課題在於以更適切之配置實現所期望之特性。

本發明提供一種固態攝像裝置，其包含：複數個像素，其等分別具有光電轉換元件與複數個配線電容元件；及讀出部，其讀出來自複數個像素之信號；且具有自光電轉換元件溢流之電荷蓄積於第1配線電容元件，自第1配線電容元件溢流之電荷蓄積於第2配線電容元件之構造，讀出部個別地讀出光電轉換元件、第1配線電容元件、及第2配線電容元件各者之信號。本揭示例如可應用於CMOS型固態攝像裝置。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

11:半導體層

12:配線層

100:像素

101:彩色濾光器

102:晶載微透鏡

111:二極體

112:像素間分離部

121:配線層間膜

122:配線

131: MIM電容元件

132: MIM電容元件

X, Y, Z:方向

【發明說明書】

【中文發明名稱】

固態攝像裝置

【技術領域】

【0001】

本揭示係關於一種固態攝像裝置，特別係關於一種以更適切之配置實現所期望之特性之固態攝像裝置。

【先前技術】

【0002】

作為影像感測器之像素之構造，已知設置蓄積自二極體溢流之電荷之蓄積電容之構造(例如，參照專利文獻1、2)。

【0003】

在專利文獻1中，揭示設置圓柱型電容器構成之電容作為蓄積自二極體溢流之電荷之蓄積電容的像素之構造。在專利文獻2中，揭示將蓄積自二極體溢流之電荷之第1蓄積電容及第2蓄積電容與該二極體設置於同一平面上的像素之構造。

[先前技術文獻]

[專利文獻]

【0004】

[專利文獻1] 日本特開2020-129795號公報

[專利文獻2] 日本特開2006-245522號公報

【發明內容】

[發明所欲解決之課題]

【0005】

在專利文獻1揭示之構造中，將蓄積電容以1段構造進行配置，但若為了擴大動態範圍而擴大像素內電容，則轉換效率下降，故有隨機雜訊惡化之虞。因此，為了將SN比設為某基準以上，需要限制像素內電容，而難以兼顧動態範圍。

【0006】

另一方面，在專利文獻2揭示之構造中，藉由將蓄積電容以2段構造配置，而在維持SN比之狀態下實現廣動態範圍化，但因2個蓄積電容與二極體配置於同一平面上，故該二極體之光入射面側之平面之面積受到限制。因此，追求一種用於以更適切之配置實現所期望之特性之技術。

【0007】

本揭示係鑒於如此之狀況而完成者，且係以更適切之配置實現所期望之特性者。

[解決課題之技術手段]

【0008】

本揭示之第1態樣之固態攝像裝置包含：複數個像素，其等分別具有光電轉換元件與複數個配線電容元件；及讀出部，其讀出來自前述複數個像素之信號；且具有自前述光電轉換元件溢流之電荷蓄積於第1配線電容元件，自前述第1配線電容元件溢流之電荷蓄積於第2配線電容元件之構造，前述讀出部個別地讀出前述光電轉換元件、前述第1配線電容元件、及前述第2配線電容元件各者之信號。

【0009】

在本揭示之第1態樣之固態攝像裝置中，具有自光電轉換元件溢流之

電荷蓄積於第1配線電容元件，自第1配線電容元件溢流之電荷蓄積於第2配線電容元件之構造，光電轉換元件、第1配線電容元件、及第2配線電容元件各者之信號被個別地讀出。

【0010】

本揭示之第2態樣之固態攝像裝置包含：複數個像素，其等分別具有複數個光電轉換元件與複數個配線電容元件；及讀出部，其讀出來自前述複數個像素之信號；且具有於第1光電轉換元件與第2光電轉換元件之浮動擴散部分別連接有第1配線電容元件與第2配線電容元件，自前述第1光電轉換元件溢流之電荷蓄積於前述第1配線電容元件，自前述第2光電轉換元件溢流之電荷蓄積於前述第2配線電容元件之構造，前述讀出部個別地讀出前述第1光電轉換元件、前述第2光電轉換元件、前述第1配線電容元件、及前述第2配線電容元件各者之信號。

【0011】

在本揭示之第2態樣之固態攝像裝置中，具有自第1光電轉換元件溢流之電荷蓄積於第1配線電容元件，自第2光電轉換元件溢流之電荷蓄積於第2配線電容元件之構造，第1光電轉換元件、第2光電轉換元件、第1配線電容元件、及第2配線電容元件各者之信號被個別地讀出。

【0012】

再者，本揭示之一態樣之固態攝像裝置可為獨立之裝置，亦可為構成1個裝置之內部塊。

【圖式簡單說明】

【0013】

圖1係顯示應用本揭示之固態攝像裝置之一實施形態之構成例之圖。

圖2係顯示像素之構造之第1例之剖視圖。

圖3係顯示MIM電容元件之構造之例之剖視圖。

圖4係顯示像素之TG型電路構成之第1例之圖。

圖5係與圖4之像素之TG型電路構成對應之平面圖。

圖6係顯示圖4之像素之電路構成之讀出動作之例之時序圖。

圖7係顯示像素之OFG型電路構成之第1例之圖。

圖8係與圖7之像素之OFG型電路構成對應之平面圖。

圖9係顯示像素之構造之第2例之剖視圖。

圖10係顯示像素之構造之第3例之剖視圖。

圖11係顯示像素之TG型電路構成之第2例之圖。

圖12係顯示圖11之像素之電路構成之讀出動作之例之時序圖。

圖13係顯示像素之OFG型電路構成之第2例之圖。

圖14係顯示像素之構造之又一例之剖視圖。

圖15係與圖14之像素對應之平面圖。

圖16係顯示圖14之像素之電路構成之例之圖。

圖17係顯示圖16之像素之電路構成之讀出動作之例之時序圖。

圖18係顯示MIM電容元件之構造之又一例之剖視圖。

圖19係顯示搭載應用本揭示之固態攝像裝置之電子機器之構成例之方塊圖。

【實施方式】

【0014】

< 裝置構成 >

圖1係顯示應用本揭示之固態攝像裝置之一實施形態之構成例之圖。

【0015】

在圖1中，固態攝像裝置10係CMOS(Complementary Metal Oxide Semiconductor，互補式金屬氧化物半導體)型固態攝像裝置。固態攝像裝置10包含：像素陣列部21、垂直驅動部22、行信號處理部23、水平驅動部24、輸出部25、及控制部26。

【0016】

像素陣列部21具有在由矽(Si)等構成之半導體基板上矩陣狀地二維排列之複數個像素100。像素100具有二極體及複數個像素電晶體等。在像素陣列部21，對於矩陣狀地二維排列之複數個像素100就每一列形成像素驅動線41並連接於垂直驅動部22，就每一行形成垂直信號線42並連接於行信號處理部23。

【0017】

垂直驅動部22係由移位暫存器、位址解碼器等構成，驅動在像素陣列部21排列之各像素100。自藉由垂直驅動部22選擇掃描之像素100輸出之信號經由垂直信號線42供給至行信號處理部23。

【0018】

行信號處理部23就像素陣列部21之每一像素行，對於自選擇列之各像素100經由垂直信號線42輸出之信號進行規定之信號處理(例如雜訊去除處理或取樣處理等)，且暫時地保持信號處理後之信號。

【0019】

水平驅動部24係由移位暫存器、位址解碼器等構成，依序選擇與行信號處理部23之像素行對應之單位電路。藉由水平驅動部24之選擇掃描，由行信號處理部23信號處理之信號經由水平信號線51輸出至輸出部

25。

【0020】

輸出部25對於自行信號處理部23各者經由水平信號線51依次輸入之信號進行規定之信號處理，其結果為輸出獲得之信號。

【0021】

控制部26係由產生各種時序信號之時序產生器等構成，基於由時序產生器產生之各種時序信號，進行垂直驅動部22、行信號處理部23、及水平驅動部24等之驅動控制。

【0022】

接著，在固態攝像裝置10中，作為在像素陣列部21二維狀地排列之像素100、及讀出來自複數個像素100之信號之讀出部之構成，依序說明第1構成至第5構成。讀出部例如包含垂直驅動部22、行信號處理部23、及控制部26。

【0023】

<第1構成>

圖2係顯示像素100之構造之第1例之剖視圖。在圖2中，於在空間內相互正交之3方向上，將在同一平面內相互正交之第1方向及第2方向分別設為X方向、Y方向，將與第1方向及第2方向各者正交之第3方向設為Z方向。在圖2中，以各層之厚度方向為Z方向而說明。後述之其他圖亦相同。

【0024】

各像素100構成為積層半導體層11與配線層12。在半導體層11之光入射面側，配置彩色濾光器101及晶載微透鏡102。彩色濾光器101與晶載微

透鏡102就每一像素100而設置。彩色濾光器101例如由使紅(R)、綠(G)、及藍(B)之任一者對應之波長透過之濾光器構成。

【0025】

在半導體層11中，在由矽(Si)等構成之半導體基板形成有二極體111。例如，半導體基板在表面之一部分及其附近等之區域具有P井層，在其以外之區域具有與P井層不同之導電型N型區域。藉此，形成作為光電轉換元件之二極體111。各像素100被像素間分離部112電性及光學性地分離。像素間分離部112藉由在對半導體基板以白光入射面之相反側之面貫通之方式形成之溝渠埋入金屬膜或絕緣膜等而形成。

【0026】

配線層12係包含複數個配線層之多層配線層，該複數個配線層經由配線層間膜121積層複數段，於各者形成配線122。配線層間膜121係由使用氧化矽(SiO₂)等之材料之膜構成。配線122係由銅(Cu)等構成。在配線層12中，在配線層間，作為電容不同之配線電容元件而配置MIM(Metal Insulator Metal，金屬-絕緣體-金屬)電容元件131與MIM電容元件132。

【0027】

MIM電容元件131與MIM電容元件132就每一像素100而設置。MIM電容元件131與MIM電容元件132以在XY方向之平面內至少一部分重疊之方式配置。又，在Z方向上，MIM電容元件132配置於較MIM電容元件131深之位置，配置於不同之配線層間。即，在配線層12中，MIM電容元件131配置於第1配線層間，MIM電容元件132配置於第2配線層間。

【0028】

MIM電容元件131蓄積自二極體111溢流之電荷。MIM電容元件132

蓄積自MIM電容元件131溢流之電荷。藉由如此之構造，可將自二極體111溢流之電荷與蓄積於二極體111之電荷一起蓄積於MIM電容元件131及MIM電容元件132並讀出。

【0029】

圖3係顯示MIM電容元件131之構造之例之剖視圖。在圖3中，MIM電容元件131具有XYZ方向之三維構造。MIM電容元件131成為積層上部電極141、下部電極142、及由上部電極141與下部電極142夾著之介電體143之構造。在上部電極141之上表面，形成蓋膜144。上部電極141經由接點123A與配線122A連接。下部電極142與配線122B連接。

【0030】

上部電極141係由使用氮化鈦(TiN)、鈹(Ta)、氮化鈹(TaN)、氮化鎢(WN)等材料之單層膜、或積層該等之材料之積層膜構成。下部電極142與上部電極141同樣地，係由使用氮化鈦(TiN)等材料之單層膜或積層膜構成。介電體143係由使用氧化鋁(AlO)、氧化鈦(HfO)、氧化鋯(ZrO)、氧化鈮(NbO)等之高介電常數材料之單層膜、或積層該等之材料之積層膜構成。蓋膜144係由使用氮化矽(SiN)、氧化矽(SiO)、碳氮化矽(SiCN)等材料之膜構成。

【0031】

MIM電容元件132具有與圖3所示之MIM電容元件131相同之構造，但介電體143之膜種類、厚度、面積等不同。作為介電體143之膜種類，藉由改變上述之材料毋庸諱言，亦可藉由使用即便為同一材料但特性不同之膜，使膜種類不同。介電體143之厚度在Z方向上示出，以圖中之h表示。介電體143之面積係XY方向之平面之面積。藉由如此之構造之不同，

MIM電容元件131與MIM電容元件132之電容不同。例如，理想的是將MIM電容元件132之電容設為大於MIM電容元件131之電容，將其電容比設為1:30左右。

【0032】

如此般，MIM電容元件131與MIM電容元件132成為介電體143之膜種類、厚度、及面積之至少一者不同之構造，但其他構造亦可不同。例如，在MIM電容元件131與MIM電容元件132中，以圖中之H表示之高度可不同。又，除了MIM電容元件131與MIM電容元件132之構造外，其製造製程亦可不同。藉由將MIM電容元件131與MIM電容元件132設為三維構造，而可增大每單位面積之電容，而可實現細微化。

【0033】

圖4係顯示像素100之電路構成之第1例之圖。在圖4中，像素100係由二極體111、MIM電容元件131、MIM電容元件132、傳送電晶體161、FD 162、切換電晶體163、重置電晶體164、放大電晶體165、選擇電晶體166、第1蓄積電晶體167、及第2蓄積電晶體168構成。

【0034】

傳送電晶體161設置於二極體111與FD 162之間，與施加於其閘極電極之驅動信號TGL相應地，將蓄積於二極體111之電荷向FD 162傳送。FD 162係將來自二極體111之電荷轉換為電壓信號之浮動擴散部(FD：Floating Diffusion)。

【0035】

於FD 162，連接有用於切換轉換效率之切換電晶體163，且經由切換電晶體163連接有重置電晶體164。進而，於FD 162亦經由放大電晶體165

及選擇電晶體166連接有垂直信號線42。在切換電晶體163與重置電晶體164之間，連接有第1蓄積電晶體167。在第1蓄積電晶體167，連接有MIM電容元件131與第2蓄積電晶體168。在第2蓄積電晶體168，連接有MIM電容元件132。在MIM電容元件131之上部電極與MIM電容元件132之上部電極，連接有共通之控制電源(VMID)。

【0036】

切換電晶體163與施加於其閘極電極之驅動信號FDG相應地，切換FD 162、與重置電晶體164及第1蓄積電晶體167之連接狀態。第1蓄積電晶體167與施加於其閘極電極之驅動信號FCG1相應地，切換與MIM電容元件131之連接狀態。第2蓄積電晶體168與施加於其閘極電極之驅動信號FCG2相應地，切換與MIM電容元件132之連接狀態。

【0037】

例如，在蓄積期間，二極體111之飽和前之電荷蓄積於二極體111，超過飽和時之電荷可經由傳送電晶體161、切換電晶體163、及第1蓄積電晶體167蓄積於MIM電容元件131。又，超過二極體111及MIM電容元件131之飽和時之電荷，可經由第2蓄積電晶體168蓄積於MIM電容元件132。

【0038】

重置電晶體164與施加於其閘極電極之驅動信號RST相應地，排出FD 162、MIM電容元件131、及MIM電容元件132之電荷並重置。放大電晶體165之閘極電極連接於FD 162，汲極連接於電源電壓(VDD)，成為讀出由二極體111之光電轉換獲得之電荷之源極隨耦器電路之輸入部。亦即，放大電晶體165藉由源極經由選擇電晶體166連接於垂直信號線42，而構

成連接於垂直信號線42之一端之定電流源與源極隨耦器電路。

【0039】

選擇電晶體166連接於放大電晶體165之源極與垂直信號線42之間。選擇電晶體166與施加於其閘極電極之驅動信號SEL相應地，將像素100設為選擇狀態。在像素100成為選擇狀態時，自放大電晶體165輸出之信號經由垂直信號線42讀出至行信號處理部23。

【0040】

圖5係顯示像素100之構成之第1例之平面圖。在圖5之平面圖中，對於與圖4之電路圖對應之部分，賦予同一符號。在圖4、圖5中，自二極體111溢流之電荷經由作為傳送閘極之傳送電晶體161，蓄積於MIM電容元件131與MIM電容元件132。亦即，圖4、圖5所示之構成係TG(Transfer Gate，傳送閘極)型之構成。又，在圖4、圖5所示之構成中，成為如下構成：將MIM電容元件131與MIM電容元件132連接之FD 162被第2蓄積電晶體168之動作分斷，而讀出蓄積於MIM電容元件131與MIM電容元件132各者之電荷。

【0041】

接著，參照圖6之時序圖，對於像素100之讀出動作之例進行說明。在圖6中，VMID表示對於圖4之電路圖之MIM電容元件131、132之共通之控制信號。SEL、FDG、TGL、RST、FCG1、FCG2表示施加於圖4之電路圖之各電晶體之閘極電極之驅動信號。驅動信號依照來自控制部26之控制藉由垂直驅動部22而施加。各電晶體在驅動信號成為H位準時成為導通狀態，在成為L位準時成為關斷狀態。

【0042】

在圖6中，在時刻t0在快門(SHT)被按下後成為蓄積期間。在蓄積期間之前，控制信號VMID、與驅動信號FDG、TGL、RST、FCG1、FCG2成為H位準，藉此FD 162、與MIM電容元件131、132被重置。在蓄積期間之後之時刻t1，驅動信號FDG成為H位準，在其後驅動信號SEL成為H位準，藉此獲得二極體111之低轉換效率之重置位準(P-PD_L)。其後，在繼續驅動信號SEL之H位準之狀態下，在時刻t2驅動信號FDG成為L位準，藉此獲得二極體111之高轉換效率之重置位準(P-PD_H)。

【0043】

繼而，在時刻t3，驅動信號SEL成為L位準，且驅動信號TGL成為H位準，藉此獲得二極體111之高轉換效率之信號位準(D-PD_H)。又，在緊鄰時刻t4之前驅動信號FDG成為H位準，在時刻t4，驅動信號SEL成為L位準、且驅動信號TGL成為H位準，藉此獲得低轉換效率之信號位準(D-PD_L)。再者，驅動信號FDG在其後亦成為維持H位準之狀態。

【0044】

因如此般獲得之信號位準與重置位準自像素100輸出，故在行信號處理部23中，藉由進行基於該等之信號位準與重置位準之CDS(Correlated Double Sampling，相關雙取樣)，而可讀出自蓄積於二極體111之電荷獲得之信號(PD 讀出(CDS))。

【0045】

其後，在時刻t5，驅動信號FCG1成為H位準，藉此獲得MIM電容元件131之信號位準(D-MIM1)。驅動信號FCG1在時刻t5以後亦成為維持H位準之狀態。繼而，在時刻t6，驅動信號SEL成為L位準，且驅動信號FCG2成為H位準，藉此獲得MIM電容元件132之信號位準(D-MIM2)。驅

動信號FCG2在時刻t6至時刻t8之間成為維持H位準之狀態。繼而，在時刻t7驅動信號RST成為H位準，藉此獲得MIM電容元件132之重置位準(P-MIM2)。在時刻t8，驅動信號SEL成為L位準，驅動信號FCG2成為L位準，藉此獲得MIM電容元件131之重置位準(P-MIM1)。

【0046】

因如此般獲得之信號位準與重置位準自像素100輸出，故在行信號處理部23中，藉由進行基於該等之信號位準與重置位準之DDS(Double Data Sampling，相關雙取樣)，而可讀出自分別蓄積於MIM電容元件131與MIM電容元件132之電荷獲得之信號(PD+MIM1+MIM2 讀出(DDS))。即，可個別地讀出分別蓄積於二極體111、MIM電容元件131、與MIM電容元件132之電荷。

【0047】

在上述之構成中，顯示TG型之構成，但亦可採用其他構成。例如，可採用將來自二極體111之溢流路徑設為與傳送閘極不同之其他路徑之OFG(Over Flow Gate，溢流閘極)型之構成。圖7顯示作為像素100之電路構成之第2例之OFG型之構成。又，圖8顯示與圖7之電路構成對應之平面圖。

【0048】

在圖7中，於二極體111連接有傳送電晶體161，且連接有作為溢流閘極之連接電晶體181。連接電晶體181連接於第1蓄積電晶體167與第2蓄積電晶體168及MIM電容元件131之連接點。連接電晶體181與施加於該閘極電極之驅動信號OFG相應地，切換二極體111與MIM電容元件131之連接狀態。

【0049】

藉此，二極體111之飽和前之電荷蓄積於二極體111，超過飽和時之電荷經由連接電晶體181蓄積於MIM電容元件131。又，二極體111及MIM電容元件131之超過飽和時之電荷可經由連接電晶體181及第2蓄積電晶體168蓄積於MIM電容元件132。

【0050】

TG型之構成與OFG型之構成皆成為MIM電容元件131與MIM電容元件132連接之浮動擴散部被第2蓄積電晶體168分斷，而讀出蓄積於各者之電荷之構成。在TG型之構成中，與OFG型之構成相比可減少電晶體之數目而構成。在OFG型之構成中，因讀出蓄積於MIM電容元件131與MIM電容元件132之電荷時之浮動擴散部之區域、與讀出蓄積於二極體111之電荷時之浮動擴散部之區域分開，故可降低前者之讀出時之雜訊。

【0051】

如以上般，在固態攝像裝置10中，具有就每一像素100配置電容不同之MIM電容元件131與MIM電容元件132，將自二極體111溢流之電荷分別蓄積之多段構造(2段構造)，個別地讀出自蓄積於二極體111、MIM電容元件131、及MIM電容元件132之電荷獲得之信號。再者，作為讀出方法，只要分別讀出自蓄積於二極體111、MIM電容元件131、及MIM電容元件132之電荷獲得之信號即可，並不限於圖6所示之動作，亦可利用其他讀出方法。

【0052】

且說，在上述之專利文獻1中，將蓄積自二極體溢流之電荷之蓄積電容以1段構造配置，在1段構造之情形下，因若企圖擴大動態範圍而擴大像

素內電容，則轉換效率下降，故隨機雜訊與電容之平方根成比例地惡化。

【0053】

即，因像素之轉換效率(η)與FD電容成比例，由 η $[V/e^-]=q[C]/C_{fd}[F]$ 決定，故電容愈大則愈變小。另一方面，隨機雜訊成分在為1段構造之情形下，因進行DDS之讀出，故電路雜訊、kTC雜訊、AMP雜訊成為主導性。此處，在將電路雜訊設為 σ_{AFE} 、將kTC雜訊設為 σ_{KTC} 、將AMP雜訊設為 σ_{AMP} 時，總隨機雜訊 σ_{total} 成為各者之平方和。為了將雜訊成分換算成電子數，而以轉換效率相除，故成為 σ_{total}/η $[e^-rms]$ 。 σ_{KTC} 為 $\sqrt{2kT/C}$ ，與電容成反比例，在進行電子數換算時因電容之平方根而惡化。因此，為了將SN比設為某基準以上，需要限制像素內電容，而難以兼顧動態範圍。

【0054】

又，在上述之專利文獻2中，藉由將蓄積自二極體溢流之電荷之蓄積電容以2段構造配置，而在維持SN比之狀態下實現廣動態範圍化，但作為蓄積電容，非為配置有配線電容元件(MIM電容元件)之構造。因此，2個蓄積電容與二極體配置於同一平面上，該二極體之面積(光入射面側之平面之面積)受限制。進而，因將二極體與2個蓄積電容配置於同一平面上，故在像素之細微化亦不適合。

【0055】

相對於此，在應用本揭示之固態攝像裝置10中，具有配置2段之MIM電容元件作為蓄積自二極體111溢流之電荷之蓄積電容的構造，藉由依序讀出自蓄積於二極體111、MIM電容元件131、及MIM電容元件132之電荷獲得之信號，而可將轉換效率比抑制為與電容比相應之程度(1:30左

右，可在不使MIM電容元件之SN比劣化下實現動態範圍之擴大。

【0056】

又，因MIM電容元件131與MIM電容元件132係配線電容元件且配置於配線層間，故MIM電容元件131與MIM電容元件132與二極體111不配置於同一平面上，而不限制二極體111之面積(光入射面側之平面之面積)。進而，因二極體111、與MIM電容元件131及MIM電容元件132不配置於同一平面上，故在像素之細微化上亦有利。特別是，在將2段構造之蓄積電容之電容比設為1:30左右之情形下，根據像素尺寸，難以將二極體與2個蓄積電容配置於同一平面上，但藉由將電容不同之MIM電容元件131與MIM電容元件132配置於配線層間而有利於細微化。

【0057】

如此般，在應用本揭示之固態攝像裝置10中，藉由像素100具有第1構造(圖2等)，而二極體111與、MIM電容元件131、132不配置於同一平面上，而可兼顧SN比之劣化之抑制與動態範圍之擴大。即，可以更適切之配置(佈局)實現所期望之特性。

【0058】

<第2構成>

在第1構成(圖2等)中，顯示MIM電容元件131與MIM電容元件132配置於配線層12之不同之配線層間之構成，但亦可設為配置於同一配線層間之構成。圖9係顯示像素之構造之第2例之剖視圖。在圖9中，在配線層12中，MIM電容元件131與MIM電容元件132配置於在Z方向上相同之位置，且配置於同一配線層間。即，在配線層12中，MIM電容元件131與MIM電容元件132皆配置於第1配線層間。

【0059】

在圖9中，MIM電容元件131與MIM電容元件132具有圖3所示之構造，藉由介電體143之膜種類或厚度等不同，而電容不同。圖9中亦將MIM電容元件131之電容與MIM電容元件132之電容之電容比設為所期望之電容比。

【0060】

在第2構成中，與上述之第1構成同樣地，作為其電路構成，可採用TG型或OFG型之構成。又，在第2構成中，個別地讀出蓄積於二極體111、MIM電容元件131、及MIM電容元件132之電荷之讀出部之構成及動作與上述第1構成相同。因該等之說明重複，故予以省略。

【0061】**< 第3構成 >**

在第1構成(圖2等)與第2構成(圖9)中，將像素間分離部112藉由自光入射面之相反側之面形成之溝渠形成，但亦可設為藉由自光入射面側形成之溝渠形成之構成。圖10係顯示像素之構造之第3例之剖視圖。在圖10中，像素間分離部113藉由在對半導體基板自光入射面側以規定之深度形成之溝渠埋入金屬膜或絕緣膜等而形成。

【0062】

在圖10中，在配線層12中，MIM電容元件131與MIM電容元件132配置於不同之配線層間，但亦可配置於同一配線層間。MIM電容元件131與MIM電容元件132之電容不同，以成為所期望之電容比。

【0063】

在第3構成中，與上述之第1構成同樣地，作為其電路構成，可採用

TG型或OFG型之構成。又，在第3構成中，個別地讀出蓄積於二極體111、MIM電容元件131、及MIM電容元件132之電荷之讀出部之構成及動作亦與上述第1構成相同。因該等之說明重複，故予以省略。

【0064】

<第4構成>

在第1構成(圖4)中，作為TG型電路構成，在MIM電容元件131之上部電極、與MIM電容元件132之上部電極與共通之控制電源(VMID)連接，將控制信號(VMID信號)共通化，但亦可個別地控制MIM電容元件131與MIM電容元件132。圖11係顯示圖4所示之TG型電路構成之又一例之圖。在圖11中，MIM電容元件131之上部電極連於控制電源VMID1，MIM電容元件132之上部電極連接於控制電源VMID2。

【0065】

在圖11之電路構成中，可獨立地控制MIM電容元件131之控制信號VMID1、與MIM電容元件132之控制信號VMID2，而可個別地調整蓄積於MIM電容元件131與MIM電容元件132各者之電荷量(電子量)。又，在蓄積期間，若升高控制信號VMID之電壓，則MIM電容元件之飽和電荷增加而暗電流惡化，故成為SN比與動態範圍之折衷。因此，在圖11之電路構成中，藉由控制信號VMID1與控制信號VMID2，獨立地控制MIM電容元件131與MIM電容元件132，可進行最佳之電壓控制，藉此容易兼顧MIM電容元件之SN比與動態範圍。

【0066】

圖12係說明圖11之電路構成之讀出動作之例之時序圖。圖12之時序圖與圖6之時序圖相比，對於MIM電容元件131、132之共通之控制信號

VMID變更成對於MIM電容元件131之控制信號VMID1、及對於MIM電容元件132之控制信號VMID2。藉此，個別地控制MIM電容元件131與MIM電容元件132。在圖12中，因SEL等之驅動信號之時序與圖6相同，故省略此處之說明。

【0067】

再者，在圖11中，顯示TG型電路構成之例，但在OFG型電路構成中亦可採用相同之構成。圖13係顯示圖7所示之OFG型電路構成之又一例之圖。在圖13中，與圖11同樣地，MIM電容元件131之上部電極連接於控制電源VMID1，MIM電容元件132之上部電極連接於控制電源VMID2，可個別地控制MIM電容元件131與MIM電容元件132。

【0068】

< 第5構成 >

圖14係顯示像素100之構造之又一例之剖視圖。圖14之剖視圖與圖15之平面圖之X-X'剖面對應。

【0069】

各像素100構成為積層半導體層11與配線層12。在半導體層11中，就每一像素100形成二極體211-1與二極體211-2。如圖15之平面圖所示般，XY方向之平面(光入射面側之平面)之區域中之L字型形狀之區域成為二極體211-1之區域，其餘之矩形之區域成為二極體211-2之區域。如此般，二極體211-1之受光面之面積較二極體211-2大，對光之感度高。即，於像素100中，設置感度不同之2個二極體。

【0070】

在二極體211-1與二極體211-2之光入射面側，設置彩色濾光器201與

晶載微透鏡202。如圖15之平面圖所示般，與二極體211-1之L字型區域對應，設置3個晶載微透鏡202-1-1至202-1-3，與二極體211-2之矩形之區域對應，設置1個晶載微透鏡202-2。就每一像素100配置之晶載微透鏡202之形狀或數目為任意，例如，可使晶載微透鏡202-1-1、202-1-3之直徑大於晶載微透鏡202-1-2、202-2之直徑。

【0071】

彩色濾光器201例如由就每一像素100使同色之波長透過之濾光器構成。各像素100被像素間分離部212分離。又，在各像素100中，二極體211-1與二極體211-2之間亦被像素間分離部212分離。

【0072】

配線層12係包含複數個配線層之多層配線層，該複數個配線層經由配線層間膜221積層複數段，於各者形成配線222。在配線層12中，作為電容不同之配線電容元件，配置MIM電容元件231與MIM電容元件232。MIM電容元件231與MIM電容元件232就每一像素100而設置。MIM電容元件231與MIM電容元件232配置於不同之配線層間。MIM電容元件231與MIM電容元件232可設為與圖3所示之構造相同之三維構造。即，MIM電容元件231與MIM電容元件232可設為介電體之膜種類、厚度、及面積之至少1者不同之構造。例如，MIM電容元件232之電容大於MIM電容元件231之電容。

【0073】

MIM電容元件231蓄積自二極體211-1溢流之電荷。MIM電容元件232蓄積自二極體211-2溢流之電荷。藉由如此之構造，可將自二極體211-1、211-2溢流之電荷與蓄積於二極體211-1、211-2之電荷一起蓄積於

MIM電容元件231及MIM電容元件232並讀出。

【0074】

圖16係顯示圖14之像素100之電路構成之例之圖。在圖16中，像素100係由二極體211-1、211-2、MIM電容元件231、232、傳送電晶體261、FD 262、切換電晶體263、重置電晶體264、放大電晶體265、選擇電晶體266、切換電晶體267、蓄積電晶體268、及FD 269構成。

【0075】

傳送電晶體261設置於二極體211-1與FD 262之間，與施加於其閘極電極之驅動信號TGL相應地，將蓄積於二極體211-1之電荷傳送至FD 262。FD 262係將來自二極體211-1之電荷轉換成電壓信號之浮動擴散部。在FD 262，經由放大電晶體265及選擇電晶體266連接有垂直信號線42。

【0076】

在FD 262，連接有用於切換轉換效率之切換電晶體263，且經由切換電晶體263連接有切換電晶體267與蓄積電晶體268。於切換電晶體267連接有MIM電容元件231與重置電晶體264。將包含二極體211-2與MIM電容元件232及蓄積電晶體268之連接點之區域設為FD 269。FD 269係將來自二極體211-2之電荷轉換成電壓信號之浮動擴散部。在MIM電容元件231之上部電極與MIM電容元件232之上部電極，連接有控制電源(VMID)。

【0077】

切換電晶體263與施加於該閘極電極之驅動信號FDG相應地，切換FD 262、與切換電晶體267及蓄積電晶體268之連接狀態。切換電晶體267與施加於其閘極電極之驅動信號LCG相應地，切換切換電晶體263、與

MIM電容元件231及重置電晶體264之連接狀態。蓄積電晶體268與施加於其閘極電極之驅動信號FCG相應地，切換切換電晶體263與FD 269之連接狀態。

【0078】

例如，在蓄積期間，二極體211-1之飽和前之電荷蓄積於二極體211-1，超過飽和時之電荷可經由傳送電晶體261、切換電晶體263、及切換電晶體267蓄積於MIM電容元件231。又，二極體211-2之電荷可蓄積於MIM電容元件232。

【0079】

接著，參照圖17之時序圖，對於圖16之像素100之讀出動作之例進行說明。在圖17中，VMID表示對於圖16之電路圖之MIM電容元件231、232之共通之控制信號。SEL、FDG、TGL、RST、LCG、FCG表示施加於圖16之電路圖之各電晶體之閘極電極之驅動信號。

【0080】

在圖17中，在時刻t0在快門被按下之後成為蓄積期間。在蓄積期間之前，控制信號VMID、與驅動信號FDG、TGL、RST、LCG、FCG成為H位準，藉此FD 262、269、與MIM電容元件231、232被重置。在蓄積期間之後之時刻t1，驅動信號FDG成為H位準，在其後驅動信號SEL成為H位準，藉此獲得二極體211-1之中間轉換效率之重置位準(P-SP1_M)。其後，在繼續驅動信號SEL之H位準之狀態下，在時刻t2驅動信號FDG成為L位準，藉此獲得二極體211-1之高轉換效率之重置位準(P-SP1_H)。

【0081】

繼而，在時刻t3，驅動信號SEL成為L位準、且驅動信號TGL成為H

位準，藉此獲得二極體211-1之高轉換效率之信號位準(D-SP1_H)。又，在緊鄰時刻t4之前驅動信號FDG成為H位準，在時刻t4，驅動信號SEL成為L位準，且驅動信號TGL成為H位準，藉此獲得中間轉換效率之信號位準(D-SP1_M)。再者，驅動信號FDG在其後亦成為維持H位準之狀態。

【0082】

因如此般獲得之信號位準與重置位準自像素100輸出，故藉由進行基於該等信號位準與重置位準之CDS，而可讀出自蓄積於二極體211-1之電荷獲得之信號(PD 讀出(CDS))。

【0083】

其後，在緊鄰時刻t5之前，驅動信號LCG成為H位準，藉此獲得二極體211-1之低轉換效率之信號位準(D-SP1_L)。驅動信號LCG在緊鄰時刻t7之前成為維持H位準之狀態。繼而，在時刻t6，驅動信號SEL成為L位準，且驅動信號RST成為H位準，藉此獲得二極體211-1之低轉換效率之重置位準(P-SP1_L)。因如此般獲得之信號位準與重置位準自像素100輸出，故藉由進行基於該等信號位準與重置位準之DDS，除了蓄積於二極體211-1之電荷外，亦可讀出蓄積於MIM電容元件231之電荷(PD+MIM1 讀出(DDS))。

【0084】

繼而，在時刻t7，驅動信號FCG成為H位準，藉此獲得二極體211-2之信號位準(D-SP2)。驅動信號FCG在其後亦成為維持H位準之狀態。在時刻t8，驅動信號SEL成為L位準，且驅動信號RST成為H位準，藉此獲得二極體211-2之重置位準(P-SP2)。因如此般獲得之信號位準與重置位準自像素100輸出，故藉由進行基於該等信號位準與重置位準之DDS，除了蓄

積於二極體211-2之電荷外，亦可讀出蓄積於MIM電容元件232之電荷(PD+MIM2 讀出(DDS))。如此般，可個別地讀出分別蓄積於二極體211-1、二極體211-2、MIM電容元件231、及MIM電容元件232之電荷。

【0085】

再者，在圖14之剖視圖中，顯示MIM電容元件231與MIM電容元件232配置於不同之配線層間之情形，但亦可配置於同一配線層間。又，在圖14之剖視圖中，將像素間分離部212藉由以自光入射面之相反側之面貫通之方式形成之溝渠形成，但亦可設為藉由自光入射面側以規定之深度形成之溝渠形成之構成。

【0086】

如以上般，在固態攝像裝置10中，具有就每一像素100配置感度不同之二極體211-1與二極體211-2、及電容不同之MIM電容元件231與MIM電容元件232，分別將自二極體211-1溢流之電荷蓄積於MIM電容元件231、將自二極體211-2溢流之電荷蓄積於MIM電容元件232之構造(所謂多段構造)，個別地讀出蓄積於二極體211-1、二極體211-2、MIM電容元件231、及MIM電容元件232之電荷。

【0087】

此處，MIM電容元件231連接於二極體211-1之FD 262，MIM電容元件232連接於二極體211-2之FD 269。再者，作為讀出方法，只要分別讀出自蓄積於二極體211-1、二極體211-2、MIM電容元件231、及MIM電容元件232之電荷獲得之信號即可，並不限於圖17所示之動作，亦可利用其他讀出方法。

【0088】

如此般，在應用本揭示之固態攝像裝置10中，藉由像素100具有第5構造(圖14等)，而無需將二極體211-1、211-2與、MIM電容元件231、232配置於同一平面上，可藉由感度不同之二極體211-1、211-2、與電容不同之MIM電容元件231、232之感度比而擴大動態範圍。即，可以更適切之配置(佈局)實現所期望之特性。

【0089】

<變化例>

<MIM電容元件之其他構造>

在上述之說明中，作為MIM電容元件131與MIM電容元件132之構造，說明了三維構造，亦可採用其他構造。圖18係顯示MIM電容元件131之構造之又一例之剖視圖。在圖18中，MIM電容元件131具有XY方向之二維構造。

【0090】

MIM電容元件131成為積層由使用氮化鈦(TiN)等材料之單層膜或積層膜構成之上部電極151、由使用氮化鈦(TiN)等材料之單層膜或積層膜構成之下部電極152、及由上部電極151與下部電極152夾著之介電體153之構造。介電體153係由氧化鋁(AlO)等高介電常數材料之單層膜或積層膜構成。在上部電極151之上表面，形成由氮化矽(SiN)等之膜構成之蓋膜154。上部電極151經由接點123B與配線122C連接。下部電極152與配線122D連接。

【0091】

MIM電容元件132可設為與圖18所示之MIM電容元件131相同之構造。MIM電容元件131與MIM電容元件132之電容藉由介電體153之膜種

類、厚度、及面積之至少1者不同而不同。介電體153之厚度以圖中之h表示。介電體153之面積係XY方向之平面之面積。關於第5構成(圖14等)之MIM電容元件231與MIM電容元件232，並不限於三維構造，亦可設為圖18所示之二維構造。再者，就每一像素100配置之MIM電容元件之數目不限於2個，可為3個以上。又，在第5構成中，就每一像素100形成之二極體211之數目不限於2個，可為3個以上，只要與二極體211之數目相應地配置MIM電容元件即可。

【0092】

<光檢測裝置之例>

在上述之說明中，作為固態攝像裝置10對於CMOS型固態攝像裝置進行了說明，但CMOS型固態攝像裝置亦可設為自形成有作為光電轉換部之二極體111之半導體基板觀察自與形成於下層之配線層側(表面側)為相反側之上層(背面側)使光入射之背面照射型構造。再者，CMOS型固態攝像裝置亦可設為以使光入射之側為配線層側(表面側)之表面照射型構造。

【0093】

固態攝像裝置10係應用本揭示之光檢測裝置之一例。即，應用本揭示之光檢測裝置不限於固態攝像裝置10，例如可應用於使用IR雷射之測距感測器等檢測光之裝置。再者，應用本揭示之構成不限於CMOS型固態攝像裝置，亦可應用於CCD(Charge Coupled Device，電荷耦合器件)型等其他固態攝像裝置。

【0094】

<電子機器之構成>

應用本揭示之固態攝像裝置可搭載於智慧型手機、平板型終端、行

動電話、數位靜態相機、數位視訊攝影機等電子機器。圖19係顯示搭載應用本揭示之固態攝像裝置之電子機器之構成例之方塊圖。

【0095】

在圖19中，電子機器1000具有由包含透鏡群之光學系統1011、具有與圖1之固態攝像裝置10對應之功能之固態攝像裝置1012、及作為相機信號處理部之DSP(Digital Signal Processor，數位信號處理器)1013構成之攝像系統。於電子機器1000中，成為如下之構成：除了攝像系統外，CPU(Central Processing Unit，中央處理單元)1010、訊框記憶體1014、顯示器1015、操作系統1016、輔助記憶體1017、通訊I/F 1018、及電源系統1019亦經由匯流排1020相互連接。

【0096】

CPU 1010控制電子機器1000之各部分之動作。光學系統1011擷取來自被寫體之入射光(像光)，在固態攝像裝置1012之光檢測面成像。固態攝像裝置1012將藉由光學系統1011在光檢測面上成像之入射光之光量以像素單位轉換為電信號並作為信號而輸出。DSP 1013對自固態攝像裝置1012輸出之信號進行規定之信號處理。

【0097】

訊框記憶體1014暫時地記錄由攝像系統拍攝之靜畫或動畫之圖像資料。顯示器1015為液晶顯示器或有機EL顯示器，顯示由攝像系統拍攝之靜畫或動畫。操作系統1016相應於使用者之操作，發出關於電子機器1000具有之各種功能之操作指令。

【0098】

輔助記憶體1017為包含快閃記憶體等半導體記憶體之記憶媒體，記

錄由攝像系統拍攝之靜畫或動畫之圖像資料。通訊I/F 1018具有與特定之通訊方式對應之通訊模組，將由攝像系統拍攝之靜畫或動畫之圖像資料經由網路發送至其他機器。

【0099】

電源系統1019以CPU 1010、DSP 1013、訊框記憶體1014、顯示器1015、操作系統1016、輔助記憶體1017、及通訊I/F 1018為供給對象，適當供給成為動作電源之各種電源。

【0100】

再者，本揭示之實施形態並不限定於上述之實施形態，可在不脫離本揭示之要旨之範圍內進行各種變更。另外，本說明書所記載之效果終極而言僅為例示而並非被限定者，亦可具有其他效果。

【0101】

又，本揭示可採用如以下之構成。

【0102】

(1)

一種固態攝像裝置，其包含：複數個像素，其等分別具有光電轉換元件與複數個配線電容元件；及

讀出部，其讀出來自前述複數個像素之信號；且

具有自前述光電轉換元件溢流之電荷蓄積於第1配線電容元件，自前述第1配線電容元件溢流之電荷蓄積於第2配線電容元件之構造，

前述讀出部個別地讀出前述光電轉換元件、前述第1配線電容元件、及前述第2配線電容元件各者之信號。

(2)

如前述(1)之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件配置於不同之配線層間。

(3)

如前述(1)之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件係電容不同之第1MIM電容元件與第2MIM電容元件。

(4)

如前述(3)之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有介電體之膜種類、厚度、及面積之至少1者不同之構造。

(5)

如前述(3)或(4)之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有三維構造。

(6)

如前述(1)至(4)中任一項之固態攝像裝置，其中自前述光電轉換元件溢流之電荷具有自與傳送經蓄積於前述光電轉換元件之電荷之傳送閘極之路徑不同之其他溢流路徑，溢流至前述第1配線電容元件之構造。

(7)

一種固態攝像裝置，其包含：複數個像素，其等分別具有複數個光電轉換元件與複數個配線電容元件；及

讀出部，其讀出來自前述複數個像素之信號；且

具有於第1光電轉換元件與第2光電轉換元件之浮動擴散部分別連接有第1配線電容元件與第2配線電容元件，自前述第1光電轉換元件溢流之電荷蓄積於前述第1配線電容元件，自前述第2光電轉換元件溢流之電荷蓄

積於前述第2配線電容元件之構造，

前述讀出部個別地讀出前述第1光電轉換元件、前述第2光電轉換元件、前述第1配線電容元件、及前述第2配線電容元件各者之信號。

(8)

如前述(7)之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件配置於不同之配線層間。

(9)

如前述(7)之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件係電容不同之第1MIM電容元件與第2MIM電容元件。

(10)

如前述(9)之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有介電體之膜種類、厚度、及面積之至少1者不同之構造。

(11)

如前述(9)或(10)之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有三維構造。

(12)

如前述(7)至(10)中任一項之固態攝像裝置，其中前述第1光電轉換元件與前述第2光電轉換元件之感度不同。

【符號說明】

【0103】

10:固態攝像裝置

11:半導體層

- 12:配線層
- 21:像素陣列部
- 22:垂直驅動部
- 23:行信號處理部
- 24:水平驅動部
- 25:輸出部
- 26:控制部
- 41:像素驅動線
- 42:垂直信號線
- 51:水平信號線
- 100:像素
- 101:彩色濾光器
- 102:晶載微透鏡
- 111:二極體
- 112, 113:像素間分離部
- 113:像素間分離部
- 121:配線層間膜
- 122:配線
- 122A, 122B, 122C, 122D:配線
- 123A, 123B:接點
- 131: MIM電容元件
- 132: MIM電容元件
- 141:上部電極

- 142:下部電極
- 143:介電體
- 144:蓋膜
- 151:上部電極
- 152:下部電極
- 153:介電體
- 161:傳送電晶體
- 162: FD
- 163:切換電晶體
- 164:重置電晶體
- 165:放大電晶體
- 166:選擇電晶體
- 167:第1蓄積電晶體
- 168:第2蓄積電晶體
- 181:連接電晶體
- 201:彩色濾光器
- 202, 202-1-1, 202-1-2, 202-1-3:晶載微透鏡
- 211-1, 211-2:二極體
- 212:像素間分離部
- 221:配線層間膜
- 222:配線
- 231: MIM電容元件
- 232: MIM電容元件

261:傳送電晶體

262, 269: FD

263:切換電晶體

264:重置電晶體

265:放大電晶體

266:選擇電晶體

267:切換電晶體

268:蓄積電晶體

269: FD

1000:電子機器

1010: CPU

1011:光學系統

1012:固態攝像裝置

1013: DSP

1014:訊框記憶體

1015:顯示器

1016:操作系統

1017:輔助記憶體

1018:通訊I/F

1019:電源系統

1020:匯流排

AMP:雜訊

FCG, FCG1, FCG2:驅動信號

FDG:驅動信號

h:厚度

H:高度

LCG:驅動信號

OFG:驅動信號

RST:驅動信號

SEL:驅動信號

SHT:快門

t0~t9:時刻

TGL:驅動信號

VDD:電源電壓

VMID, VMID1, VMID2:控制電源/控制信號

X, Y, Z:方向

X-X':剖面

【發明申請專利範圍】

【請求項1】

一種固態攝像裝置，其包含：複數個像素，其等分別具有光電轉換元件與複數個配線電容元件；及

讀出部，其讀出來自前述複數個像素之信號；且

具有自前述光電轉換元件溢流之電荷蓄積於第1配線電容元件，自前述第1配線電容元件溢流之電荷蓄積於第2配線電容元件之構造，

前述讀出部個別地讀出前述光電轉換元件、前述第1配線電容元件、及前述第2配線電容元件各者之信號。

【請求項2】

如請求項1之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件配置於不同之配線層間。

【請求項3】

如請求項1之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件係電容不同之第1MIM電容元件與第2MIM電容元件。

【請求項4】

如請求項3之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有介電體之膜種類、厚度、及面積之至少1者不同之構造。

【請求項5】

如請求項4之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有三維構造。

【請求項6】

如請求項5之固態攝像裝置，其中自前述光電轉換元件溢流之電荷具有自與傳送經蓄積於前述光電轉換元件之電荷之傳送閘極之路徑不同之其他溢流路徑，溢流至前述第1配線電容元件之構造。

【請求項7】

一種固態攝像裝置，其包含：複數個像素，其等分別具有複數個光電轉換元件與複數個配線電容元件；及

讀出部，其讀出來自前述複數個像素之信號；且

具有於第1光電轉換元件與第2光電轉換元件之浮動擴散部分別連接有第1配線電容元件與第2配線電容元件，自前述第1光電轉換元件溢流之電荷蓄積於前述第1配線電容元件，自前述第2光電轉換元件溢流之電荷蓄積於前述第2配線電容元件之構造，

前述讀出部個別地讀出前述第1光電轉換元件、前述第2光電轉換元件、前述第1配線電容元件、及前述第2配線電容元件各者之信號。

【請求項8】

如請求項7之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件配置於不同之配線層間。

【請求項9】

如請求項7之固態攝像裝置，其中前述第1配線電容元件與前述第2配線電容元件係電容不同之第1MIM電容元件與第2MIM電容元件。

【請求項10】

如請求項9之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有介電體之膜種類、厚度、及面積之至少1者不同之構造。

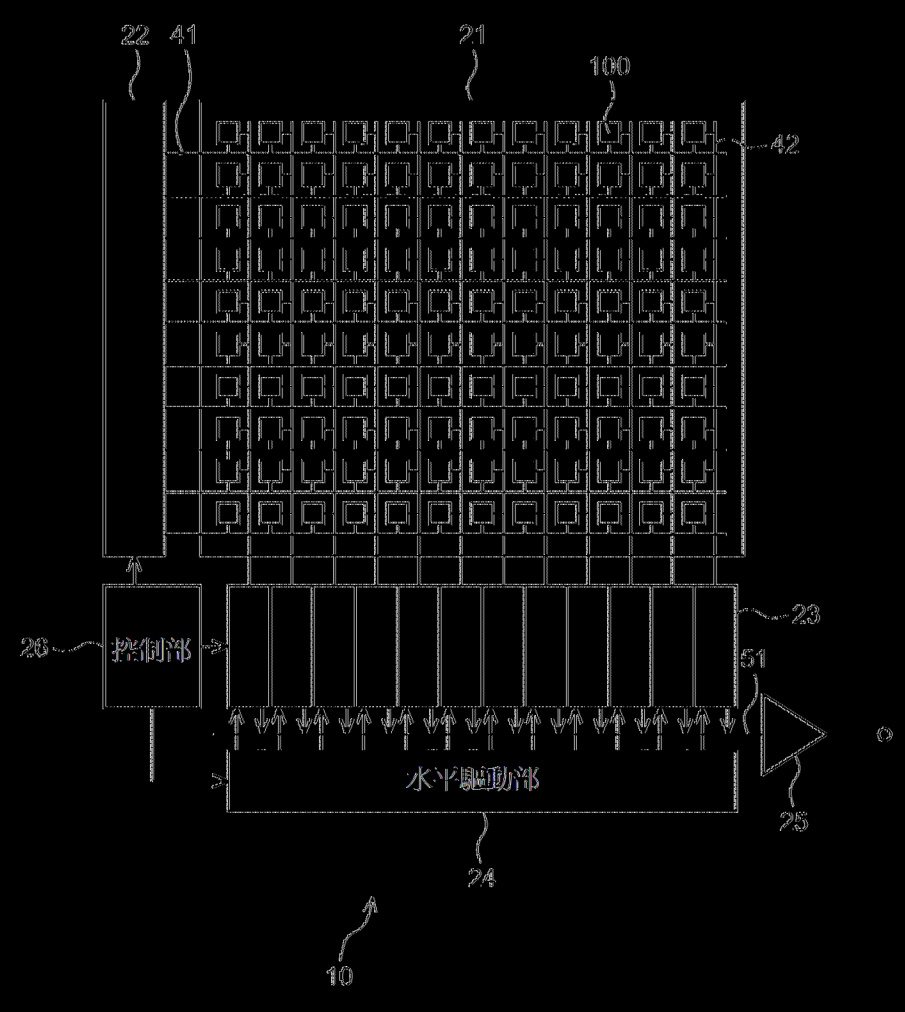
【請求項11】

如請求項10之固態攝像裝置，其中前述第1MIM電容元件與前述第2MIM電容元件具有三維構造。

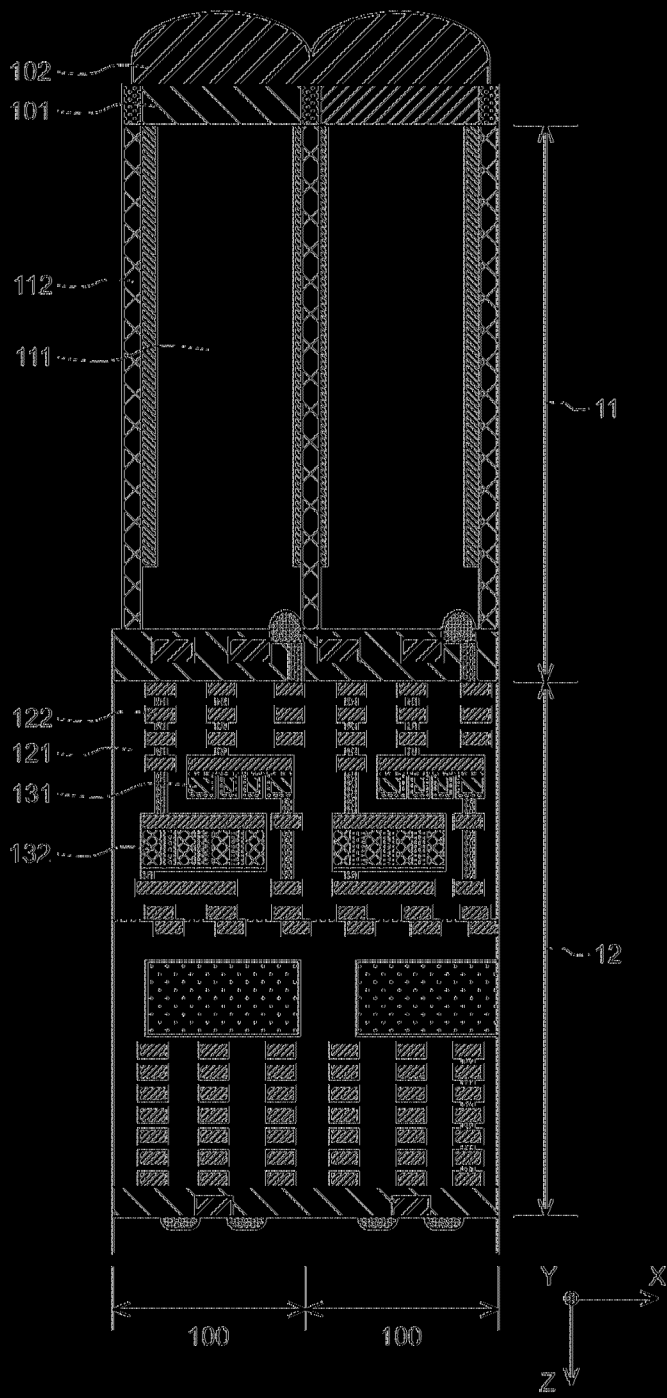
【請求項12】

如請求項7之固態攝像裝置，其中前述第1光電轉換元件與前述第2光電轉換元件之感度不同。

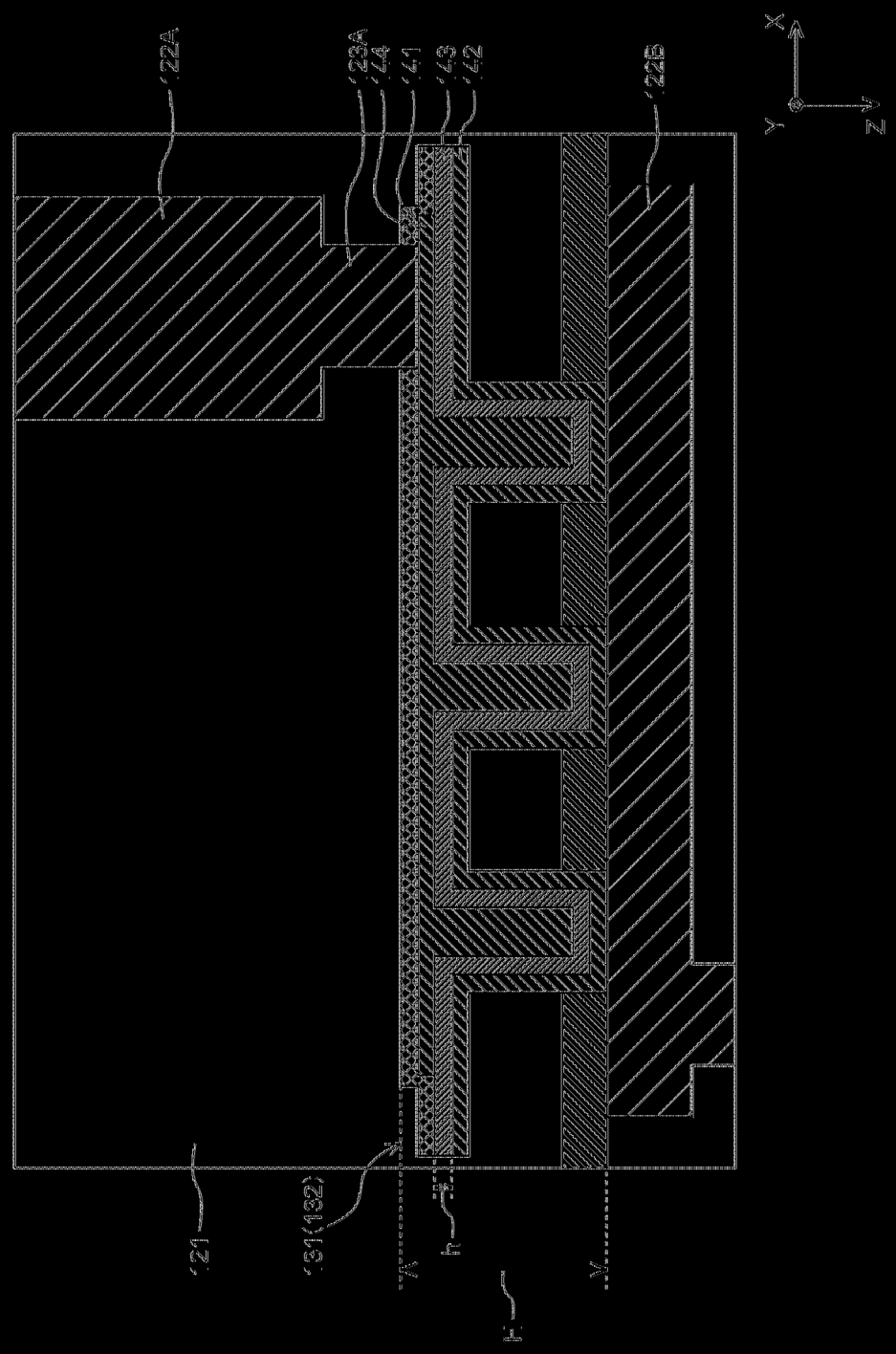
(發明圖式)



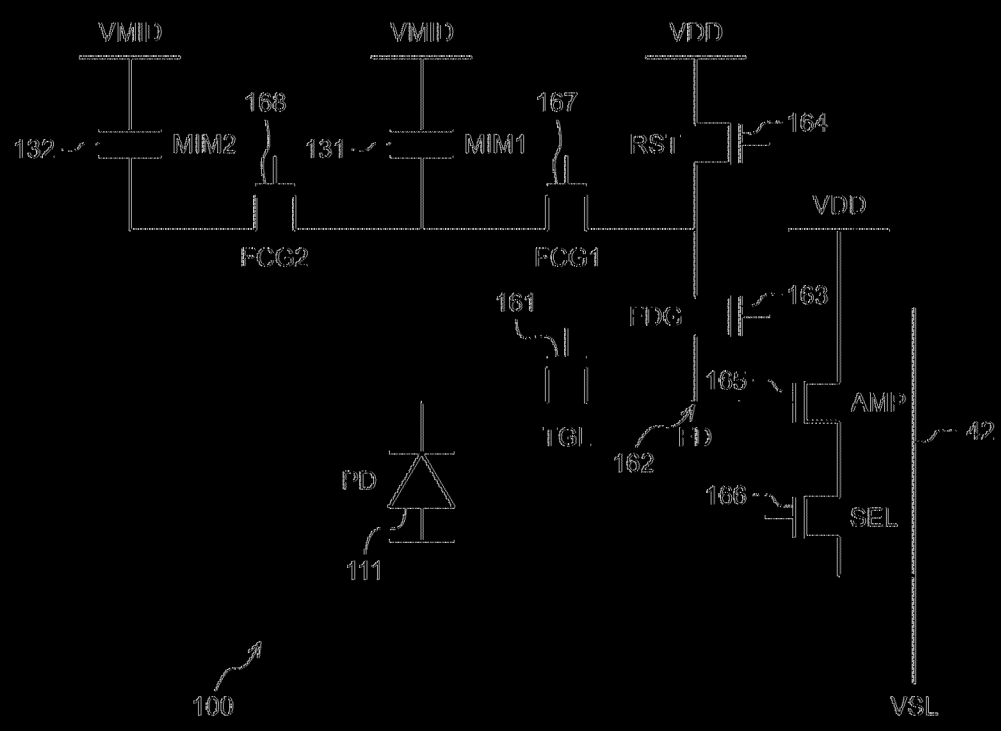
(圖1)



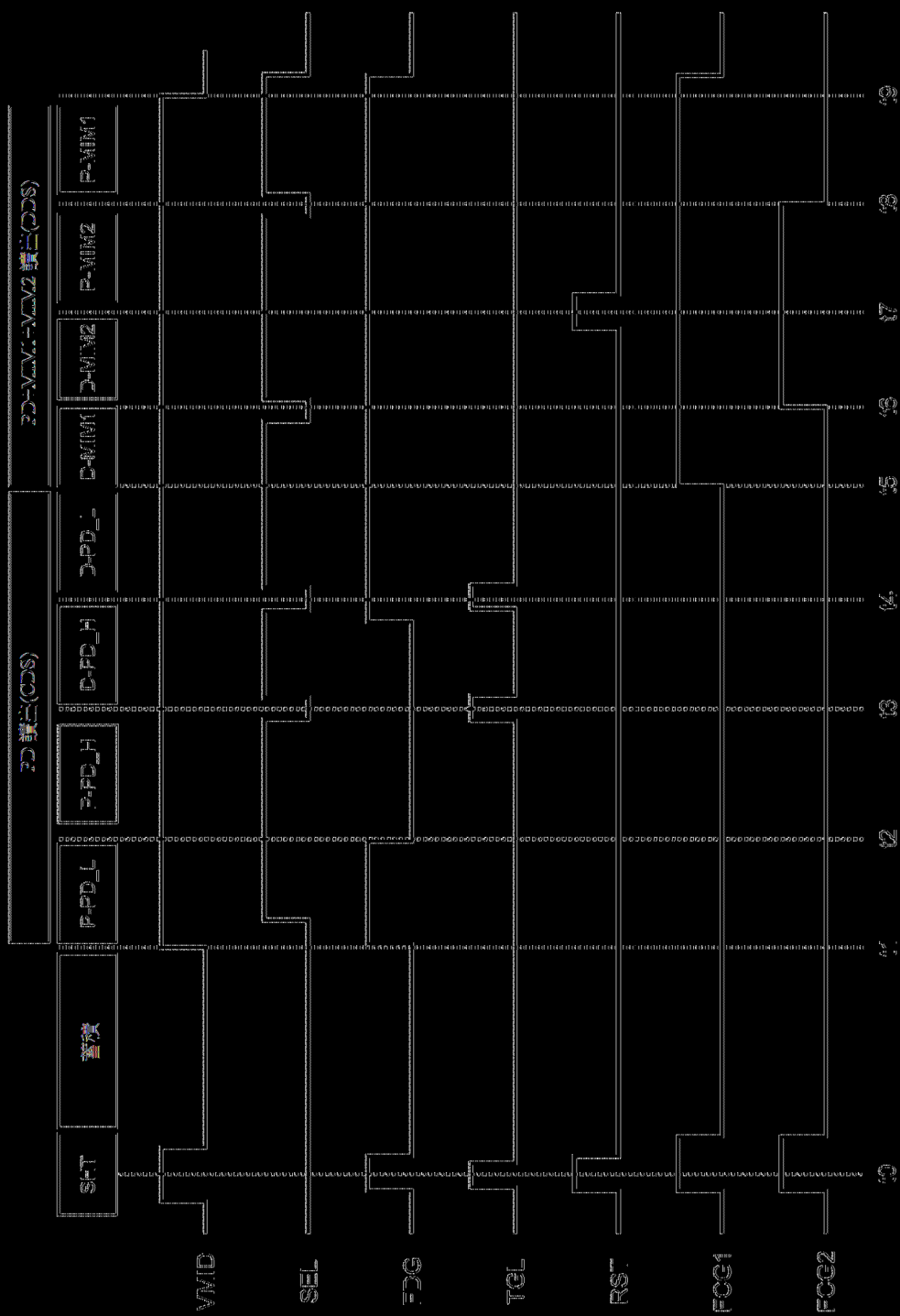
(圖2)



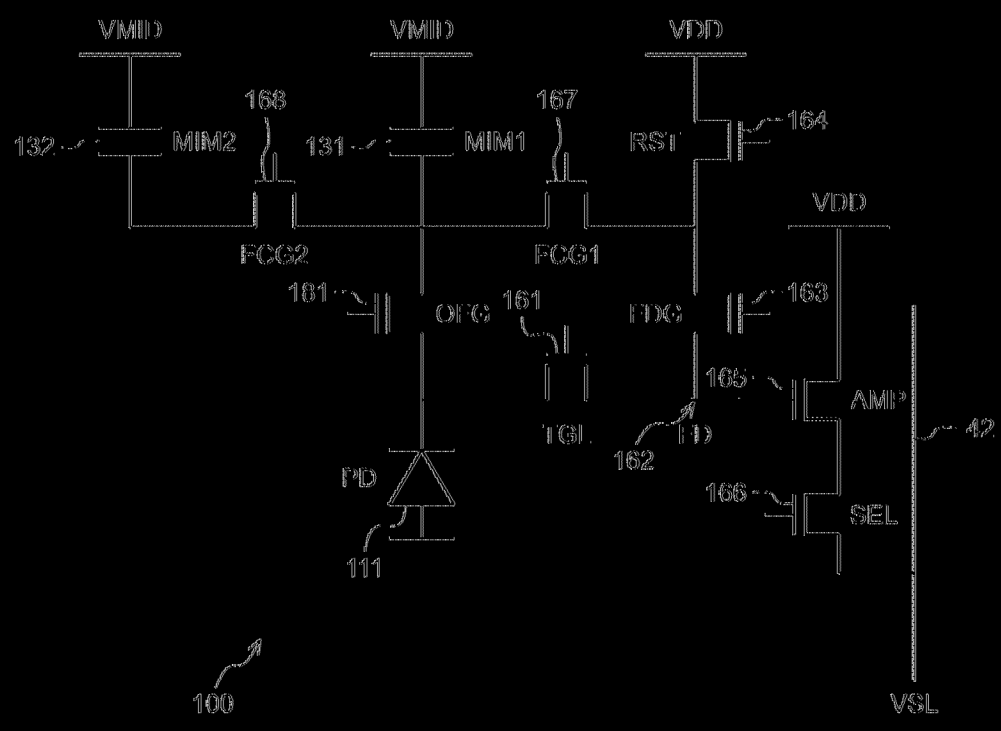
(圖3)



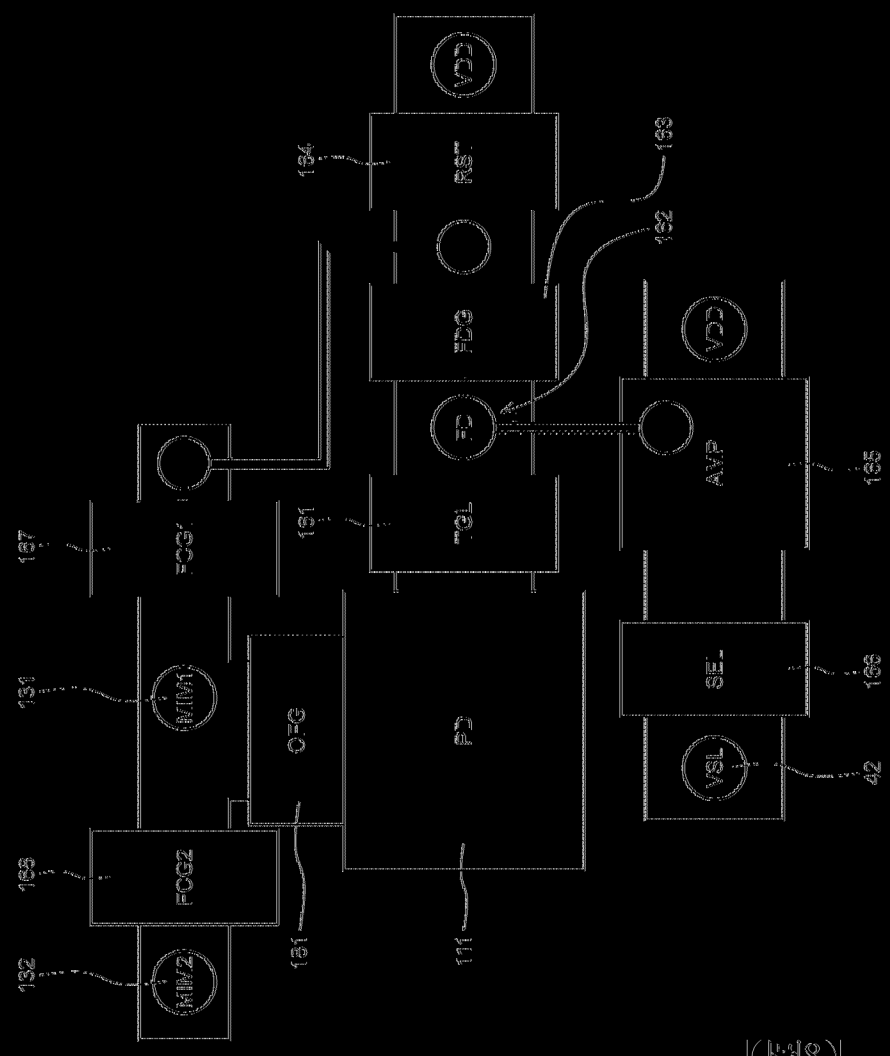
(圖4)



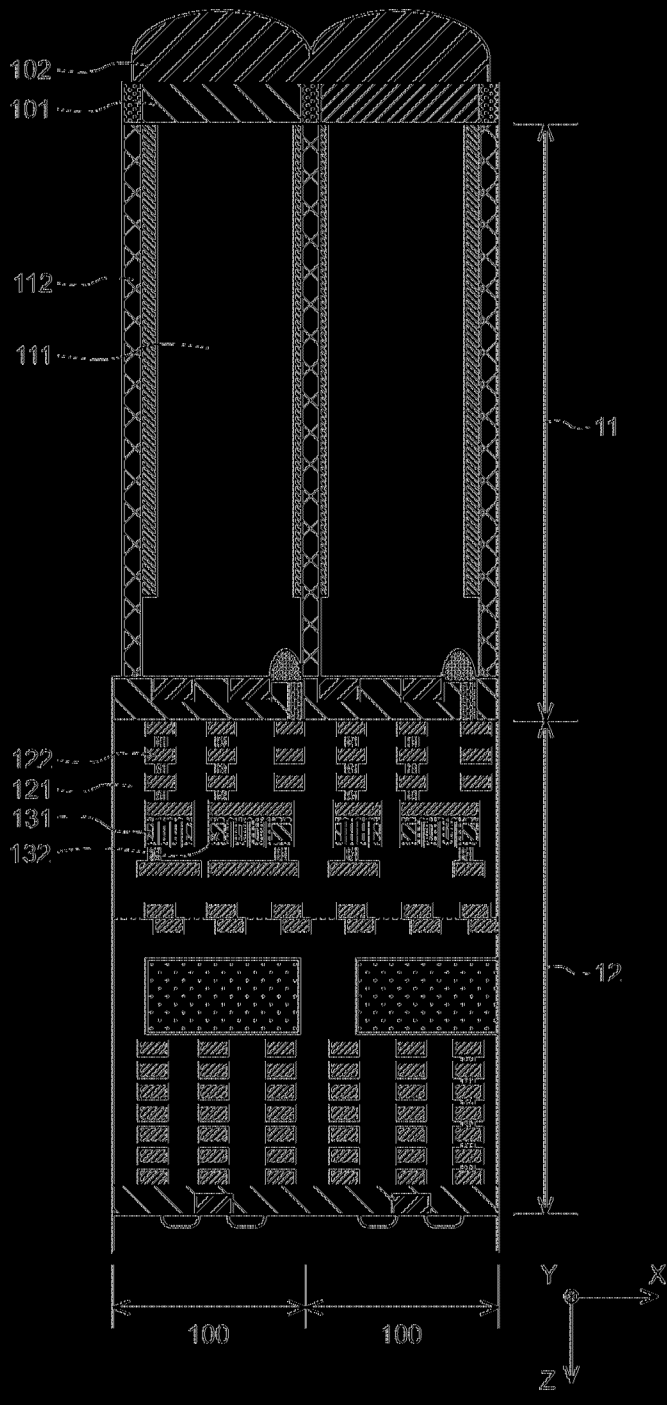
【圖6】



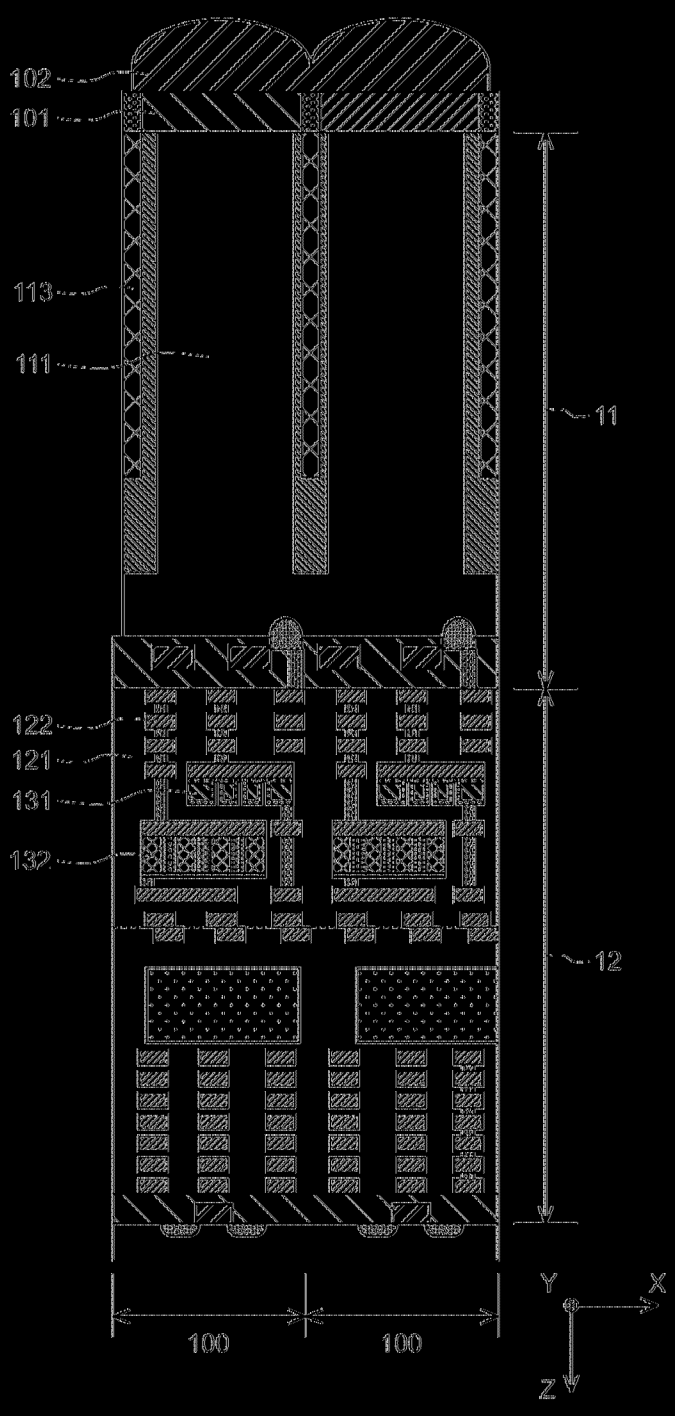
(圖7)



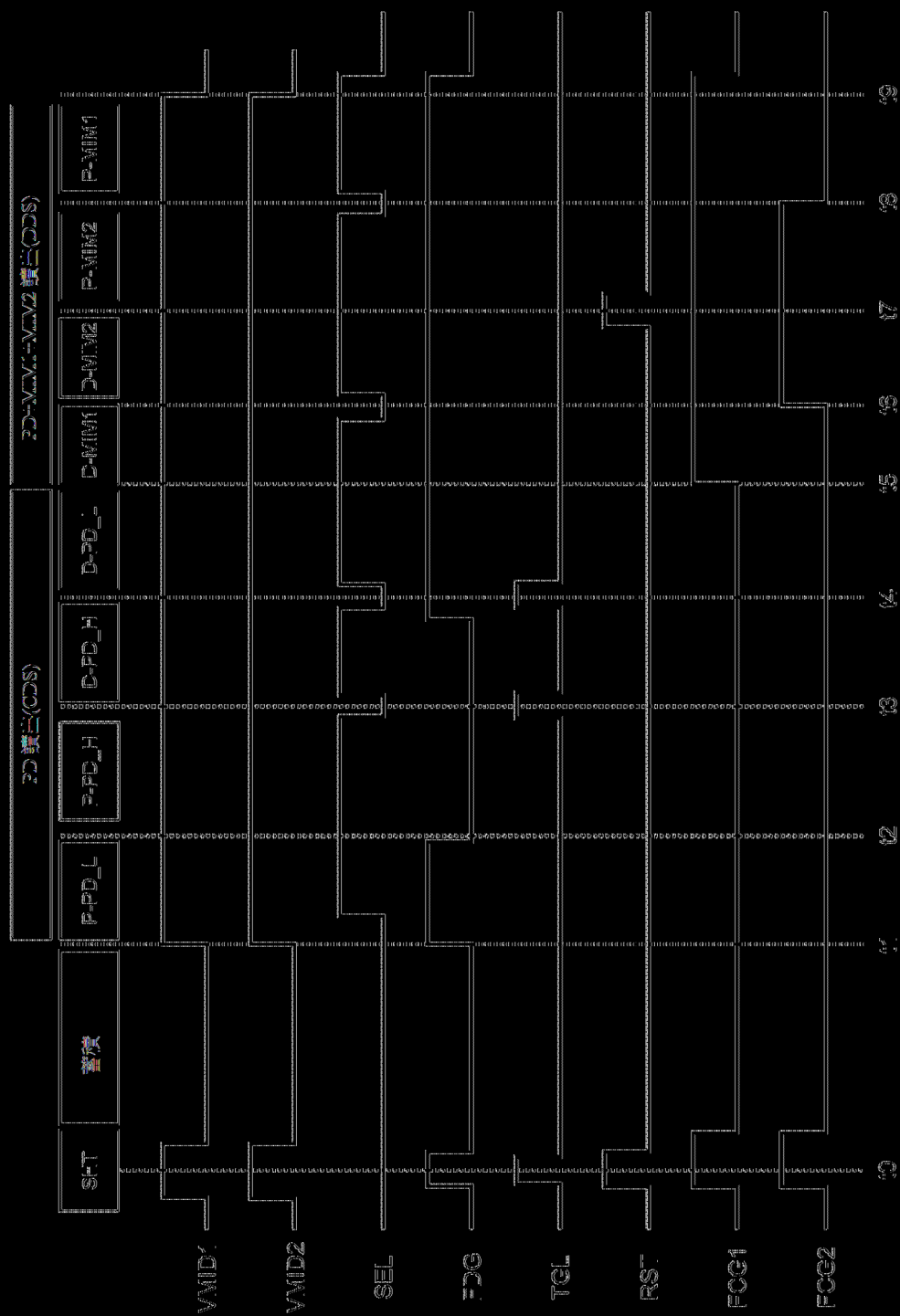
(圖8)



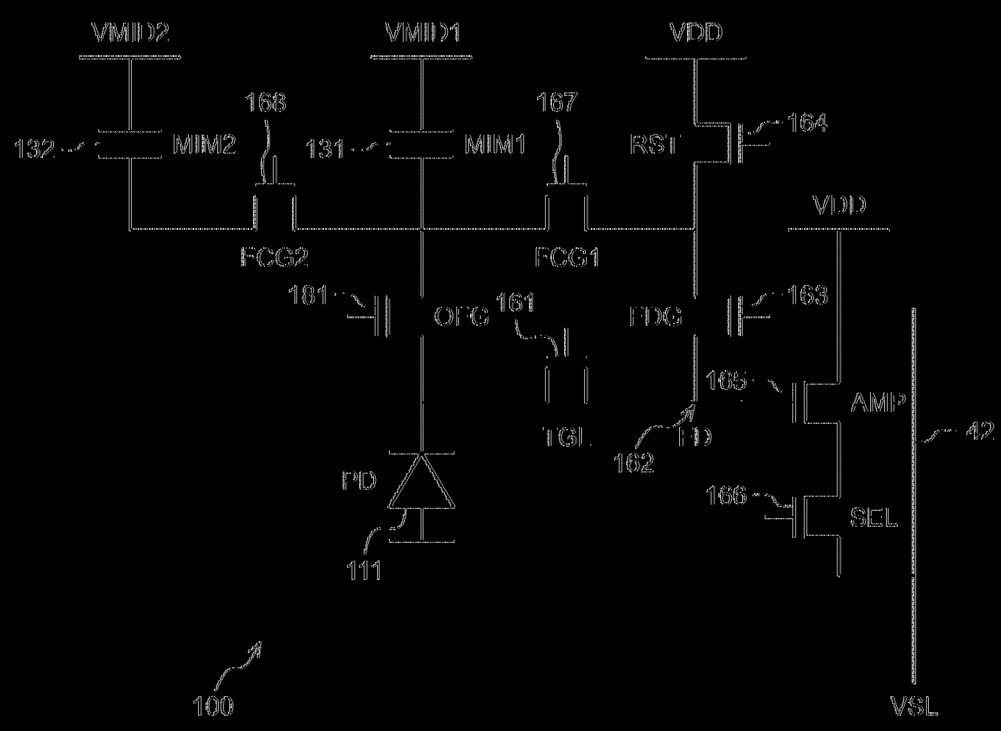
(圖9)



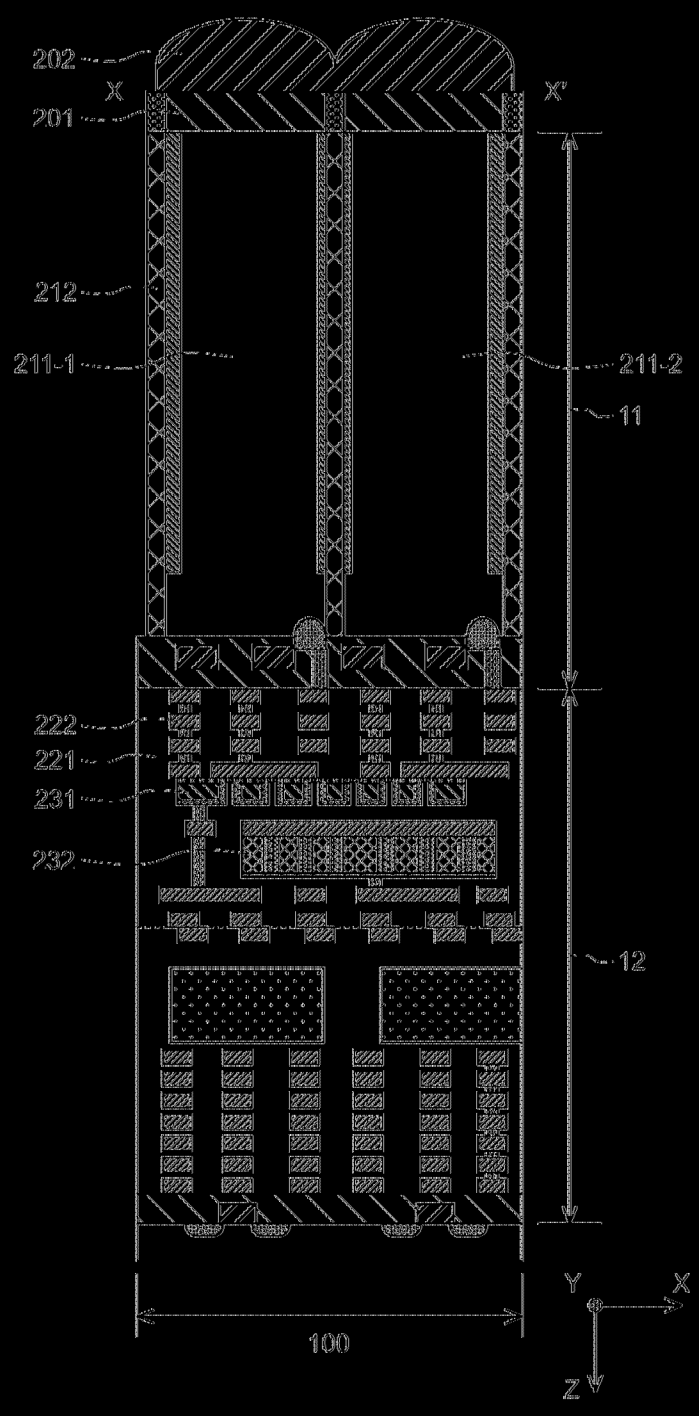
(圖10)



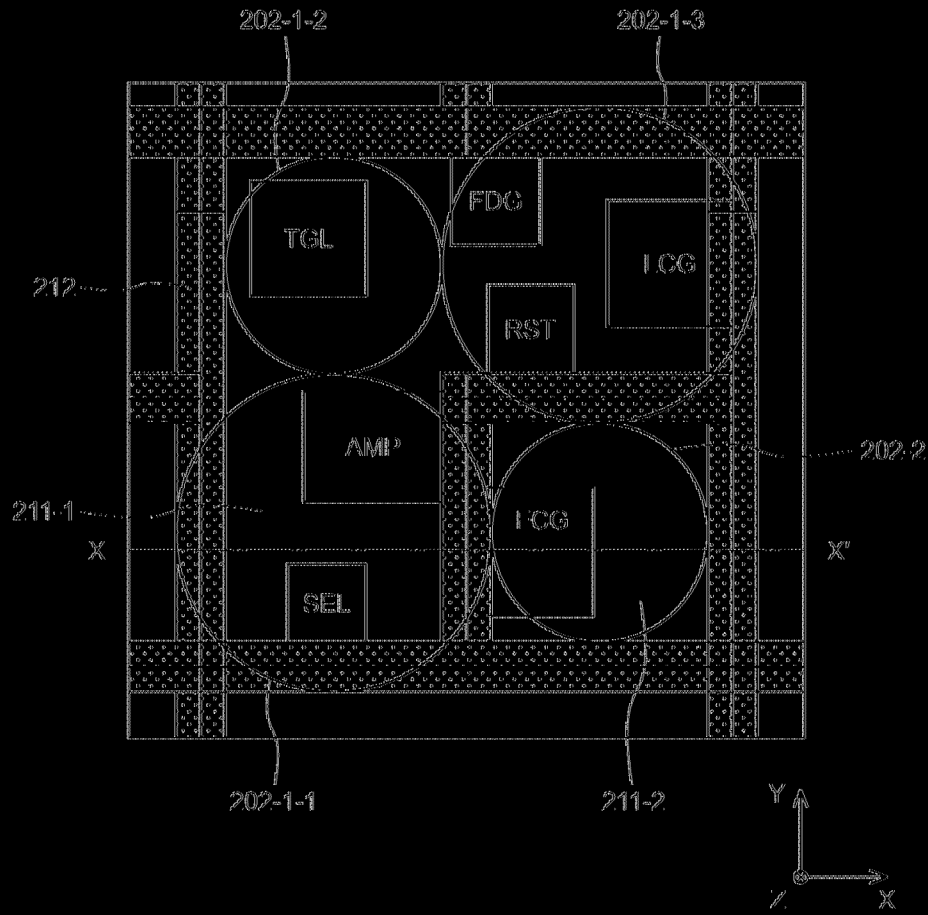
【圖12】



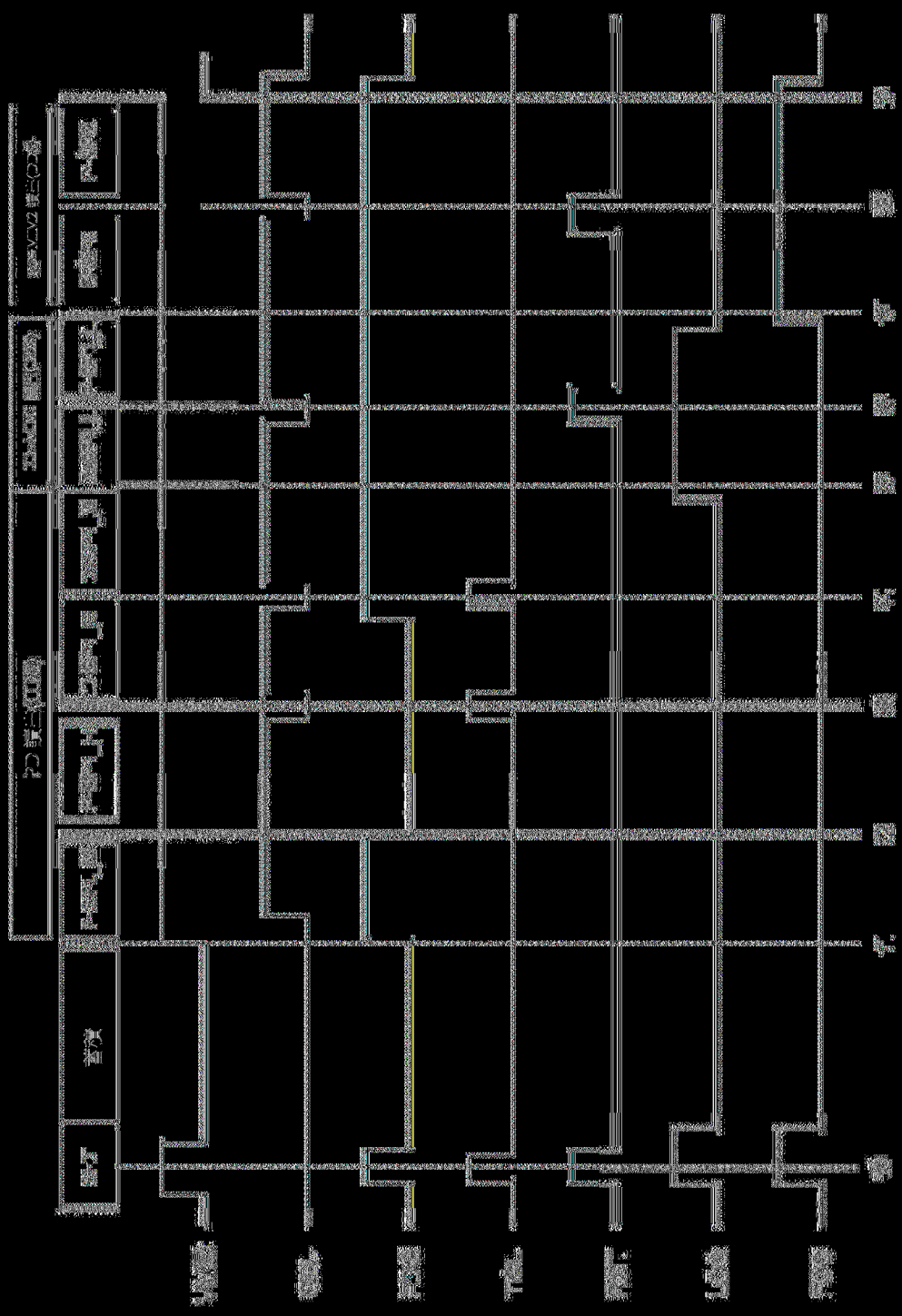
(圖13)



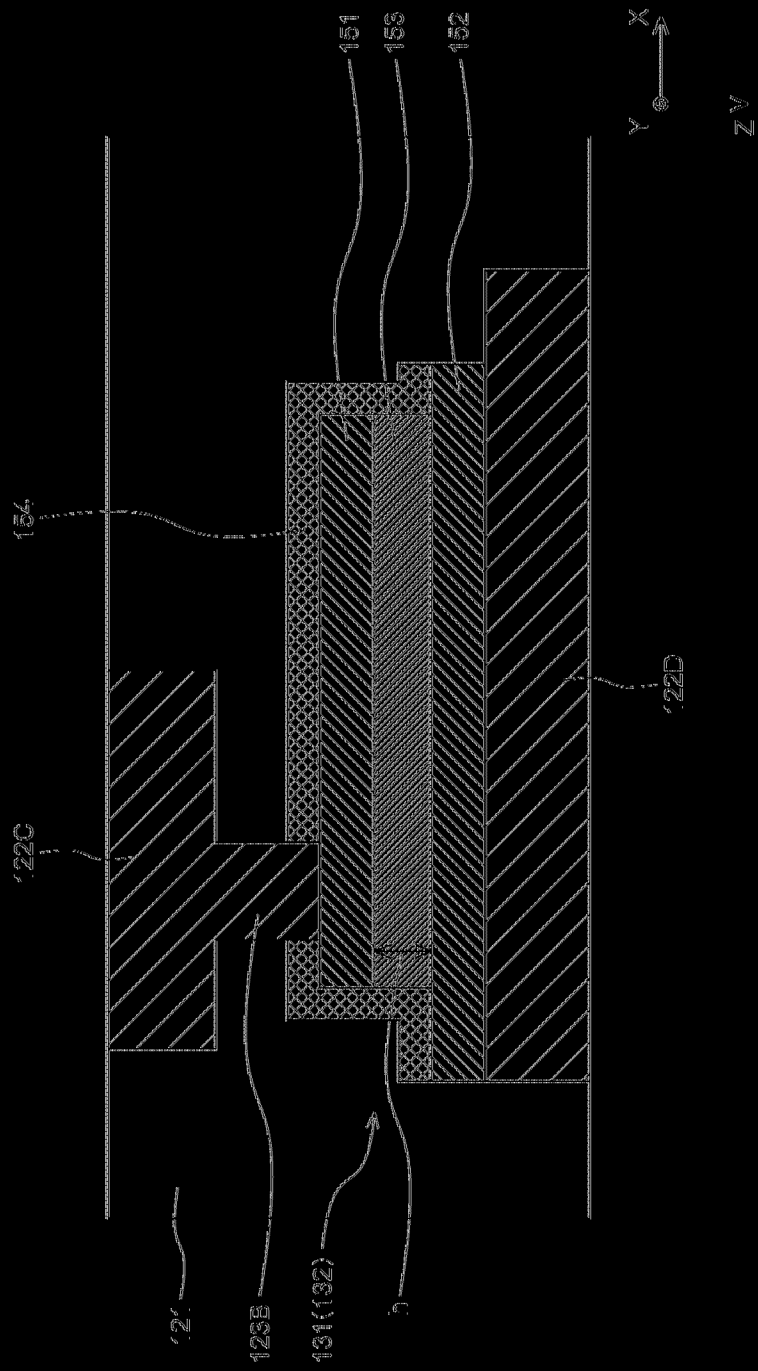
(圖14)



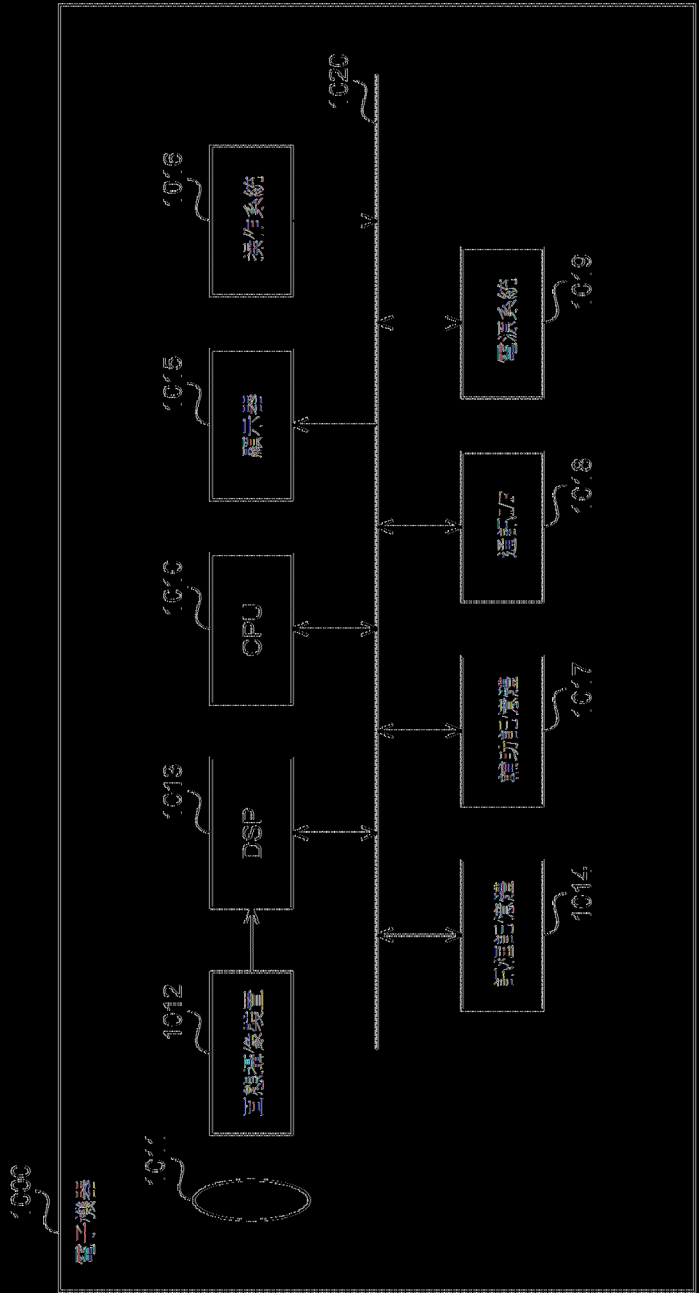
(圖15)



【圖 7】



[圖 18]



【圖9】