

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 33/00



[12] 发明专利说明书

[21] ZL 专利号 01800018.5

[45] 授权公告日 2005 年 4 月 6 日

[11] 授权公告号 CN 1196206C

[22] 申请日 2001.1.31 [21] 申请号 01800018.5

[30] 优先权

[32] 2000. 1. 31 [33] JP [31] 21458/2000

[86] 国际申请 PCT/JP2001/000623 2001.1.31

[87] 国际公布 WO2001/057935 日 2001.8.9

[85] 进入国家阶段日期 2001.8.29

[71] 专利权人 日本板硝子株式会社

地址 日本大阪府

[72] 发明人 大野诚治 楠田幸久

审查员 曲宝壮

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

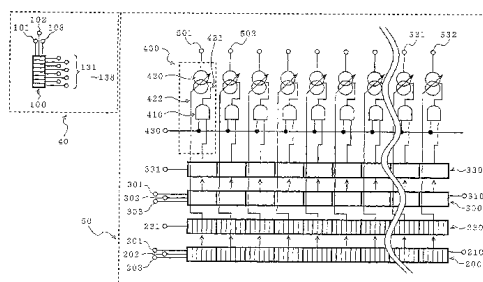
代理人 王以平

权利要求书 4 页 说明书 13 页 附图 13 页

[54] 发明名称 发光闸流晶体管矩阵阵列

[57] 摘要

提供一种能够减小芯片面积的发光闸流晶体管矩阵阵列。把多个三端子发光闸流晶体管与芯片长边平行地排列成一行，把多个键合焊盘与芯片长边平行地排列成一行。由此可以使芯片面积最小化。



ISSN 1008-4274

1. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阴极的一根阴极线, 以及

M 根栅选择线,

把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线 (G_i), 其中

$$i = \{ (k-1) \text{ MOD } M \} + 1,$$

把第 k 号发光闸流晶体管的阳极连接到第 j 号阳极端子 (A_j), 其中

$$j = \{ (k-i) / M \} + 1,$$

在上述 N 的素因数仅包含 2 时, 上述栅选择线的根数 M 为从 2、4、8 中选出的整数。

2. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阴极的一根阴极线, 以及

M 根栅选择线,

把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线 (G_i), 其中

$$i = \{ (k-1) \text{ MOD } M \} + 1,$$

把第 k 号发光闸流晶体管的阳极连接到第 j 号阳极端子 (A_j), 其中

$$j = \{ (k-i) / M \} + 1,$$

在上述 N 的素因数仅包含 2 和 3 时, 上述栅选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

3. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阳极的一根阳极线, 以及

M 根栅选择线,

把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线 (G_i), 其中 $i = \{ (k-1) \text{ MOD } M \} + 1$,

把第 k 号发光闸流晶体管的阴极连接到第 j 号阴极端子 (K_j), 其中 $j = \{ (k-i) / M \} + 1$,

在上述 N 的素因数仅包含 2 时, 上述栅选择线的根数 M 为从 2、4、8 中选出的整数。

4. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阳极的一根阳极线, 以及

M 根栅选择线,

把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线 (G_i), 其中 $i = \{ (k-1) \text{ MOD } M \} + 1$,

把第 k 号发光闸流晶体管的阴极连接到第 j 号阴极端子 (K_j), 其中 $j = \{ (k-i) / M \} + 1$,

在上述 N 的素因数仅包含 2 和 3 时, 上述栅选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

5. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阴极的一根阴极线, 以及

M 根阳极选择线,

把第 k 号发光闸流晶体管的阳极连接到第 i 号阳极选择线 (A_i), 其中 $i = \{ (k-1) \text{ MOD } M \} + 1$,

把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子 (G_j), 其中 $j = \{ (k-i) / M \} + 1$,

在上述 N 的素因数仅包含 2 时, 上述阳极选择线的根数 M 为从 2、4、8 中选出的整数。

6. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阴极的一根阴极线, 以及

M 根阳极选择线,

把第 k 号发光闸流晶体管的阳极连接到第 i 号阳极选择线 (A_i), 其中 $i = \{(k-1) \bmod M\} + 1$,

把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子 (G_j), 其中 $j = \{(k-i)/M\} + 1$,

在上述 N 的素因数仅包含 2 和 3 时, 上述阳极选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

7. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阳极的一根阳极线, 以及

M 根阴极选择线,

把第 k 号发光闸流晶体管的阴极连接到第 i 号阴极选择线 (K_i), 其中 $i = \{(k-1) \bmod M\} + 1$,

把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子 (G_j), 其中 $j = \{(k-i)/M\} + 1$,

在上述 N 的素因数仅包含 2 时, 上述阴极选择线的根数 M 为从 2、4、8 中选出的整数。

8. 一种发光闸流晶体管矩阵阵列, 其特征在于具有:

与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管;

与上述芯片的长边平行地排列成一行的多个键合焊盘;

连接上述各发光闸流晶体管的阳极的一根阳极线, 以及

M 根阴极选择线,

把第 k 号发光闸流晶体管的阴极连接到第 i 号阴极选择线 (K_i), 其中 $i = \{(k-1) \bmod M\} + 1$,

把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子 (G_j), 其

中 $j = \{ (k-i) / M \} + 1$,

在上述 N 的素因数仅包含 2 和 3 时, 上述阴极选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

发光闸流晶体管矩阵阵列

技术领域

本发明涉及在芯片上形成的发光闸流晶体管矩阵阵列，特别是能够减小芯片的面积发光闸流晶体管矩阵阵列。

背景技术

光打印机的写入头中所用的发光元件阵列，有必要从发光元件引出基本上与发光元件的个数数量相同的配线。在该配线的引出中，通常使用引线键合法。因此，随着发光元件密度的加大，产生如下的问题。

- (1)因发光元件阵列芯片上的引线键合焊盘面积的增大，产品成本增大。
- (2)因为引线键合根数增加，故制造成本增大。
- (3)因为引线键合的间距变窄，故安装变得困难。
- (4)因为通常驱动电路也需要按发光元件的数量，故产品成本增大。

特别是，由于一个引线键合焊盘的面积通常是一个发光元件面积的几倍以上，所以发光元件密度的增加直接导致芯片面积的增加。

为了避免这些问题，提出了内装有移位寄存器的发光元件、发光二极管(LED)矩阵阵列、发光闸流晶体管矩阵阵列等。

图1中示出发光闸流晶体管矩阵阵列的一例。如果用该矩阵阵列，则多个三端子发光闸流晶体管 T_1 、 T_2 、 T_3 、...直线状排列。这些发光闸流晶体管分成每4个一组，各组的发光闸流晶体管的阳极分别共同连接到阳极端子 A_1 、 A_2 、 A_3 、...，各组的发光闸流晶体管的各栅极分别对应地连接到栅选择线 $G_1 \sim G_4$ ，各发光闸流晶体管的阴极共同连接到阴极线K。

由栅选择线 $G_1 \sim G_4$ 的电压电平、阳极端子 A_1 、 A_2 、 A_3 、...的电压电平的组合来决定发光闸流晶体管 T_1 、 T_2 、 T_3 、...的点亮状态。由于该矩阵阵列是阴极共用型，所以在把阴极线取为L电平，把栅选择线中的

一根 G_j 取为 L 电平, 把其他取为 H 电平的状态下, 如果把阳极端子 A_i 取为 H 电平, 则发光闸流晶体管 $T_{j+4(j-1)}$ 点亮。

虽然在现有的 N 个 (N 是大于等于 2 的整数) 发光元件排列成的发光元件阵列中, 为了控制 N 个发光元件, 有必要引出 N 根控制端子, 但是在有 M 根栅选择线的发光闸流晶体管矩阵阵列中, 成为 $(N/M + M)$ 个控制端子数。在发光闸流晶体管矩阵阵列中, 能够同时发光的发光闸流晶体管的个数等于阳极端子数。此外, 发光占空比为 $1/M$ 。在图 1 的构成中, 如果 $N=128$, 则因为栅选择线为 4 根, 所以阳极端子数为 32 个。

通过用该发光闸流晶体管矩阵阵列, 可以减少矩阵阵列芯片上的引线键合焊盘的个数。在能够减少引线键合焊盘个数的该构成中, 栅选择线的根数 M 如下选择。也就是说, 在发光闸流晶体管的个数为 N 的场合, M 选择成接近于 $N^{1/2}$ 的整数, 而且 N/M 为整数。例如 $N=128$ 时, 选择 $M=8$ 或 $M=16$ 时引线键合焊盘的个数总共 24 个为最小。因而, 减小芯片面积成为可能, 可以降低芯片的成本。

再者, 采用发光闸流晶体管的图 1 的电路构成也是本申请人提出的, 已经取得专利权 (日本专利第 2807910 号)。该专利的内容引入本申请作为参考。

如前所述, 虽然可以使引线键合焊盘的个数最小, 但是在该场合芯片面积未必就成为最小。一般来说矩阵阵列芯片由晶片切成平行四边形 (通常是矩形)。芯片长边的长度由发光闸流晶体管的排列间距与个数之积来确定, 短边的长度主要由发光闸流晶体管和配线和键合焊盘的宽度之和来确定。因为一个键合焊盘所需的面积取决于引线键合机的性能等, 故如果不减少键合焊盘的行数就不能缩短芯片短边的长度, 所以即使减少键合焊盘的个数也不能减小芯片面积。

发明内容

本发明的目的在于提供一种能够减小芯片面积的发光闸流晶体管矩阵阵列。

为要减小芯片面积，有必要把键合焊盘与芯片长边平行地配置成一行，减小芯片短边的长度。通过增加栅选择线的根数 M ，减少键合焊盘的个数，使把键合焊盘配置成一行成为可能。但是，由于栅选择线与芯片长边相平行地从芯片的一端配置到另一端，所以如果增加栅选择线，则芯片的短边长度增加。因此，有必要把键合焊盘配置成一行，并确定栅选择线根数，以便栅选择线的根数 M 尽可能少。

在 N 个 (N 为大于等于 2 的整数) 三端子发光闸流晶体管排列成一行的发光闸流晶体管矩阵阵列中，把 N 个发光闸流晶体管的阴极或阳极连接到公用端子，有 M 根 (M 为大于 2 的整数) 栅选择线，把第 k 号发光闸流晶体管的栅极连接到第 i 号 [$i = \{(k-1) \bmod M\} + 1$] 栅选择线 (这里， $(k-1) \bmod M$ 表示把 $(k-1)$ 除以 M 时的余数)，把第 k 号发光闸流晶体管的未连接到公用端子的阳极或阴极连接到第 j 号 [$j = \{(k-i)/M\} + 1$] 阳极端子 A_j ，或阴极端子 K_j 。

在该场合，令 L 为芯片长边长度，令 p 为键合焊盘的排列间距临界值时，选择 M 的值以便满足

$$L / \{(N/M) + M\} > p.$$

此时， p 的值，虽然如果使用高精度键合机则可以减小，但是因为如果是过小的值则作业时间加长，故实用上可以考虑 $75 \mu\text{m}$ 左右。

如果用本发明，则也可以是把阳极或阴极连接到选择线的构成。在该场合，成为把 N 个三端子发光闸流晶体管的阴极或阳极连接到公用端子，有 M 根阳极选择线或阴极选择线，把第 k 号发光闸流晶体管的未连接到公用端子的阳极或阴极连接到第 i 号 [$i = \{(k-1) \bmod M\} + 1$] 阳极选择线 A_i 或阴极选择线 K_i ，把栅极连接到第 j 号 [$j = \{(k-i)/M\} + 1$] 栅极端子 G_j 的构成。

在有平行于芯片的长边排列成一行的键合焊盘的发光闸流晶体管矩阵阵列中，邻接地配置着驱动集成电路，发光闸流晶体管矩阵阵列芯片与驱动集成电路各自的端子间靠引线键合直接连接起来。

在像这样发光闸流晶体管矩阵阵列芯片与驱动集成电路靠引线键合直接连接起来的结构中，必须把芯片一侧的键合焊盘的排列间距与驱动

集成电路一侧的键合焊盘的排列间距取为几乎相同。因此，每当发光闸流晶体管矩阵阵列的分辨率改变，就需要准备另外的驱动集成电路。因此，多个种类的驱动集成电路成为必要的，招致成本提高。

因而，本发明的另一个目的在于提供一种能够对于分辨率不同的多个发光闸流晶体管矩阵阵列通用的驱动集成电路。

在三端子发光闸流晶体管矩阵阵列的场合，如前所述，通过选择栅选择线的根数来减少发光元件上的键合焊盘的个数，可以把键合焊盘配置成一行。因此，在针对某种分辨率确定栅选择线的根数时，阳极端子的个数确定。若是把分辨率取为两倍时，准备仅栅选择线的根数加倍的发光闸流晶体管矩阵阵列芯片就可以了。因而并不改变必须供给大电流的阳极端子驱动电路的数量，而是通过额外拥有仅施加电压信号就可以了的栅选择线驱动电路，可以用同一个驱动集成电路来驱动不同分辨率的发光闸流晶体管矩阵阵列芯片。由此，可以减少准备的驱动集成电路的种类，可以降低成本。

本发明的典型性方案可概括如下：

(1)、一种发光闸流晶体管矩阵阵列，其特征在于具有：与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管；与上述芯片的长边平行地排列成一行的多个键合焊盘；连接上述各发光闸流晶体管的阴极的一根阴极线，以及 M 根栅选择线，把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线，其中 $i = \{(k-1) \bmod M\} + 1$ ，把第 k 号发光闸流晶体管的阳极连接到第 j 号阳极端子，其中 $j = \{(k-i)/M\} + 1$ ，在上述 N 的素因数仅包含 2 时，上述栅选择线的根数 M 为从 2、4、8 中选出的整数。

(2)、一种发光闸流晶体管矩阵阵列，其特征在于具有：与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管；与上述芯片的长边平行地排列成一行的多个键合焊盘；连接上述各发光闸流晶体管的阴极的一根阴极线，以及 M 根栅选择线，把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线，其中 $i = \{(k-1) \bmod M\} + 1$ ，把第 k 号发光闸流晶体管的阳极连接到第 j 号阳极端子，其中 $j = \{(k-i)/M\} +$

1, 在上述 N 的素因数仅包含 2 和 3 时, 上述栅选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

(3)、一种发光闸流晶体管矩阵阵列, 其特征在于具有: 与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管; 与上述芯片的长边平行地排列成一行的多个键合焊盘; 连接上述各发光闸流晶体管的阳极的一根阳极线, 以及 M 根栅选择线, 把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线, 其中 $i = \{(k-1) \bmod M\} + 1$, 把第 k 号发光闸流晶体管的阴极连接到第 j 号阴极端子, 其中 $j = \{(k-i)/M\} + 1$, 在上述 N 的素因数仅包含 2 时, 上述栅选择线的根数 M 为从 2、4、8 中选出的整数。

(4)、一种发光闸流晶体管矩阵阵列, 其特征在于具有: 与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管; 与上述芯片的长边平行地排列成一行的多个键合焊盘; 连接上述各发光闸流晶体管的阳极的一根阳极线, 以及 M 根栅选择线, 把第 k 号发光闸流晶体管的栅极连接到第 i 号栅选择线, 其中 $i = \{(k-1) \bmod M\} + 1$, 把第 k 号发光闸流晶体管的阴极连接到第 j 号阴极端子, 其中 $j = \{(k-i)/M\} + 1$, 在上述 N 的素因数仅包含 2 和 3 时, 上述栅选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

(5)、一种发光闸流晶体管矩阵阵列, 其特征在于具有: 与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管; 与上述芯片的长边平行地排列成一行的多个键合焊盘; 连接上述各发光闸流晶体管的阴极的一根阴极线, 以及 M 根阳极选择线, 把第 k 号发光闸流晶体管的阳极连接到第 i 号阳极选择线, 其中 $i = \{(k-1) \bmod M\} + 1$, 把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子, 其中 $j = \{(k-i)/M\} + 1$, 在上述 N 的素因数仅包含 2 时, 上述阳极选择线的根数 M 为从 2、4、8 中选出的整数。

(6)、一种发光闸流晶体管矩阵阵列, 其特征在于具有: 与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管; 与上述芯片的长边平行地排列成一行的多个键合焊盘; 连接上述各发光闸流晶体管的阴

极的一条阴极线, 以及 M 根阳极选择线, 把第 k 号发光闸流晶体管的阳极连接到第 i 号阳极选择线, 其中 $i = \{(k-1) \bmod M\} + 1$, 把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子, 其中 $j = \{(k-i)/M\} + 1$, 在上述 N 的素因数仅包含 2 和 3 时, 上述阳极选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

(7)、一种发光闸流晶体管矩阵阵列, 其特征在于具有: 芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管; 与上述芯片的长边平行地排列成一行的多个键合焊盘; 连接上述各发光闸流晶体管的阳极的一根阳极线, 以及 M 根阴极选择线, 把第 k 号发光闸流晶体管的阴极连接到第 i 号阴极选择线, 其中 $i = \{(k-1) \bmod M\} + 1$, 把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子, 其中 $j = \{(k-i)/M\} + 1$, 在上述 N 的素因数仅包含 2 时, 上述阴极选择线的根数 M 为从 2、4、8 中选出的整数。

(8)、一种发光闸流晶体管矩阵阵列, 其特征在于具有: 与芯片的长边平行地排列成一行的 N 个三端子发光闸流晶体管; 与上述芯片的长边平行地排列成一行的多个键合焊盘; 连接上述各发光闸流晶体管的阳极的一根阳极线, 以及 M 根阴极选择线, 把第 k 号发光闸流晶体管的阴极连接到第 i 号阴极选择线, 其中 $i = \{(k-1) \bmod M\} + 1$, 把第 k 号发光闸流晶体管的栅极连接到第 j 号栅极端子, 其中 $j = \{(k-i)/M\} + 1$, 在上述 N 的素因数仅包含 2 和 3 时, 上述阴极选择线的根数 M 为从 2、3、4、6、8 中选出的整数。

附图说明

图 1 表示发光闸流晶体管矩阵阵列的一个例子。

图 2 表示本发明的发光闸流晶体管矩阵阵列的一个实施例的芯片。

图 3A 和图 3B 表示图 2 的发光闸流晶体管矩阵阵列的结构。

图 4 表示在具有 600 dpi、128 发光点的发光闸流晶体管矩阵阵列中, 使栅选择线的根数 M 改变的场合计算芯片的短边长度的结果。

图 5 表示在具有 600 dpi、192 发光点的发光闸流晶体管矩阵阵列中,

使栅选择线的根数 M 改变的场合计算芯片的短边长度的结果。

图 6 表示在具有 1200 dpi、256 发光点的发光闸流晶体管矩阵阵列中，使栅选择线的根数 M 改变的场合计算芯片的短边长度的结果。

图 7 表示在具有 2400 dpi、512 发光点的发光闸流晶体管矩阵阵列中，使栅选择线的根数 M 改变的场合计算芯片的短边长度的结果。

图 8 表示驱动集成电路之一例。

图 9 表示 128 发光点/600 dpi/4 栅极配线的发光闸流晶体管矩阵阵列与驱动集成电路的键合引线的连接例。

图 10 表示 192 发光点/900 dpi/6 栅极配线的发光闸流晶体管矩阵阵列与驱动集成电路的键合引线的连接例。

图 11 表示 256 发光点/1200 dpi/8 栅极配线的发光闸流晶体管矩阵阵列与驱动集成电路的键合引线的连接例。

图 12 表示驱动集成电路的另一个例子。

图 13 表示 128 发光点/600 dpi/4 栅极配线的发光闸流晶体管矩阵阵列与驱动集成电路的键合引线的连接例。

图 14 表示 128 发光点/600 dpi/4 栅极配线的发光闸流晶体管矩阵阵列与驱动集成电路的键合引线的另一个连接例。

图 15 表示现有的发光闸流晶体管矩阵阵列的另一个例子。

具体实施方式

下面参照附图来说明本发明的发光闸流晶体管矩阵阵列的实施例。

(第 1 实施例)

图 2 中示出发光闸流晶体管矩阵阵列的一个实施例的芯片。图 3A 和图 3B 示出用于该发光闸流晶体管矩阵阵列的发光闸流晶体管的结构。

首先，参照图 3A 和图 3B 来说明发光闸流晶体管的结构。图 3A 是俯视图，图 3B 是沿图 3A 的 X-X' 线截取的剖视图。发光闸流晶体管 20 在 n 型半导体基板 21 上依次叠层 n 型半导体层 22、p 型半导体层 23、n 型半导体层 24、p 型半导体层 25，在 p 型半导体层 25 上形成阳极 26，在 n 型半导体层 24 上形成栅极 27。虽然未画出，但是在 n 型半导体基

板 21 的背面上设有阴极。

图 2 中所示的发光闸流晶体管矩阵阵列芯片 8 把上述这种发光闸流晶体管 20 按 128 个、600 dpi (点每英寸) 排列成一行, 键合焊盘 10 与之平行地排列成一行, 并把多根栅选择线与发光闸流晶体管的阵列平行地配置而构成。

键合焊盘 10 的排列间距因为引线键合机的精度, 必须是 $75\text{ }\mu\text{m}$ 以上的间距。键合焊盘 10 沿芯片短边方向的宽度为 $150\text{ }\mu\text{m}$ 。此外, 一根栅选择线 30 的宽度为 $15\text{ }\mu\text{m}$ 。

计算在这种构成的芯片中, 使栅选择线的根数 M 变化的场合的芯片的短边长度。计算结果示于图 4 的曲线图。因为 M 是能够整除 128 的整数, 所以可以从 1、2、4、8、16、32、64、128 中选取。从图 4 的曲线图看出, 在栅选择线根数 $M=2$ 时芯片短边长度最小。但是在 $M=2$ 时如果键合焊盘的排列间距大约 $80\text{ }\mu\text{m}$, 则键合焊盘排列间距的临界值 p 就到极限了, 需要精度高的连接。如果选取 $M=4$ 、8, 则与 $M=2$ 的场合相比因为键合焊盘的个数减少, 故可以加大键合焊盘的排列间距。因而, 栅选择线的根数 M 从 4 或 8 中选择是合适的。

(第 2 实施例)

考虑具有 600 dpi、192 发光点的发光闸流晶体管矩阵阵列。与第 1 实施例同样, 使栅选择线的根数 M 变化的场合计算芯片的短边长度的结果示于图 5 的曲线图。在该矩阵阵列中, 因为 $192=2^6\times 3$, 所以具有素因数 3, 故能够整除 192 的值 M 的个数增加, M 可以从 1、2、3、4、6、8、12、16、24、32、48、64、96、192 中选取。虽然在 $M=2$ 时芯片短边长度最小, 但是出于与第 1 实施例同样的理由, 因为如果 M 的值加大则有可以加大键合焊盘的排列间距这样的优点, 故与第 1 实施例同样把 M 的选择对象扩大到 $M\leq 8$ 。也就是说, 栅选择线根数 M 可以从 3、4、6、8 中选取。

(第 3 实施例)

考虑具有 256 发光点、1200 dpi 的发光闸流晶体管阵列。与第 1 实施例同样, 使栅选择线的根数 M 变化的场合计算芯片的短边长度的结果

示于图 6 的曲线图。从图 6 的曲线图看出，M 从 4、8、16 中选取某一个就可以了。

(第 4 实施例)

考虑具有 512 发光点、2400 dpi 的发光闸流晶体管矩阵阵列。与第 1 实施例同样，使栅选择线的根数 M 变化的场合计算芯片的短边长度的结果示于图 7 的曲线图。从图 7 的曲线图看出，M 从 8、16、32 中选取某一个就可以了。

(第 5 实施例)

考虑具有 $32 \times n$ ($n = 4、6、8$) 发光点的矩阵阵列用的驱动电路 (集成电路)。图 8 示出 128 发光点/600 dpi/4 栅选择线、192 发光点/900 dpi/6 栅选择线、256 发光点/1200 dpi/8 栅选择线等 3 种发光闸流晶体管矩阵阵列芯片上能够通用的驱动集成电路。

驱动集成电路由栅选择线驱动电路 40 和阳极端子驱动电路 50 组成。栅选择线驱动电路 40 由 8 位串行输入/并行输出移位寄存器 100 组成。131 ~ 138 是栅选择信号输出端子，连接到发光闸流晶体管矩阵阵列芯片的栅选择线 $G_1 \sim G_n$ 用的键合焊盘。

用复位端子 102 使移位寄存器 100 复位 (所有位 H 电平) 之后，把输出端子 101 取为 L 电平，把时钟送到端子 103，使该 L 电平状态依次移位，使输出端子 131 ~ 138 依次成为 L 电平。在发光闸流晶体管矩阵阵列的第 i 根栅选择线 G_i 成为 L 时，与栅选择线 G_i 相连接的发光闸流晶体管能够点亮。这样一来，输出端子 131 ~ 138 因为选择一根栅选择线，故把“选择”信号输出到一个输出端子，把“未选择”信号输出到其他输出端子。

再说，由于在具有发光点数为 $32 \times n$ ($n = 4、6、8$) 个的发光点的发光闸流晶体管矩阵阵列中栅选择线为 n 根，所以在使栅选择线 G_n 为 L 电平之后，接着打算把栅选择线 G_1 再次取为 L 电平。因此，把栅选择线 G_n 取为 L 电平的下一个定时里把输入端子 101 再次取为 L 电平，把时钟送到端子 103，把栅选择线 G_1 取为 L 电平。

阳极端子驱动电路 50 能够同时驱动 32 个发光点。发光闸流晶体管

的光输出由电流驱动电路 400 的电流源 420 来调整。根据向电流值数据输入端子 422 的电流值数据(6 位)输入,可以调整电流源 420 的电流值,根据电流输出许可端子 421 的状态,电流从输出端子 501~532 输出。

通过具有复位端子 202 和时钟端子 203 的移位寄存器 200,从输入到数据输入端子 201 的串行信号划分 32 组 6 位数据,生成电流值数据,由具有锁存端子 231 的锁存器 230 来保持,输入到电流值数据输入端子 422。在移位寄存器 200 上有数据输出端子 210,可以把该输出端子连接到相邻的驱动集成电路的数据输入端子 201。由此可以减少光写入头内的电流数据线的根数。

通过具有复位端子 302 和时钟端子 303 的移位寄存器 300,从输入到数据输入端子 301 的串行信号划分 32 组 1 位数据,生成图像数据,由具有锁存端子 331 的锁存器 330 来保持,输入到与门 410 的输入端子。与门 410 的一个输入端子连接到发光许可端子 430。与门 410 的输出端子构成上述电流输出许可端子 421。在移位寄存器 300 上有数据输出端子 310,可以把该输出连接到相邻的驱动集成电路的数据输入端子 301。由此可以减少光写入头内的图像数据线的根数。

图 9 中示出把上述构成的驱动集成电路 600 通键合引线连接到 128 发光点/600 dpi/4 栅选择线的发光闸流晶体管矩阵阵列芯片 700 的例子。驱动集成电路 600 的阳极端子驱动电路 50 的输出端子 501、502、...、532 用键合引线 45 分别连接到矩阵阵列芯片 700 的阳极端子 A_1 、 A_2 、...、 A_{32} ,驱动集成电路 600 的栅选择线驱动电路 40 的输出端子 131、132、133、134 用键合引线 55 分别连接到矩阵阵列 700 的栅选择线 G_1 、 G_2 、 G_3 、 G_4 。

图 10 中示出把驱动集成电路 600 用键合引线连接到 192 发光点/900 dpi/6 栅选择线的发光闸流晶体管矩阵阵列芯片 710 的例子。驱动集成电路 600 的输出端子 501、502、...、532 用键合引线 45 分别连接到矩阵阵列芯片 710 的阳极端子 A_1 、 A_2 、...、 A_{32} ,驱动集成电路 600 的输出端子 131、132、133、134、135、136 用键合引线 55 分别连接到矩阵阵列 710 的栅选择线 G_1 、 G_2 、 G_3 、 G_4 、 G_5 、 G_6 。

图 11 中示出把驱动集成电路 600 用键合引线连接到 256 发光点/1200 dpi/8 栅选择线的发光闸流晶体管矩阵阵列芯片 720 的例子。驱动集成电路 600 的输出端子 501、502、...、532 用键合引线 45 分别连接到矩阵阵列芯片 720 的阳极端子 A_1 、 A_2 、...、 A_{32} ，驱动集成电路 600 的输出端子 131、132、133、134、135、136、137、138 用键合引线 55 分别连接到矩阵阵列 720 的栅选择线 G_1 、 G_2 、 G_3 、 G_4 、 G_5 、 G_6 、 G_7 、 G_8 。

(第 6 实施例)

考虑具有 $32 \times n$ ($n = 4, 6, 8$) 发光点的矩阵阵列用的驱动集成电路的另一个例子。图 12 示出 128 发光点/600 dpi/4 栅选择线、192 发光点/900 dpi/6 栅选择线、256 发光点/1200 dpi/8 栅选择线等 3 种发光闸流晶体管矩阵阵列芯片上能够通用的驱动集成电路。驱动集成电路由阳极端子驱动电路 60 组成，栅选择线驱动电路设在驱动集成电路的外部。

阳极端子驱动电路 60 能够同时驱动 32 个发光点。发光闸流晶体管的光输出由电流驱动电路 400 的电流源 420 来调整。根据向电流值数据输入端子 422 电流值数据 (6 位) 输入，可以调整电流源 420 的电流值，根据电流输出许可端子 421 的状态，电流从输出端子 501 ~ 532 输出。

通过具有复位端子 202 和时钟端子 203 的移位寄存器 200，从输入到数据输入端子 201 的串行信号划分 32 组 6 位数据，生成电流值数据，由具有锁存端子 231 的锁存器 230 来保持，输入到电流值数据输入端子 422。在移位寄存器 200 上有数据输出端子 210，可以把该输出端子连接到相邻的驱动集成电路的数据输入端子 201。由此可以减少光写入头内的电流数据线的根数。

通过具有复位端子 302 和时钟端子 303 的移位寄存器 300，从输入到数据输入端子 301 的串行信号划分 32 组 1 位数据，生成图像数据，由具有锁存端子 331 的锁存器 330 来保持，输入到与门 410 的输入端子。与门 410 的一个输入端子连接到发光许可端子 430。与门 410 的输出端子构成上述电流输出许可端子 421。在移位寄存器 300 上有数据输出端子 310，可以把该输出连接到相邻的驱动集成电路的数据输入端子 301。由此可以减少光写入头内的图像数据线的根数。

图 13 中示出把上述构成的驱动集成电路 601 用键合引线连接到 128 发光点/600 dpi/4 栅选择线的发光闸流晶体管矩阵阵列芯片 730 的例子。矩阵阵列芯片 730 的阳极端子 A_1 、 A_2 、...、 A_{32} 用键合引线 65 分别连接到驱动集成电路 601 的输出端子 501、502、...、532。栅选择线 G_1 、 G_2 、 G_3 、 G_4 用键合引线直接连接到印刷配线板（未画出）上的键合焊盘。再者，图中 620 表示图 12 中所示的电路部分。

（第 7 实施例）

在第 6 实施例中，发光闸流晶体管矩阵阵列芯片 730 的栅选择线 G_1 、 G_2 、 G_3 、 G_4 连接到印刷配线板上的键合焊盘，阳极端子 A_1 、 A_2 、 A_3 、...、 A_{32} 连接到驱动集成电路 601 上的键合焊盘。在这种场合，因为印刷配线板的高度与驱动集成电路的高度不同，故键合安装困难。

因此，在本实施例中，如图 14 中所示，在驱动集成电路 601 上设置通过栅选择线的线 740。用键合引线 75 把栅选择线 G_1 、 G_2 、 G_3 、 G_4 与线 740 连接起来。

（第 8 实施例）

在以上的第 1~7 实施例中，作为发光闸流晶体管矩阵阵列用图 1 中所示的。虽然在图 1 的发光闸流晶体管矩阵阵列中，把发光闸流晶体管的栅极连接到选择线，但是也可以是把阳极连接到选择线的结构。图 15 示出把阳极连接到选择线的发光闸流晶体管矩阵阵列。

各组发光闸流晶体管的栅极分别共同连接到栅极端子 G_1 、 G_2 、 G_3 、...，各组发光闸流晶体管的阳极分别对应地连接到阳极选择线 $A_1 \sim A_4$ ，各发光闸流晶体管的阴极共同连接到阴极线 K。

在该发光闸流晶体管矩阵阵列中，在把阴极线 K 取为 L 电平，把一个栅极端子 G_i 取为 L 电平，把其他取为 H 电平的状态下，如果把阳极选择线 A_j 取为 H 电平，则发光闸流晶体管 $T_{j+4(i-1)}$ 点亮。

与图 1 的构成相比，由于阳极端子数减少，所以电流容量大的缓冲电路的数量减少，驱动电路变得简单。

虽然在以上所有的实施例中共同地连接发光闸流晶体管的阴极，但是取为共同地连接阳极的结构也是可以的。

产业实用性

如果采用本发明，则可以实现面积小的发光闸流晶体管矩阵阵列芯片，可以实现能够运用于分辨率不同的多种发光闸流晶体管矩阵阵列的驱动电路。

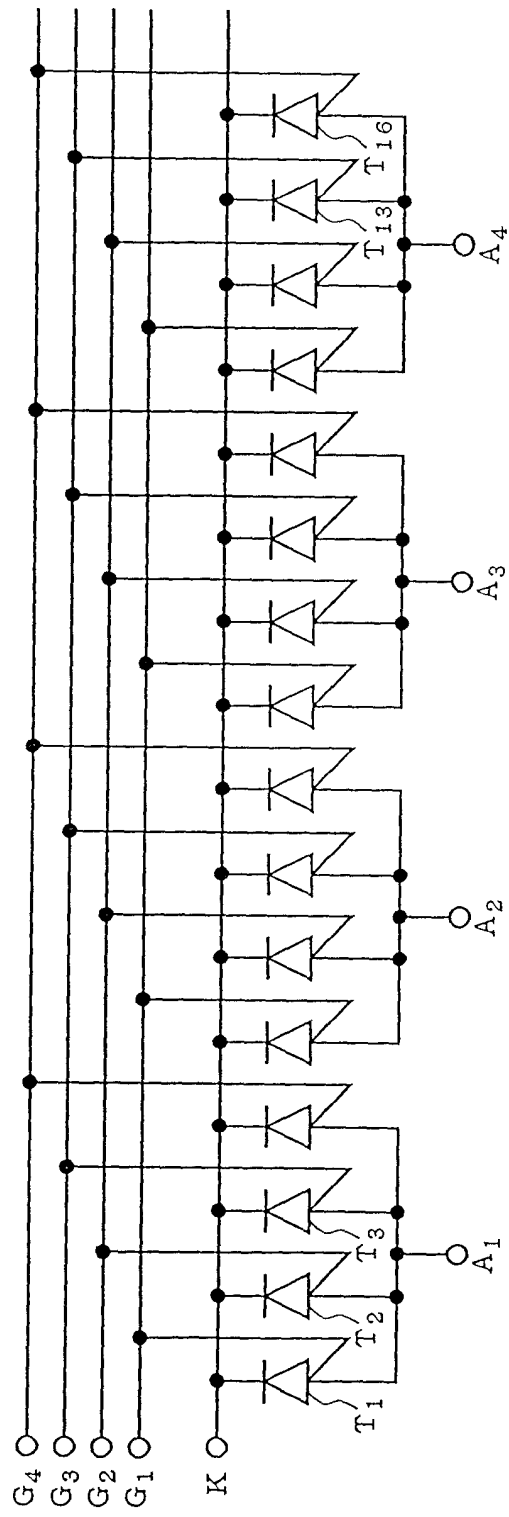


图 1

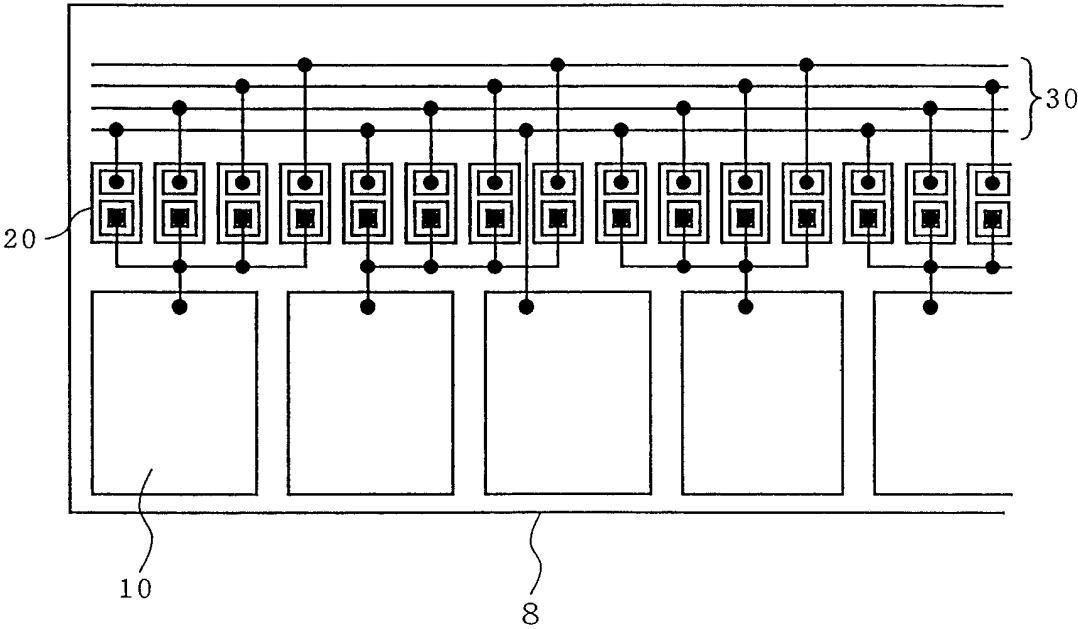


图 2

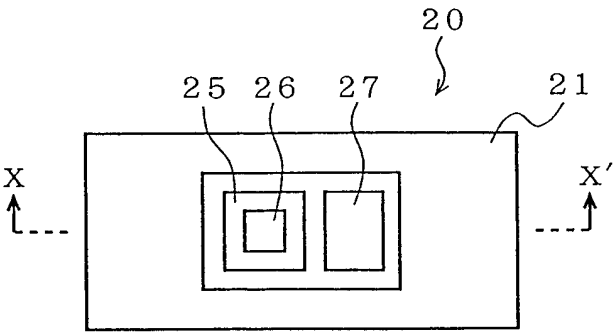


图 3A

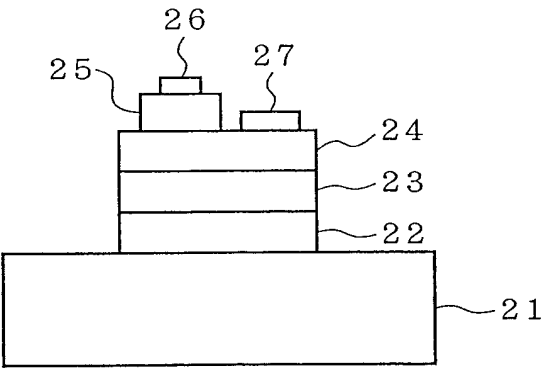


图 3B

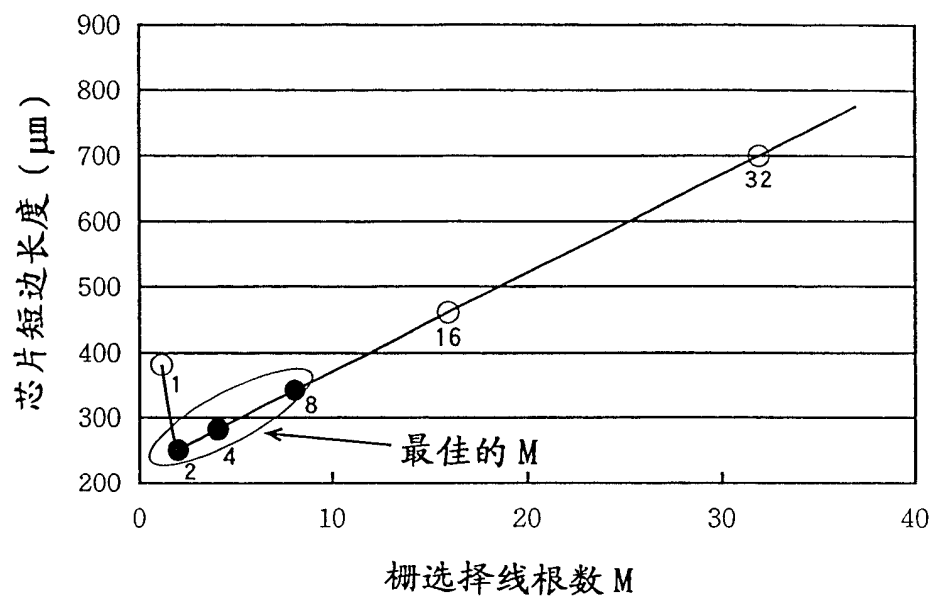


图 4

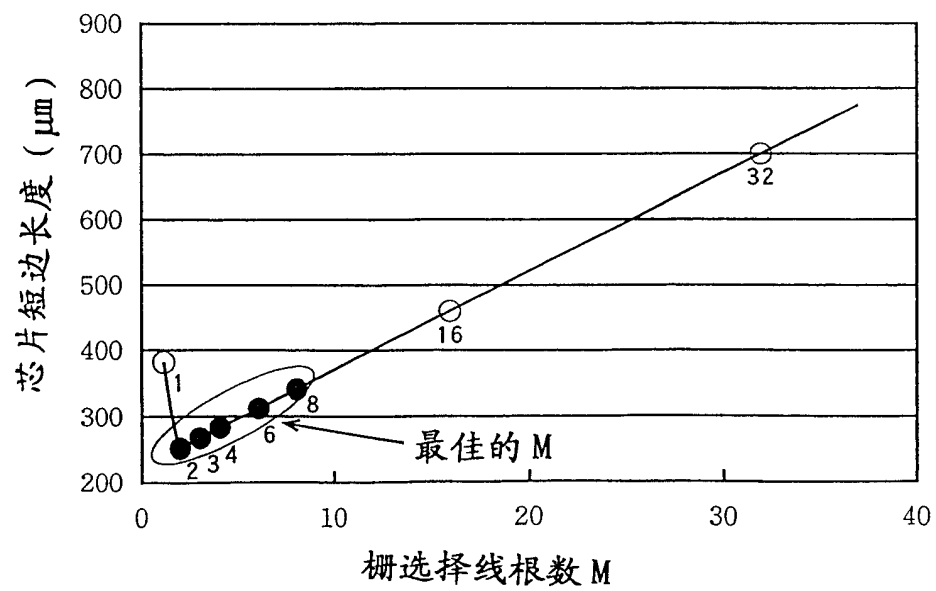


图 5

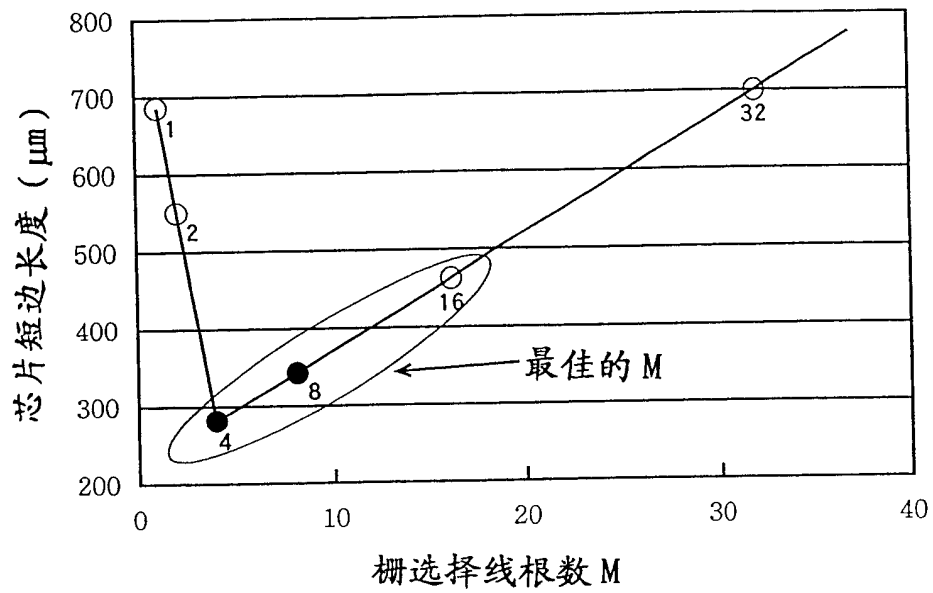


图 6

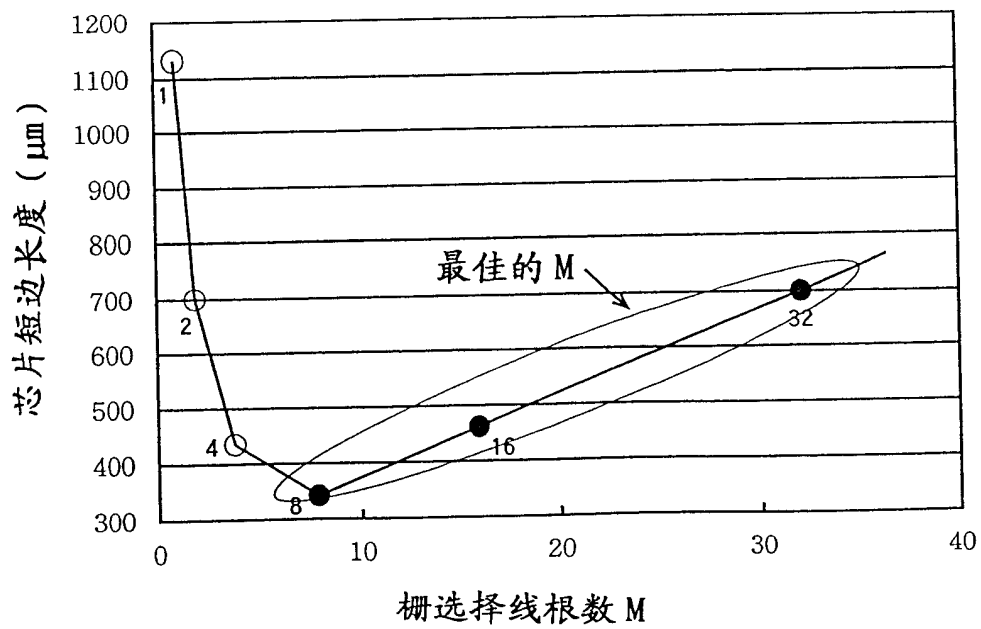


图 7

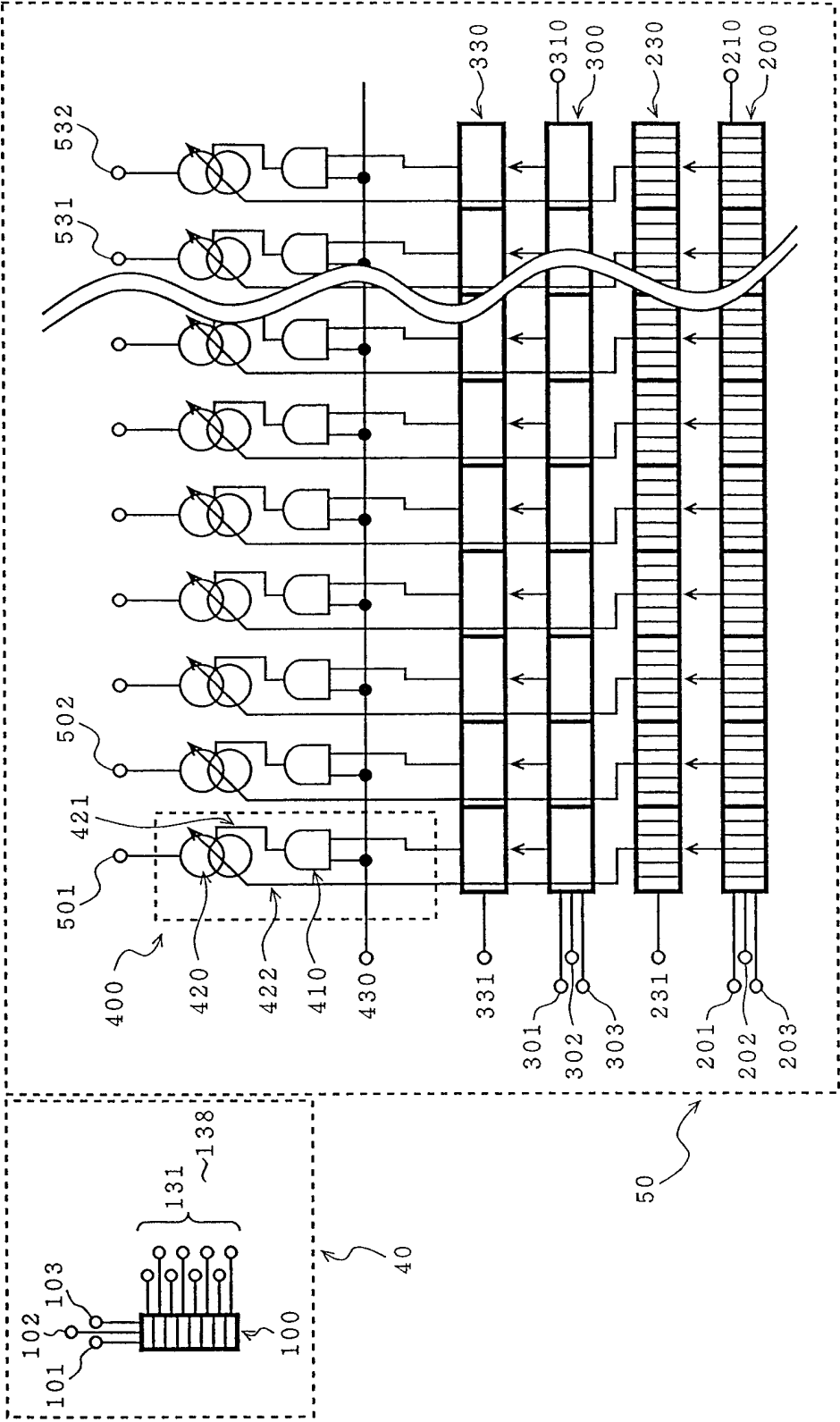


图 8

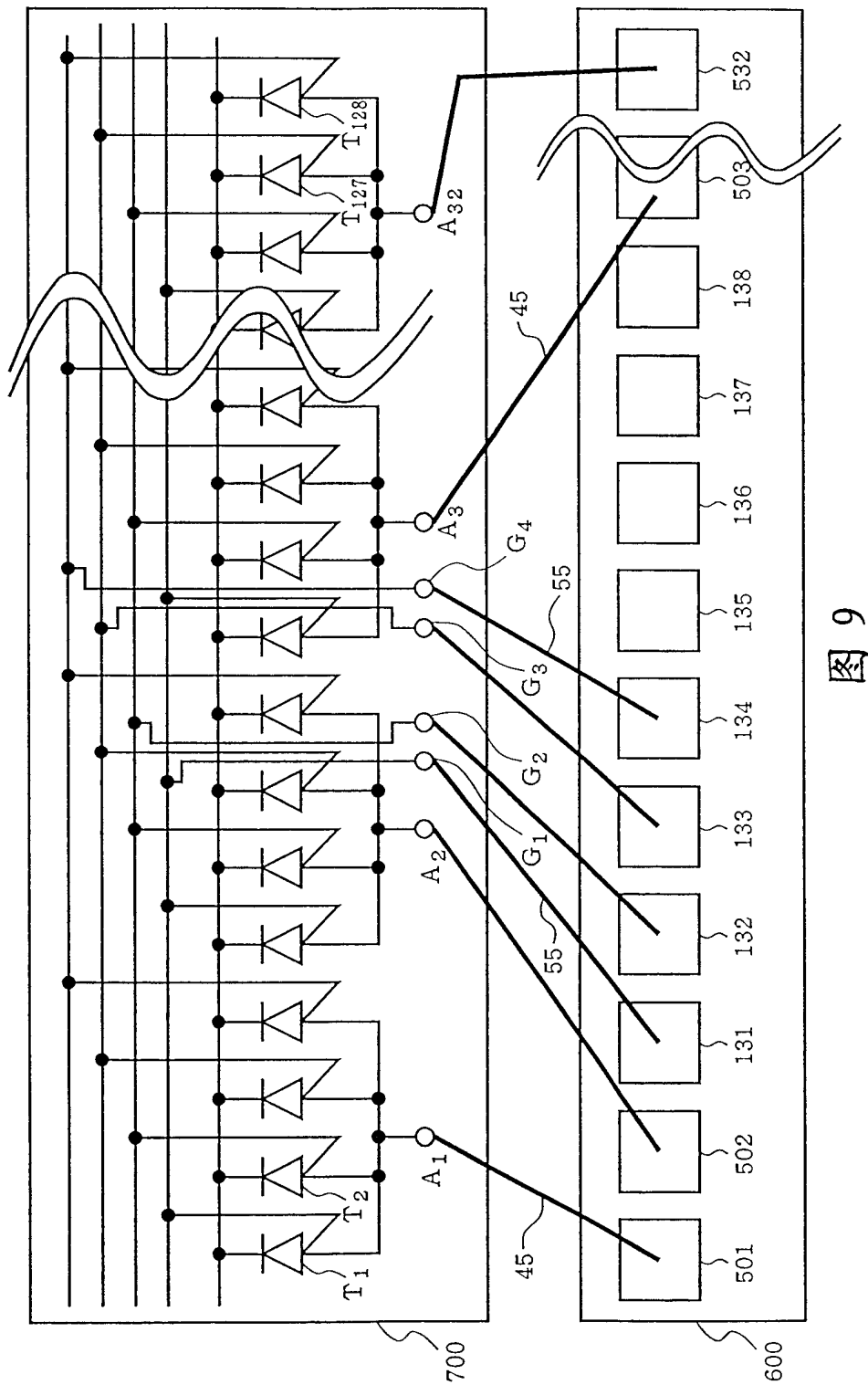


图 9

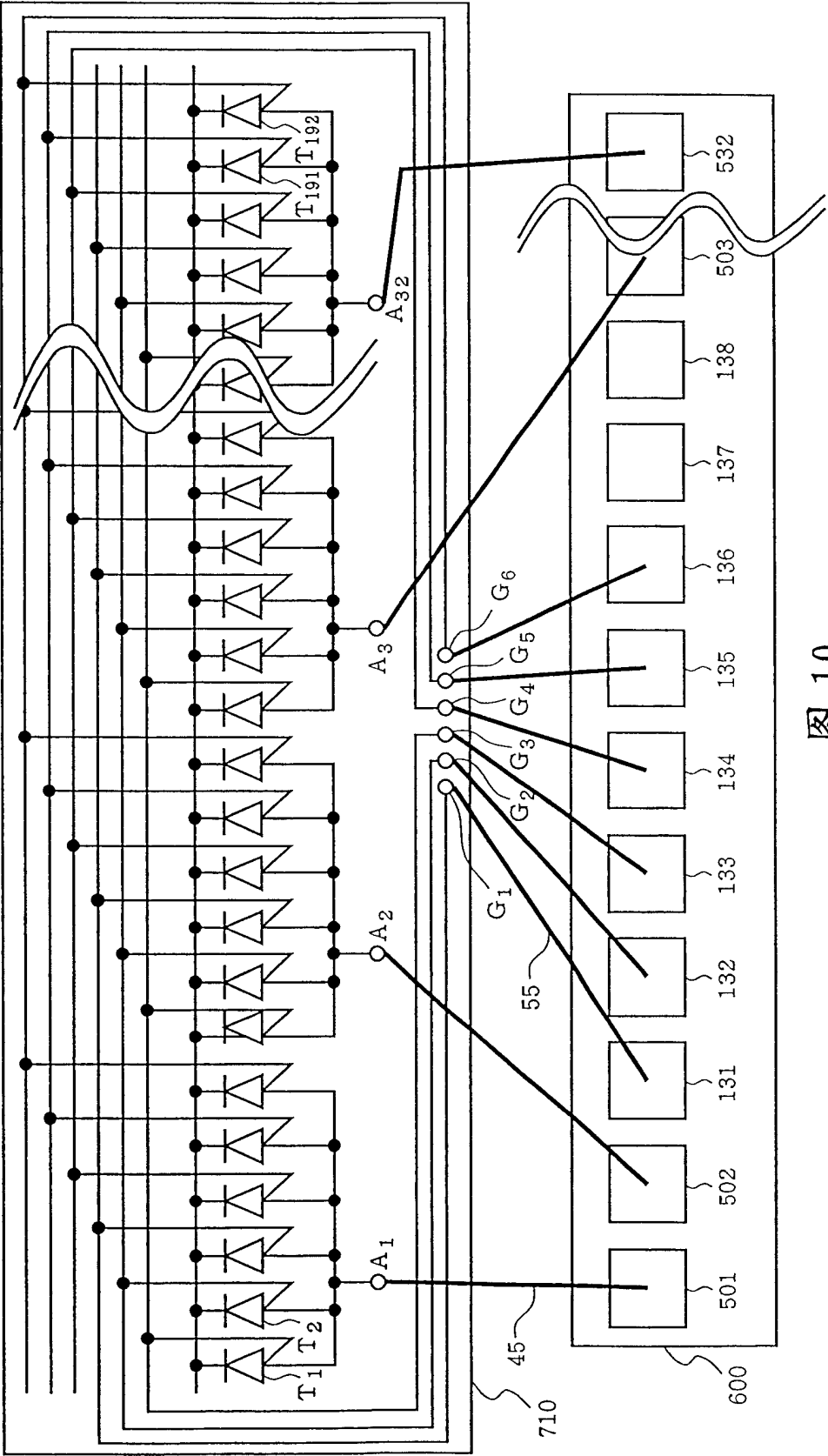


图 10

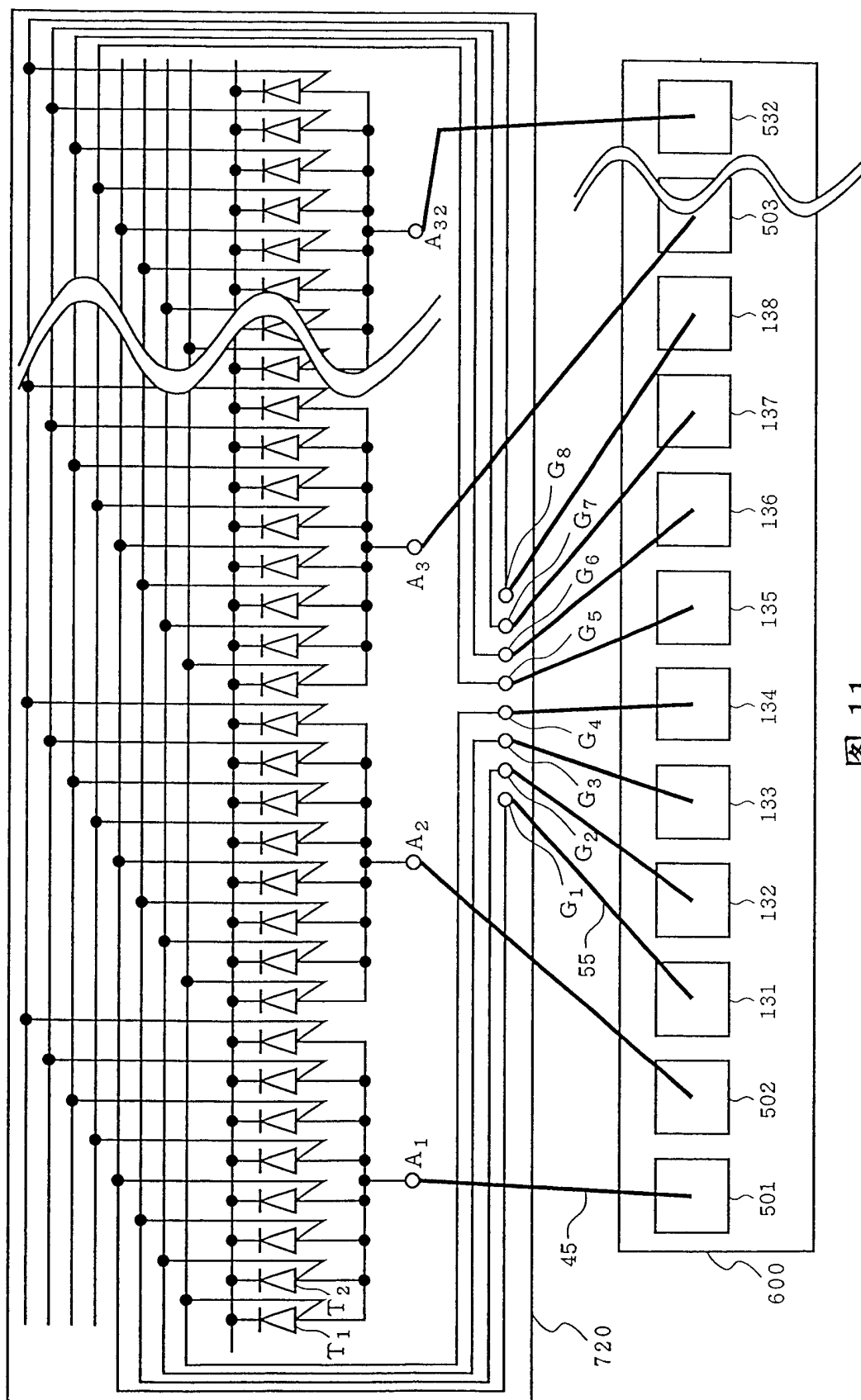
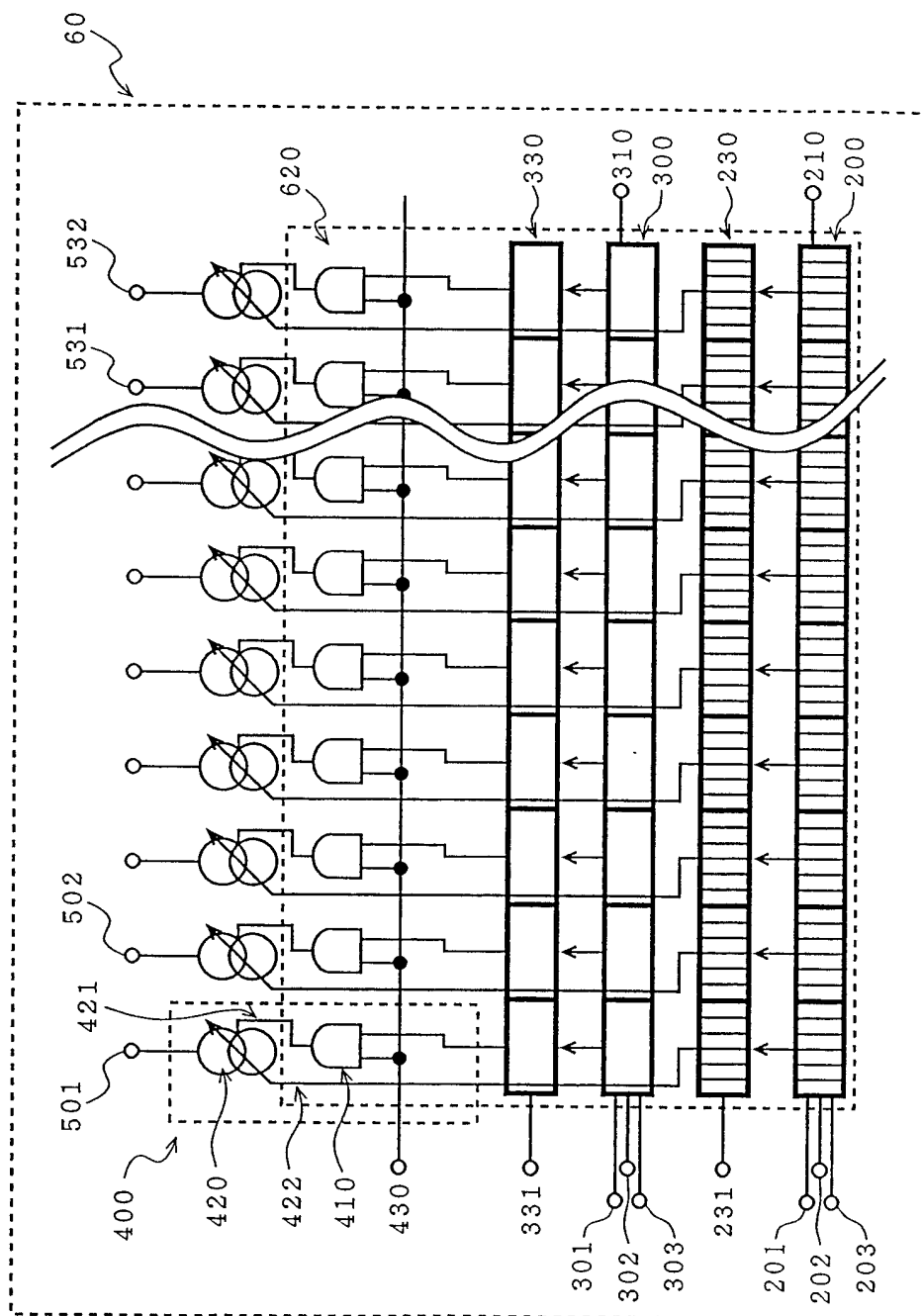


图 11



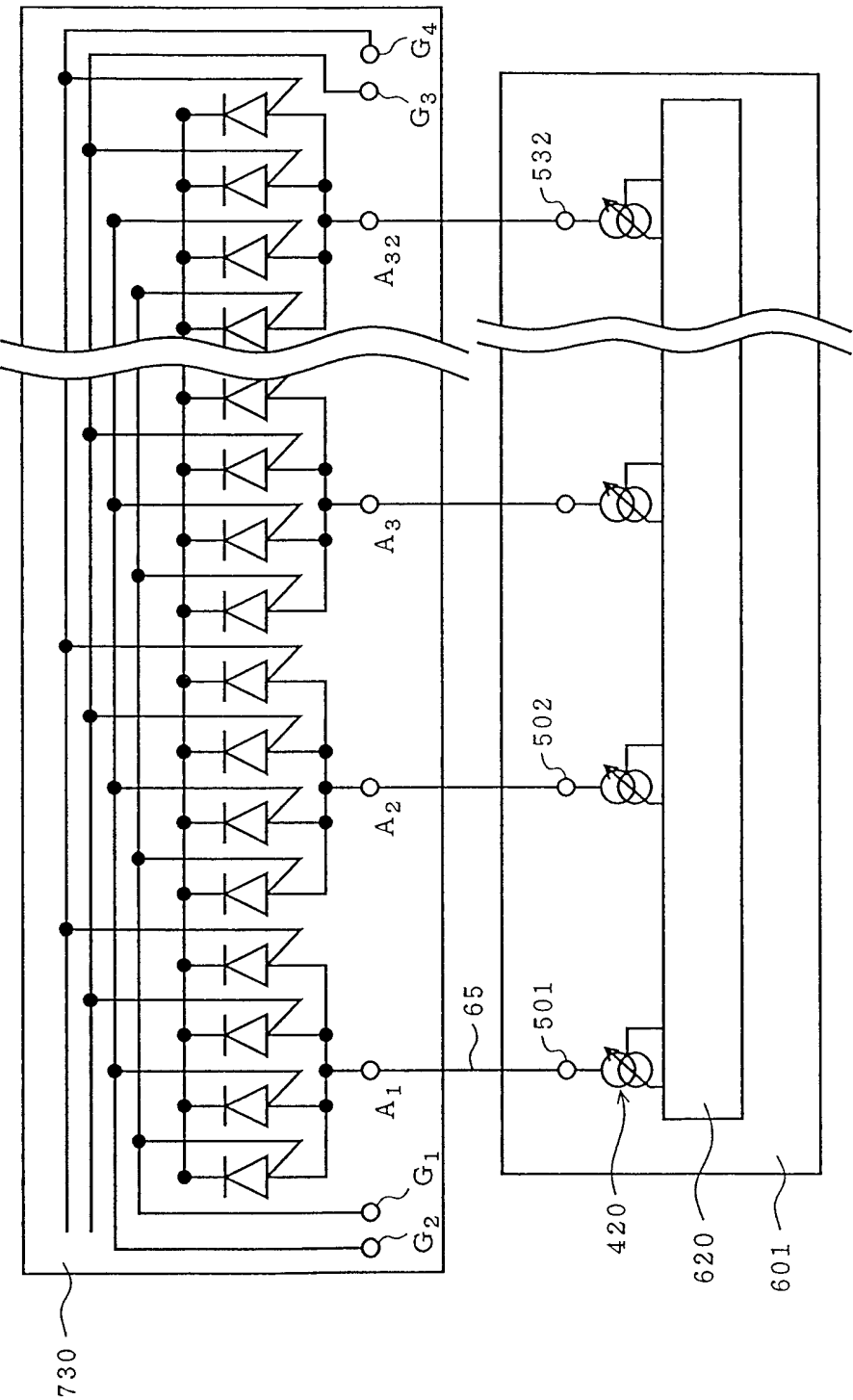


图 13

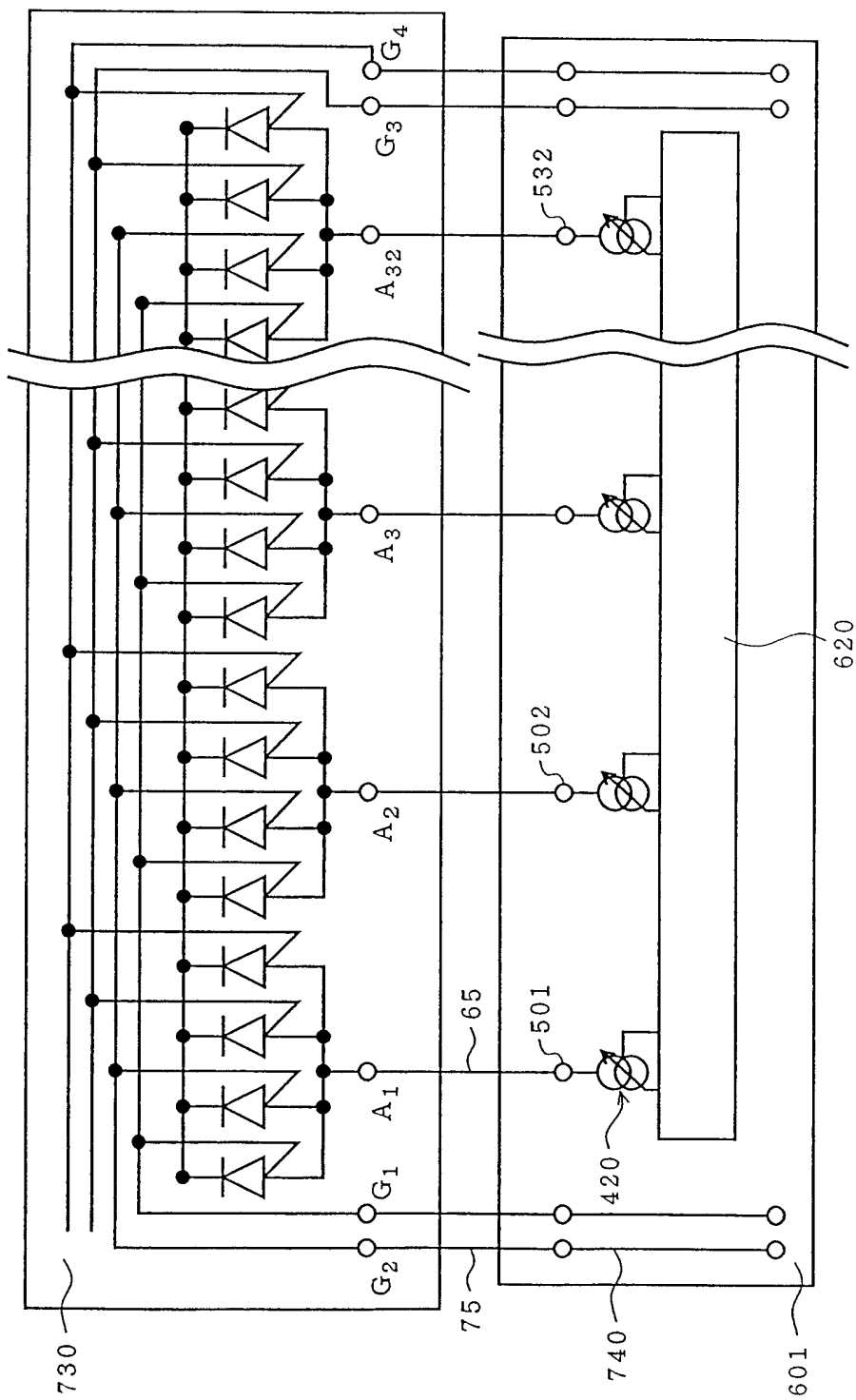


图 14

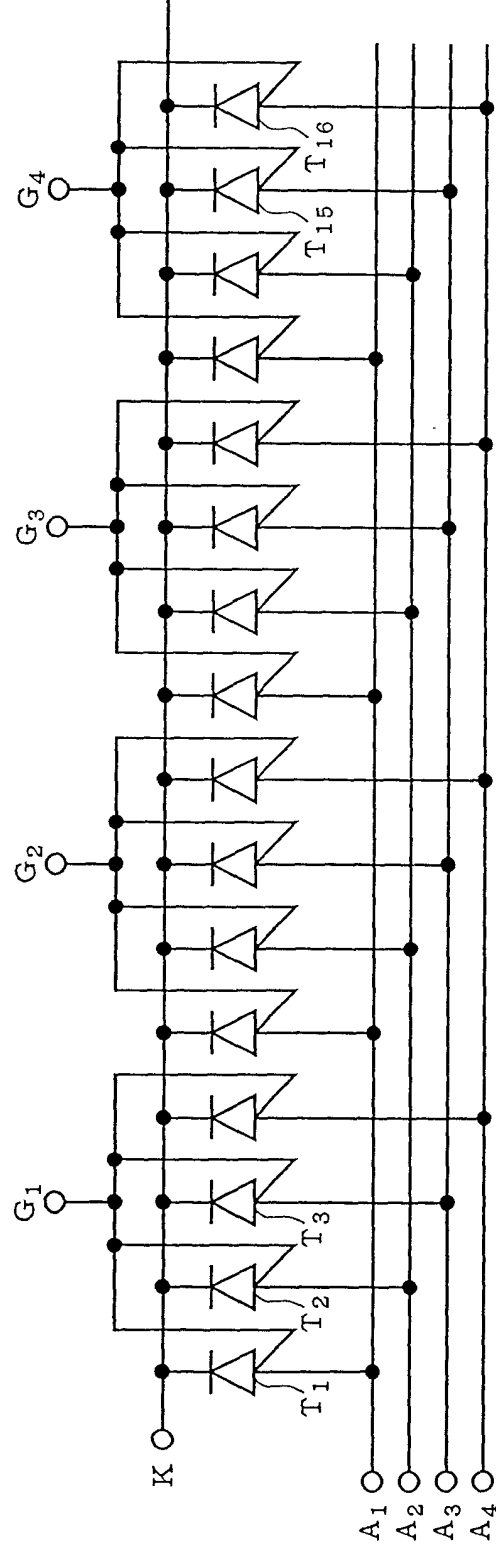


图 15