

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2025년 4월 10일 (10.04.2025)



(10) 국제공개번호

WO 2025/075367 A1

(51) 국제특허분류:

H01L 25/16 (2006.01)

G02B 6/42 (2006.01)

H01L 23/538 (2006.01)

G02B 6/26 (2006.01)

H01L 23/15 (2006.01)

(21) 국제출원번호:

PCT/KR2024/014880

(22) 국제출원일:

2024년 9월 30일 (30.09.2024)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0131916 2023년 10월 4일 (04.10.2023) KR

10-2024-0104087 2024년 8월 5일 (05.08.2024) KR

(71) 출원인:

한양대학교 에리카산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY ERICA CAM-

PUS) [KR/KR]: 15588 경기도 안산시 상록구 한양대학교로 55 (KR).

(72) 발명자: 김영현 (KIM, Young-hyun); 15588 경기도 안산시 상록구 한양대학교로 55, 제2과학기술폭 502-1호 (KR).

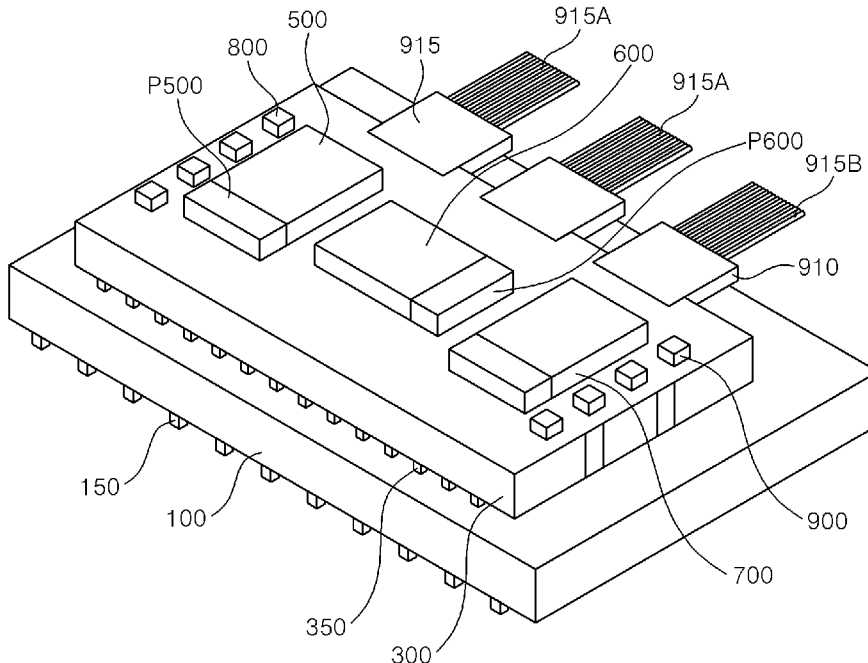
(74) 대리인: 유동환 등 (YU, Donghwan et al.); 04782 서울특별시 성동구 연무장5가길 25, 306호 (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) Title: OPTICAL INTERCONNECT-MOUNTED SEMICONDUCTOR PACKAGE

(54) 발명의 명칭: 광연결 탑재 반도체 패키지

1000



(57) Abstract: The present technology relates to an optical interconnect-mounted semiconductor package. The optical interconnect-mounted semiconductor package of the present technology includes: a glass base structure including a photonic component implemented through a patterned silicon nitride thin film; and a semiconductor chip including a photonic package disposed on the glass base structure, wherein the photonic component enables smooth optical communication between the photonic package and the glass base structure. The present technology may provide an optical interconnect-mounted, future semiconductor package capable of enhancing various optical functions, such as smooth optical conversion of Si to silica photonics (PIC to Glass), high-efficiency passive optical devices, etc., through the SiN photonics technology mounted on a glass interposer.

[다음 쪽 계속]



SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 본 기술은 광연결 탑재 반도체 패키지에 관한 것이다. 본 기술의 광연결 탑재 반도체 패키지는, 패터닝된
실리콘 질화물 박막을 통해 구현된 포토닉 컴포넌트를 포함하는 글래스 베이스 구조체; 및 상기 글래스 베이스
구조체상에 배치되는 포토닉 패키지를 포함하는 반도체 칩;을 포함하되, 상기 포토닉 컴포넌트는 상기 포토닉 패키지와
상기 글래스 베이스 구조체간의 원활한 광통신을 가능하게 한다. 본 기술은 Glass interposer 에 탑재된 SiN Photonics
기술을 통하여 Si to Silica Photonics (PIC to Glass) 의 원활한 광학적 전환, 고효율의 수동 광학 소자 등 다양한 광학적
기능을 강화할 수 있는 광연결 탑재 미래 반도체 패키지를 제공할 수 있다.

명세서

발명의 명칭: 광연결 탑재 반도체 패키지

기술분야

- [1] 본 발명은 광연결 탑재 반도체 패키지에 관한 것으로, 보다 구체적으로는 글래스 베이스 구조체(Glass base structure)를 포함하는 광연결 탑재 반도체 패키지에 관한 것이다.

배경기술

- [2] AI 반도체 칩 설계에서 XPU(GPU, IPU, TPU 등), 메모리, 네트워크 등의 다양한 반도체 칩이 하나의 패키지로 통합되는 방식은 높은 성능과 효율성을 요구한다. 이러한 칩들은 칩렛(Chiplet) 형태로 패키지되며, 칩 간의 고속 통신을 위해 칩-투-칩 링크(Chip-to-chip link)를 필요로 한다.
- [3] 이때, 기존의 전기적 연결 방식은 대역폭의 한계와 신호 지연으로 인해 병목(bottleneck) 현상을 초래할 수 있다.
- [4] 이를 해결하기 위해, 글래스 인터포저와 같은 유리 재질의 글래스 베이스 구조체, 및 Si, SiN, Silica 포토닉스(Photonics)와 같은 광학적 입력/출력(Optical I/O) 기술이 도입되고 있다.
- [5] 광학적 입력/출력 기술은 전기적 신호를 광학적 신호로 변환하여 전송하는 방법으로, 데이터 전송 속도를 크게 향상시키고 신호 손실을 최소화할 수 있다. 특히, 고속 통신과 대용량 데이터 전송이 필요한 AI 반도체 칩의 경우, 이러한 광학적 I/O 기술의 도입은 필수적이다.
- [6] 그러나, 광학적 기능을 수행하는 PIC(Photonic Integrated Circuit; 광 집적 회로), 광섬유(Optical fiber) 등을 함께 패키지할 때 높은 수율을 유지하면서 고효율 및 저손실의 광학적 링크를 구현하는 것은 어려운 과제이다.
- [7] 여러 최신 기술들은 다양한 반도체 칩들을 하나의 패키지 내에 통합하여, 전기적 신호와 광학적 신호를 효과적으로 관리할 수 있도록 한다. 그러나 이러한 기술도 여전히 몇 가지 한계가 존재한다. 예를 들어, 광섬유와 실리콘 PIC 간의 굴절률 차이로 인한 미스매치가 있다. 이른 바, 광학적 커플링 문제이다. 또한, 고속 데이터 전송 시 발생하는 열을 효율적으로 관리해야 하고, 다양한 재료와 기술을 하나의 패키지로 통합하는 과정에서 발생하는 제조 공정상 문제가 있다.

[8]

[9] [선행기술문헌]

[10] [특허문헌]

[11] 한국공개특허 제 10-2016-0058591 A

[12]

발명의 상세한 설명

기술적 과제

[13] 본 발명의 실시예는 상기 언급된 문제를 해결하기 위해 글래스 베이스 구조체에 탑재된 SiN 포토닉스 기술을 통하여 Si to Silica Photonics (PIC to Glass)의 원활한 광학적 전환, 고효율의 수동 광학 소자 등 다양한 광학적 기능을 강화할 수 있는 광연결 탑재 반도체 패키지를 제공한다.

[14] 한편, 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 것이다.

과제 해결 수단

[15] 일 실시예에 따른 광연결 탑재 반도체 패키지는, 패터닝된 박막을 통해 구현된 포토닉 컴포넌트를 포함하는 글래스 베이스 구조체; 및 상기 글래스 베이스 구조체상에 배치되는 포토닉 패키지를 포함하는 반도체 칩;을 포함하되, 상기 포토닉 컴포넌트는 상기 포토닉 패키지와 상기 글래스 베이스 구조체간의 원활한 광통신을 가능하게 할 수 있다.

[16] 상기 포토닉 컴포넌트는 단층 또는 다층의 제1 도파로를 포함할 수 있다.

[17] 상기 패터닝된 박막은 실리콘 질화물을 포함하고, 상기 제1 도파로는 상기 패터닝된 박막으로 형성될 수 있다.

[18] 상기 포토닉 패키지는 내부에 제2 도파로를 포함하고, 상기 글래스 베이스 구조체는 내부에 제3 도파로를 포함하며, 상기 포토닉 컴포넌트는 상기 제2 도파로와 상기 제3 도파로간의 원활한 광학적 전환을 가능하게 할 수 있다.

[19] 상기 포토닉 컴포넌트는 상기 제2 도파로와 상기 제3 도파로 사이에 위치할 수 있다.

[20] 상기 제2 도파로는 실리콘 물질을 포함하고, 상기 제3 도파로는 실리카를 포함할 수 있다.

[21] 상기 포토닉 컴포넌트는 상기 제2 도파로와 상기 제3 도파로 사이에 위치할 수 있다.

[22] 상기 글래스 베이스 구조체는, 베이스층; 상기 베이스층의 상면과 하면 사이를 연결하도록 상기 베이스층을 관통하는 관통 전극들; 상기 베이스층의 상면에 배치되는 배선 구조체; 상기 베이스층의 내부에 레이저를 조사하여 형성되는 상기 제3 도파로; 상기 배선 구조체 위에 형성되는 제1 유전체 층; 상기 제1 유전체 층 위에 형성되는 상기 제1 도파로; 및 상기 제1 도파로 위에 형성되는 제2 유전체 층;을 포함할 수 있다.

[23] 상기 베이스층은 유리를 포함할 수 있다.

[24] 상기 글래스 베이스 구조체는, 상기 제1 도파로와 상기 제2 유전체 층은 복수 개로 서로 번갈아 적층되어 다층의 상기 제1 도파로를 형성할 수 있다.

[25] 상기 글래스 베이스 구조체는, 복수의 반도체칩과, 상기 반도체칩과 제1 도파로를 통하여 연결되는 광 집적 회로 반도체칩을 포함하고,

[26] 상기 광 집적 회로 반도체칩은 복수의 포토닉 컴포넌트를 포함하며, 상기 복수의 포토닉 컴포넌트 중 하나가 스위칭 어레이일 수 있다.

- [27] 상기 스위칭 어레이는 MEMS 기반의 스위칭 소자, 열 기반의 스위칭 소자, 전기 광학 효과를 이용하는 스위칭 소자 또는 자유 전하 플라즈마 분산 효과를 이용하는 스위칭 소자를 포함할 수 있다.
- [28] 상기 스위칭 소자는 상기 제1 도파로에 형성되어 상기 제1 도파로 내의 광 신호와 상호 작용할 수 있다.
- [29] 상기 글래스 베이스 구조체에 장착되는 디태처블 한 구조의 광 섬유 어레이;를 더 포함할 수 있다.
- [30] 상기 글래스 베이스 구조체는 상기 배선 구조체 위에 형성되는 에지 커플러를 더 포함하고, 상기 광 섬유 어레이는 상기 에지 커플러에 연결되어, 상기 에지 커플러를 포함하는 상기 제3 도파로로 광 신호 및 광 전력을 전달할 수 있다.
- [31] 상기 글래스 베이스 구조체는 리셉터클 구조를 포함하고, 상기 광 섬유 어레이는 페룰 구조의 커넥터를 포함하여 상기 리셉터클 구조와 상기 패널 구조는 서로 디태처블 가능할 수 있다.
- [32] 상기 글래스 베이스 구조체는, 베이스층; 상기 베이스층의 상면과 하면 사이를 연결하도록 상기 베이스층을 관통하는 관통 전극들; 상기 베이스층의 상면에 배치되는 배선 구조체; 상기 배선 구조체 위에 형성되는 상기 제3 도파로; 상기 제3 도파로 위에 형성되는 제1 유전체 층; 상기 제1 유전체 층 위에 형성되는 상기 제1 도파로; 및 상기 제1 도파로 위에 형성되는 제2 유전체 층;을 포함할 수 있다.
- [33] 상기 글래스 베이스 구조체는 상기 제3 도파로와 상기 제1 유전체 층은 복수 개로 서로 번갈아 적층되어 다층의 상기 제3 도파로를 형성하고, 상기 베이스층은 유리를 포함할 수 있다.
- [34] 또한 일 실시예에 따른 광연결 탑재 반도체 패키지로써, 패터닝된 제3 박막을 통해 구현된 제3 도파로 및 패터닝된 제1 박막을 통해 구현된 제1 도파로를 포함하는 글래스 베이스 구조체; 및 상기 글래스 베이스 구조체상에 배치되는, 패터닝된 제2 박막을 통해 구현된 제2 도파로가 내재된 포토닉 패키지를 포함하는 반도체 칩;을 포함하되, 상기 제1 도파로, 상기 제2 도파로 및 상기 제3 도파로간 광연결을 통하여 상기 포토닉 패키지와 상기 글래스 베이스 구조체간의 원활한 광통신을 가능하게 할 수 있다.
- [35] 상기 제1 박막은 실리콘 질화물을 포함할 수 있다.
- [36] 상기 제1 도파로는 질화물 도파로이고, 상기 제2 도파로는 실리카 도파로이고, 상기 제3 도파로는 실리콘 도파로일 수 있다.
- [37] 상기 제1 도파로는 상기 제2 도파로와 상기 제3 도파로 사이의 굴절률을 가질 수 있다.
- [38] 상기 제1 도파로는 MEMS 기반, 열 기반의 스위칭 소자, 전기 광학 효과를 이용하는 스위칭 소자 또는 자유 전하 플라즈마 분산 효과를 이용하는 스위칭 소자를 포함하는 스위칭 매트릭스를 형성할 수 있다.
- [39] 또한 일 실시예에 따른 광연결 탑재 반도체 패키지를 형성하는 방법으로서, 글래스 베이스 구조체를 형성하는 단계; 상기 글래스 베이스 구조체의 상부에 포토

닉 패키지를 부착하는 단계; 및 상기 글래스 베이스 구조체의 상부에 포토닉 패키지를 포함하는 반도체 칩을 부착하는 단계;를 포함하되, 상기 글래스 베이스 구조체를 형성하는 단계는, 글래스 관통 비아를 갖는 기판을 준비하는 단계; 상기 기판 위에 재배선 구조물을 형성하는 단계; 상기 재배선 구조물 위에 실리카 층을 형성하고 상기 실리카 층을 패터닝함으로써 제3 도파로를 형성하는 단계; 상기 제3 도파로 위에 제1 유전체 층을 형성하는 단계; 상기 제1 유전체 층 위에 실리콘 질화물 층을 형성하고 상기 질화물 층을 패터닝함으로써 제1 도파로를 형성하는 단계; 및 상기 제1 도파로 위에 제2 유전체 층을 형성하는 단계;를 포함할 수 있다.

[40] 상기 제1 도파로를 형성하는 단계 이전에, 상기 제1 유전체 층 위에 제2 실리카 층을 형성하고 상기 제2 실리카 층을 패터닝함으로써 제4 도파로를 형성하는 단계; 및 상기 제4 도파로 위에 추가 제1 유전체 층을 형성하는 단계;를 더 포함할 수 있다.

[41] 상기 제2 유전체 층을 형성하는 단계 이후에, 상기 제2 유전체 층 위에 제2 실리콘 질화물 층을 형성하고 상기 제2 실리콘 질화물 층을 패터닝함으로써 제5 도파로를 형성하는 단계; 및 상기 제5 도파로 위에 추가 제2 유전체 층을 형성하는 단계;를 더 포함할 수 있다.

발명의 효과

[42] 본 기술은 글래스 베이스 구조체에 탑재된 SiN 포토닉스 기술을 통하여 Si to Silica Photonics (PIC to Glass)의 원활한 광학적 전환, 고효율의 수동 광학 소자 등 다양한 광학적 기능을 강화할 수 있다.

도면의 간단한 설명

[43] 도 1은 일 실시예에 따른 광연결 탑재 미래 반도체 패키지의 전체적인 구성을 보여준다.

[44] 도 2는 일 실시예에 따른 광연결 탑재 미래 반도체 패키지의 단면을 도시한다.

[45] 도 3a 내지 도 3e는 일 실시예에 따른 다양한 제조 단계에서의 포토닉 패키지의 단면도를 도시한다.

[46] 도 4a 내지 도 4i는 일 실시예에 따른 다양한 제조 단계에서의 도파관을 갖는 글래스 베이스 구조체의 단면도를 도시한다.

[47] 도 5는 일 실시예에 따른 제1 도파로를 상세하게 설명하기 위한 반도체 패키지의 평면도를 도시한다.

[48] 도 6은 도 5의 다른 일 구현 예를 도시한다.

[49] 첨부된 도면은 본 발명의 기술사상에 대한 이해를 위하여 참조로서 예시된 것임을 밝히며, 그것에 의해 본 발명의 권리범위가 제한되지는 아니한다.

발명의 실시를 위한 형태

[50] 이하에서는, 본 발명의 가장 바람직한 실시예가 설명된다. 도면에 있어서, 두께와 간격은 설명의 편의를 위하여 표현된 것이며, 실제 물리적 두께에 비해 과장

되어 도시될 수 있다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 공지
의 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어
서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한
동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

- [51] 미래 반도체 칩에는 앞서 살펴본 바와 같이, XPU, Memory, Network 등의 반도체 칩이 Chiplet 위에 패키징되며, Chip-to-chip link의 병목 현상 문제를 해결하기 위해 글래스 베이스 구조체 및 Si, SiN, Silica 포토닉스와 같은 광학적 I/O 기술이 도입된다. 이때, 광학적 기능을 수행하는 PIC, 광섬유 등을 함께 패키징할 때 높은 수율을 유지하면서 고효율(저손실)의 광학적 링크를 구현하는 것이 어려운 과제이다.
- [52] 이에 일 실시예에 따른 Glass interposer에 탑재된 SiN Photonics 기술은 Si to Silica Photonics (PIC to Glass)의 원활한 광학적 전환, 고효율의 수동 광학 소자 등 다양한 광학적 기능을 강화할 수 있다. 이하 도면을 참고하여 상세히 기술한다.
- [53] 도 1은 일 실시예에 따른 광연결 탑재 반도체 패키지의 평면도를 도시한다.
- [54] 도 2는 도 1에 도시된 구성 요소들을 단면 형태로 보여주기 위한 도면이다. 도 2에 도시된 각 구성요소들의 좌우 배치 위치가 반드시 도 1과 일치할 필요는 없으므로, 설명의 편의를 위해 도 1과는 다르게 배치될 수 있다.
- [55] 도 1 및 도 2를 참조하면, 광연결 탑재 반도체 패키지(1000)(이하, 간단히 '반도체 패키지'라고도 함)는 기판(10), 기판(10)상에 부착되는 패키지 베이스 기판(100), 패키지 베이스 기판(100)상에 부착되는 글래스 베이스 구조체 (300), 글래스 베이스 구조체 (300)상에 부착되는 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제4 반도체 칩(500, 600, 700, 800)을 포함한다. 제1 반도체 칩(500)은 제1 포토닉 패키지(P500)를 포함한다. 제2 반도체 칩(600)은 제2 포토닉 패키지(P600)를 포함한다.
- [56] 도면에서는 글래스 베이스 구조체상에 4개의 반도체 칩들이 부착되는 실시예가 도시되나, 본 발명이 도시된 개수에 한정되는 것은 아니다.
- [57] 패키지 베이스 기판(100)은 도면에 도시되지는 않았으나 베이스 보드층, 베이스 보드층의 상면과 하면에 각각 배치되는 보드 상면 패드들과 보드 하면 패드들, 이들을 서로 전기적으로 연결하는 보드 배선 경로를 포함할 수 있다. 패키지 베이스 기판(100)은 인쇄회로기판, 멀티레이어 인쇄회로기판 등일 수 있다.
- [58] 베이스 보드층은 페놀 수지, 에폭시 수지, 폴리이미드 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 베이스 보드층은 FR4(Frame Retardant 4), 사관능성 에폭시(Tetrafunctional epoxy), 폴리페닐렌 에테르(Polyphenylene ether), 에폭시/폴리페닐렌 옥사이드(Epoxy/polyphenylene oxide), BT(Bismaleimide triazine), 써마운트(Thermount), 시아네이트 에스터(Cyanate ester), 폴리이미드(Polyimide) 및 액정 고분자(Liquid crystal polymer) 중에서 선택되는 적어도 하나의 물질을 포함할 수 있다. 베이스 보드층은 예를 들면, 폴리에스테르(polyester PET), 폴리에스테르 테레프탈레이트(polyester telephthalate), 플루오리네이티드 에틸

렌 프로필렌(fluorinated ethylene propylene, FEP), 레진 코팅된 종이(resin-coated paper), 리퀴드 폴리이미드 수지(liquid polyimide resin), 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN) 필름 등으로 이루어질 수 있다. 베이스 보드층은 복수의 베이스층이 적층되어 이루어질 수 있다.

- [59] 보드 상면 패드들 및 보드 하면 패드들은 구리, 니켈, 스테인리스 스틸 또는 베릴륨구리(beryllium copper)로 이루어질 수 있다. 보드 상면 패드들 및 보드 하면 패드들은 도금된 구리로 이루어질 수 있다.
- [60] 보드 배선 경로는 수평 방향으로 연장되는 매립 도전층들과 수직 방향으로 연장되는 도전 비아들로 이루어질 수 있다. 도전 비아들은 매립 도전층들, 보드 상면 패드들 및 보드 하면 패드들 중 서로 다른 수직 레벨에 위치하는 2개 사이를 연결할 수 있다. 보드 배선 경로는 ED(electrolytically deposited) 구리, RA(rolled-annealed) 구리 호일, 스테인리스 스틸 호일(stainless steel foil), 알루미늄 호일(aluminum foil), 초극박 구리 호일(ultra-thin copper foils), 스퍼터된 구리(sputtered copper), 구리 합금(copper alloys), 니켈, 스테인리스 스틸 또는 베릴륨구리(beryllium copper) 등으로 이루어질 수 있다.
- [61] 보드 상면 패드들에는 패키지 연결 단자들(350)이 연결되고, 보드 하면 패드들에는 외부 연결 단자들(150)이 연결될 수 있다. 패키지 연결 단자들(350)은 글래스 베이스 구조체(300)와 패키지 베이스 기판(100) 사이를 전기적으로 연결할 수 있다. 외부 연결 단자들(150)은 반도체 패키지를 외부와 연결할 수 있다. 일례로, 패키지 연결 단자들 및 외부 연결 단자들은 범프, 솔더볼 등일 수 있다.
- [62] 본 발명의 일 실시예에서는 기판(10) 상에 베이스 기판(100)이 배치됨을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 기판(10)이 회로 기판의 역할을 하는 경우, 베이스 기판(100)은 생략될 수 있다.
- [63] 글래스 베이스 구조체 (300)는 일종의 인터포저(Interposer)와 같은 역할을 수행할 수 있다. 즉, 글래스 베이스 구조체 (300)는 글래스 인터포저일 수 있다.
- [64] 또한, 기판(10)이 생략되는 경우, 글래스 베이스 구조체 (300)는 기판(10)의 역할을 수행할 수도 있다. 즉, 글래스 베이스 구조체 (300)는 글래스 기판일 수 있다.
- [65] 상술한 바와 같은 글래스 베이스 구조체(300)는 제1 내지 제4 반도체 칩들(500, 600, 700, 800)과 패키지 기판(100)을 상호 연결하기 위한 수직형 연결 단자를 미세 피치(fine pitch)형으로 구현하기 위하여 사용될 수 있다.
- [66] 글래스 베이스 구조체(300)는 고속의 전기적 및 광학적 신호를 전달할 수 있으며, 이를 통해 제1 내지 제4 반도체 칩들간에 고속통신을 가능하게 한다. 이를 위해, 글래스 베이스 구조체(300)에 광섬유(915A, 915B)가 장착 및 탈착 가능한 구조(detachable)로 결합될 수 있다. 디태처블 구조를 위해 글래스 베이스 구조체에는 리셉터클 구조가 광섬유에는 페룰(ferrule) 구조가 적용될 수 있다.
- [67] 글래스 베이스 구조체(300)는 베이스층(310), 베이스층(310)의 하면에 배치되는 글래스 베이스 구조체 하면 패드들(미도시), 베이스층(310)의 상면과 하면 사이를 연결하도록 베이스층(310)을 관통하는 관통 전극들(330), 및 베이스층(310)

의 상면에 배치되는 배선 구조체(미도시)를 포함한다. 글래스 베이스 구조체 하면 패드들(미도시)에는 글래스 베이스 구조체 연결 단자들(350)(이는 상술한, 패키지 연결 단자들에 대응할 수 있음)이 부착될 수 있다. 글래스 베이스 구조체 연결 단자들(350)은 보드 상면 패드들과 글래스 베이스 구조체 하면 패드들 사이에 개재되어, 글래스 베이스 구조체(300)와 패키지 베이스 기판(100)을 전기적으로 연결할 수 있다.

- [68] 베이스층(310)은 유리, 실리콘, 세라믹, 또는 플라스틱을 포함할 수 있다. 일례로, 글래스 베이스 구조체(300)는, 베이스층(310)이 유리 기판으로부터 형성된 글래스 베이스 구조체(glass interposer)일 수 있다.
- [69] 관통 전극들(330) 각각은 베이스층(310)을 관통하는 도전성 플러그와 도전성 플러그를 포위하는 도전성 배리어막을 포함할 수 있다. 도전성 플러그는 Cu 또는 W를 포함할 수 있고, 도전성 배리어막은 금속 또는 도전성 금속 질화물을 포함할 수 있다. 도전성 플러그는 원기둥 형상을 가질 수 있고, 도전성 배리어막은 도전성 플러그의 측벽을 포위하는 실린더 형상을 가질 수 있다. 베이스층(310)과 관통 전극들(330) 사이에는 비아 절연막이 개재되어 관통 전극(330)의 측벽을 포위할 수 있다. 비아 절연막은 베이스층(310)과 관통 전극(330)이 직접 접촉되는 것을 막아줄 수 있다. 비아 절연막은 산화막, 질화막, 탄화막, 폴리머, 또는 이들의 조합으로 이루어질 수 있다.
- [70] 배선 구조체(미도시, 예를 들어, 도 4b의 312)는 배선 라인 패턴, 배선 비아 및 배선 절연층을 포함할 수 있다. 배선 구조체는 재배선 공정으로 형성될 수 있다. 후술할 도 4b에서 배선 구조체는 재배선 구조물(312)에 대응할 수 있다. 배선 라인 패턴은 전도성 라인(317)에, 배선 비아는 비아(319)에, 그리고, 배선 절연층은 유전체 층(315)에 각각 대응할 수 있다.
- [71] 배선 라인 패턴 및 배선 비아는 일례로, 구리(Cu), 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 인듐(In), 몰리브덴(Mo), 망간(Mn), 코발트(Co), 주석(Sn), 니켈(Ni), 마그네슘(Mg), 레늄(Re), 베릴륨(Be), 갈륨(Ga), 루테튬(Ru) 등과 같은 금속 또는 이들의 합금일 수 있지만, 이들에 한정되는 것은 아니다. 배선 라인 패턴 및 배선 비아는 티타늄, 티타늄 질화물, 또는 티타늄 텅스텐을 포함하는 씨드층 상에 금속 또는 금속의 합금이 적층되어 형성될 수 있다. 배선 라인 패턴은 배선 절연층의 상면 및 하면 중 적어도 일면에 배치될 수 있다. 배선 비아는 배선 절연층을 관통하여 배선 라인 패턴 중 일부와 접하여 연결될 수 있다. 배선 라인 패턴들 중 적어도 일부 개는, 배선 비아들 중 일부 개와 함께 형성되어 일체를 이룰 수 있다. 예를 들어, 배선 라인 패턴과 인터포저 배선 라인 패턴의 하면과 접하는 배선 비아는 일체를 이룰 수 있다.
- [72] 배선 절연층은 PID(photo imageable dielectric), 또는 감광성 폴리이미드(photosensitive polyimide, PSPI)로부터 형성될 수 있다. 배선 구조체는 적층된 복수개의 배선 절연층을 포함할 수도 있다.

- [73] 배선 구조체는 반도체 BEOL(back end of line) 공정으로 형성될 수 있다. 배선 라인 패턴, 및 배선 비아는 구리(Cu), 알루미늄(Al), 및 텅스텐(W)과 같은 금속 물질을 포함할 수 있다. 배선 절연층은 HDP(High Density Plasma) 산화막, TEOS 산화막, TOSZ(Tonen SilaZene), SOG(Spin On Glass), USG(Undoped Silica Glass) 또는 저유전막(low-k dielectric layer) 등을 포함할 수 있다.
- [74] 배선 라인 패턴들 중 글래스 베이스 구조체(300)의 상면에 배치되는 일부 개는 글래스 베이스 구조체 상면 패드들(재배선 상면 패드들)로 참조될 수 있다. 글래스 베이스 구조체 상면 패드에는 제1 칩 연결 단자(550)와 제2 칩 연결 단자(650)가 부착될 수 있다. 제1 칩 연결 단자(550), 및 제2 칩 연결 단자(650) 각각은 범프, 솔더볼 등일 수 있다.
- [75] 글래스 베이스 구조체(300)는 제3 도파로(321)을 포함한다. 제3 도파로(321)은 다층 구조일 수 있다. 일례로 후술하는 도 4e에서와 같은 다중 층의 제3 도파로(321A, 321B, 321C)를 가질 수 있다. 제3 도파로(321)은 실리카 층을 패턴화함으로써 형성될 수 있다. 예를 들면, 베이스층(310)이 실리카 재료의 유리로 이루어지므로, 제3 도파로(321)는 베이스층(310)의 내부에 레이저를 조사하여 형성될 수 있다. 즉, 제3 도파로(321A, 321B, 321C)는 베이스층(310) 내부의 서로 다른 깊이에서 레이저를 조사하여 형성될 수 있다. 제3 도파로(321)은 외부 광원에 결합된 광섬유(915B)와의 사이에서 광 신호 및/또는 광 전력을 전달받는다.
- [76] 한편, 본 발명의 일 실시예에서는 글래스 베이스 구조체(300)가 제3 도파로(321)을 포함함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제3 도파로(321)은 다른 도파관인 제1 도파로(334) 및 도파관(3e에 도시된 504)과 명칭상 차이를 두기 위한 것으로, 실리카 이외의 물질로 형성될 수도 있다.
- [77] 글래스 베이스 구조체(300)는 제1 도파로(334)를 포함한다. 여기서, 제1 도파로(334)는 질화물, 예를 들면, 실리콘 질화물을 포함할 수 있으며, 제1 도파로(334)은 다층 구조일 수 있다. 제1 도파로는 단층 또는 다층의 SiN 박막일 수 있다. 일례로 후술하는 도 4i에서와 같은 다중 층의 제1 도파로(334A, 334B)를 가질 수 있다. 제1 도파로(334)은 실리콘 질화물 층을 패턴화함으로써 형성될 수 있다. 제1 도파로(334)는 외부 광원에 결합된 광섬유(915A)와의 사이에서 광 신호 및/또는 광 전력을 전달받는다.
- [78] 제1 도파로(334)는 글래스 베이스 구조체(300)에 탑재된 SiN 포토닉스 기술을 통하여 Si to Silica Photonics (PIC to Glass)의 원활한 광학적 전환, 고효율의 수동 광학 소자 등 다양한 광학적 기능을 강화한다. 즉, 제1 도파로(334)는 포토닉 패키지(P500, P600)에 탑재되는 제2 도파로(예를 들어 도 3e에 도시된 제2 도파로(504)과 글래스 베이스 구조체(300)에 탑재되는 제3 도파로(321)간의 광통신을 원활하게 한다.
- [79] 한편, 본 발명의 일 실시예에서는 글래스 베이스 구조체(300)가 제1 도파로(334)를 포함함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제1 도파로(334)는 다른 도파관인 제3 도파로(321) 및 제2 도파로(3e에 도시된

- 504)과 명칭상 차이를 두기 위한 것으로, 질화물 이외의 물질로 형성될 수도 있다.
- [80] 제1 반도체 칩(500)은 디램(dynamic random access memory, DRAM), 에스 램(static random access memory, SRAM), 플래시(flash) 메모리, 이이퍼롬(electrically erasable and programmable read-only memory, EEPROM), 피램(phase-change random access memory, PRAM), 엠램(magnetic random access memory, MRAM), 또는 알램(resistive random access memory, RRAM)일 수 있다.
- [81] 제1 반도체 칩(500)은 직렬-병렬 변환 회로(serial-parallel conversion circuit), DFT(design for test), JTAG(Joint Test Action Group), MBIST(memory builtin self-test) 같은 테스트 로직 회로, 파이(PHY) 같은 시그널 인터페이스 회로를 포함할 수 있다.
- [82] 제1 반도체 칩(500)은 HBM DRAM의 셀을 가지는 메모리 셀 칩과 HBM DRAM의 제어를 위한 버퍼 칩을 포함할 수 있다.
- [83] 제1 반도체 칩(500)은 활성면이 하측, 즉 글래스 베이스 구조체(300)를 향하면서 적층될 수 있다.
- [84] 제1 반도체 칩(500)은 제1 기판을 포함할 수 있다. 제1 기판은 Ge (germanium)과 같은 반도체 원소, 또는 SiC (silicon carbide), GaAs (gallium arsenide), InAs (indium arsenide), 및 InP (indium phosphide)와 같은 화합물 반도체를 포함할 수 있다. 제1 기판은 활성면, 및 활성면에 반대되는 비활성면을 가질 수 있다. 제1 기판은 활성면에 다양한 종류의 개별 소자들(individual devices)를 포함할 수 있다. 개별 소자들은 다양한 미세 전자 소자들(microelectronics devices), 예를 들면 CMOS 트랜지스터(complementary metal-insulator-semiconductor transistor) 등과 같은 MOSFET(metal-oxide-semiconductor field effect transistor), 시스템 LSI(large scale integration), CIS(CMOS imaging sensor) 등과 같은 이미지 센서, MEMS(micro-electro-mechanical system), 능동 소자, 수동 소자 등을 포함할 수 있다.
- [85] 제1 반도체 칩(500)은 개별 소자들이 구성하는 제1 반도체 소자를 포함할 수 있다. 제1 기판의 활성면에는 제1 반도체 소자가 배치되고, 제1 전면 연결 패드들과 제1 후면 연결 패드들 각각은 제1 기판의 활성면과 비활성면 상에 각각 배치되고, 제1 관통 전극들은, 제1 기판의 적어도 일부분을 수직으로 관통하여 제1 전면 연결 패드들과 제1 후면 연결 패드들을 전기적으로 연결할 수 있다.
- [86] 제1 반도체 칩(500)은 제1 전면 연결 패드들(미도시)을 통하여 글래스 베이스 구조체(300)와 전기적으로 연결될 수 있다. 제1 전면 연결 패드들과 배선 라인 패드들(372) 중 재배선 상면 패드들 사이에는 제1 칩 연결 단자(550)가 개재되어, 제1 전면 연결 패드들과 재배선 상면 패드들을 전기적으로 연결할 수 있다.
- [87] 한편, 도면에는 도시되지 않았으나, 제1 반도체 칩(500)은 제1 반도체 칩(500)의 상면에서 제1 반도체 칩을 감싸는 칩 몰딩층을 더 포함할 수 있다. 칩 몰딩층은 예를 들면, EMC로 이루어질 수 있다.

- [88] 제2 반도체 칩(600)은 제2 기판, 및 제2 전면 연결 패드들(미도시)을 포함할 수 있다. 제2 전면 연결 패드들은 제2 기판의 활성면 상에 배치될 수 있다. 제2 기판은 상술한 제1 기판과 대체로 유사한 바, 자세한 설명은 생략하도록 한다. 제2 기판은 활성면, 및 활성면에 반대되는 비활성면을 가질 수 있다. 제2 반도체 칩(600)은 제2 반도체 소자를 포함할 수 있다. 제2 기판의 활성면에는 제2 반도체 소자가 형성될 수 있다.
- [89] 제2 반도체 칩(600)은 제2 전면 연결 패드들(미도시)을 통하여 글래스 베이스 구조체(300)와 전기적으로 연결될 수 있다. 제2 전면 연결 패드들과 배선 라인 패턴들(372) 중 재배선 상면 패드들 사이에는 제2 칩 연결 단자(650)가 개재되어, 제2 전면 연결 패드들과 재배선 상면 패드들을 전기적으로 연결할 수 있다.
- [90] 제2 반도체 칩(600)은 중앙 처리 장치(central processing unit, CPU) 칩, 그래픽 처리 장치(graphic processing unit, GPU) 칩, 어플리케이션 프로세서(application processor, AP) 칩, 주문형 반도체(ASIC: Application Specific Integrated Circuit) 또는 기타 프로세싱 칩들 중 하나를 포함할 수 있다.
- [91] 제1 반도체 칩(500)은 제1 포토닉 패키지(P500)를 포함할 수 있다. 용어 포토닉 패키지는 PIC(Photonic Integrated Circuit; 광 집적 회로)일 수 있다.
- [92] 제1 포토닉 패키지(P500)는 반도체 패키지의 광 신호와 전기 신호 사이의 입출력(I/O) 인터페이스를 제공한다. 제1 포토닉 패키지는 제1 포토닉 패키지 내의 컴포넌트예를 들어, 포토닉 디바이스, 집적 회로, 외부 섬유에 대한 결합 등) 간의 신호 통신을 위한 광 네트워크를 제공한다.
- [93] 제1 포토닉 패키지(P500)는 매립 산화물(buried oxide; BOX) 기판을 포함할 수 있다. BOX 기판은 기판 위에 형성된 산화물 층, 및 산화물 층 위에 형성된 실리콘 층을 포함한다. 기판은 예를 들어 유리, 세라믹, 유전체, 반도체 또는 이들의 조합 등과 같은 물질일 수 있다. 기판은 (예를 들어, p형 또는 n형 도펀트로) 도핑되거나 도핑되지 않을 수 있는 벌크 반도체 등과 같은 반도체 기판일 수 있다. 기판은 실리콘 웨이퍼와 같은 웨이퍼일 수 있다. 다층 또는 경사 기판과 같은 다른 기판이 또한 사용될 수 있다. 일부 실시예에서, 기판의 반도체 물질은 실리콘; 게르마늄; 실리콘 탄화물, 갈륨 비소, 갈륨 인화물, 인듐 인화물, 인듐 비화물, 및/또는 인듐 안티몬화물을 포함한 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP 및/또는 GaInAsP을 포함한 혼정 반도체; 또는 이들의 조합을 포함할 수 있다. 산화물 층은 예를 들어 실리콘 산화물 등일 수 있다.
- [94] 실리콘 층은 일부 실시예에 따라 도파관, 포토닉 컴포넌트, 및 격자 커플러를 위한 실리콘 영역을 형성하도록 패턴화된다. 실리콘 층은 적절한 포토리소그래피 및 에칭 기술을 사용하여 패턴화될 수 있다. 예를 들어, 하드마스크 층(예를 들어, 질화물 층 또는 다른 유전체 물질)이 일부 실시예에서 실리콘 층 위에 형성되고 패턴화될 수 있다. 그런 다음, 하드마스크 층의 패턴은 에칭 공정을 사용하여 실리콘 층으로 전사될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다. 예를 들어, 실리콘 층은 도파관(제2 도파관으로도

지칭됨)을 정의하는 리세스를 형성하도록 에칭될 수 있다. 일부 실시예에서, 실리콘 층을 패터닝하기 위해, 하나보다 많은 포토리소그래피 및 에칭 시퀀스가 사용될 수 있다. 하나의 도파관 또는 다수의 도파관이 실리콘 층으로부터 패터닝될 수 있다. 다수의 도파관이 형성되는 경우, 다수의 도파관은 개별 도파관이거나 단일 연속 구조물로서 연결될 수 있다. 일부 실시예에서, 도파관 중 하나 이상은 연속 루프를 형성한다. 도파관, 포토닉 컴포넌트, 또는 격자 커플러의 다른 구성 또는 배열이 가능하고, 다른 유형의 포토닉 컴포넌트 또는 포토닉 구조물이 형성될 수 있다. 일부 경우에, 도파관, 포토닉 컴포넌트, 및 격자 커플러는 집합적으로 '포토닉 층'으로 지칭될 수 있다.

[95] 포토닉 컴포넌트는 도파관과 통합될 수 있고, 제2 도파관으로 형성될 수 있다. 포토닉 컴포넌트는 도파관 내의 광 신호와 상호 작용하기 위해 도파관에 광학적으로 결합될 수 있다. 포토닉 컴포넌트는, 예를 들어, 광검출기 및/또는 변조기와 같은 포토닉 디바이스를 포함할 수 있다. 예를 들어, 광검출기는 도파관에 광학적으로 결합되어 도파관 내의 광 신호를 검출하고 광 신호에 대응하는 전기 신호를 생성할 수 있다. 변조기는 도파관에 광학적으로 결합되어 전기 신호를 수신하고 도파관 내의 광 전력을 변조함으로써 도파관 내에 대응하는 광 신호를 생성할 수 있다. 이러한 방식으로, 포토닉 컴포넌트는 도파관에 대한 광 신호의 입출력(I/O)을 용이하게 한다. 다른 실시예에서, 포토닉 컴포넌트는 레이저 다이오드, 광 신호 분할기, 또는 다른 유형의 포토닉 구조물 또는 디바이스와 같은 다른 능동 또는 수동 컴포넌트를 포함할 수 있다. 광 전력은, 예를 들어, 외부 광원에 결합된 광섬유(예를 들어, 도 2의 915A 및 915B 참조)에 의해 도파관에 제공될 수 있거나, 광 전력은 레이저 다이오드(예를 들어, 도 2의 800 참조)에 의해 생성될 수 있다.

[96] 일부 실시예에서, 광검출기는, 예를 들어, 도파관의 영역을 부분적으로 에칭하고 에칭된 영역의 나머지 실리콘 상에 에피택셜 물질을 성장시킴으로써 형성될 수 있다. 도파관은 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 에칭될 수 있다. 에피택셜 물질은, 예를 들어, 도핑되거나 도핑되지 않을 수 있는 게르마늄(Ge)과 같은 반도체 물질을 포함할 수 있다. 일부 실시예에서, 광검출기의 형성의 일부로서 에칭된 영역의 실리콘 내에 도펀트를 도입하기 위해 주입 공정이 수행될 수 있다. 에칭된 영역의 실리콘은 p형 도펀트, n형 도펀트, 또는 이들의 조합으로 도핑될 수 있다. 일부 실시예에서, 변조기는, 예를 들어, 도파관의 영역을 부분적으로 에칭하고, 그런 다음 에칭된 영역의 나머지 실리콘 내에 적절한 도펀트를 주입함으로써 형성될 수 있다. 도파관은 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 에칭될 수 있다. 일부 실시예에서, 광검출기에 대해 사용되는 에칭된 영역 및 변조기에 대해 사용되는 에칭된 영역은 동일한 포토리소그래피 또는 에칭 단계 중 하나 이상을 사용하여 형성될 수 있다. 에칭된 영역의 실리콘은 p형 도펀트, n형 도펀트, 또는 이들의 조합으로 도핑될 수 있다. 일부 실시예

에서, 광검출기에 대해 사용되는 에칭된 영역 및 변조기에 대해 사용되는 에칭된 영역은 동일한 주입 단계 중 하나 이상을 사용하여 주입될 수 있다.

[97] 일부 실시예에서, 하나 이상의 격자 커플러는 도파관과 통합될 수 있고, 도파관으로 형성될 수 있다. 격자 커플러는 광 신호 및/또는 광 전력이 도파관과 수직 장착 광섬유(예를 들어, 도 2에 도시된 광섬유(915A))와 같은 포토닉 컴포넌트 또는 다른 포토닉 시스템의 도파관 사이에서 전달될 수 있도록 하는 포토닉 구조물이다. 격자 커플러는 허용 가능한 포토 리소그래피 및 에칭 기술을 사용하여 형성될 수 있다. 일 실시예에서, 격자 커플러는 도파관이 정의된 이후에 형성된다. 예를 들어, 포토레지스트가 도파관 상에 형성되고 패터닝될 수 있다. 포토레지스트는 격자 커플러에 대응하는 개구로 패터닝될 수 있다. 격자 커플러를 정의하는 리세스를 도파관에 형성하기 위해 에칭 마스크로서 패터닝된 포토레지스트를 사용하여 하나 이상의 에칭 공정이 수행될 수 있다. 에칭 공정은 하나 이상의 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다. 일부 실시예에서, 도파관과 제1 도파로(334A, 334B)(도 4i 참조)과 같은 제1 포토닉 패키지(P500)의 다른 도파관 사이의 광 신호를 결합하는 구조물과 같은 다른 유형의 커플러가 형성될 수 있다. 광 신호 및/또는 광 전력이 제1 포토닉 패키지(P500)의 측면 근처에 수평으로 장착된 포토닉 컴포넌트와 도파관 사이에서 전송되도록 하는 에지 커플러가 또한 형성될 수 있다.

[98] 제2 반도체 칩(600)은 제2 포토닉 패키지(P600)를 포함할 수 있다. 제2 포토닉 패키지(P600)는 상술한 제1 포토닉 패키지(P500)와 동일하게 형성할 수 있으므로, 자세한 설명은 생략하기로 한다.

[99] 반도체 패키지(1000)는 글래스 베이스 구조체(300) 상에서 제1 반도체 칩 내지 제4 반도체 칩(500, 600, 700, 800)을 감싸는 패키지 몰딩층(미도시)을 더 포함할 수 있다. 패키지 몰딩층은 예를 들면, EMC로 이루어질 수 있다.

[100] 반도체 패키지(1000)는 패키지 베이스 기판(100) 상에 부착되는 보강 구조체(stiffener structure)(미도시)를 더 포함할 수 있다. 보강 구조체는 패키지 베이스 기판(100) 상에 부착되는 보강 열전달 물질층(stiffener thermal interface material)을 사이에 가지며 부착될 수 있다. 보강 구조체는 제1 내지 제4 반도체 칩들과 이격할 수 있다. 일부 실시예에서, 보강 구조체는 글래스 베이스 구조체(300)와 이격되도록 패키지 베이스 기판(100) 상에 부착될 수 있다. 보강 구조체는 평면적으로, 즉 탑뷰(Top-view)로, 패키지 베이스 기판(100)의 가장자리를 따라서 연장되어, 제1 내지 제4 반도체 칩의 주위를 포위할 수 있다. 보강 구조체는 패키지 베이스 기판(100)의 가장자리를 따라서 연장되며, 평면적으로 글래스 베이스 구조체(300)를 포위하는 사각형의 링 형상을 가질 수 있다. 보강 구조체는 패키지 베이스 기판(100)의 4개의 가장자리 각각을 따라서 연장되는 4개의 측면이 서로 연결되는 형상을 가질 수 있다.

[101] 보강 구조체는 금속으로 이루어질 수 있다. 예를 들면, 보강 구조체는 구리, 니켈, 및 스테인리스 중 적어도 하나를 포함할 수 있다. 보강 열전달 물질층은 절

연 물질로 이루어지거나, 절연 물질을 포함하여 전기적 절연성을 유지할 수 있는 물질로 이루어질 수 있다. 보강 열전달 물질층은 예를 들면, 에폭시 수지를 포함할 수 있다. 보강 열전달 물질층은 예를 들면, 미네랄 오일(mineral oil), 그리스(grease), 갭 필러 퍼티(gap filler putty), 상변화 젤(phase change gel), 상변화물질 패드(phase change Material pads) 또는 분말 충전 에폭시(particle filled epoxy)일 수 있다.

[102] 도 3a 내지 도 3e는 일 실시예에 따라, 제1 포토닉 패키지를 형성하는 일 구현예를 도시한다. 도면에 도시된 바와 같이, 제1 포토닉 패키지(P500)는 상술한 SOI 기판(502), 제2 도파로(504), 포토닉 컴포넌트(506), 격자 커플러(507), 유전체 층(508) 등을 형성하는 공정을 통해 제조될 수 있다. 여기서, SOI 기판(502)은 기판(502C), 산화물 층(502B) 및 실리콘 층(502A)을 포함할 수 있다.

[103] 도 3b에서, 유전체 층(508)이 포토닉 라우팅 구조물(510)을 형성하기 위해 SOI 기판(502) 상에 형성된다. 유전체 층(508)은 제2 도파로(504), 포토닉 컴포넌트(506), 격자 커플러(507), 및 산화물 층(502B) 위에 형성된다. 유전체 층(508)은 실리콘 산화물, 실리콘 질화물, 이들의 조합 등의 하나 이상의 층으로 형성될 수 있고, CVD, PVD, 원자 층 증착(atomic layer deposition; ALD), 스피ن-온-유전체 공정 또는 이들의 조합 등에 의해 형성될 수 있다. 일부 실시예에서, 유전체 층(508)은 고밀도 플라즈마 화학 기상 증착(high density plasma chemical vapor deposition; HDP-CVD), 유동성 CVD(flowable CVD; FCVD)(예를 들어, 원격 플라즈마 시스템에서 CVD 기반 물질 성막 및 후 경화하여 산화물과 같은 다른 물질로 변환) 또는 이들의 조합 등에 의해 형성될 수 있다. 임의의 허용 가능한 공정에 의해 형성된 다른 유전체 물질이 사용될 수 있다. 유전체 층(508)은 그런 다음 CMP 공정, 연삭 공정 등과 같은 평탄화 공정을 사용하여 평탄화된다. 더 얇은 유전체 층(508)이 격자 커플러(507)와 외부 광원에 결합된 포토닉 컴포넌트 사이의 더 효율적인 광학 결합을 허용할 수 있다.

[104] 제2 도파로(504) 물질과 유전체 층(508) 물질의 굴절률 차이로 인해, 제2 도파로(504)은 광의 파장 및 각각의 물질의 굴절률에 따라 광이 실질적으로 제2 도파로(504) 내에 제한되도록 높은 내부 반사를 갖는다. 일 실시예에서, 제2 도파로(504) 물질의 굴절률은 유전체 층(508) 물질의 굴절률보다 높다. 예를 들어, 제2 도파로(504)은 실리콘 또는 실리콘 질화물을 포함할 수 있고, 유전체 층(508)은 실리콘 산화물 및/또는 실리콘 질화물을 포함할 수 있다.

[105] 한편, 본 발명의 일 실시예에서는 제2 도파로(504)이 실리콘 또는 실리콘 질화물을 포함함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제2 도파로(504)은 다른 도파관인 제3 도파로(321) 및 제1 도파로(334)와 명칭상 차이를 두기 위한 것으로, 실리콘 또는 실리콘 질화물 이외의 물질로 형성될 수도 있다.

[106] 도 3c에서, 비아(512) 및 콘택(513)이 유전체 층(508)에 형성된다. 일부 실시예에서, 비아(512) 및 콘택(513)은 제배선 구조물(520)을 형성하는 일부로서 형성되

고, 다른 실시예에서, 비아(512)는 형성되지 않는다. 일부 실시예에서, 비아(512)는 다마신 공정, 예를 들어, 단일 다마신, 이중 다마신 등에 의해 형성된다. 비아(512)는, 예를 들어, 유전체 층(508)을 통해 연장되는 개구를 형성함으로써 형성될 수 있다. 일부 실시예에서, 개구는 산화물 층(502B) 내로 부분적으로 연장되거나 산화물 층(102B)을 통해 완전히 연장되어 기판(502C)을 노출시킬 수 있다. 일부 실시예에서, 개구는 기판(502C) 내로 부분적으로 연장될 수 있다. 개구는 포토레지스트를 형성 및 패터닝하고, 그런 다음 패터닝된 포토레지스트를 에칭 마스크로 사용하는 에칭 공정을 수행하는 것과 같이 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 형성될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다.

[107] 그런 다음, 전도성 물질이 일부 실시예에 따라 개구에 형성되어 비아(512)를 형성할 수 있다. 일부 실시예에서, 확산 방지 층, 접착 층 등과 같은 라이너(도시되지 않음)가 TaN, Ta, TiN, Ti, CoW 등으로부터 개구에 형성될 수 있고, ALD 등과 같은 적절한 성막 공정을 사용하여 형성될 수 있다. 그런 다음, 일부 실시예에서, 구리 또는 구리 합금을 포함할 수 있는 시드 층(도시되지 않음)이 개구에 성막될 수 있다. 비아(512)의 전도성 물질은, 예를 들어, 도금 공정을 사용하여 개구에 형성될 수 있다. 전도성 물질은, 예를 들어, 구리, 은, 금, 텅스텐, 코발트, 알루미늄 또는 이들의 합금과 같은 금속 또는 금속 합금을 포함할 수 있다. 비아(512) 및 유전체 층(508)의 상면이 대등하게 되도록 유전체 층(508)의 상면을 따라 과잉 전도성 물질을 제거하기 위해 평탄화 공정(예를 들어, CMP 공정 또는 연삭 공정)이 수행될 수 있다. 비아(512)는 다른 실시예에서 다른 기술 또는 물질을 사용하여 형성될 수 있다.

[108] 일부 실시예에서, 콘택(513)은 유전체 층(508)을 통해 연장되고 포토닉 컴포넌트(506)에 전기적으로 연결된다. 콘택(513)은 전력 또는 전기 신호가 포토닉 컴포넌트(506)로 전송되고 포토닉 컴포넌트(506)로부터의 전기 신호가 전송되도록 허용한다. 이러한 방식으로, 포토닉 컴포넌트(506)는 전기 신호를 제2 도파로(504)에 의해 전송되는 광 신호로 변환할 수 있고/있거나 제2 도파로(504)로부터의 광 신호를 전기 신호로 변환할 수 있다. 콘택(513)은 비아(512) 형성 전 또는 후에 형성될 수 있고, 콘택(513)의 형성과 비아(512)의 형성은 전도성 물질의 성막 및/또는 평탄화와 같은 일부 단계를 공유할 수 있다. 일부 실시예에서, 콘택(513)은 다마신 공정, 예를 들어, 단일 다마신, 이중 다마신 등에 의해 형성된다. 예를 들어, 일부 실시예에서, 콘택(513)을 위한 개구(도시되지 않음)는 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 유전체 층(508)에 먼저 형성된다. 그런 다음, 전도성 물질이 개구에 형성되어 콘택(513)을 형성할 수 있다. 과잉 전도성 물질은 CMP 공정 등을 사용하여 제거될 수 있다. 콘택(513)의 전도성 물질은 알루미늄, 구리, 텅스텐 등을 포함하는 금속 또는 금속 합금으로 형성될 수 있으며, 이는 비아(512)의 전도성 물질과 동일할 수 있다. 콘택(513)은 다른 실시예에서 다른 기술 또는 물질을 사용하여 형성될 수 있다.

- [109] 재배선 구조물(520)이 유전체 층(508) 위에 형성된다. 재배선 구조물(520)은 유전체 층(517), 및 상호 접속 및 전기적 라우팅을 제공하는 유전체 층(517)에 형성된 전도성 피처(514)를 포함한다. 예를 들어, 재배선 구조물(520)은 비아(512), 콘택(513), 및/또는 전자 다이(522)와 같은 상부 디바이스를 연결할 수 있다. 유전체 층(517)은, 예를 들어, 절연 층 또는 패시베이션 층일 수 있고, 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 층(108)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있거나 상이한 물질을 포함할 수 있다. 유전체 층(517) 및 유전체 층(508)은 동일한 파장 범위 내의 광에 대해 투명하거나 거의 투명할 수 있다. 유전체 층(517)은 유전체 층(508)에 대해 위에서 설명된 것과 유사한 기술을 사용하거나 상이한 기술을 사용하여 형성될 수 있다. 전도성 피처(514)는 전도성 라인 및 비아를 포함할 수 있고, 다마신 공정, 예를 들어, 단일 다마신, 이중 다마신 등에 의해 형성될 수 있다. 도 3d에 도시된 바와 같이, 전도성 패드(516)가 유전체 층(517)의 최상부 층에 형성된다. 전도성 패드(516)를 형성한 후, 전도성 패드(516)와 최상부 유전체 층(517)의 표면이 실질적으로 동일 평면 상에 있도록 평탄화 공정(예를 들어, CMP 공정 등)이 수행될 수 있다. 재배선 구조물(520)은 도면에 도시된 것보다 더 많거나 더 적은 유전체 층(517), 전도성 피처(514), 또는 전도성 패드(516)를 포함할 수 있다.
- [110] 재배선 구조물(520)의 일부가 일부 실시예에 따라 제거되고 유전체 층(515)으로 대체된다. 재배선 구조물(520)의 제거된 부분은 일부 경우에 격자 커플러(507) 위에 또는 대략적으로 위에 있을 수 있다. 유전체 층(515)의 물질은 재배선 구조물(520)의 유전체 층(517)의 물질보다 격자 커플러(507)와 광섬유(도 2의 광섬유(917B) 참조) 사이에 더 효율적인 광학 결합을 제공할 수 있다. 예를 들어, 유전체 층(515)은 유전체 층(517)보다 더 투명하거나, 손실이 적거나, 덜 반사할 수 있다. 일부 실시예에서, 유전체 층(515)의 물질은 유전체 층(517)의 물질과 유사하지만, 더 양호한 품질(예를 들어, 더 적은 불순물, 전위 등)을 갖는 물질을 형성하는 기술을 사용하여 성막된다. 이러한 방식으로, 재배선 구조물(520)의 유전체 층(517)의 일부를 유전체 층(515)으로 대체함으로써 제1 포토닉 패키지(P500)의 보다 효율적인 동작을 허용할 수 있고, 광 신호 손실을 줄일 수 있다.
- [111] 재배선 구조물(520)의 일부는, 예를 들어, 포토레지스트를 형성 및 패턴화하고, 그런 다음 유전체 층(517)을 제거하기 위해 패턴화된 포토레지스트를 에칭 마스크로 사용하는 에칭 공정을 수행하는 것과 같이 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 제거될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다.
- [112] 유전체 층(515)은 재배선 구조물(520)의 제거된 부분을 대체하기 위해 성막된다. 유전체 층(515)은 실리콘 산화물 또는 실리콘 질화물, 스핀 온 유리(spin-on glass) 또는 상이한 물질과 같은 유전체 층(508)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있다. 유전체 층(515) 및 유전체 층(508)은 동일한 파장 범위 내의 광에 대해 투명하거나 거의 투명할 수 있다. 유전체 층(515)은

유전체 층(508)에 대해 위에서 설명된 것과 유사한 기술을 사용하거나 상이한 기술을 사용하여 형성될 수 있다. 예를 들어, 유전체 층(515)은 CVD, PVD, 스핀 온 (spin-on) 등을 사용하여 형성될 수 있지만, 다른 기술이 사용될 수 있다. 일부 실시예에서, 유전체 층(515)의 과잉 물질을 제거하기 위해 평탄화 공정(예를 들어, CMP 또는 연삭 공정)이 사용된다. 평탄화 공정은 또한 전도성 패드(516)를 노출시킬 수 있다. 평탄화 공정을 수행한 후, 유전체 층(515), 최상부 유전체 층(517), 및/또는 전도성 패드(516)는 실질적으로 대등한 표면을 가질 수 있다.

- [113] 하나 이상의 전자 다이(522)가 일부 실시예에 따라 재배선 구조물(520)에 본딩된다. 전자 다이(522)는, 예를 들어, 전기 신호를 사용하여 포토닉 컴포넌트(506)와 통신하는 반도체 디바이스, 다이, 또는 칩일 수 있다. 도시된 실시예에서, 전자 다이(522)는 광 신호를 수신, 전송 또는 처리하지 않는다. 본 명세서의 논의에서, '전자 다이'라는 용어는 광 신호를 전기 신호로 또는 그 반대로 변환하는 것과 같이 광 신호를 수신, 전송 또는 처리할 수 있는 다이를 나타내는 '포토닉 다이'(예를 들어, 도 3e의 551 참조)와 구별하는 데 사용된다. 광 신호 외에도, 포토닉 다이는 전기 신호를 전송, 수신 또는 처리할 수도 있다. 하나의 전자 다이(522)가 도 3d에 도시되어 있지만, 제1 포토닉 패키지(P500)는 다른 실시예에서 2개 이상의 전자 다이(522)를 포함할 수 있다. 일부 경우에, 처리 비용을 줄이기 위해 다수의 전자 다이(522)가 단일 제1 포토닉 패키지(P500)에 통합될 수 있다. 전자 다이(522)는, 예를 들어, 전도성 패드, 전도성 기둥 등일 수 있는 다이 커넥터(524)를 포함한다.
- [114] 전자 다이(522)는 포토닉 컴포넌트(506)의 동작을 제어하기 위한 회로와 같은, 포토닉 컴포넌트(506)와 인터페이싱하기 위한 집적 회로를 포함할 수 있다. 예를 들어, 전자 다이(522)는 컨트롤러, 드라이버, 트랜스임피던스 증폭기 또는 이들의 조합 등을 포함할 수 있다. 전자 다이(522)는 또한 일부 실시예에서 CPU를 포함할 수 있다. 일부 실시예에서, 전자 다이(522)는 광검출기를 포함하는 포토닉 컴포넌트(506)로부터 수신된 전기 신호를 처리하기 위한 것과 같이, 포토닉 컴포넌트(506)로부터 수신된 전기 신호를 처리하기 위한 회로를 포함한다. 전자 다이(522)는 일부 실시예에서 다른 디바이스 또는 다이로부터 수신된 전기 신호(디지털 또는 아날로그)에 따라 포토닉 컴포넌트(506)의 고주파 시그널링을 제어할 수 있다. 일부 실시예에서, 전자 다이(522)는 SerDes(Serializer/Deserializer; 직렬화/병렬화) 기능을 제공하는 전자 집적 회로(electronic integrated circuit; EIC) 등일 수 있다. 이러한 방식으로, 전자 다이(522)는 제1 포토닉 패키지(P500) 내의 광 신호와 전기 신호 사이의 I/O 인터페이스의 일부로서 작용할 수 있다. 일부 실시예에서, 본 명세서에 설명된 제1 포토닉 패키지(P500)는 시스템 온 칩(SoC) 또는 시스템 온 집적 회로(SoIC) 디바이스로 간주될 수 있다.
- [115] 일부 실시예에서, 전자 다이(522)는 유전체-유전체 본딩 및/또는 금속-금속 본딩(예를 들어, 직접 본딩, 융합 본딩, 산화물-산화물 본딩, 하이브리드 본딩 등)에 의해 재배선 구조물(520)에 본딩된다. 이러한 실시예에서, 공유 결합이 최상부 유전체 층(517)과 전자 다이(522)의 표면 유전체 층(도시되지 않음)과 같은 산화물

층 사이에 형성될 수 있다. 본딩 동안, 전자 다이(522)의 다이 커넥터(524)와 재배선 구조물(520)의 전도성 패드(516) 사이에서 금속 본딩이 또한 발생할 수 있다.

- [116] 일부 실시예에서, 본딩 공정을 수행하기 전에, 전자 다이(522) 상에 표면 처리가 수행된다. 일부 실시예에서, 재배선 구조물(520) 및/또는 전자 다이(522)의 상면은 먼저, 예를 들어, 건식 처리, 습식 처리, 플라즈마 처리, 불활성 가스로 노출, H_2 로 노출, N_2 로 노출, O_2 로 노출 또는 이들의 조합 등을 사용하여 활성화될 수 있다. 그러나, 임의의 적절한 활성화 공정이 사용될 수 있다. 활성화 공정 후, 재배선 구조물(520) 및/또는 전자 다이(522)는 예를 들어 화학적 세정을 사용하여 세정될 수 있다. 그런 다음, 전자 다이(522)는 재배선 구조물(520)과 정렬되고 재배선 구조물(520)과 물리적으로 접촉하도록 배치된다. 전자 다이(522)는 예를 들어 픽-앤-플레이스 공정(pick-and-place process)을 사용하여 재배선 구조물(520) 상에 배치될 수 있다. 그런 다음, 재배선 구조물(520) 및 전자 다이(522)는 재배선 구조물(520)과 전자 다이(522)를 본딩하기 위해 (예를 들어, 접촉 압력을 인가함으로써) 서로에 대해 가압 및/또는 열처리를 받을 수 있다. 예를 들어, 재배선 구조물(520) 및 전자 다이(522)는 200kPa 이하의 압력 및 200°C 내지 400°C의 온도를 받을 수 있다. 그런 다음, 재배선 구조물(520) 및 전자 다이(522)는 전도성 패드(516) 물질 및 다이 커넥터(524) 물질의 공유점 이상의 온도(예를 들어, 150°C 내지 650°C)를 받아 전도성 패드(516)와 다이 커넥터(524)를 융합할 수 있다. 이러한 방식으로, 재배선 구조물(520)과 전자 다이(522)의 유전체-유전체 본딩 및/또는 금속-금속 본딩은 본딩된 구조물을 형성한다. 일부 실시예에서, 본딩된 구조물은 베이킹, 어닐링, 압축 또는 다른 식으로 처리되어 결합을 강화하거나 마무리한다.

- [117] 유전체 물질(526)이 일부 실시예에 따라 전자 다이(522) 및 재배선 구조물(520) 위에 형성된다. 유전체 물질(526)은 실리콘 산화물, 실리콘 질화물, 폴리머 또는 이들의 조합 등으로 형성될 수 있다. 유전체 물질(526)은 CVD, PVD, ALD, 스퍼온 유전체 공정 또는 이들의 조합 등에 의해 형성될 수 있다. 일부 실시예에서, 유전체 물질(526)은 HDP-CVD, FCVD 또는 이들의 조합 등에 의해 형성될 수 있다. 유전체 물질(526)은 일부 실시예에서 갭 충전 물질일 수 있으며, 이는 위의 예시적인 물질 중 하나 이상을 포함할 수 있다. 일부 실시예에서, 유전체 물질(526)은 격자 커플러(507)와 광섬유(예를 들어, 917B 참조) 사이에 광 신호 또는 광 전력을 전송하기에 적합한 파장의 광에 대해 실질적으로 투명한 물질(예를 들어, 실리콘 산화물)일 수 있다. 유전체 물질(526)은 CMP 공정, 연삭 공정 등과 같은 평탄화 공정을 사용하여 평탄화될 수 있다. 일부 실시예에서, 평탄화 공정은 전자 다이(522)의 표면과 유전체 물질(526)의 표면이 동일 평면 상에 있도록 전자 다이(522)를 노출시킬 수 있다.

- [118] 유전체-유전체 본딩의 사용은, 캡슐화제 또는 몰딩 화합물과 같은 불투명 물질 대신에, 관련 파장의 광에 대해 투명한 물질이 재배선 구조물(520) 위에 및/또는 전자 다이(522) 주위에 성막되도록 할 수 있다. 예를 들어, 유전체 물질(526)은 불

당 화합물과 같은 불투명 물질 대신에, 실리콘 산화물과 같은 적절하게 투명한 물질로 형성될 수 있다. 이러한 방식으로 유전체 물질(526)에 대해 적절하게 투명한 물질을 사용하면 격자 커플러(507)와 유전체 물질(526) 위에 위치한 광섬유(예를 들어, 915B 참조) 사이에서 광 신호를 전송하는 것과 같이 광 신호가 유전체 물질(526)을 통해 전송될 수 있도록 한다. 또한, 이러한 방식으로 전자 다이(522)를 재배선 구조물(520)에 본딩함으로써, 결과적인 제1 포토닉 패키지(P500)의 두께가 감소될 수 있고, 격자 커플러(507)와 수직 장착 광섬유 사이의 광학 결합이 개선될 수 있다. 일부 경우에, 이는 포토닉 패키지의 크기나 처리 비용을 줄일 수 있고, 외부 컴포넌트와의 광학 결합이 개선될 수 있다.

[119] 선택적 지지체(528)가 일부 실시예에 따라 구조물에 부착된다. 구조적 또는 기계적 안정성을 제공하기 위해 구조물에 부착되는 지지체(528)는 강성 구조물이다. 지지체(528)의 사용은 뒤틀림 또는 굽힘을 감소시킬 수 있으며, 이는 제2 도파로(504) 또는 포토닉 컴포넌트(506)와 같은 광학 구조물의 성능을 개선할 수 있다. 지지체(528)는 실리콘(예를 들어, 실리콘 웨이퍼, 벌크 실리콘 등), 실리콘 산화물, 금속, 유기 코어 물질 등과 같은 하나 이상의 물질, 또는 다른 유형의 물질을 포함할 수 있다. 지지체(528)는 도 3e에 도시된 바와 같이 접착 층(527)을 사용하여 구조물에 (예를 들어, 유전체 물질(526) 및/또는 전자 다이(522)에) 부착될 수 있거나, 지지체(528)는 직접 본딩 또는 다른 적절한 기술을 사용하여 부착될 수 있다.

[120] 마이크로 렌즈(531)가 지지체(528)의 상부 표면에서 지지체(528)에 내장된다. 일부 실시예에서, 마이크로 렌즈(531)의 위치에 리세스를 형성하기 위해 지지체(528)의 일부를 제거하도록 에칭 공정이 수행되고, 그런 다음 미리 형성된 마이크로 렌즈(531)가 지지체(528)의 리세스 내에 배치된다. 다음으로, 유전체 층(529)이 지지체(528) 위에 형성되고, 굴절률 정합제(533)가 마이크로 렌즈(531) 위의 (예를 들어, 바로 위의) 유전체 층(529)에 형성된다. 유전체 층(529)은 적절한 성막 공정을 사용하여 실리콘 산화물, 실리콘 질화물, 폴리머 등과 같은 적절한 물질로 형성될 수 있다. 그런 다음, 마이크로 렌즈(531) 위에 리세스를 형성하기 위해 유전체 층(529)의 일부를 제거하도록 에칭 공정이 수행된다. 그런 다음, 굴절률 정합제(533)는 유전체 층(529)의 리세스 내에 성막된다. 유전체 층(529)과 굴절률 정합제(533) 간의 상부 표면이 동일 평면을 달성하도록 CMP와 같은 평탄화 공정이 수행될 수 있다. 일부 실시예에서, 굴절률 정합제(533)는 외부 광원에 결합된 광섬유(예를 들어, 도 2의 915B 참조)로부터 들어오거나 이에 들어가는 광에 대한 광 손실을 줄이기 위해 사용되고, 실리콘 산화물의 굴절률과 일치하도록 예를 들어 약 1.4의 굴절률을 갖는다.

[121] 도 3e에서, 기판(502C)은 일부 실시예들에 따라 제거된다. 기판(502C)은 평탄화 공정(예를 들어, CMP 또는 연삭 공정), 에칭 공정, 이들의 조합 등을 사용하여 제거될 수 있다. 일부 실시예에서, 산화물 층(502B)은 또한 박막화된다. 산화물 층(502B)은 기판(502C)에 대한 제거 공정의 일부로서 박막화될 수 있거나, 산화물

층(502B)은 별도의 단계에서 박막화될 수 있다. 산화물 층(502B)은, 예를 들어, 평탄화 공정, 에칭 공정, 또는 이들의 조합 등을 사용하여 박막화될 수 있다.

[122] 유전체 층(535)이 일부 실시예들에 따라 산화물 층(502B) 하부에 형성된다. 유전체 층(535)은 유전체 층(508) 또는 유전체 층(515)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있다. 예를 들어, 유전체 층(535)은 실리콘 산화물, 스핀 온 유리 등을 포함할 수 있다. 유전체 층(535)은 유전체 층(508) 또는 유전체 층(515)에 대해 위에서 설명된 것과 유사한 기술을 사용하여 형성될 수 있거나, 상이한 기술을 사용하여 형성될 수 있다. 예를 들어, 유전체 층(535)은 CVD, PVD, 스핀 온 등을 사용하여 형성될 수 있지만, 다른 기술이 사용될 수 있다.

[123] 다음으로, 유전체 층(538)이 유전체 층(535) 하부에 형성된다. 유전체 층(538)은 유전체 층(535)과 동일하거나 유사한 형성 방법을 사용하여 동일하거나 유사한 물질로 형성될 수 있으므로, 세부 사항은 생략된다. 동일한 처리를 반복하여 추가 유전체층을 형성할 수 있다.

[124] 다음으로, 비아(552)가 유전체 층(예를 들어, 502B, 535, 538)을 통해 연장되어 비아(512)와 연결되도록 형성된다. 전도성 패드(553)가 각각의 비아(552) 위의 유전체 층(538)에 형성된다. 비아(552) 및 전도성 패드(553)는 각각 비아(512) 및 전도성 패드(516)와 동일하거나 유사한 형성 방법에 의해 형성될 수 있으므로, 여기서는 세부 사항은 반복되지 않는다.

[125] 도 4a 내지 도 4i는 일 실시예에 따른 다양한 제조 단계에서의 도파관을 갖는 글래스 베이스 구조체(300)의 단면도를 도시한다. 이후에 개시되는 다양한 실시예에서, 위에서 설명된 포토닉 패키지(예를 들어, P500)는 다양한 반도체 패키지를 형성하기 위해 글래스 베이스 구조체(300)에 본딩된다.

[126] 도 4a는 글래스 관통 비아(through glass via; TGV)(313)를 갖는 기판(311)을 도시한다. 기판(311)은 예를 들어 유리 기판일 수 있다. 그러나, 기판(311)은 대안적으로 실리콘 기판, 반도체-온-인슐레이터(silicon-on-insulator; SOI) 기판의 활성 층, 세라믹 기판, 폴리머 기판, 또는 적절한 보호 및/또는 상호 접속 기능을 제공할 수 있는 임의의 다른 기판일 수 있다. 이러한 물질 및 임의의 다른 적절한 물질이 대안적으로 기판(311)에 사용될 수 있다. 기판(311)은 상술한 베이스층(310)에 대응할 수 있다.

[127] TGV(313)는 기판(311)을 에칭하여 TGV 개구를 생성하고 TGV 개구를 라이너(미도시), 장벽 층(미도시) 및 전도성 물질로 충전함으로써 형성될 수 있다. TGV(313)는 상술한 관통 전극들(330)에 대응할 수 있다. 일 실시예에서, 라이너는 화학 기상 증착, 산화, 물리 기상 증착, ALD 등과 같은 공정에 의해 형성된 실리콘 질화물, 실리콘 산화물, 유전체 폴리머, 또는 이들의 조합 등과 같은 유전체 물질일 수 있다. 장벽 층은 CVD 공정(예를 들어, PECVD), 스퍼터링, 금속 유기 화학 기상 증착(MOCVD), ALD 등을 사용하여 형성된 티타늄 질화물, 탄탈륨 질화물, 티타늄, 탄탈륨 등과 같은 전기 전도성 물질일 수 있다. 전도성 물질은 구

리를 포함할 수 있지만, 알루미늄, 텅스텐, 합금, 도핑된 폴리실리콘, 이들의 조합 등과 같은 다른 적절한 물질이 또한 사용될 수 있다. 전도성 물질은 시드 층을 성막하고, 그런 다음 시드 층 상에 구리를 전기 도금하며, TGV 개구를 충전 및 과충전함으로써 형성될 수 있다. TGV 개구가 충전되면, TGV 개구 외부의 과잉 라이너/장벽 층 및 과잉 전도성 물질은 화학적 기계적 연마(chemical mechanical polishing; CMP)와 같은 연삭 공정을 통해 제거될 수 있지만, 임의의 적절한 제거 공정이 사용될 수 있다.

- [128] 다음으로, 도 4b에서, 재배선 구조물(312)이 기판(311) 위에 형성된다. 재배선 구조물(312)은 하나 이상의 유전체 층(315)(예를 들어, 실리콘 산화물 층, 스핀 온 유리, PID, 감광성 폴리이미드 등), 및 전도성 라인(317) 및 비아(319)와 같은 전도성 피처를 포함한다. 재배선 구조물(312)은 제1 포토닉 패키지(P500)의 재배선 구조물(520)과 동일하거나 유사한 물질을 사용하여 동일하거나 유사한 형성 공정으로 형성될 수 있다.
- [129] 다음으로, 도 4c에서, 제3 도파로(321)이 재배선 구조물(312) 위에 형성된다. 제3 도파로(321)은 재배선 구조물(312) 위에 실리카 층을 형성하고 실리카 층을 패턴화함으로써 형성된다. 세부 사항은 상술한 제1 포토닉 패키지(P500)의 제2 도파로를 형성하는 것과 대체로 유사할 수 있다. 제3 도파로(321)은 에지 커플러(324)와 같은 포토닉 구조물을 포함할 수 있으며, 이는 제3 도파로(321)과 에지 장착 광섬유(예를 들어, 도 2의 915B 참조)와 같은 글래스 베이스 구조체(300)의 측벽 근처에 수평으로 장착된 포토닉 컴포넌트 사이에서 광 신호 및/또는 광 전력이 전달되도록 한다.
- [130] 다음으로, 도 4d에서, 유전체 층(323)이 제3 도파로(321) 및 재배선 구조물(312) 위에 형성되고, 전도성 패드(325)가 재배선 구조물(312)의 전도성 피처와 연결하기 위해 유전체 층(323, 도 4e 참조)을 통해 연장되도록 형성된다. 유전체 층(323)은 유전체 층(315)과 동일하거나 유사한 물질(예를 들어, 실리콘 산화물)로 형성될 수 있다. 일부 실시예에서, 유전체 층(323 및 315)의 굴절률은 제3 도파로(321)의 굴절률보다 작아서 제3 도파로(321)은 광이 실질적으로 제3 도파로(321) 내에 제한되도록 높은 내부 반사를 갖도록 보장한다. 전도성 패드(325)는 상술한 제1 포토닉 패키지(P500)의 전도성 패드(553)와 동일하거나 유사한 형성 방법에 의해 형성될 수 있다. 글래스 베이스 구조체(300)의 하부 표면 상에는 TGV(313)와 연결하기 위해 외부 커넥터라고도 하는 전도성 커넥터(327)가 형성된다. 전도성 커넥터(327)는, 예를 들어, 볼 그리드 어레이(ball grid array; BGA) 커넥터, 솔더 볼, 금속 기둥, C4(controlled collapse chip connection) 범프, 마이크로 범프, 무전해 니켈-무전해 팔라듐-무전해 금도금(electroless nickel-electroless palladium-immersion gold; ENEPIG) 기술 형성 범프 등일 수 있다.
- [131] 도 4e은 일 실시예에 따른 다중 층의 도파관을 갖는 글래스 베이스 구조체(300A)의 단면도를 도시한다. 글래스 베이스 구조체(300A)는 도 4d의 글래스 베이스 구조체(300)와 유사하지만, 재배선 구조물(312) 위에 형성된 제3 도파로

(321A, 321B, 321C)과 같은 다중 층의 제3 도파로를 갖는다. 제3 도파로(321A, 321B, 321C) 각각은 도 4e의 수직 방향을 따라 측정된 상이한 두께를 가질 수 있다. 상이한 두께를 갖는 제3 도파로(321A, 321B, 321C)은 형성된 포토닉 패키지에서 상이한 기능을 제공할 수 있다.

[132] 도 4f 및 도 4g를 참조하면, 제1 도파로(334A)이 일부 실시예에 따라 유전체 층(323) 위에 형성된다. 도 4f에서, 실리콘 질화물 층(332)이 유전체 층(323) 상에 성막된다. 실리콘 질화물 층(332)은 CVD, PECVD, LPCVD, PVD 등과 같은 적절한 성막 기술을 사용하여 형성될 수 있다. 일부 실시예에서, 실리콘 질화물 층(332)은 약 $0.2\mu\text{m}$ 내지 약 $1.0\mu\text{m}$ 범위의 두께를 갖도록 형성되지만, 다른 두께도 가능하다.

[133] 도 4g에서, 실리콘 질화물 층(332)은 일부 실시예에 따라 패턴화되어 제1 도파로(334A)을 형성한다. 논의의 용이함을 위해, 제1 도파로(334A) 및 후속적으로 형성된 제1 도파로(334B)(예를 들어, 도 4i 참조)은 집합적으로 제1 도파로(334)으로 지칭된다. 제1 도파로(334)는 허용 가능한 포토리소그래피 및 에칭 기술을 사용하여 패턴화될 수 있다. 예를 들어, 하드마스크 층이 일부 실시예에서 실리콘 질화물 층(332) 위에 형성되고 패턴화될 수 있다. 그런 다음, 하드마스크 층의 패턴은 에칭 공정을 사용하여 실리콘 질화물 층(332)으로 전사될 수 있다. 에칭 공정은, 예를 들어, 건식 에칭 공정 및/또는 습식 에칭 공정을 포함할 수 있다. 에칭 공정은 실리콘 산화물 또는 다른 물질에 비해 실리콘 질화물에 선택적일 수 있다. 실리콘 질화물 층(332)은 제1 도파로(334)를 정의하는 리세스를 형성하도록 에칭될 수 있고, 나머지 비리세스 부분의 측벽은 제1 도파로(334)의 측벽을 정의한다. 일부 실시예에서, 실리콘 질화물 층(332)을 패턴화하기 위해, 하나보다 많은 포토리소그래피 및 에칭 시퀀스가 사용될 수 있다. 하나의 제1 도파로(334) 또는 다수의 제1 도파로(334)가 실리콘 질화물 층(332)으로부터 패턴화될 수 있다. 다수의 제1 도파로(334)가 형성되는 경우, 다수의 제1 도파로(334)는 개별 제1 도파로(334)가거나 단일 연속 구조물로서 연결될 수 있다. 일부 실시예에서, 제1 도파로(334) 중 하나 이상은 연속 루프를 형성한다. 일부 실시예에서, 제1 도파로(334)는 광 신호가 2개의 제1 도파로(334) 사이 및/또는 제1 도파로(334)와 도파관(321) 사이에서 전송되도록 하는 격자 커플러, 에지 커플러 또는 다른 유형의 커플러(예를 들어, 모드 변환기)와 같은 포토닉 구조물을 포함할 수 있다.

[134] 일부 경우에, 실리콘 질화물로부터 형성된 도파관(예를 들어, 제1 도파로(334))은 실리카로부터 형성된 도파관(예를 들어, 도파관(321))에 비해 장점을 가질 수 있다. 예를 들어, 실리콘 질화물은 실리카보다 유전율이 높기 때문에, 제1 도파로는 제3 도파로보다 광의 내부 구속이 더 클 수 있다. 이것은 또한 제1 도파로의 성능 또는 누출이 공정 변화에 덜 민감하고, 치수 균일성에 덜 민감하고, 표면 거칠기(예를 들어, 에지 거칠기 또는 라인 폭 거칠기)에 덜 민감하게 할 수 있다. 일부 경우에, 감소된 공정 민감도는 제1 도파로가 제3 도파로보다 처리하기 더 쉽거나 비용이 적게 들도록 할 수 있다. 이러한 특성은 제1 도파로가 제3 도파로보다 낮

은 전파 손실을 갖도록 할 수 있다. 일부 경우에, 제1 도파로의 전파 손실(dB/cm)은 제3 도파로의 0.1% 내지 50%일 수 있다. 일부 경우에, 제1 도파로는 또한 제3 도파로보다 환경 온도에 덜 민감할 수 있다. 예를 들어, 제1 도파로는 제3 도파로의 약 1% 만큼 작은 온도 민감도를 가질 수 있다. 이러한 방식으로, 본 명세서에 설명된 실시예는 제1 도파로(예를 들어, 제1 도파로(334)) 및 제3 도파로(예를 들어, 도파관(321)) 모두를 갖는 글래스 베이스 구조체의 형성을 허용할 수 있다.

[135] 도 4h를 참조하면, 유전체 층(335)이 일부 실시예들에 따라 제1 도파로(334) 위에 형성된다. 유전체 층(335)은 유전체 층(315)에 대해 위에서 설명된 것과 유사한 하나 이상의 물질을 포함할 수 있다. 예를 들어, 유전체 층(335)은 실리콘 산화물, 스핀 온 유리 등을 포함할 수 있다. 유전체 층(335)은 유전체 층(315)에 대해 위에서 설명된 것과 유사한 기술을 사용하여 형성될 수 있거나, 상이한 기술을 사용하여 형성될 수 있다. 예를 들어, 유전체 층(335)은 CVD, PVD, 스핀 온 등을 사용하여 형성될 수 있지만, 다른 기술이 사용될 수 있다. 일부 실시예에서, 유전체 층(335)의 과잉 물질을 제거하기 위해 평탄화 공정(예를 들어, CMP 또는 연삭 공정)이 사용된다.

[136] 다음으로, 도 4i에서, 유전체 층(338A)이 유전체 층(335) 위에 형성되고, 제1 도파로(334B)이 유전체 층(338A) 위에 형성된다. 유전체 층(338A/348A) 및 제1 도파로(334B)은 각각 유전체 층(335) 및 제1 도파로(334A)와 동일하거나 유사한 형성 방법을 사용하여 동일하거나 유사한 물질로 형성될 수 있으므로, 세부 사항은 생략된다. 동일한 처리를 반복하여 추가 유전체 층(미도시) 및 추가 제1 도파로(미도시)를 형성할 수 있다. 도 4i에 도시된 유전체 층(335) 위의 제1 도파로의 수 및 유전체 층의 수는 단지 비제한적인 예이다.

[137] 도 5는 일 실시예에 따른 제1 도파로를 상세하게 설명하기 위한 반도체 패키지의 평면도를 도시한다. 그리고, 도 6은 도 5의 반도체 패키지의 광 신호 전파를 설명하기 위한 도면을 도시한다.

[138] 도 5 및 도 6을 참조하면, 반도체 패키지(1000)는 상술한 글래스 베이스 구조체(300), 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제4 반도체 칩(500, 600, 700, 800)을 포함한다. 또한 제1 반도체 칩, 제2 반도체 칩 및 제3 반도체 칩은 각각 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600) 및 제3 포토닉 패키지(P700)를 포함한다. 도면에서는 제5 반도체 칩(900)을 더 포함하는 실시예가 도시된다. 제1 반도체 칩(500)과 제2 반도체 칩(600)은 상술한 바와 같으므로 중복되는 설명은 생략된다. 제3 반도체 칩(700)은 AI 가속기(accelerator)일 수 있다. 제4 반도체 칩(800)은 레이저 다이오드일 수 있다. 제5 반도체 칩(900)은 제5 포토닉 패키지(P900)를 포함할 수 있다. 각 칩들의 위치가 도시된 것에 한정되지 않으며, 필요에 따라 다양한 배치를 가질 수 있다.

[139] 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)는 실리콘 기반의 포토닉 패키지일 수 있다. 이러한 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및

제5 포토닉 패키지(P900)는 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)과 근거리에 위치하며, 전기적으로 연결될 수 있다. 광 배선, 즉 제1 도파로(334)는 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)에만 연결될 수 있다. 한편, 도 5에서는 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)와, 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)이 평면상에서 인접하여 배치됨을 예로서 도시하였으나, 이에 한정되는 것은 아니다. 예를 들면, 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)와, 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)은 3차원 적층 관계로 배치될 수 있다. 즉, 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900) 상에 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)이 적층될 수 있다.

- [140] 또한, 도 5를 참조하면, 제1 도파로(334)가 칩들간 광학적 연결을 위해 배치된다. 제1 도파로(334)는 각 포토닉 패키지 내부의 실리콘 포토닉스 기반의 제2 도파로(504)와 글래스 베이스 구조체 내부의 실리카 포토닉스 기반의 실리카 광도파로(321)간의 광통신을 원활하게 한다.
- [141] 제2 도파로(504)는 실리콘 또는 실리콘 질화물로 형성될 수 있다. 실리콘은 높은 굴절률을 가지며, 이는 작은 크기의 도파관을 만들 수 있게 한다. 또한 CMOS 공정과 호환되어 전자-광 집적 회로를 만들기 용이하다.
- [142] 제3 도파로(321)는 실리카로 형성될 수 있다. 실리카는 실리콘에 비해 굴절률이 낮아, 광섬유와 유사한 특성을 갖는다. 실리카는 광 손실이 매우 낮아, 장거리 전송에 유리하다. 또한, 온도 변화에 대해 안정적이며, 넓은 범위의 환경에서 신뢰성 있게 작동한다. 광 분배, 결합 소자 등에 적용하기에 적합하다.
- [143] 본 발명의 일 실시예에 있어서, 에지 영역에 마련되어 광 섬유(915A, 915B)와 연결되는 제3 도파로(321)는 레이저를 이용하여 형성될 수 있다. 즉, 에지 영역에 마련되는 제3 도파로(321)는 레이저를 이용하여 마련되므로, 에지 영역에 마련되는 제3 도파로(321)는 제1 도파로(334)에 비하여 폭 및 두께가 클 수 있다. 따라서, 광 섬유(915A, 915B)로부터 전송되는 광 신호의 손실이 최소화될 수 있다.
- [144] 한편, 본 발명의 일 실시예에서는 에지 영역에 마련되는 제3 도파로(321)도 실리카로 형성됨을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 에지 영역에 마련되는 제3 도파로(321)는 폴리머(polymer) 또는 IOX 도파로(ion exchange waveguide)로 형성될 수도 있다.
- [145] 제1 도파로(334)는 실리콘 질화물로 형성될 수 있다. 실리콘 질화물은 실리콘과 실리카 사이의 굴절률을 가지며, 광도파관에서의 높은 내부 반사를 통해 빛을 효과적으로 가둘 수 있다. 온도 변화에 대한 민감도가 낮아, 환경 변화에 강하다. 정밀 광도파관 등에 적용하기에 적합하다.

- [146] 실리콘과 실리카는 각각 다른 광학적 특성을 가지므로, 실리콘 질화물을 통한 이 두 재료 간의 원활한 전환은 광 신호의 손실을 최소화하고 효율을 극대화할 수 있다. 또한 실리콘 포토닉스는 고집적 회로와 고속 데이터 전송에 강점을 가지고, 실리카 포토닉스는 저손실 장거리 전송에 적합하므로, 실리콘 질화물 포토닉스를 통한 이들간 원활한 전환은 광 효율을 크게 높인다.
- [147] 본 발명의 일 실시예에 있어서, 제1 도파로 기반의 스위칭 어레이(361)가 배치될 수 있다. 스위칭 어레이(361)는 ASIC(Application-Specific Integrated Circuit)와 같은 시스템 반도체칩, 및 실리콘 PIC(Photonic Integrated Circuit)와 같은 광 집적 회로 반도체칩의 포토닉 컴포넌트 중 하나일 수 있다. 예를 들면, 도 5에 도시된 바와 같이, 글래스 베이스 구조체(300) 상에는 반도체칩이 마련되며, 반도체칩에 광신호를 전달하는 제1 도파로(334)가 마련되어 있다. 여기서, 광 집적 회로 반도체칩(PIC)은 복수의 포토닉 컴포넌트를 포함하며, 포토닉 컴포넌트 중 하나가 스위칭 어레이(361)로 동작할 수 있다.
- [148] 스위칭 어레이(361)는 광학적 스위칭을 통하여 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)에 광 신호를 전달할 수 있다. 이러한 스위칭 어레이(361)의 각 경로에는 광학적 스위칭을 위하여 변조기가 마련될 수 있다. 예를 들면, 스위칭 어레이(361)는 각 경로별로 링(ring) 공진기 및 마하-젠더(Mach-Zehnder) 간섭계를 포함할 수 있다.
- [149] 스위칭 어레이(361)는 스위칭 소자를 포함할 수 있다. 스위칭 어레이(361)는 매트릭스 배열의 스위칭 소자를 포함할 수 있다. 스위칭 어레이는 스위칭 매트릭스로 참조될 수 있다.
- [150] 스위칭 소자는 MEMS(Micro-Electro-Mechanical Systems; 미세전자기계시스템) 기반일 수 있다. MEMS는 미세한 기계적 구조와 전자적 요소를 결합한 시스템으로, 주로 미세한 크기의 센서, 액추에이터, 마이크로 기어, 마이크로 밸브 등의 다양한 기계적 기능을 수행하는 소자들을 포함한다. 예를 들어, MEMS 미러(MEMS Mirror)는 작은 반사경을 기계적으로 움직여 빛의 경로를 변경한다. MEMS 스위치(MEMS Switch)는 작은 기계적 스위치를 이용해 광도파관 간의 연결을 변경한다. MEMS 셔터(MEMS Shutter)는 기계적 셔터를 이용해 특정 경로로의 빛의 진행을 차단하거나 허용한다. MEMS 기반 스위칭 매트릭스는 이러한 미세 기계 시스템을 이용하여 글래스 기판 위에서 광학 신호의 경로를 제어하고 변환한다.
- [151] 스위칭 소자는 열 기반일 수 있다. 열 기반 스위칭은 온도 변화를 이용하여 광신호의 경로를 변경한다. 예를 들어, 열 광도파로 어레이(Thermal Waveguide Array)는 특정 구간에 열을 가해 온도에 따라 광도파로의 굴절률을 변화시킨다. 이는 광신호가 전파되는 경로를 변경한다. 열 렌즈(Thermal Lens)는 열을 이용해 국부적인 온도 변화를 일으켜 특정 구간에서 빛의 경로를 굴절시키거나 초점을 맞춘다. 위상 변조기(Thermal Phase Modulator)는 열을 이용해 광도파로의 위상을 조절함으로써 신호의 간섭 패턴을 변경한다. 열 기반 스위칭 매트릭스는 이러한 온

도 변화를 이용하여 광도파관의 굴절률을 조절하고, 이를 통해 광학 신호의 경로를 제어하고 변환한다.

- [152] 한편, 본 발명의 일 실시예에서는, 스위칭 어레이가 MEMS 기반의 스위칭 소자 또는 열 기반의 스위칭 소자를 포함함을 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 스위칭 어레이는 전기 광학 효과를 이용하는 스위칭 소자 또는 자유 전하 플라즈마 분산 효과를 이용하는 스위칭 소자를 포함할 수도 있다.
- [153] 스위칭 소자는 제1 도파로(334, 도 4g 참조)와 통합될 수 있고, 제1 도파로(334)으로 형성될 수 있다. 스위칭 소자는 제1 도파로(334) 내의 광 신호와 상호 작용하기 위해 제1 도파로(334)와 광학적으로 결합할 수 있다. 스위칭 소자는 MEMS 미러 구조를 포토리소그래피와 에칭 공정을 통해 제1 도파로(334)에 형성할 수 있다. 여기에 히터 또는 전극을 추가하여 MEMS 미러를 구동할 수 있는 구조를 완성할 수 있다. 전기적 신호 또는 열을 사용하여 MEMS 구조물을 구동하며, 전기적 구동의 경우, 전기장을 생성하여 MEMS 구조물을 움직인다. 열적 구동의 경우, 히터를 사용하여 열을 발생시키고, 이를 통해 구조물이 변형된다. MEMS 구조물의 이동에 따라 광 신호의 경로가 변경되며, 이로 인해 도파관 내에서 원하는 광 신호의 경로가 설정되며, 특정 포토닉 컴포넌트로 신호가 전달된다.
- [154] 제1 도파로 기반의 MEMS 스위칭 소자는 실리콘 질화물의 우수한 기계적 및 광학적 특성을 활용하여 고효율, 저손실의 광학적 스위칭을 구현할 수 있다. 실리콘 질화물의 높은 기계적 강도를 이용하여 MEMS 미러 또는 셔터를 제작할 수 있다. 에칭 및 도핑 방법을 도파관(334)과 결합하여, 다양한 포토닉 컴포넌트와 함께 통합할 수 있다. 이를 통해, AI 반도체 칩의 광학적 I/O 성능을 향상시킬 수 있다.
- [155] 한편, 도 6에 도시된 바와 같이, 광 섬유(915A, 915B)는 버트 커플링(butt coupling) 방식으로 글래스 베이스 구조체(300)의 제3 도파로(321)과 결합될 수 있다. 제3 도파로(321)는 제1 도파로(334)와 아디아바틱 커플링(adiabatic coupling) 방식으로 결합되고, 제1 도파로(334)는 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)의 제2 도파로(504) 또는 스위칭 어레이(361)와 버트 커플링 방식 또는 아디아바틱 커플링 방식으로 결합되어 광 신호를 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)에 전달할 수 있다. 따라서, 광 신호는 광 섬유(915A, 915B), 제3 도파로(321), 제1 도파로(334) 및 스위칭 어레이(361)의 제2 도파로(504)를 통하여 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)에 전달되고, 제1 포토닉 패키지(P500), 제2 포토닉 패키지(P600), 제3 포토닉 패키지(P700) 및 제5 포토닉 패키지(P900)에 전달된 광 신호는 전기 신호로 변환되어 제1 반도체 칩, 제2 반도체 칩, 제3 반도체 칩 및 제5 반도체 칩(500, 600, 700, 900)으로 전달될 수 있다.

[156]

- [157] 또한, 도 7 내지 도 9에 도시된 바와 같이, 광 섬유(915A, 915B)를 통해 전송된 광 신호는 다양한 경로를 거쳐 제1 반도체 칩(500), 제2 반도체 칩(600), 제3 반도체 칩(700) 및 제5 반도체 칩(900)으로 전달될 수 있다.
- [158] 예를 들면, 도 7에 도시된 바와 같은 광 신호의 전달은 도 6에 도시된 바와 같은 광 신호의 전달과 유사하다. 하지만, 도 7의 실시예에서는, 스위칭 어레이(361)의 제2 도파로(504)가 제1 도파로(334)와 동일 레벨에 마련되고, 제2 도파로(504) 및 제1 도파로(334)는 버트 커플링(butt coupling) 방식으로 결합되어 광 신호를 전달할 수 있다.
- [159] 또한, 도 8에 도시된 바와 같은 광 신호의 전달은 도 6에 도시된 바와 같은 광 신호의 전달과 유사하다. 하지만, 도 8의 실시예에서는 스위칭 어레이(361)의 제2 도파로(504)의 하부에 별도의 제4 도파로(505)가 제1 도파로(334)와 동일 레벨에 마련되고, 제4 도파로(505) 및 제1 도파로(334)는 버트 커플링(butt coupling) 방식으로 결합되어 광 신호를 전달할 수 있다. 또한, 제2 도파로(504) 및 제4 도파로(505)와 아디아바틱 커플링(adiabatic coupling) 방식으로 결합되어 광 신호를 전달할 수 있다. 따라서, 도 8의 실시예에서, 광 섬유(915A, 915B)를 통해 전송된 광 신호는 제3 도파로(321), 제1 도파로(334), 및 스위칭 어레이(361)의 제2 도파로(504)를 통하여 제1 반도체 칩(500), 제2 반도체 칩(600), 제3 반도체 칩(700) 및 제5 반도체 칩(900)으로 전달할 수 있다. 여기서, 제4 도파로(505)는 실리콘 질화물로 형성될 수 있다.
- [160] 또한, 도 9에 도시된 바와 같은 광 신호의 전달은 도 6에 도시된 바와 같은 광 신호의 전달과 유사하다. 하지만, 도 9의 실시예에서는 스위칭 어레이(361)의 제2 도파로(504)의 하부에 별도의 제4 도파로(505)가 제1 도파로(334)와 다른 레벨에 마련되고, 제4 도파로(505) 및 제1 도파로(334)는 아디아바틱 커플링(adiabatic coupling) 방식으로 결합되어 광 신호를 전달할 수 있다. 또한, 제2 도파로(504) 및 제4 도파로(505)도 아디아바틱 커플링(adiabatic coupling) 방식으로 결합되어 광 신호를 전달할 수 있다. 따라서, 도 9의 실시예에서, 광 섬유(915A, 915B)를 통해 전송된 광 신호는 제3 도파로(321), 제1 도파로(334), 및 스위칭 어레이(361)의 제2 도파로(504)를 통하여 제1 반도체 칩(500), 제2 반도체 칩(600), 제3 반도체 칩(700) 및 제5 반도체 칩(900)으로 전달할 수 있다. 여기서, 제4 도파로(505)는 실리콘 질화물로 형성될 수 있다.
- [161]
- [162] 본 발명의 기술 사상은 상기 바람직한 실시예들에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.
- [163]
- [164] [부호의 설명]
- [165] 1000, 1000A : 반도체 패키지

- [166] 10 : 기판
- [167] 100 : 패키지 베이스 기판
- [168] 300 : 글래스 베이스 구조체
- [169] 500 : 제1 반도체 칩
- [170] P500 : 제1 포토닉 패키지
- [171] 600 : 제2 반도체 칩
- [172] P600 : 제2 포토닉 패키지
- [173] 700 : 제3 반도체 칩
- [174] P700 : 제3 포토닉 패키지
- [175] 800 : 제4 반도체 칩
- [176] 900 : 제5 반도체 칩
- [177] P900 : 제5 포토닉 패키지

청구범위

- [청구항 1] 광연결 탑재 반도체 패키지로써,
패터닝된 박막을 통해 구현된 포토닉 컴포넌트를 포함하는 글래스 베이스 구조체; 및
상기 글래스 베이스 구조체상에 배치되는 포토닉 패키지를 포함하는 반도체 칩;을 포함하되,
상기 포토닉 컴포넌트는 상기 포토닉 패키지와 상기 글래스 베이스 구조체간의 원활한 광통신을 가능하게 하는, 광연결 탑재 반도체 패키지.
- [청구항 2] 제1항에 있어서,
상기 포토닉 컴포넌트는 단층 또는 다층의 제1 도파로를 포함하는, 광연결 탑재 반도체 패키지.
- [청구항 3] 제2항에 있어서,
상기 패터닝된 박막은 실리콘 질화물을 포함하고,
상기 제1 도파로는 상기 패터닝된 박막으로 형성된, 광연결 탑재 반도체 패키지.
- [청구항 4] 제2항에 있어서,
상기 포토닉 패키지는 내부에 제2 도파로를 포함하고,
상기 글래스 베이스 구조체는 내부에 제3 도파로를 포함하며,
상기 포토닉 컴포넌트는 상기 제2 도파로와 상기 제3 도파로간의 원활한 광학적 전환을 가능하게 하는, 광연결 탑재 반도체 패키지.
- [청구항 5] 제4 항에 있어서,
상기 제2 도파로는 실리콘 물질 또는 실리콘 질화물을 포함하고,
상기 제3 도파로는 실리카를 포함하는, 광연결 탑재 반도체 패키지.
- [청구항 6] 제4항에 있어서,
상기 포토닉 컴포넌트는 상기 제2 도파로와 상기 제3 도파로 사이에 위치하는, 광연결 탑재 반도체 패키지.
- [청구항 7] 제4항에 있어서,
상기 글래스 베이스 구조체는,
베이스층;
상기 베이스층의 상면과 하면 사이를 연결하도록 상기 베이스층을 관통하는 관통 전극들;
상기 베이스층의 상면에 배치되는 배선 구조체;
상기 베이스층의 내부에 레이저를 조사하여 형성되는 상기 제3 도파로;
상기 배선 구조체 위에 형성되는 제1 유전체 층;
상기 제1 유전체 층 위에 형성되는 상기 제1 도파로; 및
상기 제1 도파로 위에 형성되는 제2 유전체 층;을 포함하는, 광연결 탑재 반도체 패키지.

- [청구항 8] 제7항에 있어서,
상기 베이스층은 유리를 포함하는, 광연결 탑재 반도체 패키지.
- [청구항 9] 제7항에 있어서,
상기 글래스 베이스 구조체는,
상기 제1 도파로와 상기 제2 유전체 층은 복수 개로 서로 번갈아 적층되어
다층의 상기 제1 도파로를 형성하는, 광연결 탑재 반도체 패키지.
- [청구항 10] 제7항에 있어서,
상기 글래스 베이스 구조체는,
복수의 반도체칩과, 상기 반도체칩과 제1 도파로를 통하여 연결되는 광
집적 회로 반도체칩을 포함하고,
상기 광 집적 회로 반도체칩은 복수의 포토닉 컴포넌트를 포함하며,
상기 복수의 포토닉 컴포넌트 중 하나가 스위칭 어레이인, 광연결 탑재 반
도체 패키지.
- [청구항 11] 제10항에 있어서,
상기 스위칭 어레이는 MEMS 기반의 스위칭 소자, 열 기반의 스위칭 소
자, 전기 광학 효과를 이용하는 스위칭 소자 또는 자유 전하 플라즈마 분
산 효과를 이용하는 스위칭 소자를 포함하는, 광연결 탑재 반도체 패키지.
- [청구항 12] 제11항에 있어서,
상기 스위칭 소자는 상기 제1 도파로에 형성되어 상기 제1 도파로 내의 광
신호와 상호 작용하는, 광연결 탑재 반도체 패키지.
- [청구항 13] 제7항에 있어서
상기 글래스 베이스 구조체에 장착되는 디태처블 한 구조의 광 섬유 어레
이;를 더 포함하는, 광연결 탑재 반도체 패키지.
- [청구항 14] 제13항에 있어서
상기 글래스 베이스 구조체는 상기 배선 구조체 위에 형성되는 에지 커플
러를 더 포함하고,
상기 광 섬유 어레이는 상기 에지 커플러에 연결되어, 상기 에지 커플러를
포함하는 상기 제3 도파로로 광 신호 및 광 전력을 전달하는, 광연결 탑재
반도체 패키지.
- [청구항 15] 제13항에 있어서
상기 글래스 베이스 구조체는 리셉터클 구조를 포함하고,
상기 광 섬유 어레이는 페룰 구조의 커넥터를 포함하여 상기 리셉터클 구
조와 상기 페룰 구조는 서로 디태처블 가능한, 광연결 탑재 반도체 패키
지.
- [청구항 16] 제4항에 있어서,
상기 글래스 베이스 구조체는,
베이스층;

상기 베이스층의 상면과 하면 사이를 연결하도록 상기 베이스층을 관통하는 관통 전극들;

상기 베이스층의 상면에 배치되는 배선 구조체;

상기 배선 구조체 위에 형성되는 상기 제3 도파로;

상기 제3 도파로 위에 형성되는 제1 유전체 층;

상기 제1 유전체 층 위에 형성되는 상기 제1 도파로; 및

상기 제1 도파로 위에 형성되는 제2 유전체 층;을 포함하는, 광연결 탑재 반도체 패키지.

[청구항 17] 제16항에 있어서,

상기 글래스 베이스 구조체는 상기 제3 도파로와 상기 제1 유전체 층은 복수 개로 서로 번갈아 적층되어 다층의 상기 제3 도파로를 형성하고, 상기 베이스층은 유리를 포함하는, 광연결 탑재 반도체 패키지.

[청구항 18] 광연결 탑재 반도체 패키지로서,

패터닝된 제3 박막을 통해 구현된 제3 도파로 및 패터닝된 제1 박막을 통해 구현된 제1 도파로를 포함하는 글래스 베이스 구조체; 및

상기 글래스 베이스 구조체상에 배치되는, 패터닝된 제2 박막을 통해 구현된 제2 도파로가 내재된 포토닉 패키지를 포함하는 반도체 칩;을 포함하되,

상기 제1 도파로, 상기 제2 도파로 및 상기 제3 도파로간 광 연결을 통하여 상기 포토닉 패키지와 상기 글래스 베이스 구조체간의 원활한 광통신을 가능하게 하는, 광연결 탑재 반도체 패키지.

[청구항 19] 제18 항에 있어서,

상기 제1 박막은 실리콘 질화물을 포함하는 광연결 탑재 반도체 패키지.

[청구항 20] 제18항에 있어서,

상기 제1 도파로는 질화물 도파로이고, 상기 제2 도파로는 실리카 도파로이고, 상기 제3 도파로는 실리콘 도파로인, 광연결 탑재 반도체 패키지.

[청구항 21] 제18항에 있어서,

상기 제1 도파로는 상기 제2 도파로와 상기 제3 도파로 사이의 굴절률을 갖는, 광연결 탑재 반도체 패키지.

[청구항 22] 제18항에 있어서,

상기 제1 도파로는 MEMS 기반의 스위칭 소자, 열 기반의 스위칭 소자, 전기 광학 효과를 이용하는 스위칭 소자 또는 자유 전하 플라즈마 분산 효과를 이용하는 스위칭 소자를 포함하는 스위칭 매트릭스를 형성하는, 광연결 탑재 반도체 패키지.

[청구항 23] 광연결 탑재 반도체 패키지를 형성하는 방법으로서,

글래스 베이스 구조체를 형성하는 단계;

상기 글래스 베이스 구조체의 상부에 포토닉 패키지를 부착하는 단계; 및

상기 글래스 베이스 구조체의 상부에 포토닉 패키지를 포함하는 반도체 칩을 부착하는 단계;를 포함하되,
 상기 글래스 베이스 구조체를 형성하는 단계는,
 글래스 관통 비아를 갖는 기판을 준비하는 단계;
 상기 기판 위에 재배선 구조물을 형성하는 단계;
 상기 재배선 구조물 위에 실리카 층을 형성하고 상기 실리카 층을 패터닝함으로써 제3 도파로를 형성하는 단계;
 상기 제3 도파로 위에 제1 유전체 층을 형성하는 단계;
 상기 제1 유전체 층 위에 실리콘 질화물 층을 형성하고 상기 질화물 층을 패터닝함으로써 제1 도파로를 형성하는 단계; 및
 상기 제1 도파로 위에 제2 유전체 층을 형성하는 단계;를 포함하는, 광연결 탑재 반도체 패키지를 형성하는 방법.

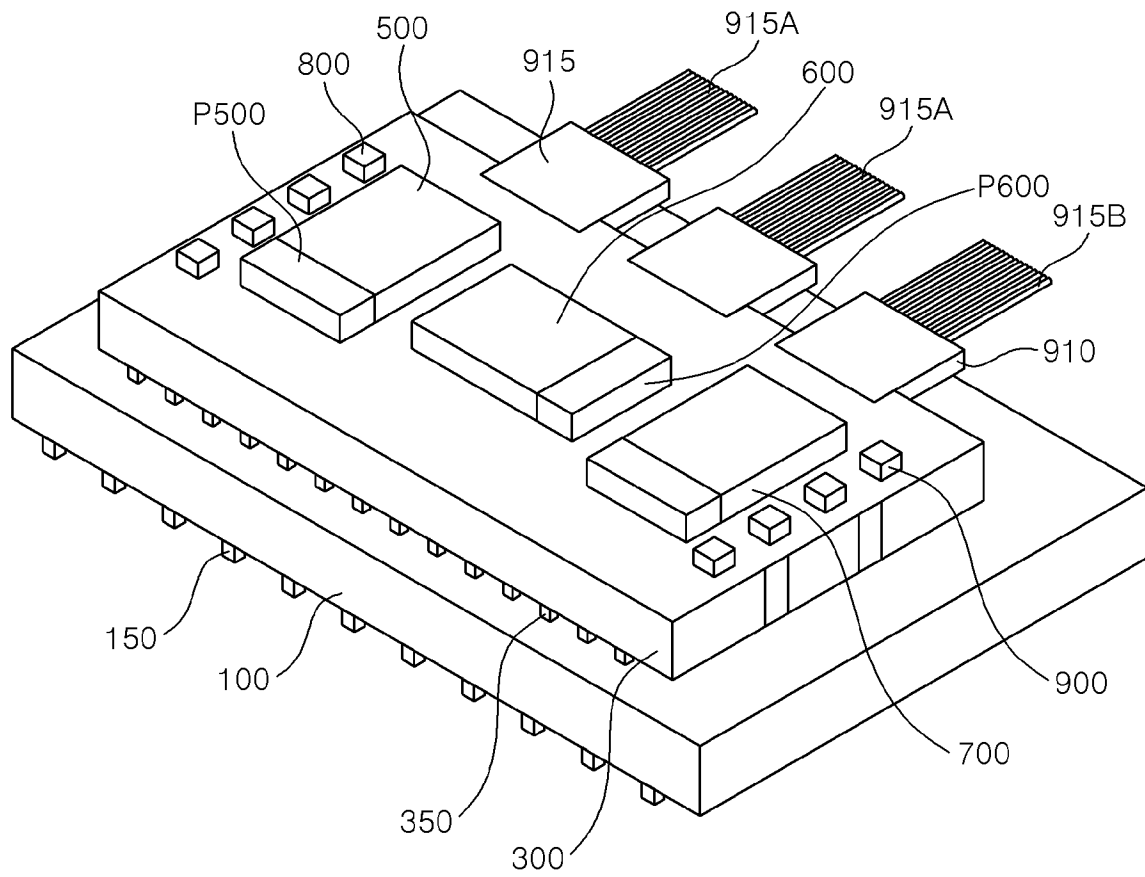
[청구항 24]

제23항에 있어서,
 상기 제1 도파로를 형성하는 단계 이전에,
 상기 제1 유전체 층 위에 제2 실리카 층을 형성하고 상기 제2 실리카 층을 패터닝함으로써 제4 도파로를 형성하는 단계; 및
 상기 제4 도파로 위에 추가 제1 유전체 층을 형성하는 단계;를 더 포함하는, 광연결 탑재 반도체 패키지를 형성하는 방법.

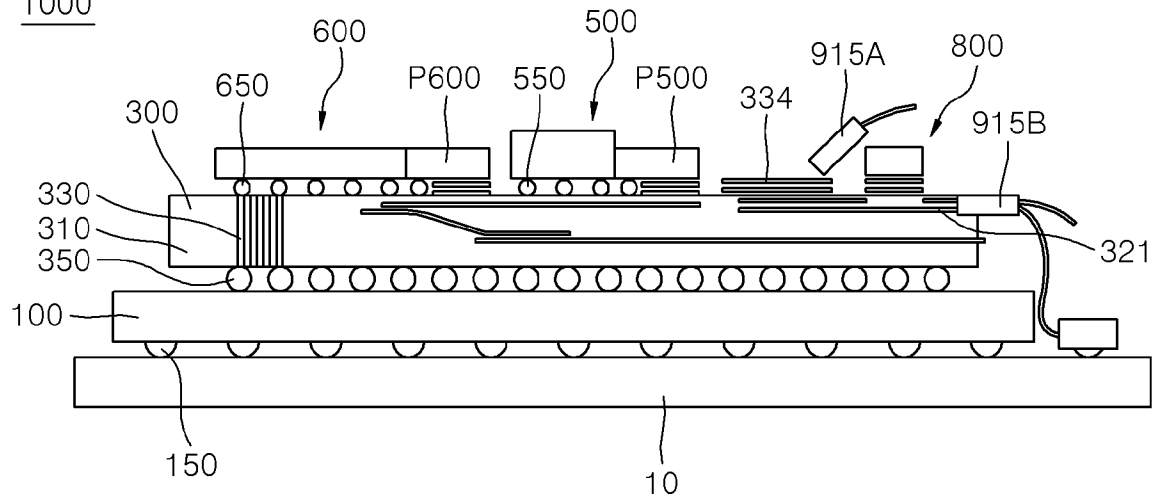
[청구항 25]

제24항에 있어서,
 상기 제2 유전체 층을 형성하는 단계 이후에,
 상기 제2 유전체 층 위에 제2 실리콘 질화물 층을 형성하고 상기 제2 실리콘 질화물 층을 패터닝함으로써 제5 도파로를 형성하는 단계; 및
 상기 제5 도파로 위에 추가 제2 유전체 층을 형성하는 단계;를 더 포함하는, 광연결 탑재 반도체 패키지를 형성하는 방법.

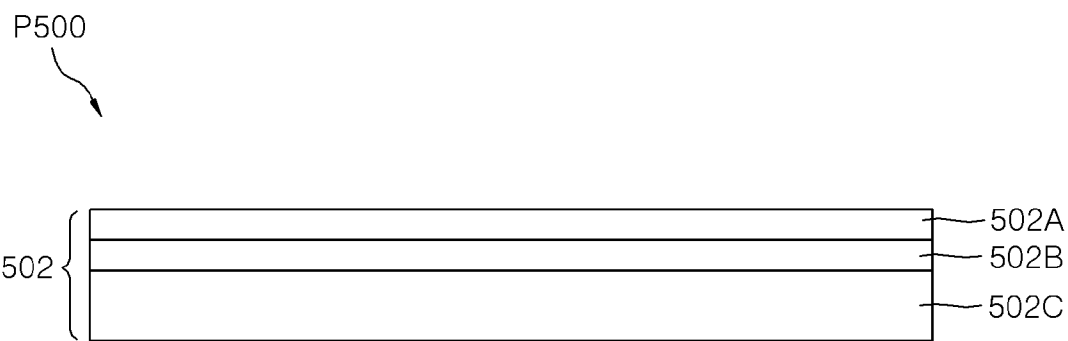
[도1]

1000

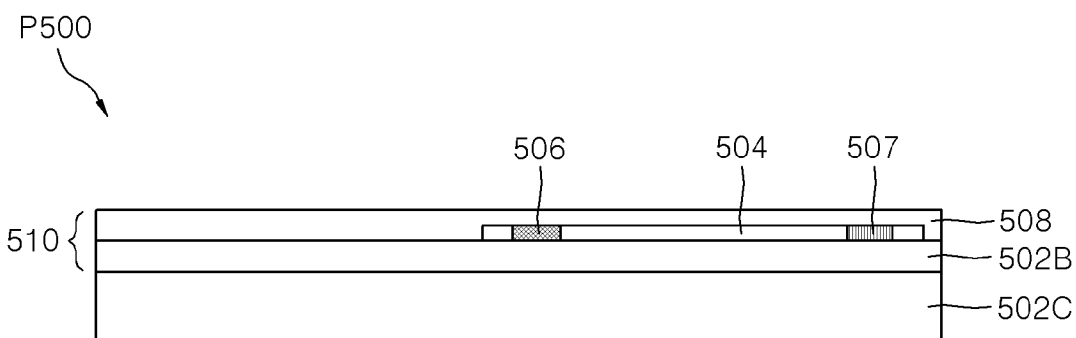
[도2]

1000

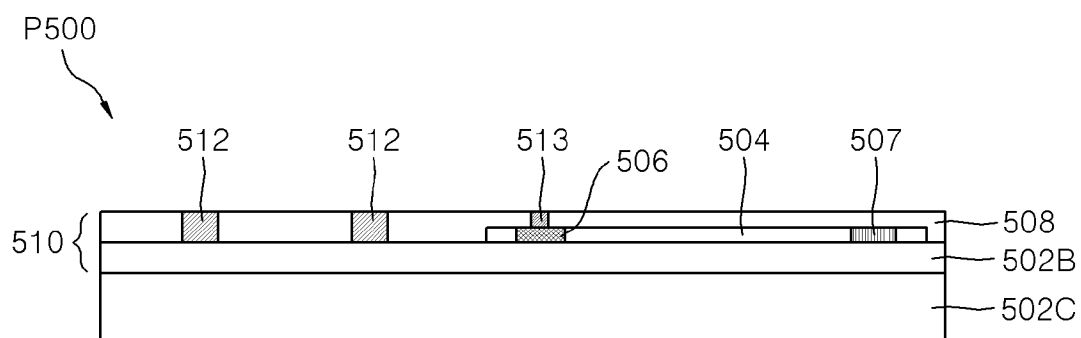
[도3a]



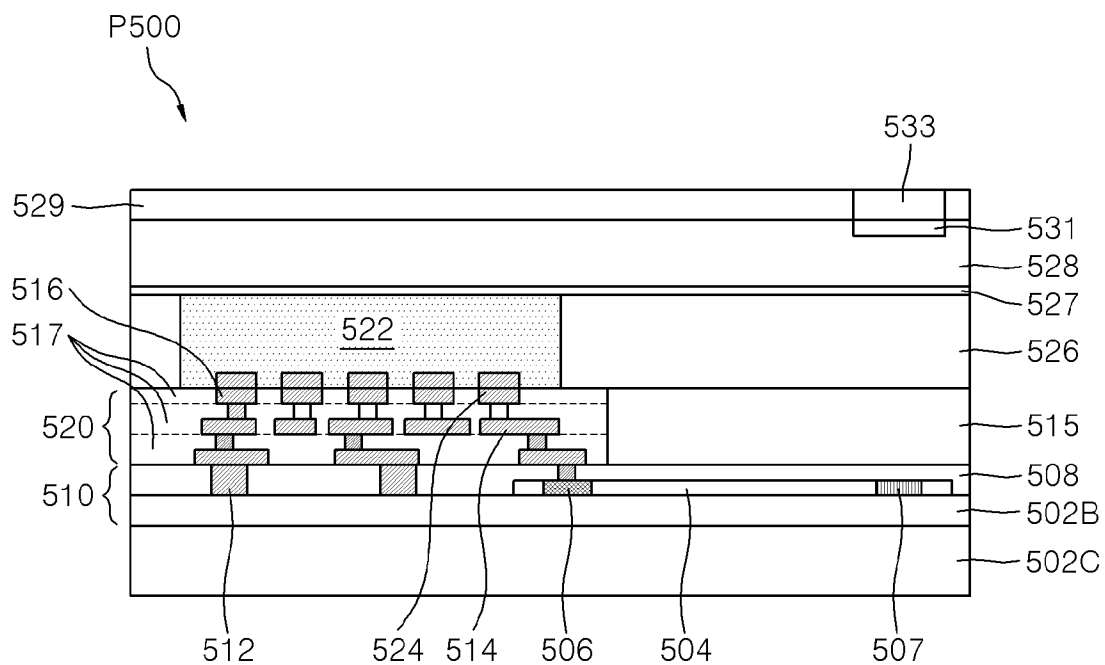
[도3b]



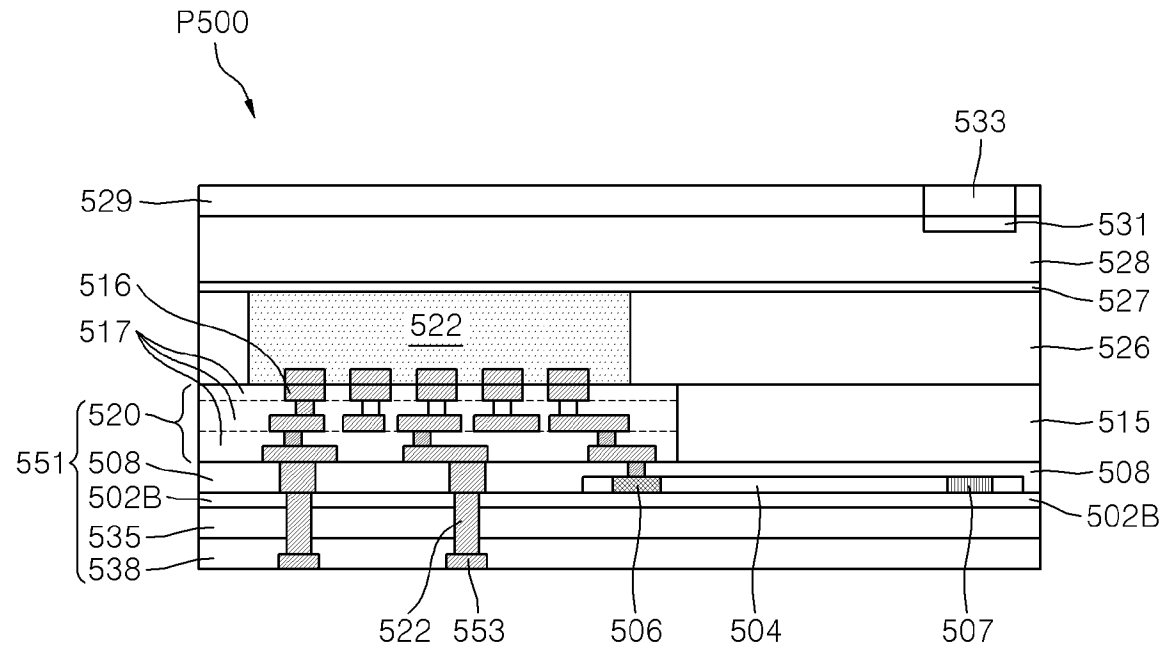
[도3c]



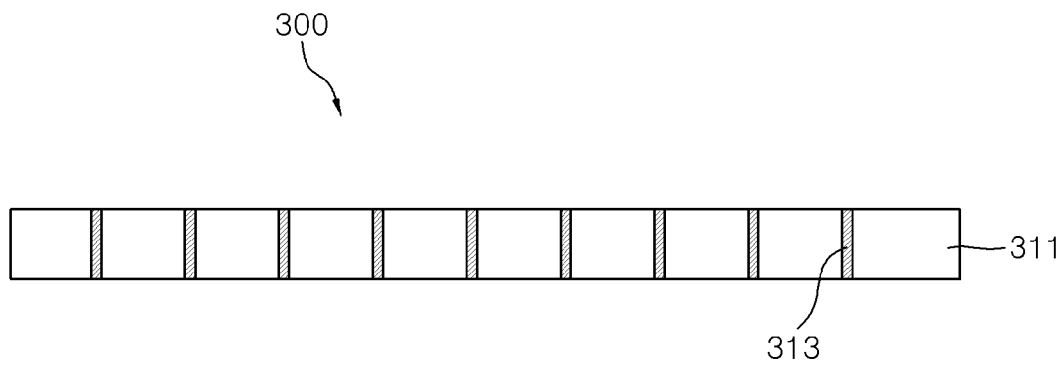
[도3d]



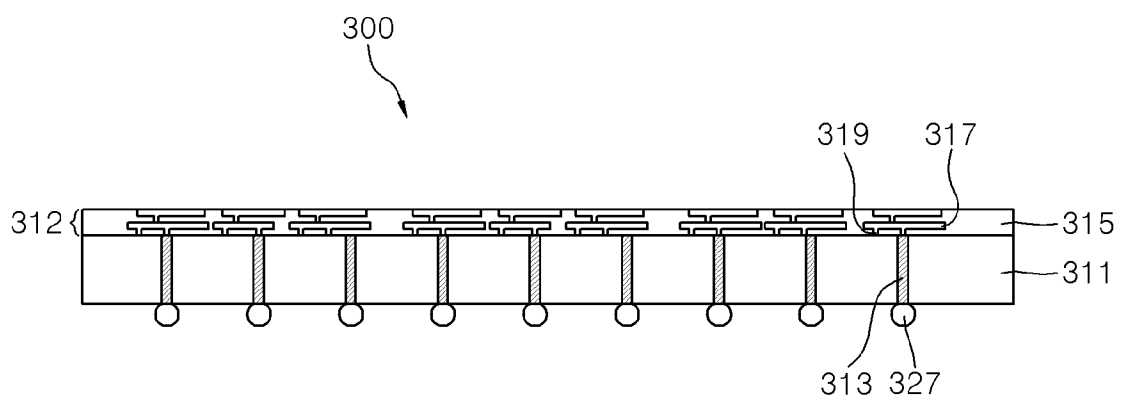
[도3e]



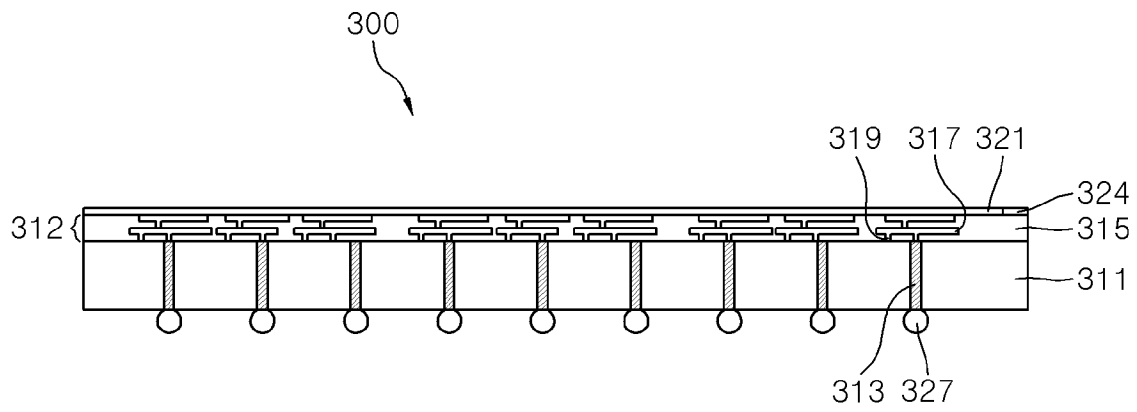
[도4a]



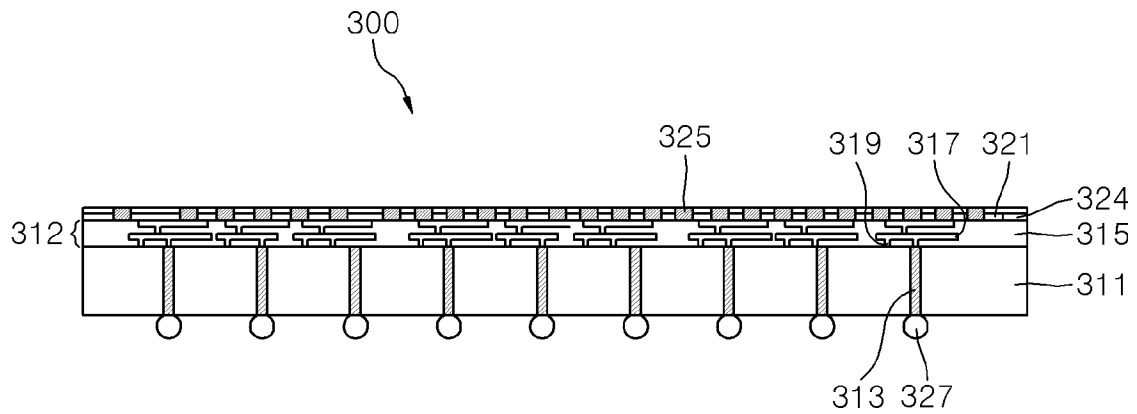
[도4b]



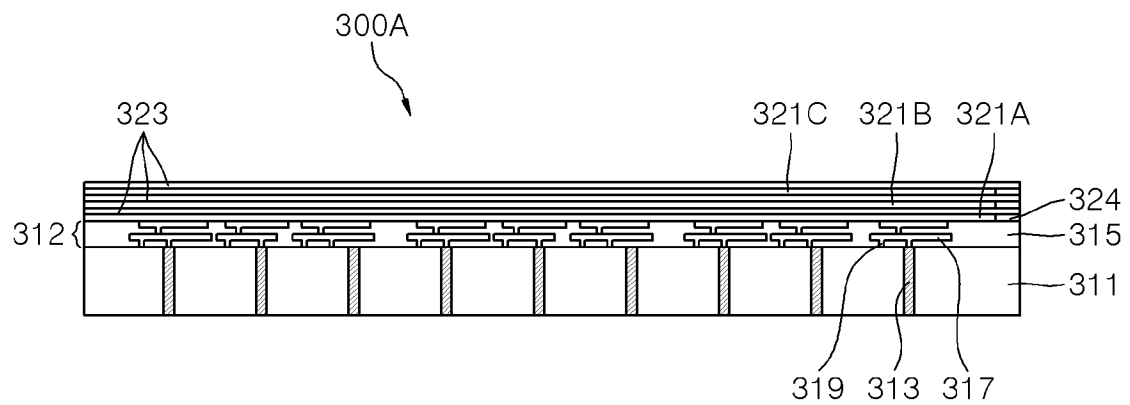
[도4c]



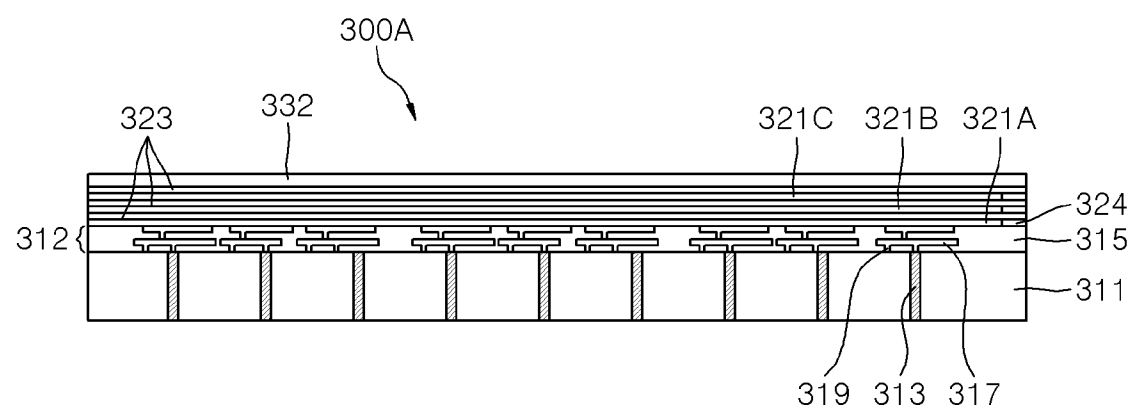
[도4d]



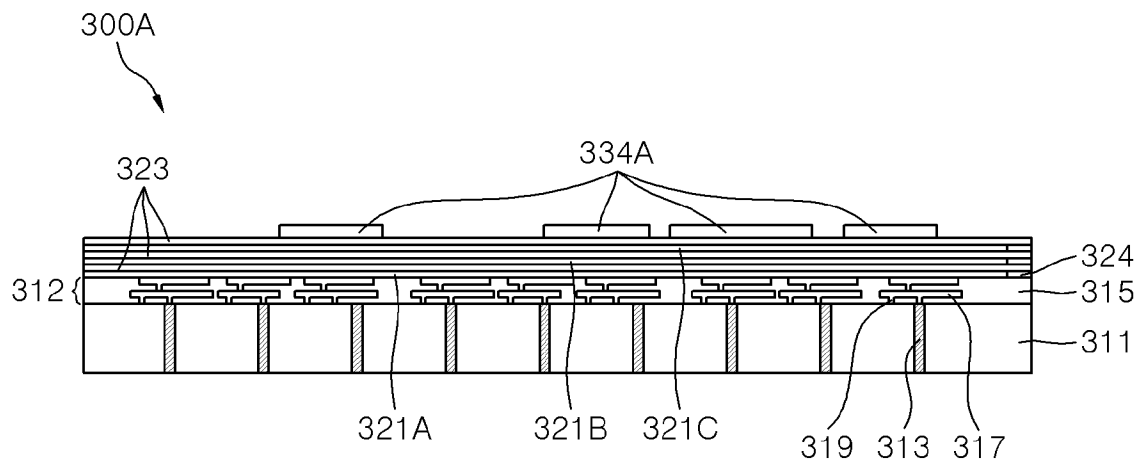
[도4e]



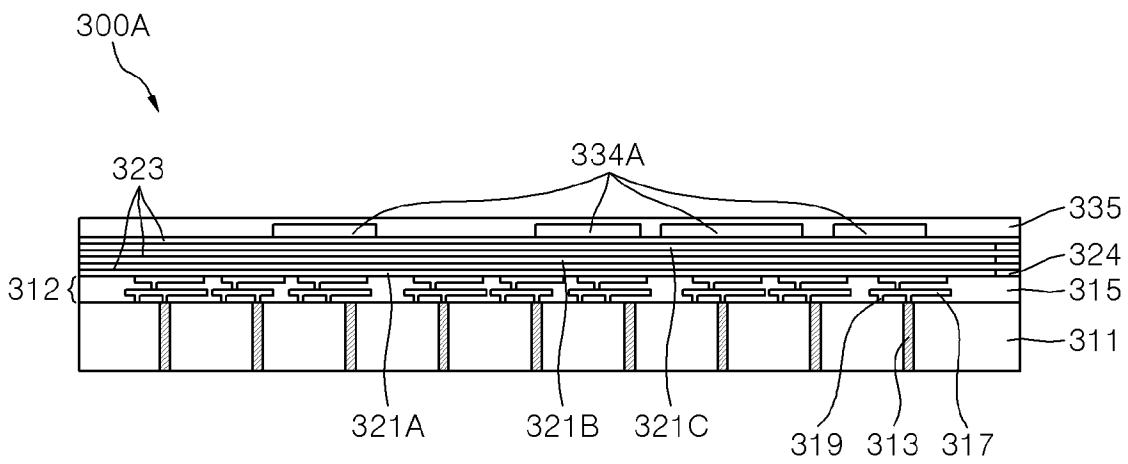
[도4f]



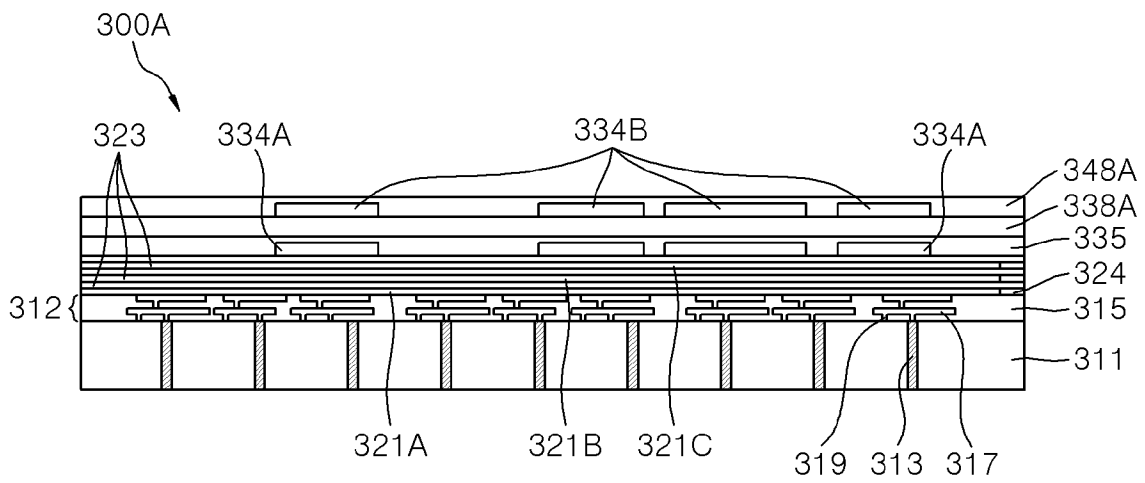
[도4g]



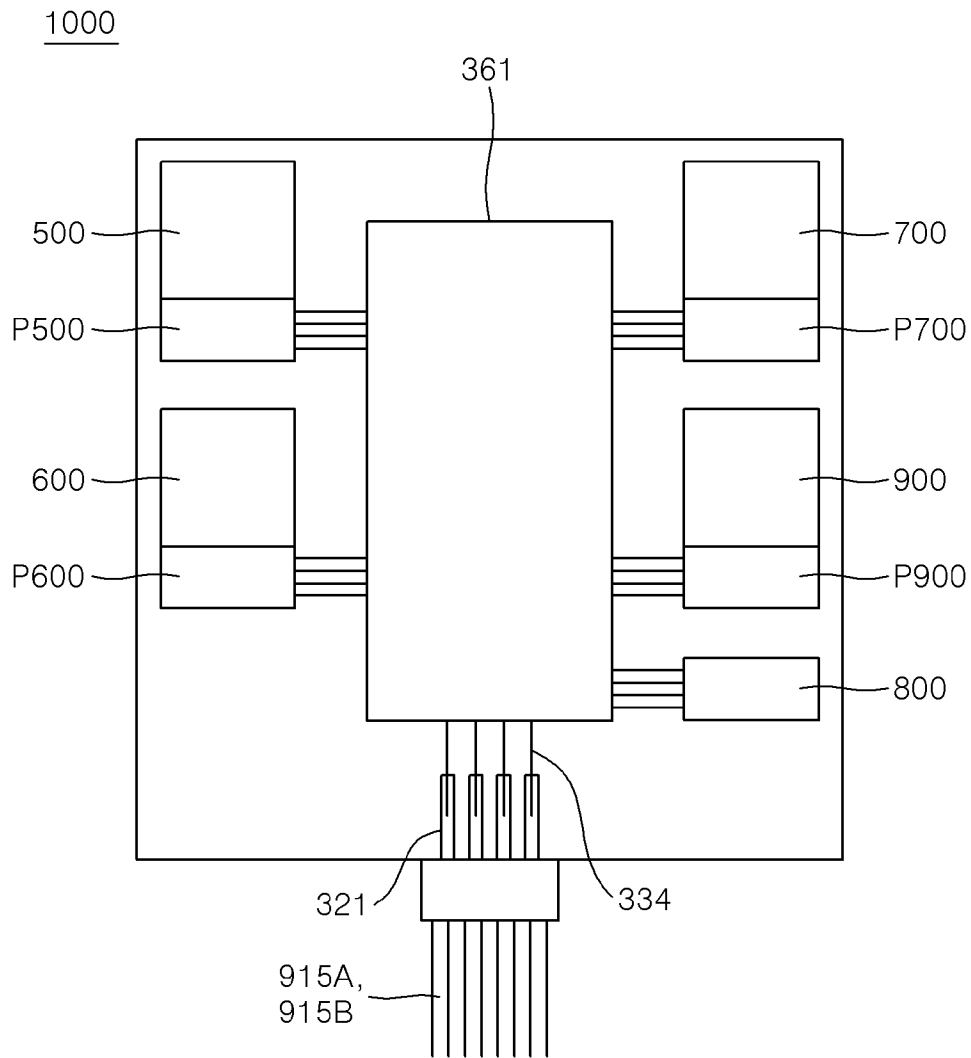
[도4h]



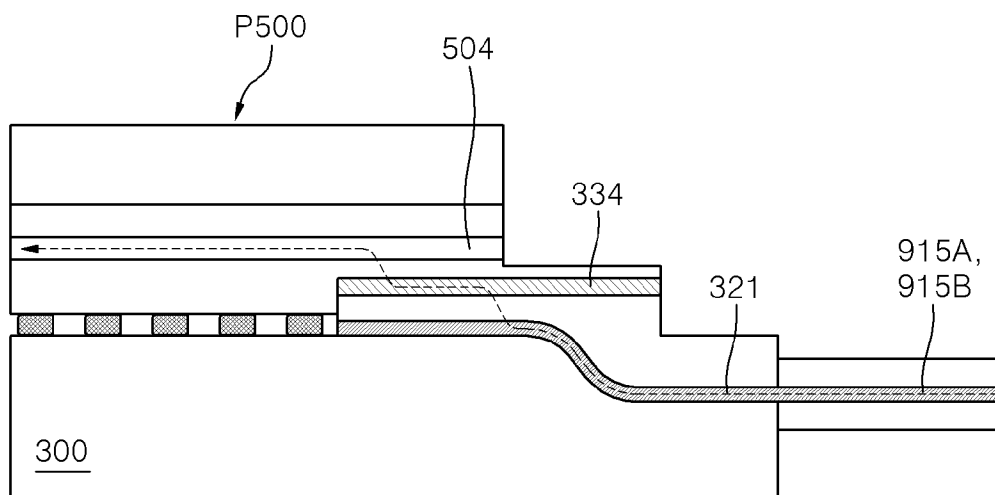
[도4i]



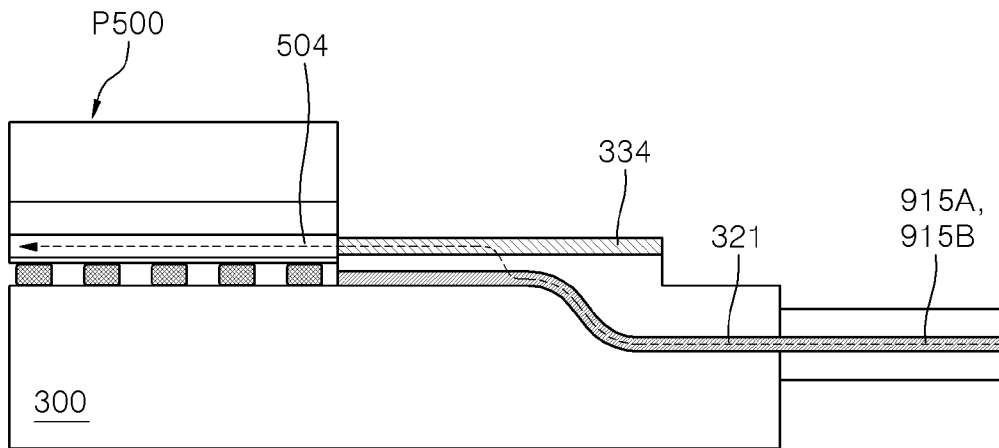
[도5]



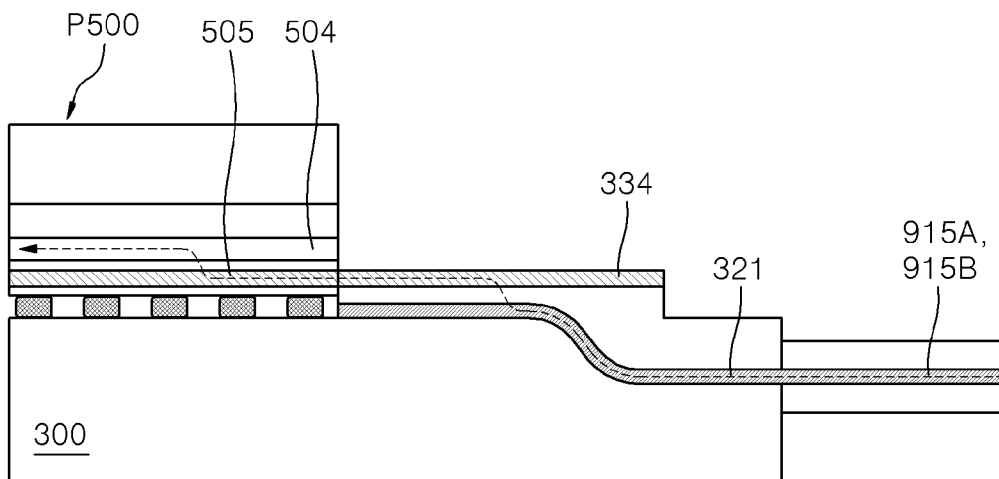
[도6]



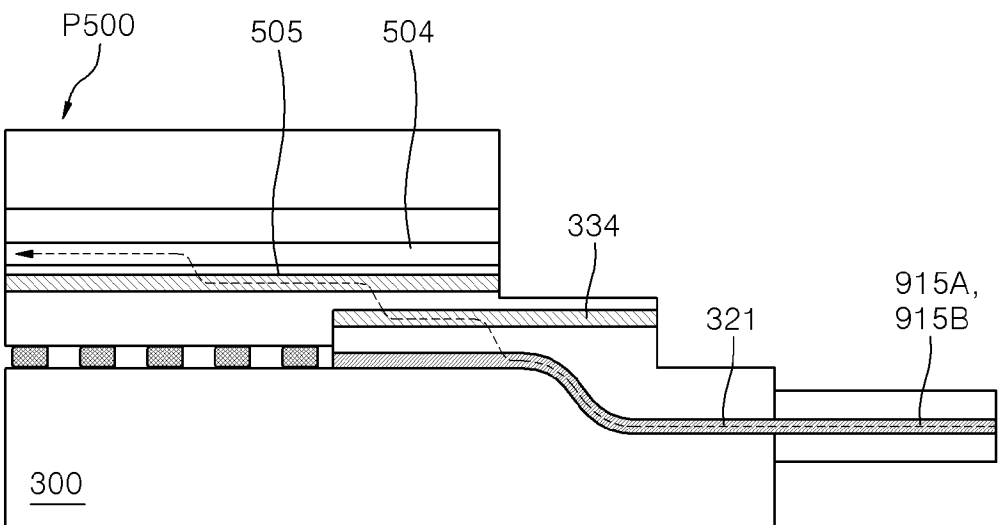
[도7]



[도8]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/014880

A. CLASSIFICATION OF SUBJECT MATTER H01L 25/16(2006.01)i; H01L 23/538(2006.01)i; H01L 23/15(2006.01)i; G02B 6/42(2006.01)i; G02B 6/26(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 25/16(2006.01); G02B 6/12(2006.01); G02B 6/124(2006.01); G02B 6/42(2006.01); G02F 1/035(2006.01); G02F 1/095(2006.01); H01L 25/065(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 패키지(package), 포토닉(photonic), 글래스(glass), 도파로(waveguide), 광통신 (optical Communication)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021-0003775 A1 (OPTOSCRIBE LIMITED) 07 January 2021 (2021-01-07) See paragraphs [0142]-[0195] and figures 1-20.	1-6
Y		7-25
Y	KR 10-2023-0075333 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 31 May 2023 (2023-05-31) See paragraphs [0010]-[0068] and figures 1-25d.	7-25
Y	WO 2022-067268 A2 (PSIQUANTUM, CORP.) 31 March 2022 (2022-03-31) See paragraphs [0046]-[0047] and [0052]-[0053] and figures 1A-1B.	10-12,22
A	US 2021-0072568 A1 (THE RESEARCH FOUNDATION FOR THE STATE UNIVERSITY OF NEW YORK et al.) 11 March 2021 (2021-03-11) See paragraphs [0026]-[0069] and figures 1-13B.	1-25
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 03 January 2025		Date of mailing of the international search report 06 January 2025
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/014880

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2023-0091050 A1 (INTEL CORPORATION) 23 March 2023 (2023-03-23) See paragraphs [0027]-[0041] and figure 1.	1-25

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/014880

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2021-0003775	A1	07 January 2021	EP	3759532 A1	06 January 2021
				EP	3759532 B1	24 April 2024
				JP	2021-515279 A	17 June 2021
				JP	7400741 B2	19 December 2023
				US	10698164 B2	30 June 2020
				US	11415749 B2	16 August 2022
				US	2019-0265415 A1	29 August 2019
				WO	2019-166803 A1	06 September 2019
KR	10-2023-0075333	A	31 May 2023	CN	115831950 A	21 March 2023
				DE	102022108287 A1	25 May 2023
				TW	202322303 A	01 June 2023
				TW	I822265 B	11 November 2023
				US	12044892 B2	23 July 2024
				US	2023-0161120 A1	25 May 2023
				US	2024-0337800 A1	10 October 2024
WO	2022-067268	A2	31 March 2022	EP	4217795 A2	02 August 2023
				TW	202229949 A	01 August 2022
				US	2023-0366913 A1	16 November 2023
				WO	2022-067268 A3	12 May 2022
US	2021-0072568	A1	11 March 2021	EP	3776074 A1	17 February 2021
				EP	3776074 B1	22 November 2023
				JP	2021-527839 A	14 October 2021
				KR	10-2022-0124298 A	14 September 2022
				SG	11202009807 A	27 November 2020
				TW	202004240 A	16 January 2020
				TW	I742356 B	11 October 2021
				US	10877300 B2	29 December 2020
				US	11550173 B2	10 January 2023
				US	2019-0331941 A1	31 October 2019
				WO	2019-195441 A1	10 October 2019
US	2023-0091050	A1	23 March 2023	CN	115840269 A	24 March 2023
				DE	102022116821 A1	23 March 2023

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 25/16(2006.01)i; H01L 23/538(2006.01)i; H01L 23/15(2006.01)i; G02B 6/42(2006.01)i; G02B 6/26(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 25/16(2006.01); G02B 6/12(2006.01); G02B 6/124(2006.01); G02B 6/42(2006.01); G02F 1/035(2006.01); G02F 1/095(2006.01); H01L 25/065(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 패키지(package), 포토닉(photonic), 글래스 (glass), 도파로 (waveguide), 광통신(optical Communication)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2021-0003775 A1 (OPTOSCRIBE LIMITED) 2021.01.07 단락 [0142]-[0195] 및 도면 1-20	1-6
Y		7-25
Y	KR 10-2023-0075333 A (타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드) 2023.05.31 단락 [0010]-[0068] 및 도면 1-25d	7-25
Y	WO 2022-067268 A2 (PSIQUANTUM, CORP.) 2022.03.31 단락 [0046]-[0047], [0052]-[0053] 및 도면 1A-1B	10-12,22
A	US 2021-0072568 A1 (THE RESEARCH FOUNDATION FOR THE STATE UNIVERSITY OF NEW YORK 등) 2021.03.11 단락 [0026]-[0069] 및 도면 1-13B	1-25
A	US 2023-0091050 A1 (INTEL CORPORATION) 2023.03.23 단락 [0027]-[0041] 및 도면 1	1-25

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2025년01월03일(03.01.2025)

국제조사보고서 발송일

2025년01월06일(06.01.2025)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5687

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2021-0003775 A1	2021/01/07	EP 3759532 A1	2021/01/06
		EP 3759532 B1	2024/04/24
		JP 2021-515279 A	2021/06/17
		JP 7400741 B2	2023/12/19
		US 10698164 B2	2020/06/30
		US 11415749 B2	2022/08/16
		US 2019-0265415 A1	2019/08/29
		WO 2019-166803 A1	2019/09/06
KR 10-2023-0075333 A	2023/05/31	CN 115831950 A	2023/03/21
		DE 102022108287 A1	2023/05/25
		TW 202322303 A	2023/06/01
		TW I822265 B	2023/11/11
		US 12044892 B2	2024/07/23
		US 2023-0161120 A1	2023/05/25
		US 2024-0337800 A1	2024/10/10
WO 2022-067268 A2	2022/03/31	EP 4217795 A2	2023/08/02
		TW 202229949 A	2022/08/01
		US 2023-0366913 A1	2023/11/16
		WO 2022-067268 A3	2022/05/12
US 2021-0072568 A1	2021/03/11	EP 3776074 A1	2021/02/17
		EP 3776074 B1	2023/11/22
		JP 2021-527839 A	2021/10/14
		KR 10-2022-0124298 A	2022/09/14
		SG 11202009807 A	2020/11/27
		TW 202004240 A	2020/01/16
		TW I742356 B	2021/10/11
		US 10877300 B2	2020/12/29
		US 11550173 B2	2023/01/10
		US 2019-0331941 A1	2019/10/31
		WO 2019-195441 A1	2019/10/10
US 2023-0091050 A1	2023/03/23	CN 115840269 A	2023/03/24
		DE 102022116821 A1	2023/03/23