

1. 一种半导体存储器装置,其包含:
存储器单元块;
数据输入部,其被配置成执行信号处理,以将输入至所述半导体存储器装置的一般数据与掩蔽信息传送至所述存储器单元块,并输出经处理的数据与掩蔽信息;
宽带数据线,其耦接于所述数据输入部与所述存储器单元块之间;
多个寄存器,其耦接至所述宽带数据线,以写入经由所述宽带数据线传送的掩蔽信息;
以及
多工器,其被配置成:响应于掩蔽信息选择信号,从所述多个寄存器之一中选择掩蔽信息之一,并输出所选择的掩蔽信息至所述存储器单元块,
其中掩蔽信息被写入所有寄存器中的操作时间段等于数据被写入所述存储器单元块中的操作时间段。
2. 如权利要求 1 所述的半导体存储器装置,其中所述掩蔽信息的突发长度由所述一般数据的突发长度与所述寄存器的数量来确定。
3. 如权利要求 1 所述的半导体存储器装置,还包含锁存器单元,所述锁存器单元被配置成:锁存从所述多工器输出的掩蔽信息,并在从所述数据输入部输出所述经处理的数据的同时,输出所述掩蔽信息。
4. 如权利要求 1 所述的半导体存储器装置,其中所述存储器单元块被配置成:接收控制信号,且基于所述控制信号,在经由所述宽带数据线来传送所述掩蔽信息的时段期间,不执行写入操作。
5. 如权利要求 1 所述的半导体存储器装置,其中所述数据输入部包含:
垫,其具有多个数据输入/输出引脚;
串行至并行转换部,其被配置成将经由所述垫输入至所述半导体存储器装置的串行数据转换成并行数据;以及
锁存器单元,其被配置成锁存所述并行数据,并响应于输出控制信号将经锁存的并行数据输出至所述宽带数据线。
6. 如权利要求 5 所述的半导体存储器装置,其中所述输出控制信号是响应于输入至所述半导体存储器装置的写入命令而产生的信号。
7. 一种半导体存储器装置,其包含:
存储器单元块;
数据输入部,其被配置成执行信号处理,以将输入至所述半导体存储器装置的一般数据与掩蔽信息传送至所述存储器单元块,并输出经处理的数据与掩蔽信息;
宽带数据线,其耦接于所述数据输入部与所述存储器单元块之间;
第一与第二寄存器,其耦接至所述宽带数据线,以写入经由所述宽带数据线传送的掩蔽信息;以及
多工器,其被配置成:响应于掩蔽信息选择信号,从所述第一与第二寄存器之一中选择掩蔽信息之一,并输出所选择的掩蔽信息至所述存储器单元块,
其中掩蔽信息被写入所述第一与第二寄存器中的操作时间段等于数据被写入所述存储器单元块中的操作时间段。
8. 如权利要求 7 所述的半导体存储器装置,其中写入所述第一寄存器中的掩蔽信息是

以与一般数据突发长度的一半对应的突发长度来写入的,而写入至所述第二寄存器中的掩蔽信息是以与所述一般数据突发长度的另一半对应的突发长度来写入的。

9. 如权利要求 7 所述的半导体存储器装置,还包含锁存器单元,所述锁存器单元被配置成:锁存从所述多工器输出的掩蔽信息,并在从所述数据输入部输出所述经处理的数据的同时,输出所述掩蔽信息。

10. 一种半导体存储器装置的数据掩蔽方法,所述半导体存储器装置包含存储器单元块、耦接至所述存储器单元块、传送一般数据与掩蔽信息的宽带数据线、以及耦接至所述宽带数据线的多个掩蔽信息写入寄存器,所述方法包含:

当输入掩蔽信息写入命令时,以与预设的一般数据突发长度相同的时间将多个掩蔽信息写入所述多个掩蔽信息写入寄存器中;以及

当输入具有掩蔽的数据写入命令时,从所述多个掩蔽信息写入寄存器之一中选择掩蔽信息,并将所选择的掩蔽信息输出至所述存储器单元块,

其中将多个掩蔽信息写入所述多个掩蔽信息写入寄存器中包含:以通过将所述一般数据突发长度除以寄存器数量来限定的突发长度,将掩蔽信息写入每个掩蔽信息写入寄存器中。

11. 如权利要求 10 所述的数据掩蔽方法,还包含:在将所述掩蔽信息写入所述掩蔽信息写入寄存器中期间,利用预定的控制信号来停止所述存储器单元块的写入操作。

12. 如权利要求 10 所述的数据掩蔽方法,其中所述具有掩蔽的数据写入命令是对应于所述掩蔽信息写入寄存器的数量来限定的。

13. 一种半导体存储器装置的数据掩蔽方法,所述半导体存储器装置包含存储器单元块、耦接至所述存储器单元块、传送一般数据与掩蔽信息的宽带数据线、以及耦接至所述宽带数据线的的第一与第二掩蔽信息写入寄存器,所述方法包含:

当输入掩蔽信息写入命令时,以与预设的一般数据突发长度相同的时间将第一与第二掩蔽信息写入所述第一与第二掩蔽信息写入寄存器中;以及

当输入具有掩蔽的数据写入命令时,选择所述第一与第二掩蔽信息之一,并将所选择的掩蔽信息输出至所述存储器单元块,

其中所述具有掩蔽的数据写入命令是对应于所述第一与第二寄存器中的每个来限定的。

14. 如权利要求 13 所述的数据掩蔽方法,其中将所述第一与第二掩蔽信息写入所述第一与第二掩蔽信息写入寄存器中包含:

以与所述一般数据突发长度的部分对应的突发长度,将所述第一掩蔽信息写入所述第一寄存器中;以及

以与所述一般数据突发长度的剩余部分对应的突发长度,将所述第二掩蔽信息写入所述第二寄存器中。

15. 如权利要求 13 所述的数据掩蔽方法,其中将所述第一与第二掩蔽信息写入所述第一与第二掩蔽信息写入寄存器中包含:

以与所述一般数据突发长度的一半对应的突发长度,将所述第一掩蔽信息写入所述第一寄存器中;以及

以与所述一般数据突发长度的另一半对应的突发长度,将所述第二掩蔽信息写入所述

第二寄存器中。

16. 如权利要求 13 所述的数据掩蔽方法,还包含 :在将所述第一与第二掩蔽信息写入所述第一与第二寄存器中期间,利用预定的控制信号来停止所述存储器单元块的写入操作。

半导体存储器装置及其数据掩蔽方法

技术领域

[0001] 本发明涉及半导体存储器装置,而更具体地,涉及具有数据掩蔽功能的半导体存储器装置及其数据掩蔽方法。

背景技术

[0002] 数据掩蔽是一种利用预储存的掩蔽信息来防止写入特定存储器区域中的信息发生改变(即使当将新数据写入该半导体存储器装置中时)的方法,且广泛地使用于各种半导体存储器装置中。

[0003] 如图 1 所示,常规半导体存储器装置包括存储器单元块 110、垫(pad)120、串行至并行转换器(serial to parallel converter, SPC)130、第一锁存器单元 140、中继器(repeater)150、寄存器 160、多工器 170 及第二锁存器单元 180。

[0004] 垫 120 的数据输入/输出引脚的数量依赖于存储器容量、模型等。图 1 显示了包含八个数据输入/输出引脚(DQ<0:7>)的垫。

[0005] SPC 130 将经由垫 120 的各引脚所输入的串行数据转换成并行数据,并将经转换的数据输出至第一锁存器单元 140。

[0006] 第一锁存器单元 140 将从 SPC 130 输出的并行数据锁存,并响应于 DINSTBP 信号,经由宽带数据线 GIO,将该并行数据输出至存储器单元块 110。

[0007] 中继器 150 将从 SPC 130 输出的掩蔽信息(mask information)的一个字节(后文中称为 DM)放大,并将其输出至寄存器 160。中继器 150 的使用是因为该 SPC 的驱动能力不足以安全地将该 DM 传送至寄存器 160。

[0008] 寄存器 160 响应于 DMRSTBP 信号将该 DM 输出至多工器 170。

[0009] 多工器 170 响应于 WRM(具有数据掩蔽的写入)信号(同时处理数据写与数据掩蔽的命令)及 WR(write,写入)信号(其为写入命令),输出该 DM,或将其输出端子电平改变至接地电平。

[0010] 第二锁存器单元 180 将从多工器 170 输出的 DM 锁存,并响应于与 DINSTBP 信号同时产生的 DMSTBP 信号,将该 DM 输出至存储器单元块 110。

[0011] 在经由宽带数据线 GIO 而从存储器单元块 110 传送的数据中,对应于该 DM 的数据阻挡写入存储器区域中的路径,从而在该存储器区域中形成数据掩蔽,并将其它数据写入对应的存储器区域中。

[0012] 后文中将参考图 2 来详细说明该数据掩蔽的操作。

[0013] 首先,为了执行数据掩蔽操作,应先将掩蔽信息 DM 写入图 1 的寄存器 160 中。

[0014] 因此,用于将该 DM 写入图 1 的寄存器 160 中的 WRMR(write data mask register, 写入数据掩蔽寄存器)命令被输入至半导体存储器装置,而 DM 经由垫 120 的数据输入/输出引脚 DQ<0:7> 来输入。

[0015] 然后,响应于 WRMR 之后的 WRM(write with data mask,具有数据掩蔽的写入)命令,经由垫 120 的数据输入/输出引脚 DQ<0:7> 来输入数据。

[0016] 此时,如图 2 所示,当突发长度为 4(Burst 4) 时,一个字节的 DM 以一个时钟周期被输入 (0-7),但是响应于突发长度 8(Burst 8) 的操作,八个字节 (亦即 64 位) 的数据在两个时钟周期被输入 (Q0-Q7)。亦即,该 DM 输入的操作时间段与数据输入的操作时间段不同。

[0017] 数据 (Q0-Q7) 被输入至存储器单元块 110,而被锁存于第二锁存器单元 180 中的 DM(0-7) 被同时输入至存储器单元块 110,由此执行数据掩蔽。

[0018] 如上所述,由于常规半导体存储器装置对于掩蔽信息与数据具有不同的操作时间段,故不可能利用宽带数据线 GIO 来将掩蔽信息传送至寄存器,因此,应额外提供专用的信号线。在此情形下,由于经由该专用的信号线所提取的掩蔽信息的信号电平太弱,亦应增加中继器,以稳定地将掩蔽信息传送至寄存器。因此,由于数据掩蔽,电路尺寸会增加。

发明内容

[0019] 本发明的实施例提供能够使电路尺寸最小化的半导体存储器装置及其数据掩蔽方法。

[0020] 本发明的实施例提供了一种半导体存储器装置,其包含:存储器单元块;数据输入部,其执行信号处理,以将输入至所述半导体存储器装置的一般数据与掩蔽信息传送至所述存储器单元块,并输出经处理的数据与信息;宽带数据线,其连接于所述数据输入部与所述存储器单元块之间;多个寄存器,其连接至所述宽带数据线,写入经由所述宽带数据线所传送的掩蔽信息;以及多工器,其响应于掩蔽信息选择信号,从所述多个寄存器之一中选择所述掩蔽信息之一,并输出所选择的掩蔽信息至所述存储器单元块,其中掩蔽信息被写入所有寄存器中的操作时间段等于数据被写入所述存储器单元块中的操作时间段。

[0021] 本发明另一实施例提供了一种半导体存储器装置的数据掩蔽方法,所述半导体存储器装置包含存储器单元块、连接至所述存储器单元块并传送一般数据与掩蔽信息的宽带数据线、以及连接至宽带数据线的多个掩蔽信息写入寄存器,所述方法包含:当输入掩蔽信息写入命令时,以与预设的一般数据突发长度相同的时间将掩蔽信息写入所述多个掩蔽信息写入寄存器中;以及当输入具有掩蔽的数据写入命令时,选择多个掩蔽信息之一,并将所选择的掩蔽信息输出至存储器单元块,其中将多个掩蔽信息写入多个掩蔽信息写入寄存器中包含:以通过将一般数据突发长度除以寄存器数量来限定的突发长度,将掩蔽信息写入每个掩蔽信息写入寄存器中。

[0022] 通过参考说明书的其余部分以及附图可更进一步了解本发明的性质与优点。

附图说明

[0023] 将参考附图对本发明的非限制性且非穷尽性的实施例加以说明,其中除非另有指定,图中相似的参考标记代表相似的部件,且其中:

[0024] 图 1 为常规半导体存储器装置的框图;

[0025] 图 2 为显示常规半导体存储器装置的数据掩蔽方法的示意图;

[0026] 图 3 为根据本发明实施例的半导体存储器装置的框图;

[0027] 图 4 为根据本发明实施例的半导体存储器装置的操作时序图;以及

[0028] 图 5 为显示根据本发明实施例的半导体存储器装置的数据掩蔽方法的示意图。

具体实施方式

[0029] 现在将参考附图详细说明本发明的典型实施例。然而,本发明可以不同形式来实现,且应不限于此处所述的实施例。所提供的这些实施例是用来透彻且完整地披露本发明,并且可以使所属领域普通技术人员能完全了解本发明之范畴。图中,相似的参考标记表示相似的组件。

[0030] 后文中,将结合附图来说明本发明的典型实施例。

[0031] 如图 3 所示,根据本发明的半导体存储器装置包括存储器单元块 110、数据输入部 120、130 和 140、宽带数据线 GIO、第一寄存器 310、第二寄存器 320、多工器 330 及第二锁存器单元 340。

[0032] 存储器单元块 110 可不将对应于掩蔽信息的数据写入对应的存储器单元中,但其可将其它数据写入该对应的存储器区域中。这是因为用于将对应于该掩蔽信息的数据写入存储器单元中的路径会被该掩蔽信息所阻挡。存储器单元块 110 可接收预定的控制信号(亦即写入控制信号 WRSTPB),使其在经由宽带数据线 GIO 来传送掩蔽信息的时段期间不执行写入操作。这是因为经由宽带数据线 GIO 来传送掩蔽信息以防止数据被写入存储器单元块 110 中。

[0033] 数据输入部 120、130、140 执行对输入至该半导体存储器装置的一般数据与掩蔽信息的信号处理,使其可被传送至存储器单元块,并输出经处理的数据与信息。所述数据输入部可包含:垫 120,其具有多个数据输入/输出引脚 DQ<0:7>;串行至并行转换器(SPC) 130,其将经由垫 120 输入至该半导体存储器装置的串行数据转换成并行数据;及第一锁存器单元 140,其锁存该并行数据,并响应于第一输出控制信号 DINSTBP 而将该并行数据输出至宽带数据线 GIO。此处,第一输出控制信号 DINSTBP 可为在时间间隔期间响应于输入至该半导体存储器装置的写入命令而产生的信号。

[0034] 宽带数据线 GIO 可耦接于数据输入部 120、130、140 中的第一锁存器单元 140 与存储器单元块 110 之间。当该半导体存储器装置使用分离的数据线(亦即数据读取线与数据写入线)时,宽带数据线 GIO 可对应于写入宽带数据线 WGIO。

[0035] 第一与第二寄存器 310 与 320 可耦接至宽带数据线 GIO,其可写入经由宽带数据线 GIO 所传送的掩蔽信息,且可响应于第二输出控制信号 DMRSTBP,将掩蔽信息输出至多工器 330。第一与第二寄存器 310 与 320 仅用以作为说明性的范例,本发明并不限于此,而可使用三个或更多个寄存器。然而,如相关技术所述,在总突发长度(其中,掩蔽信息被写入所有寄存器中)等于其中一般数据被写入存储器单元块 110 中的突发长度的情形下,可利用宽带数据线 GIO 来传送掩蔽信息。因此,可在满足以上情形的范围内使用期望数量的寄存器。在此情形下,待写入每个寄存器中的掩蔽信息的突发长度依赖于一般数据的突发长度与寄存器的使用数量来确定。

[0036] 多工器 330 可响应于掩蔽信息选择信号 WRM1、WRM2、WR,从第一与第二寄存器 310 及 320 之一中选择掩蔽信息,并可输出所选择的掩蔽信息。

[0037] WRM1 是用于选择来自第一寄存器 310 的掩蔽信息的命令,WRM2 是选择第二掩蔽信息的掩蔽信息的命令,而 WR 是一般写入命令。当 WR 被输入时,多工器 330 可改变其输出端子的电压至接地电平 VSS。

[0038] 第二锁存器单元 340 可响应于第三输出控制信号 DMSTBP 来锁存从多工器 330 输出的掩蔽信息,并在从第一锁存器单元 140 输出数据的同时,将经锁存的掩蔽信息输出至存储器单元块 110。此时,第三输出控制信号 DMSTBP 可为与第一输出控制信号 DINSTBP 同时产生的信号。

[0039] 后文中将参考图 4 与图 5 来详细说明根据本发明实施例的半导体存储器装置的典型数据掩蔽操作。

[0040] 首先,为了执行数据掩蔽操作,应先将掩蔽信息 DM 写入第一与第二寄存器 310 与 320 中。

[0041] 因此,如图 4 所示,用以将 DM 写入的命令,亦即 WRMR(写入数据掩蔽寄存器),可输入至半导体存储器装置,且 DM 可经由垫 120 的数据输入/输出引脚 DQ<0:7> 针对两个时钟 T1 与 T2 来输入。

[0042] 然后,在输入 DM 之后,一般数据可经由垫 120 的数据输入/输出引脚 DQ<0:7> 针对两个时钟 T3 与 T4 来输入。

[0043] 接下来,可经由 SPC130 将 DM 与一般数据转换成并行数据,并输出至第一锁存器单元 140。

[0044] 第一锁存器单元 140 可响应于第一输出控制信号 DINSTBP 连续地传送 DM 与一般数据至宽带数据线 GIO。

[0045] 然后,第一与第二寄存器 310 与 320 可分别响应于第二输出控制信号 DMRSTBP 经由宽带数据线 GIO 来写入 DM(0-7) 与 DM(8-15),并输出 DMREG1(0-7) 与 DMREG2(8-15) 至多工器 330。

[0046] 接下来,多工器 330 可响应于在 WRMR 之后输入的 WRM1(具有数据掩蔽的写入)命令,选择 DMREG1(0-7) 作为第一寄存器 310 之输出,并将 DMREG1(0-7) 输出至第二锁存器单元 340。

[0047] 然后,第二锁存器单元 340 可响应于第三输出控制信号 DMSTBP 而锁存 DMREG1(0-7),并将 DM_GIO(0-7) 输出至存储器单元块 110。

[0048] 此时,由于第三输出控制信号 DMSTBP 是与第一输出控制信号 DINSTBP 同时产生的信号,因此一般数据与 DM(0-7) 可被同时输入至存储器单元块 110。

[0049] 因此,存储器单元块 110 可执行对于在一般数据中与 DM(0-7) 对应的数据的掩蔽操作,且可正常地写入其它一般数据。

[0050] 后文中将参考图 5 来详细说明典型的 DM 写入与掩蔽过程。

[0051] 如图 5 所示,DM 被划分成用于第一寄存器 310 的 DM1(a0-a7) 与用于第二寄存器 320 的 DM2(b0-b7),其作为突发长度 4 Burst4 来输入。因此,DM1 与 DM2 的总突发长度为 8,其与一般数据(Q0-Q7)的突发长度 8(Burst8)相同。因此,该 DM 与一般数据的突发长度(亦即操作时间段)彼此相同,使得一般数据(Q0-Q7)与掩蔽信息能经由宽带数据线 GIO 一起传送。

[0052] 掩蔽信息的突发长度可根据一般数据的突发长度(Q0-Q7)与寄存器的数量来确定。由于寄存器的数量 310 与 320 为 2,故每个寄存器的突发长度为 4。若寄存器的数量为 4,则掩蔽信息的数量亦为 4,且掩蔽信息的每个突发长度为 2。

[0053] 如上所述,通过使掩蔽信息的总突发长度等于一般数据的突发长度,可经由宽带

数据线 GIO 来传送掩蔽信息。此外,亦可将掩蔽信息写入多个寄存器并选择性地使用掩蔽信息。

[0054] 由上述可知,根据本发明实施例的半导体存储器装置与数据掩蔽方法具有以下优点。

[0055] 第一,由于掩蔽信息利用宽带数据线 GIO 来写入,故不需要专用的信号线与中继器,且因此能使电路尺寸最小化并增加布局裕度。

[0056] 第二,由于掩蔽信息可利用多个寄存器来写入并可选择性地使用,故可增进数据掩蔽的方便性与性能。

[0057] 上述主题仅为示例性的,而非限制性的,且所附权利要求旨在涵盖本发明的真实精神与范畴内的所有修改、提升、与其它实施例。因此,在法律所允许的最大范围内,本发明的范围应由所附权利要求的可允许的最宽泛的解释及其等同来确定,且应不限于上述详细说明。

[0058] **【主要组件符号说明】**

[0059] 110 存储器单元块

[0060] 120 垫

[0061] 130 串行至并行转换器 (SPC)

[0062] 140 第一锁存器单元

[0063] 150 中继器

[0064] 160 寄存器

[0065] 170 多工器

[0066] 180 第二锁存器单元

[0067] 310 第一寄存器

[0068] 320 第二寄存器

[0069] 330 多工器

[0070] 340 第二锁存器单元

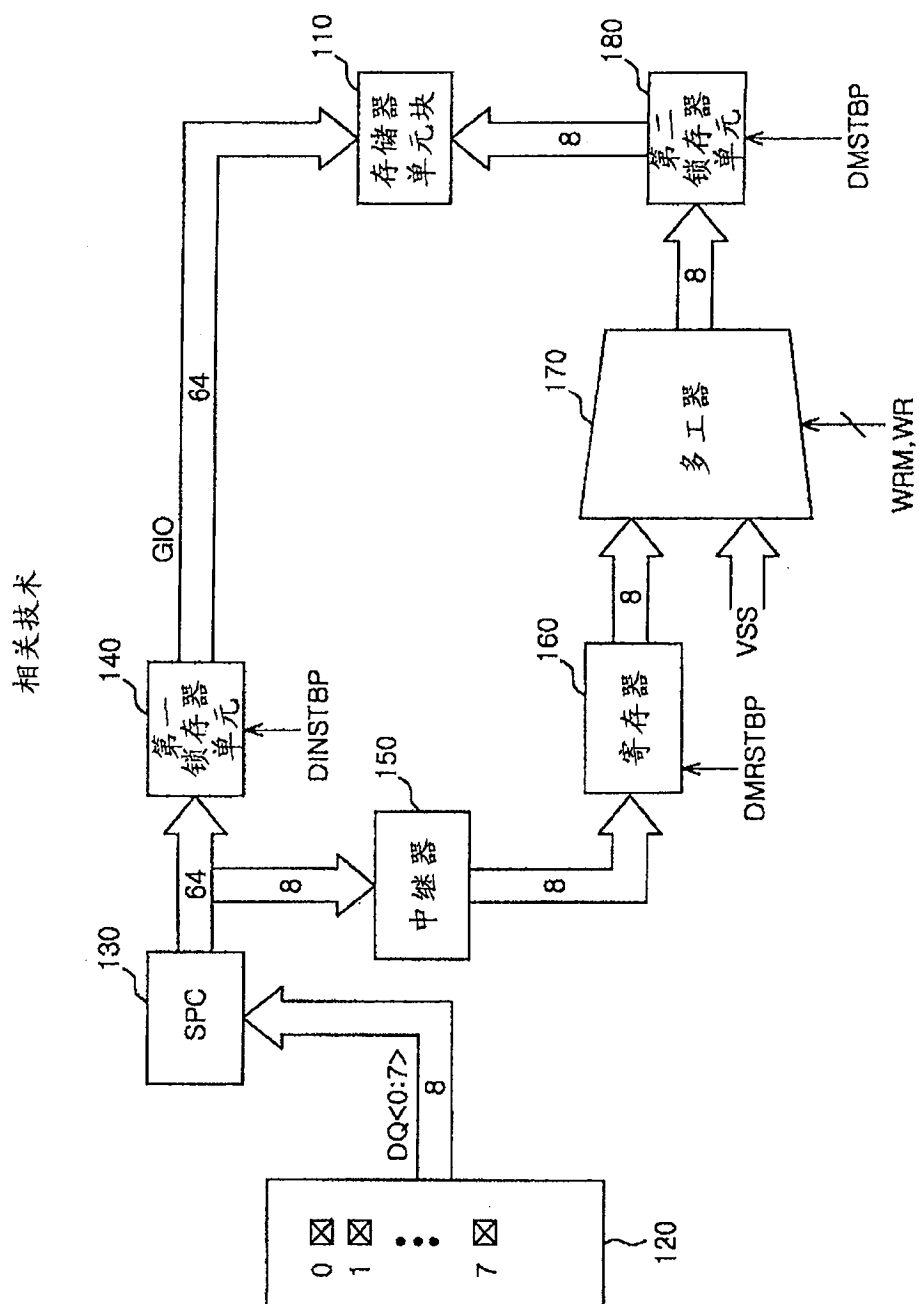


图 1

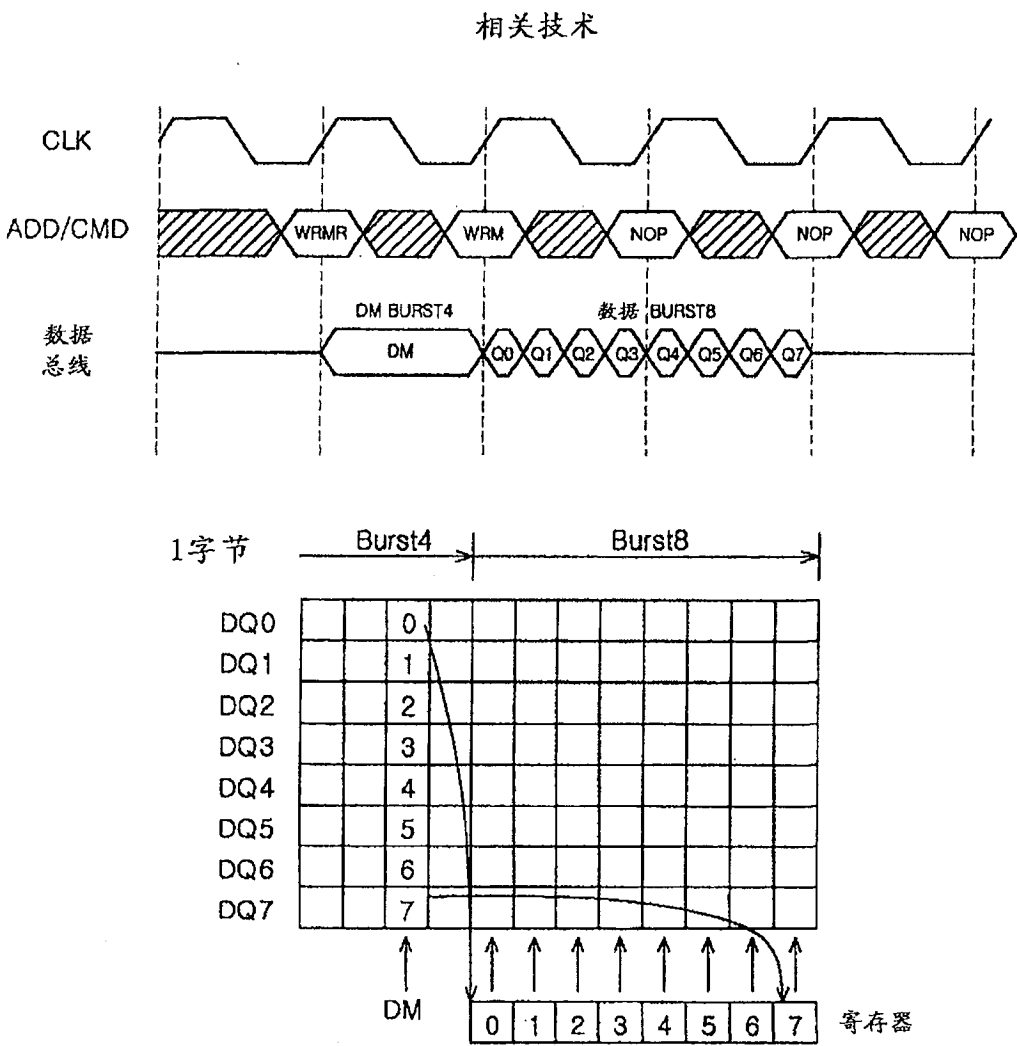


图 2

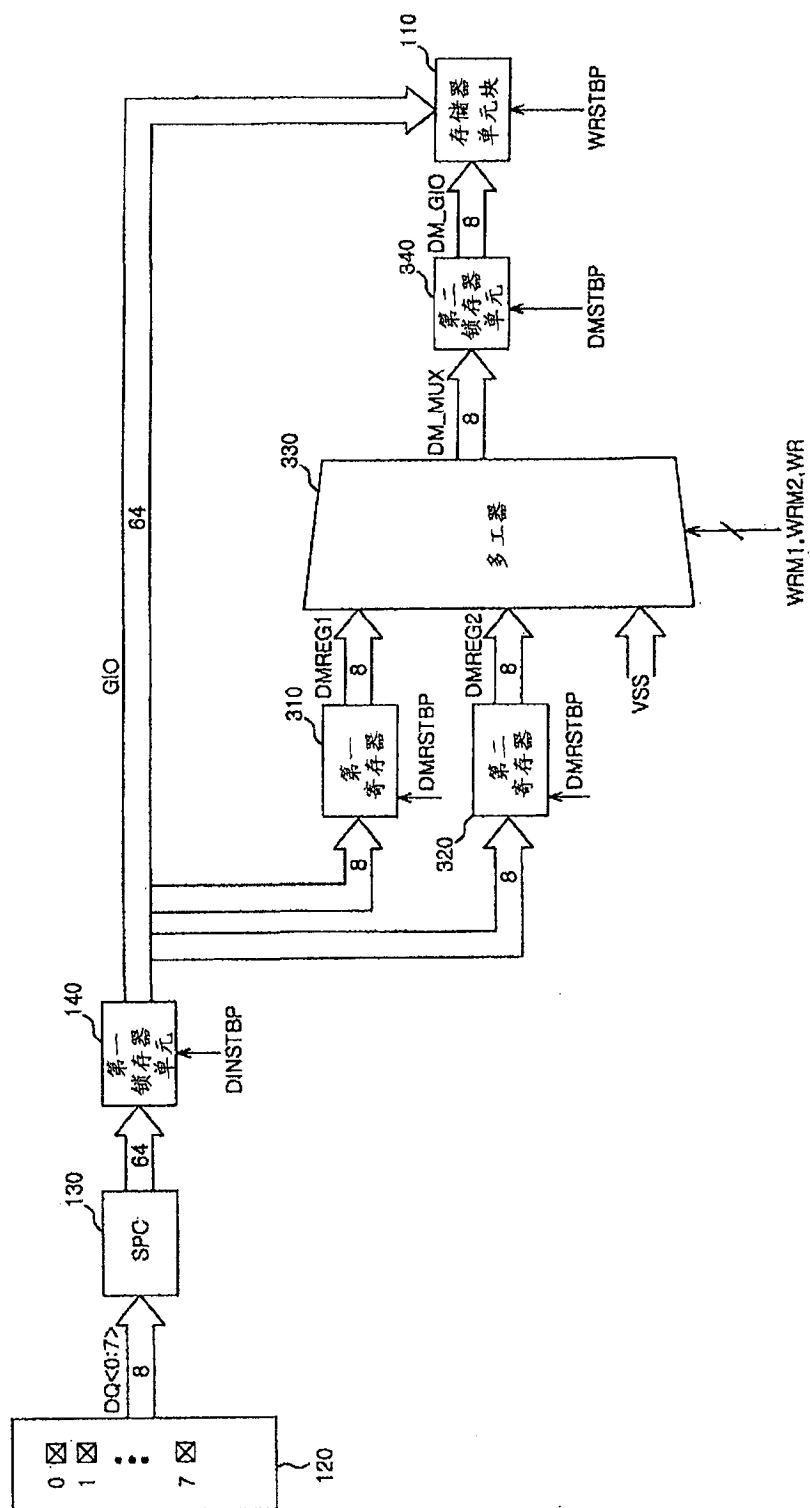


图 3

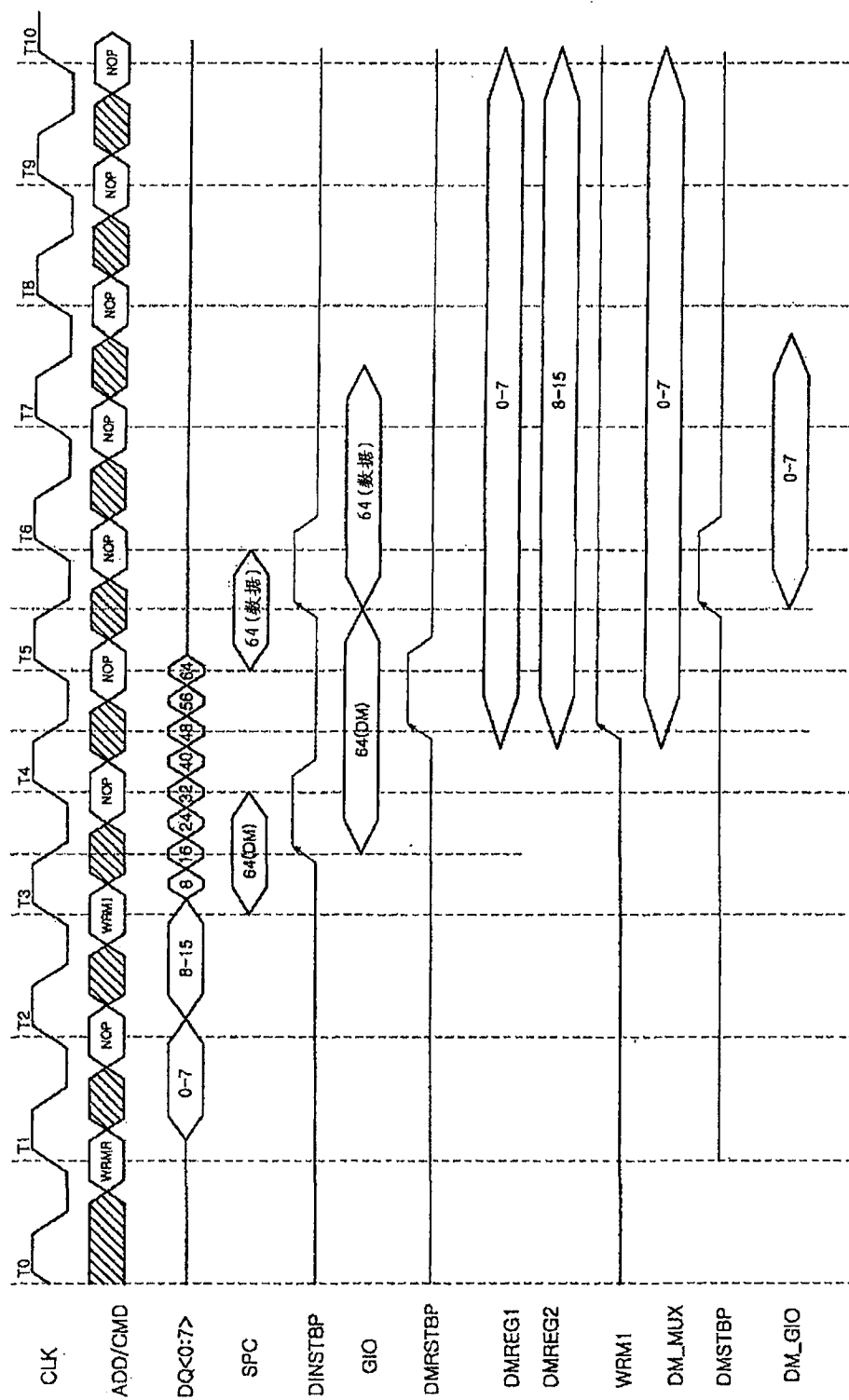


图 4

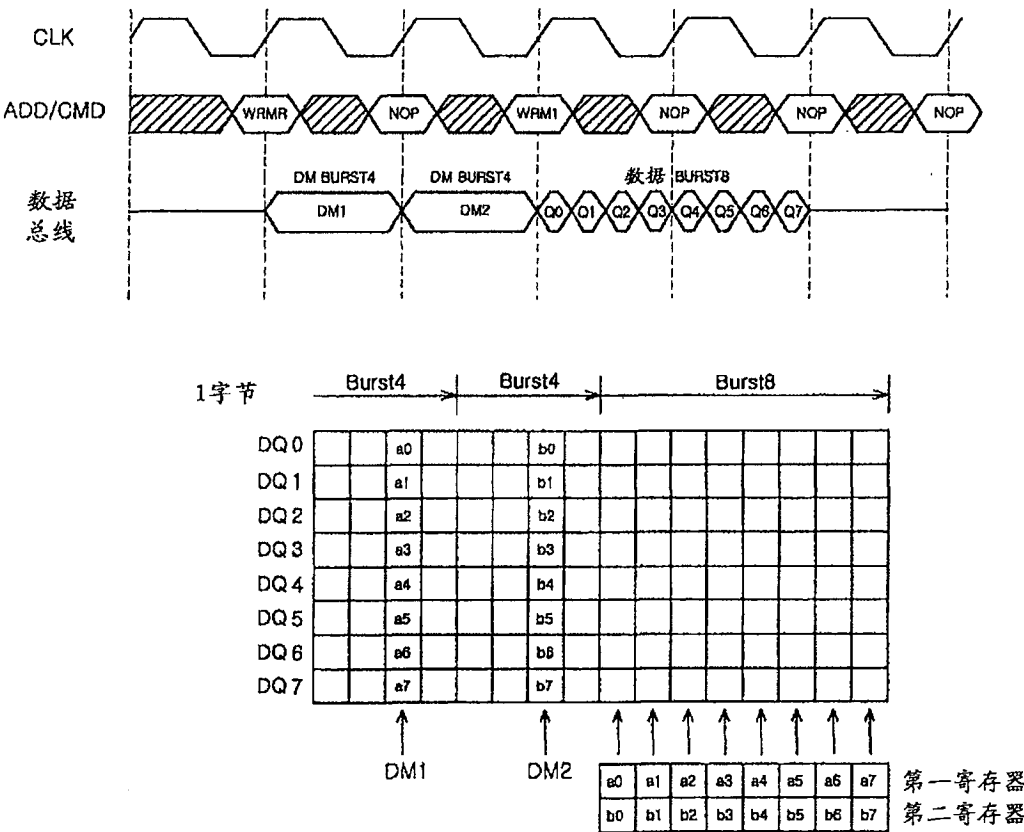


图 5