



(12) 发明专利

(10) 授权公告号 CN 101461137 B

(45) 授权公告日 2012. 09. 26

(21) 申请号 200780020522. 6

(22) 申请日 2007. 04. 06

(30) 优先权数据

11/445, 652 2006. 06. 02 US

(85) PCT申请进入国家阶段日

2008. 12. 02

(86) PCT申请的申请数据

PCT/US2007/066121 2007. 04. 06

(87) PCT申请的公布数据

W02007/143270 EN 2007. 12. 13

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 保罗·T·班尼特 兰德尔·C·格雷

马修·D·汤普森

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 穆德骏 陆锦华

(51) Int. Cl.

H03K 5/12 (2006. 01)

H03K 3/00 (2006. 01)

H03B 1/00 (2006. 01)

(56) 对比文件

CN 1607729 A, 2005. 04. 20,

US 6078204 A, 2000. 06. 20,

CN 1325563 A, 2001. 12. 05,

US 5920224 A, 1999. 07. 06,

US 5920224 A, 1999. 07. 06,

审查员 徐波

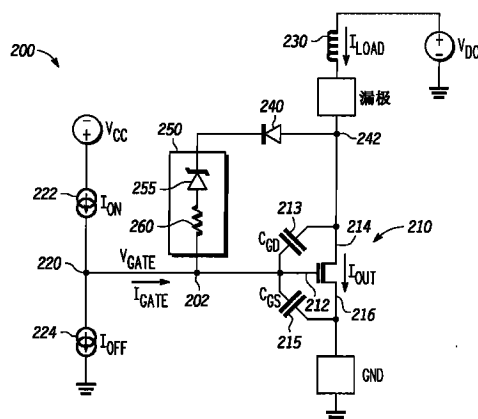
权利要求书 2 页 说明书 7 页 附图 7 页

(54) 发明名称

功率晶体管减少电感反激期间的电压瞬变的
转换速率控制装置和方法

(57) 摘要

公开了在晶体管 (210) 被切断时减少来自电源开关 (200) 的传导发射量 / 辐射发射量的装置和方法。另外, 公开了当电源开关被切断时减少电源开关中的转换速率的装置和方法。该装置包括晶体管 (210), 晶体管 (210) 包括耦合至晶体管的电感负载 (230), 该装置还包括耦合至晶体管的栅极的多个电流源 (222, 224) 以及根据电感负载的位置而耦合至晶体管的栅极和漏极、或者栅极和地的箝位电路 (250), 其中箝位电路包括电阻元件 (260), 以当电流流过箝位电路时增加箝位电路的电压, 以及其中增加的电压致使装置包括不同转换速率。



1. 一种特征在于电感反激转换速率更改的装置,包括:

晶体管,包括栅极、源极以及漏极;

电感负载,耦合至所述漏极;

多个电流源,耦合到所述栅极,其中所述多个电流源的第一电流源可配置用来导通所述晶体管,而所述多个电流源的第二电流源可配置用来切断所述晶体管;以及

箝位电路,耦合在所述栅极和所述漏极之间,其中所述箝位电路包括第一电阻元件,所述第一电阻元件可配置用来响应于流过所述箝位电路的电流来增加所述箝位电路的电压,以及其中响应于所述箝位电路的增加电压,所述装置操作以包括与经由不存在所述第一电阻元件而提供的转换速率不同的更改的转换速率,

其中,所述箝位电路还包括:

第二电阻元件,与所述第一电阻元件串联耦合;以及

第三开关,耦合至所述箝位电路,其中所述第三开关的第一侧耦合至所述第二电阻元件的一侧,而所述第三开关的第二侧耦合至所述第二电阻元件的相对侧,其中响应于所述第三开关处于断开状态,禁止电流流过所述第二电阻元件,以及其中响应于所述第三开关处于闭合状态,使电流能够流过所述第二电阻元件。

2. 根据权利要求1所述的装置,其中所述箝位电路还包括第一齐纳二极管,所述第一齐纳二极管与所述第一电阻元件串联耦合。

3. 根据权利要求2所述的装置,其中所述箝位电路可配置有预定电压,以降低所述装置的转换速率。

4. 根据权利要求3所述的装置,其中所述预定电压由至少一个齐纳二极管的预定电压、所述第一电流源的预定电流与所述第一电阻元件的预定电阻的乘积以及所述栅极和所述源极上的预定电压中的至少一个确定。

5. 根据权利要求4所述的装置,其中所述预定电阻由所述晶体管的期望电压输出和期望栅极下拉电流中的至少一个确定。

6. 根据权利要求2所述的装置,其中所述箝位电路还包括第二齐纳二极管,所述第二齐纳二极管与所述第一电阻元件并联耦合。

7. 根据权利要求1所述的装置,还包括:

第三电流源,耦合至所述栅极并与所述第一电流源并联耦合;

第一开关,耦合至所述第三电流源,其中所述第一开关可配置用来接通/切断所述第三电流源;

第四电流源,耦合至所述栅极并与所述第二电流源并联耦合;以及

第二开关,耦合至所述第四电流源,其中所述第二开关可配置用来接通/切断所述第四电流源。

8. 一种特征在于电感反激转换速率更改的装置,包括:

晶体管,包括栅极、源极以及漏极;

电感负载,耦合至所述源极;

多个电流源,耦合至所述栅极,其中所述多个电流源的第一电流源可配置用来导通所述晶体管,而所述多个电流源的第二电流源可配置用来切断所述晶体管;

箝位电路,耦合在所述栅极和地之间,其中所述箝位电路包括第一电阻元件,所述第一

电阻元件可配置用来响应于流过所述箝位电路的电流来增加所述箝位电路的电压,以及其中响应于所述箝位电路的增加电压,所述装置操作用以包括与经由不存在所述第一电阻元件而提供的转换速率不同的更改的转换速率;

第三电流源,耦合至所述栅极并与所述第一电流源并联耦合;以及

第一开关,耦合至所述第三电流源,其中所述第一开关可配置用来接通/切断所述第三电流源。

9. 根据权利要求8所述的装置,其中所述箝位电路还包括第一齐纳二极管,所述第一齐纳二极管与所述第一电阻元件串联耦合。

10. 根据权利要求8所述的装置,其中所述箝位电路可配置有预定电压,以降低所述装置的转换速率。

11. 根据权利要求10所述的装置,其中所述预定电压由至少一个齐纳二极管的预定电压、所述第一电流源的预定电流与所述第一电阻元件的预定电阻的乘积以及所述栅极和所述源极上的预定电压中的至少一个确定。

12. 根据权利要求11所述的装置,其中所述预定电阻由所述晶体管的期望电压输出和期望栅极下拉电流中的至少一个确定。

13. 根据权利要求9所述的装置,其中所述箝位电路还包括与所述第一电阻元件并联耦合的第二齐纳二极管。

14. 根据权利要求13所述的装置,其中所述箝位电路还包括:

第二电阻元件,与所述第一电阻元件串联耦合;以及

第二开关,耦合至所述箝位电路,其中所述第二开关的第一侧耦合在所述第二电阻元件的一侧上,而所述第二开关的第二侧耦合至所述第二电阻元件的相对侧,其中响应于所述第二开关处于断开状态,禁止电流流过所述第二电阻元件,以及其中响应于所述第二开关处于闭合状态,使电流能够流过所述第二电阻元件。

15. 一种减少电感反激期间电压瞬变的方法,所述方法包括:

识别功率晶体管的期望转换速率,所述功率晶体管包括:

晶体管,

至少一个电流源,将输入电流量提供到所述晶体管,

电感负载,以及

箝位电路,耦合至所述晶体管,其中所述箝位电路包括与至少一个电阻元件串联耦合的至少一个齐纳二极管,与所述第一电阻元件串联耦合的第二电阻元件,以及耦合至所述箝位电路的第三开关,其中所述第三开关的第一侧耦合至所述第二电阻元件的一侧,而所述第三开关的第二侧耦合至所述第二电阻元件的相对侧,其中响应于所述第三开关处于断开状态,禁止电流流过所述第二电阻元件,以及其中响应于所述第三开关处于闭合状态,使电流能够流过所述第二电阻元件;

调节所述箝位电路的电压以获得所述期望转换速率;以及

调节提供到所述晶体管的所述输入电流量,其中,调节所述输入电流量包括增加和减少来自至少两个附加电流源的输入电流中的一个。

16. 根据权利要求15所述的方法,其中:

调节所述电压包括对所述箝位电路增加电阻和从所述箝位电路减少电阻中的一种。

功率晶体管减少电感反激期间的电压瞬变的转换速率控制 装置和方法

技术领域

[0001] 本发明总体涉及半导体器件,更具体地涉及电源开关。

背景技术

[0002] 在电源开关中,当切断驱动电感负载(inductive load)的晶体管时,该晶体管的漏极电压突然增加。漏极电压的突然变化通常引起输出线上的传导发射或辐射发射通向电感负载。传导发射和/或辐射发射通常在耦合至或最接近于电源开关的其它电子器件中引起干扰,这会使得整个系统执行低于预期。

[0003] 因此,需要提供当晶体管切断时减少来自电源开关的传导发射量或辐射发射量的装置和方法。另外,期望提供当晶体管被切断时更改电源开关中电压的转换时间的装置和方法。此外,结合附图和本发明背景技术,从本发明的随后描述和所附权利要求,本发明的其它期望特征和特性将变得显而易见。

发明内容

[0004] 总的说来,公开了用以在电感反激期间更改转换速率的装置。在一个实施例中,该装置包括晶体管,该晶体管包括栅极、源极以及漏极,其中电感负载耦合至漏极。此外,该装置包括耦合至栅极的多个电流源,其中第一电流源导通该晶体管,以及第二电流源切断该晶体管。另外,该装置包括耦合至栅极和漏极的箝位电路。该箝位电路包括当电流流过该箝位电路时增加该箝位电路电压的第一电阻元件,其中增加的电压使该装置包括不同的转换速率。其中,箝位电路还包括:与第一电阻元件串联耦合的第二电阻元件,以及耦合至箝位电路的第三开关,其中第三开关的第一侧耦合至第二电阻元件的一侧,而第三开关的第二侧耦合至第二电阻元件的相对侧,其中响应于第三开关处于断开状态,禁止电流流过第二电阻元件,以及其中响应于第三开关处于闭合状态,使电流能够流过第二电阻元件。

[0005] 根据一个实施例,该箝位电路包括第一齐纳二极管,且该第一齐纳二极管与第一电阻元件串联耦合。在另一实施例中,该箝位电路包括预定电压以降低装置的转换速率。在又一实施例中,该预定电压由至少一个齐纳二极管的预定电压、第一电流源的预定电流与第一电阻元件的预定电阻的乘积以及栅极和源极上的预定电压中的至少一个确定。此外,在示例性实施例中,预定电阻由晶体管的期望电压输出和期望栅极下拉电流中的至少一个确定。在该装置的另一实施例中,该箝位电路还包括与第一电阻元件并联耦合的第二齐纳二极管。

[0006] 在另一示例性实施例中,该装置还包括耦合至栅极并且与第一电流源并联耦合的第三电流源以及耦合在第三电流源和栅极之间的第一开关,其中第一开关接通和/或切断第三电流源。

[0007] 另外,本公开还论述了用以在电感反激期间更改转换速率的第二装置。在一个实施例中,第二装置包括晶体管,该晶体管包括栅极、源极以及漏极,其中电感负载耦合至源

极。在一个实施例中,该装置包括耦合至栅极的多个电流源,其中第一电流源导通该晶体管,而第二电流源切断该晶体管。另外,该装置包括耦合至栅极和地的箝位电路,该箝位电路包括当电流流过该箝位电路时增加该箝位电路电压的第一电阻元件,其中增加的电压使该装置包括不同的转换速率。另外,该装置包括耦合至栅极并与第一电流源并联耦合的第三电流源,以及耦合至第三电流源的第一开关,其中第一开关可配置用来接通/切断第三电流源。

[0008] 根据一个实施例,该箝位电路包括第一齐纳二极管,且该第一齐纳二极管与第一电阻元件串联耦合。在另一实施例中,该箝位电路包括预定电压以降低该装置的转换速率。在又一实施例中,该预定电压由至少一个齐纳二极管的预定电压、第一电流源的预定电流与第一电阻元件的预定电阻的乘积以及栅极和源极上的预定电压中的至少一个确定。此外,在示例性实施例中,预定电阻由晶体管的期望电压输出和期望栅极下拉电流中的至少一个确定。在该装置的另一实施例中,该箝位电路还包括与第一电阻元件并联耦合的第二齐纳二极管。

[0009] 在又一实施例中,该箝位电路还包括与第一电阻元件串联耦合的第二电阻元件以及耦合至箝位电路的第二开关,其中第二开关的第一侧耦合在第二电阻元件的一侧上而第二开关的第二侧耦合在第二电阻元件的相对侧上,使得当第二开关断开时电流不流过第二电阻元件,而当第二开关闭合时电流流过第二电阻元件。

[0010] 另外,本公开还论述了一种用以在电感反激期间更改转换速率的方法。在一个实施例中,该方法包括识别功率晶体管的期望转换速率以及调节箝位电路的电压以获得期望转换速率。该功率晶体管包括晶体管和对该晶体管提供输入电流量的至少一个电流源、电感负载以及耦合到晶体管的箝位电路,其中该箝位电路包括与至少一个电阻元件串联耦合的至少一个齐纳二极管;调节所述箝位电路的电压以获得所述期望转换速率;以及调节提供到晶体管的输入电流量,其中,调节输入电流量包括增加和减少来自至少两个附加电流源的输入电流中的一个。根据一个示例性实施例,调节电压包括对箝位电路增加电阻和从箝位电路减少电阻中的一个。

附图说明

[0011] 下文中将结合以下附图描述本发明,其中相同的附图标记表示相同的元件,且其中:

[0012] 图 1 是现有技术电源开关的图;

[0013] 图 2A 是具有减少的传导发射或辐射发射的电源开关的一个实施例的图;

[0014] 图 2B 是图 2A 中具有保护电路的电源开关的图;

[0015] 图 2C 是图 2A 中包括可调转换速率的电源开关的一个实施例的图;

[0016] 图 3A 是具有减少的传导发射或辐射发射的电源开关的另一实施例的图;

[0017] 图 3B 是图 3A 中具有保护电路的电源开关的图;

[0018] 图 3C 是图 3A 中包括可调转换速率的电源开关的一个实施例的图;以及

[0019] 图 4 是用以减少电源开关中的传导发射或辐射发射的方法的流程图。

具体实施方式

[0020] 以下详细描述实质上仅仅是说明性的,而非旨在限制可能实施方式的范围或应用。此外,并不存在由前述技术领域、背景技术、发明内容或以下详细描述所介绍的任何明确或暗含理论划界的意图。

[0021] 此处借助功能块组件和 / 或逻辑块组件以及不同的处理步骤来描述不同的实施例。应当了解,可经由配置用以实现具体功能的任意数目的硬件、软件和 / 或固件组件来实现这样的块组件。出于简明原因,此处并未详尽论述有关半导体处理、封装,以及半导体器件的常规技术和系统。

[0022] 如上所述,常规电源开关不能满足许多方面。例如,参照图 1A,电源开关 100 包括具有栅极 112、漏极 114 以及源极 116 的晶体管 110。此外,晶体管 110 本身包括栅 - 漏电容器 (C_{gd}) 113 和栅 - 源电容器 (C_{gs}) 115。

[0023] 栅极 112 经由节点 120 被耦合至电流源 122 和电流源 124。另外,电流源 122 耦合至电压源 V_{CC} ,而电流源 124 耦合至地。

[0024] 电源开关 100 通常包括与电源电压 V_{dc} 串联耦合的电感负载 130,其中电感负载 130 还耦合至漏极 114。此外,电源开关 100 包括耦合至漏极节点 142 和箝位电路 150 的二极管 140,其中箝位电路 150 还耦合至栅极节点 102。如图所示,箝位电路 150 为包括一个或多个齐纳二极管 155 的齐纳箝位电路。另外,电源开关 100 还提供耦合到地的源极 116。

[0025] 在操作中,在接通电流源 122 (I_{on}) 时晶体管 110 被导通,这将导致栅极电压 (V_{gate}) (即,栅极 112 处的电压电势和源极 116 处的电压电势之间的差值) 以从 0 伏特开始增加。当 V_{gate} 达到晶体管 110 的阈值电压 (V_{th}) 时,漏极电压 (V_{drain}) 开始降低并且直到达到 0 伏特,栅极电流 (I_{gate}) 开始流动以对 C_{gd} 113 和 C_{gs} 115 充电。其中漏极电压的转换速率 $d(V_{drain})/dt$ 与 I_{gate}/C_{gd} 成比例。此外,当 V_{drain} 达到 0 伏特时, V_{gate} 开始增加到 V_{th} 以上,这将导致输出电流 (I_{out}) 开始经由漏 - 源路径流过电感元件 130 和晶体管 110。

[0026] 通过切断电流源 122 并接通电流源 124 (I_{off}) 而切断晶体管 110。这导致 V_{gate} 开始降低。一旦 V_{gate} 降低到 V_{th} , V_{drain} 当晶体管 110 开始切断时开始增加。通过迫使 V_{drain} 超过电源电压 (V_{dc}) 直到其突然达到其最大电压 (即,箝位电路阈值电压),电感元件 130 继续使负载电流 (I_{load}) 流过,这使得 V_{gate} 保持在 V_{th} 。这允许晶体管 110 使来自电感元件 130 的 I_{load} 流过,直到其减少到 0。当 V_{drain} 大于 V_{dc} 时,电感元件 130 中的电流开始减少 (即, $V_{inductor} = L(di/dt)$)。特别地,当电感元件 130 上的电压反转,电流减少。

[0027] 当 V_{drain} 接近箝位电路阈值电压时,箝位电路 150 中的电流突然从流动 0 电流变为流动 I_{gate} 。此外,当 V_{drain} 接近最大电压时, V_{drain} 在该点处出现突然变化 (即,从电压增加突然变为基本恒定的电压)。如上所述,这些电压和电流的突然变化导致具有干扰其它电子器件的电势的至少一些传导发射或辐射发射。

[0028] 参照图 2A,示出具有减少的传导发射和 / 或辐射发射的电源开关 200 的一个示例性实施例。在一个实施例中,电源开关 200 包括具有栅极 212、漏极 214 (以及固有的栅 - 漏电容器 213) 和源极 216 (以及固有的栅 - 源电容器 215) 的晶体管 210 (例如,场效应晶体管等)。

[0029] 另外,电源开关 200 包括耦合至晶体管 210 并耦合至电流源 222 和 224 的节点 220。其中电流源 222 和 224 基本上尺寸相同,使得可适当地导通和切断晶体管 210。此外,电源开关 200 包括耦合至漏极 214、电感元件 (例如,电感器) 230 以及二极管 240 的漏极节点

242。在不同示例性实施例中,电感元件 230 包括大约 5mH(毫亨)至大约 100mH 范围内的电感。此外,二极管 240 耦合至包括至少一个齐纳二极管 255 的箝位电路 250,其中箝位电路 250 还耦合至栅极节点 202。齐纳二极管 255 可以是本技术领域中公知的或者是将来开发的能够执行与齐纳二极管功能相似的齐纳二极管或器件。此外,齐纳二极管 255 可包括任意适用的电压阈值 (V_{zth})。

[0030] 根据一个示例性实施例,箝位电路 250 包括与齐纳二极管 255 串联耦合的电阻元件 260。在一个实施例中,电阻元件 260 为电阻器。另外,开关 200 的不同实施例认为电阻元件 260 可以是能够对箝位电路 250 增加电阻的任意硬件器件。

[0031] 根据一个示例性实施例,电阻元件 260 包括大约 5k Ω (千欧)至大约 100k Ω 范围内的电阻。特别地,电阻元件 260 的电阻 (R) 依赖于箝位电路 250 的期望输出电压和栅极 212 的下拉电流。换句话说,根据以下公式:

[0032] $V_{clamp} = V_z + V_{gs} + V_{diode} + (I_{gate})(R)$, 其中 V_z 是齐纳二极管 255 的电压, V_{gs} 是栅-源电压, V_{diode} 是二极管 240 的电压, I_{gate} 是由电流源 224 提供的下拉电流, 以及 R 是电阻元件 260 的电阻。

[0033] 在操作中,电源开关 200 与上述讨论的电源开关 100 相类似地执行。但是,通过增加 V_{drain} 从增加到达到其最大电压的转变和 / 或 I_{out} 从增加到减少的转变所花的时间,对箝位电路 250 增加的电阻元件 260 减少来自电源开关 200 的传导发射或辐射发射。具体地,电源开关 200 使得电流在 V_{drain} 达到最大电压之前开始在箝位电路 250 中流动。此外,当电压升高到 $V_z + V_{gs} + V_{diode}$ 时,电阻元件 260 开始传导电流。当 V_{drain} 等于 $V_z + V_{gs} + V_{diode} + (I_{gate})(R)$ 时达到最大电压。通过增加电阻元件 260 来缓解 (或缓和) 接近于最大电压的 V_{drain} 的突然转变,因而减少突然电压变化导致的传导发射和 / 或辐射发射。在本发明的一个实施例中,该转变 (或转换速率) 形成类似于 $\cos^2$ 函数的函数。

[0034] 图 2B 是具有保护电路的电源开关 200 的实施例的图。在图 2B 所示的实施例中,箝位电路 250 还包括与电阻元件 260 并联耦合的附加齐纳二极管 258。

[0035] 齐纳二极管 258 可以是能够执行本技术领域所公知的或者将来开发的齐纳二极管功能的任意齐纳二极管或器件。在一个示例性实施例中,齐纳二极管 258 具有比电阻元件 260 的电压大的阈值电压,使得损坏性过流在例如短暂的静电放电 (ESD) 脉冲期间不会流过电阻元件 260。此外,齐纳二极管 258 在输出经受大电流和 / 或高电压瞬变事件 (例如, ESD 脉冲) 时允许足够的 I_{gate} 流过箝位电路 250。

[0036] 图 2C 是包括可调转换速率的电源开关 200 的一个实施例的图。根据一个示例性实施例,电源开关 200 还包括与电流源 222 并联耦合的至少一个附加电流源 226。此外,电流源开关 227 耦合至电流源 226,使得当开关 227 被接通时,附加电流从电流源 226 被提供到晶体管 210,且当开关 227 被切断时,附加电流不会被提供到晶体管 210。此外,电流源开关 225 耦合至电流源 222,使得当开关 225 接通时,来自电流源 224 的电流与开关 227 类似地被接通 / 切断。同样地,开关 225 和开关 227 的每个可以是本技术领域中公知的或是将来开发的能够执行这种切换功能的任意器件。如图 2C 所示,根据另一实施例,可以有与电流源 222 和电流源开关 225 并联的 N 个附加电流源和电流源开关,其中 N 为根据给定电源开关实施方式的要求而选择的整数。

[0037] 此外,电源开关 200 还包括与电流源 224 并联耦合的至少一个附加电流源 221。另

外,电流源 221 和 224 中的每个包括分别耦合到其的电流源开关 228 和 223。在一个示例性实施例中,电流源 224 基本上与电流源 222 尺寸相同,且电流源 221 基本上与电流源 226 尺寸相同,使得当电流源 222 和 / 或电流源 226 (分别使用开关 225 和 / 或开关 227) 提供电流时,可经由电流源 224 和 / 或 221 (分别使用开关 228 和 / 或开关 223) 恰当地切断晶体管 210。换句话说, I_{on} 和 I_{off} 基本上为相同的电流量。特别地,开关 228 和 223 的每个可以是本领域中公知的或者将来开发的能够执行这种切换功能的任意器件。此外,如图 2C 所示,根据另一实施例,可以有与电流源 224 和 223 并联的 N 个附加电流源和 N 个附加电流源开关,其中 N 为根据给定电源开关实施方式的要求而选择的整数。

[0038] 另外,箝位电路 250 包括与齐纳二极管 255 和电阻元件 260 串联耦合的至少一个附加电阻元件 262。此外,电阻元件开关 261 和电阻元件开关 263 被分别耦合在电阻元件 260 和电阻元件 262 首尾,使得当开关 261 接通时电流绕过电阻元件 260,而当开关 261 被切断时电流流过电阻元件 260。类似地,当开关 263 被接通时电流绕过电阻元件 262,而当开关 263 被切断时电流流过电阻元件 262。同样地,开关 261 和开关 263 的每个可以是本领域中公知的或者将来开发的能够执行这种开关功能的任意器件。因此,当由电流源 226 提供附加电流 (即,当开关 227 接通时), 且开关 261 和开关 263 接通时,电源开关 200 可以具有与图 2A 中所示的实施例不同的转换速率。此外,如图 2C 所示,根据另一实施例,可以有与齐纳二极管 255 串联耦合的 N 个附加电阻元件 (以及对应的电阻元件开关), 其中 N 为根据给定电源开关实施方式的要求而选择的整数。

[0039] 因此,在各种实施例中,电源开关 200 可包括任意数目、任意尺寸的附加电流源 (以及电流源开关), 以将任意期望的电流量提供到晶体管 210 (并适当切断晶体管 210), 且也可以包括任意数目的附加电阻元件 (以及电阻元件开关), 以将任意的电阻量提供到箝位电路 250, 使得电源开关 200 可以包括任意期望数目的转换速率。根据另一示例性实施例,电源开关 200 包括三个电流源和电流源开关 (即, I_{on})、三个附加电流源和附加电流源开关 (即, I_{off}) 以及三个电阻元件和电阻元件开关,使得电源开关 200 包括例如慢、中等和快的转换速率。

[0040] 现参照图 3A, 示出电源开关 300 的另一实施例。在一个实施例中,电源开关 300 包括具有栅极 310、漏极 314 (以及固有的栅 - 漏电容器 313) 和源极 316 (以及固有的栅 - 源电容器 315) 的晶体管 310。另外,电源开关 300 包括分别与以上所论述的节点 220、栅极节点 202 和电流源 222 相似的节点 320、栅极节点 302 和电流源 322。此外,电源开关 300 包括耦合至源极的电流源 324, 其中,电流源 324 基本上与电流源 322 尺寸相同,使得可恰当地导通和切断晶体管 310。

[0041] 另外,电源开关 300 包括耦合至晶体管 310 和源极节点 372 的电感元件 360。在各种实施例中,电感元件 360 包括大约 5mH 至大约 100mH 范围内的电感。此外,源极节点 372 被耦合至二极管 370, 且二极管 370 被耦合至箝位电路 380, 其中,箝位电路 380 还被耦合至栅极节点 302。在一个实施例中,箝位电路 380 为包括至少一个齐纳二极管 385 的齐纳箝位电路。此外,在一个实施例中,箝位电路 380 包括与齐纳二极管 385 串联耦合的电阻元件 387。

[0042] 根据一个示例性实施例,电阻元件 387 包括大约 5k Ω 至大约 100k Ω 范围内的电阻。特别地,电阻元件 387 的电阻 (R) 依赖于箝位电路 380 的期望输出电压和栅极 312 的

下拉电流。换句话说,根据以下公式:

[0043] $V_{\text{clamp}} = V_z + V_{\text{gs}} + V_{\text{diode}} + (I_{\text{gate}})(R)$, 其中 V_z 是齐纳二极管 385 的电压, V_{gs} 是栅-源电压, V_{diode} 是二极管 370 的电压, I_{gate} 是由电流源 324 提供的下拉电流, 而 R 是电阻元件 387 的电阻。

[0044] 图 3B 是具有保护电路的电源开关 300 的图。在图 3B 所示的实施例中, 箝位电路 380 包括与电阻元件 387 并联耦合的附加齐纳二极管 389。

[0045] 齐纳二极管 389 可以是能够执行本技术领域所公知的或者将来开发的齐纳二极管功能的任意齐纳二极管或器件。在一个示例性实施例中, 齐纳二极管 389 包括比电阻元件 387 的电压大的阈值电压, 使得损坏性过流在例如短暂的静电放电 (ESD) 脉冲期间不会流过电阻元件 387。此外, 齐纳二极管 389 在输出经受大电流和 / 或高电压瞬变事件 (例如, ESD 脉冲) 时允许足够的 I_{gate} 流过箝位电路 380。

[0046] 图 3C 是包括可调转换速率的电源开关 300 的一个实施例的图。根据一个示例性实施例, 电源开关 300 还包括与电流源 322 并联耦合的至少一个附加电流源 326。此外, 电流源开关 327 耦合至电流源 326, 使得当开关 327 接通时, 从电流源 326 提供的附加电流可以提供到晶体管 310, 而当开关 327 切断时, 附加电流不提供到晶体管 310。此外, 电流源开关 325 耦合至电流源 322, 使得当开关 325 接通时, 从电流源 322 提供的电流可以与开关 327 类似地被接通 / 切断。同样地, 开关 225 和开关 227 的每个可以是本技术领域中公知的或是将来开发的能够执行这种开关功能的任意器件。如图 3C 所示, 根据另一实施例, 可以有与电流源 322 和电流源开关 325 并联的 N 个附加电流源和 N 个附加电流源开关, 其中 N 为根据给定电源开关实施方式的要求而选择的整数。

[0047] 另外, 电源开关 300 还包括与电流源 324 并联耦合的至少一个附加电流源 321。此外, 电流源 321 和 324 的每个包括分别与耦合到其的电流源开关 328 和 323。在一个示例性实施例中, 电流源 324 基本上与电流源 322 尺寸相同, 而电流源 321 基本上与电流源 326 尺寸相同, 使得当电流源 322 和 / 或 326 (分别使用开关 325 和 / 或 327) 提供电流时, 可通过电流源 324 和 / 或 321 (分别使用开关 328 和 / 或 323) 分别恰当地切断晶体管 310。换句话说, I_{on} 和 I_{off} 基本上为相同的电流量。特别地, 开关 328 和 323 的每个可以是本领域中公知的或者将来开发的能够执行这种开关功能的任意器件。此外, 如图 3C 所示, 根据另一实施例, 可以有与电流源 324 和电流源开关 323 并联的 N 个附加电流源和 N 个附加电流源开关, 其中 N 为根据给定电源开关实施方式的要求而选择的整数。

[0048] 此外, 箝位电路 380 包括与齐纳二极管 385 和电阻元件 387 串联耦合的至少一个附加电阻元件 390。而且, 电阻元件开关 386 和电阻元件开关 391 被分别耦合在电阻元件 387 和 390 首尾, 使得当开关 386 接通时电流绕过电阻元件 387, 且当开关 386 被切断时电流流过电阻元件 387。类似地, 当开关 391 接通时电流绕过电阻元件 390, 而当开关 391 被切断时电流流过电阻元件 390。因此, 当由电流源 326 提供附加电流 (即, 当开关 327 接通时), 且开关 386 和 391 接通时, 电源开关 300 可以具有与图 3A 中所示的实施例不同的转换速率。同样地, 开关 386 和 391 的每个可以是本领域中公知的或者将来开发的能够执行这种开关功能的任意器件。此外, 如图 3C 所示, 根据另一实施例, 可以有与齐纳二极管 385 串联耦合的 N 个附加电阻元件 (以及对应的电阻元件开关), 其中 N 为根据给定电源开关实施方式的要求而选择的整数。

[0049] 因此,在各种实施方式中,电源开关 300 可包括任意数目、任意尺寸的附加电流源(以及电流源开关),以将任意期望的电流量提供到晶体管 310(并恰当地切断晶体管 310),且也可包括任意数目的附加电阻元件(以及电阻元件开关),以将任意的电阻量提供到箝位电路 380,使得电源开关 300 可包括任意期望数目的转换速率。根据另一示例性实施例,电源开关 300 包括三个电流源和电流源开关(即, I_{on})、三个附加电流源和附加电流源开关(即, I_{off})以及三个电阻元件和电阻元件开关,使得电源开关 300 包括例如慢、中等和快的转换速率。

[0050] 图 4 是用以减少例如电源开关(例如,电源开关 200 或 300)中的传导发射或辐射发射的方法 400 的流程图。根据一个示例性实施例,方法 400 开始于确定电源开关的晶体管(例如,晶体管 210 或 310)的期望输出(框 410)以及识别电源开关的期望转换速率(框 420)。

[0051] 接着,方法 400 包括调节电源开关的转换速率(框 430)。在一个示例性实施例,调节转换速率包括操纵从一个或多个电流源(例如,电流源 224、226、324 或 326)到晶体管的输入电流(框 440)和/或操纵耦合至该晶体管的箝位电路(例如,箝位电路 250 或 380)的电压(框 450),其中操纵输入电流包括接通或切断一个或多个电流源(框 445)以增加或减少提供到晶体管的电流量,以及操纵电压包括接通或切断箝位电路中的一个或多个电阻元件(框 455)以增加或减少该箝位电路中的电压量。

[0052] 另外,方法 400 包括对于不同的转换速率重复框 420 至 455(框 460)。在一个示例性实施例中,不同的转换速率是较快的转换速率(框 464),而在另一实施例中,不同的转换速率为较慢的转换速率(框 468)。

[0053] 尽管在前述详细的说明中已介绍了至少一个示例性实施例,但是应当理解的是存在大量的改变。还应当理解,此处所描述的示例实施例或实施方式不旨在以任何方式限定本发明的范围、适用性或者构造。而是,前述详细的说明将为本领域技术人员提供便利的指南,以便实现所述实施例或实施方式。应当理解,在不脱离所附权利要求和其法定等同物所阐述的本发明的范围的情况下,可对元件的功能和布置可作出各种改变。

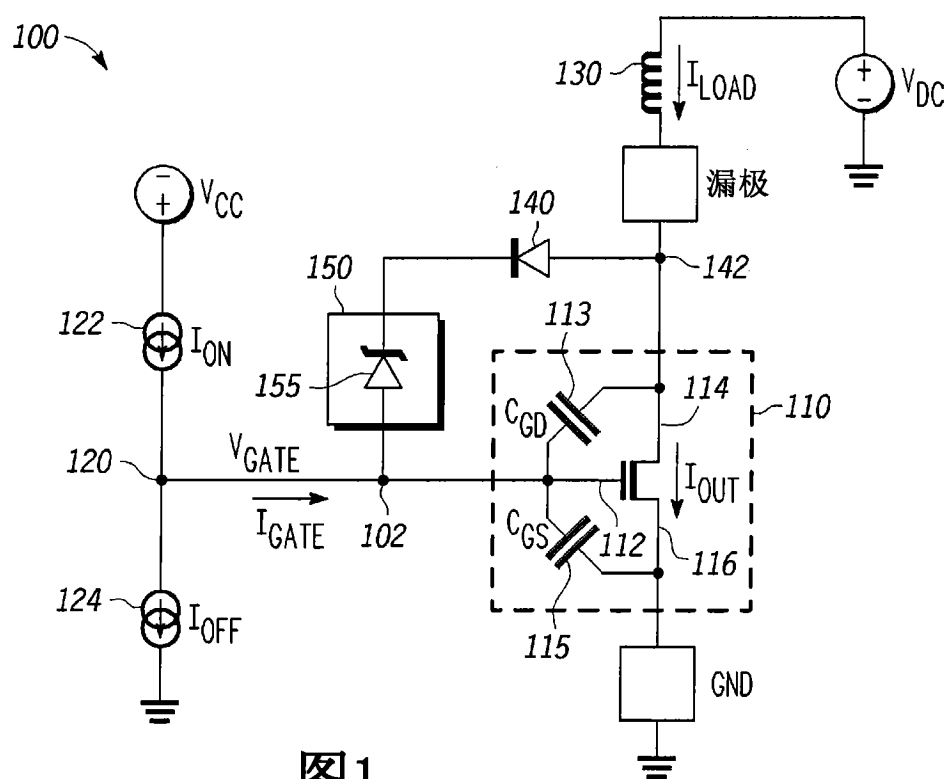
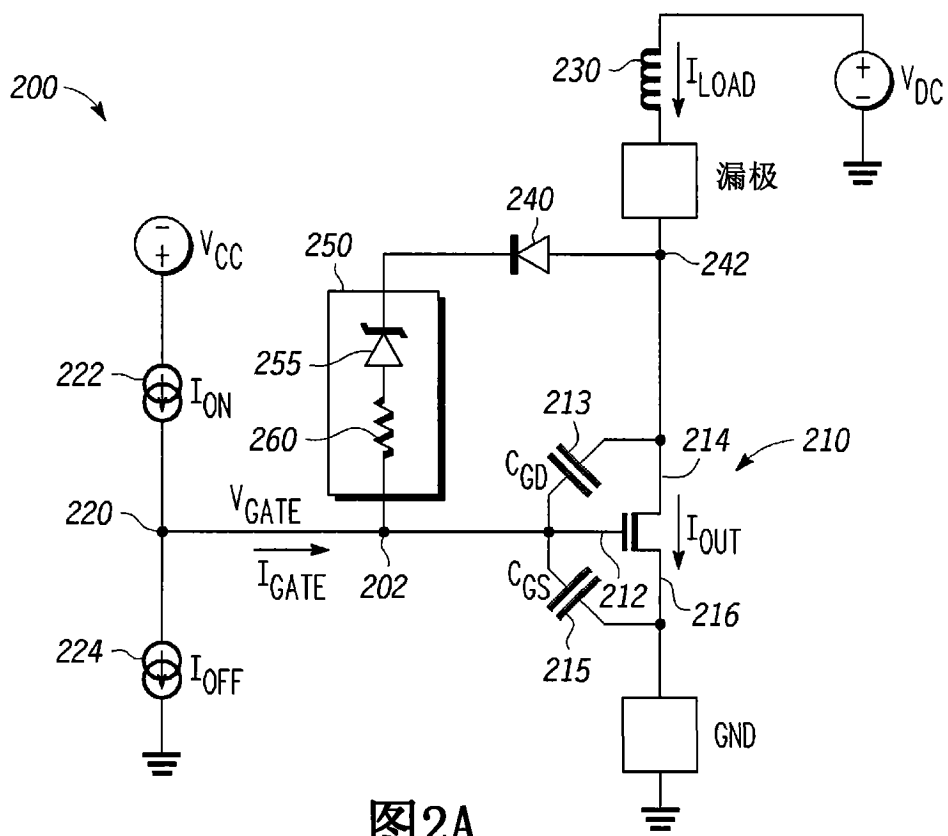


图1
-现有技术-



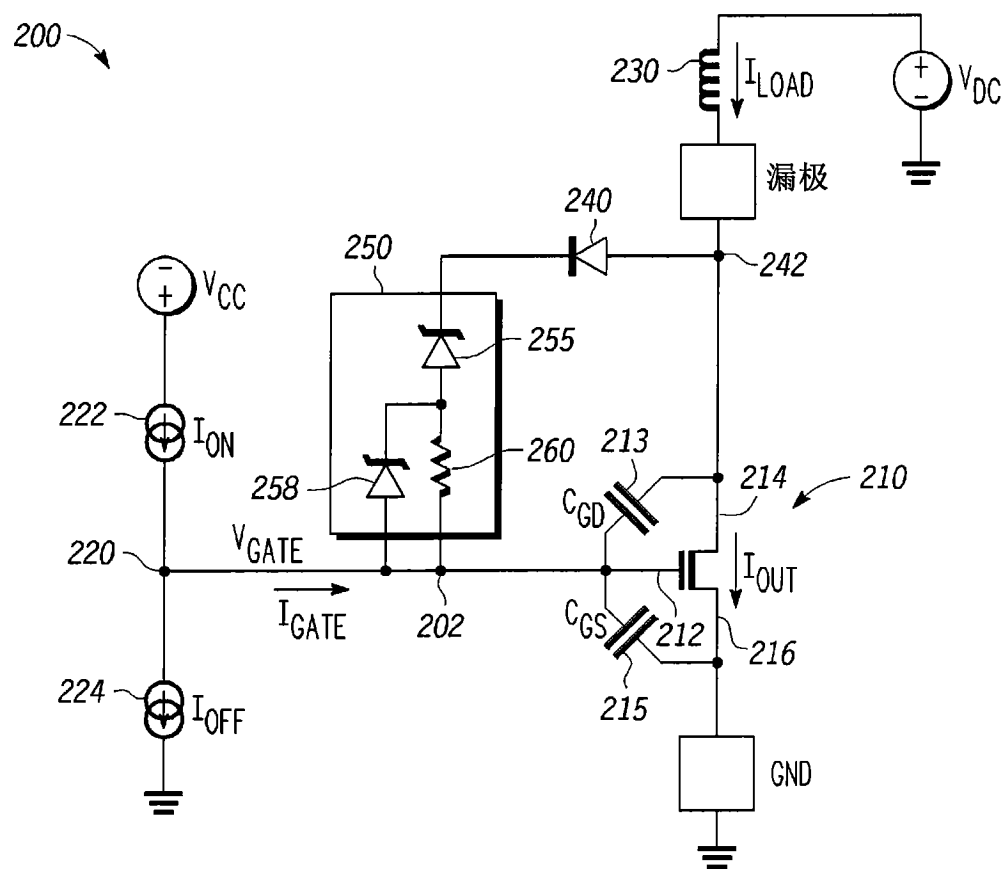


图 2B

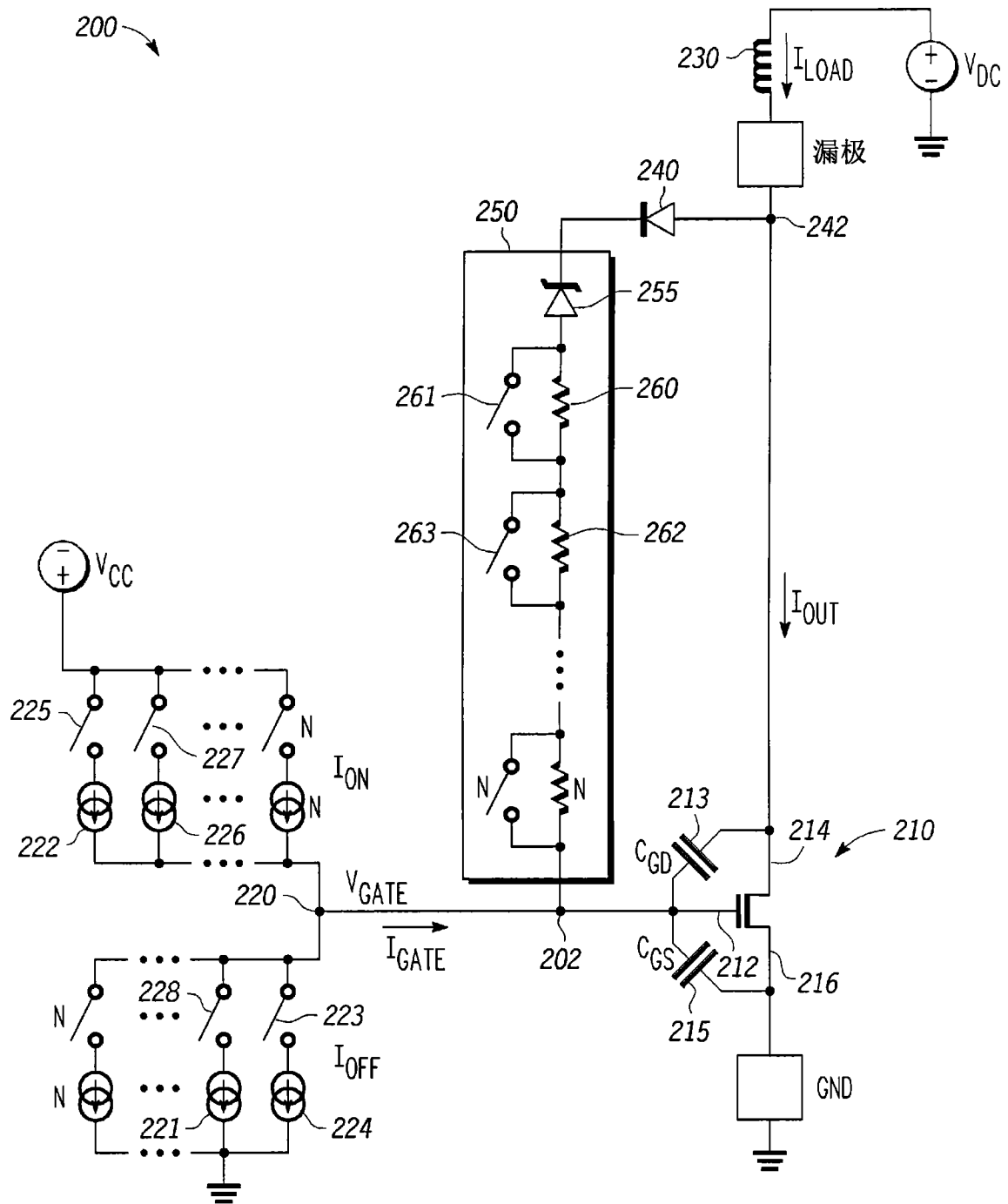


图 2C

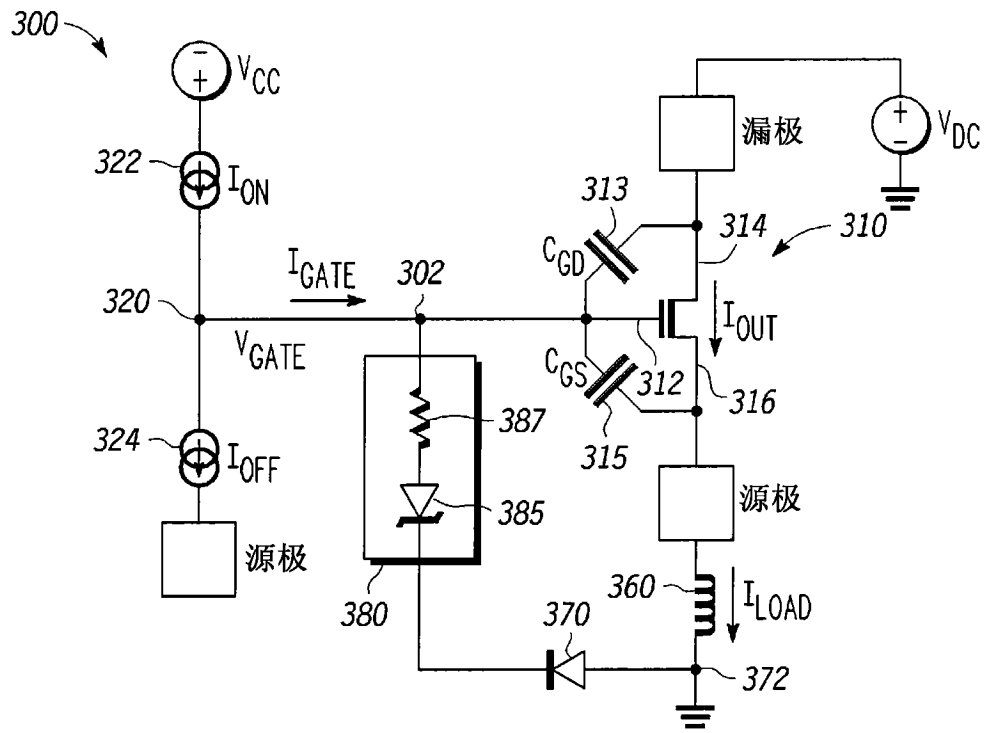


图 3A

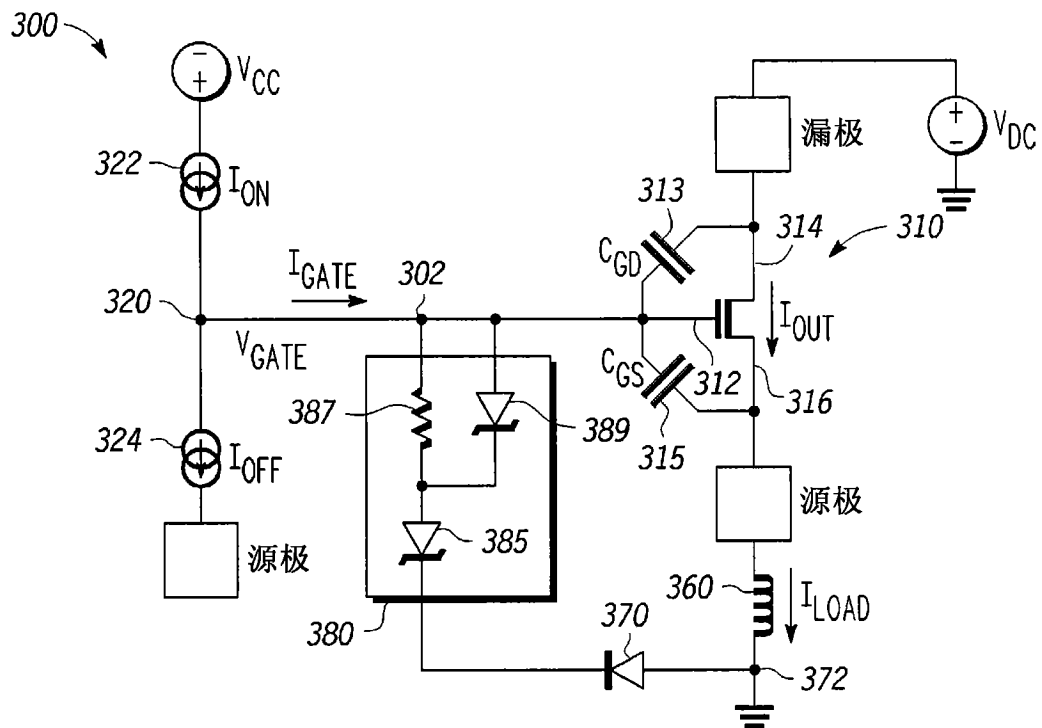


图 3B

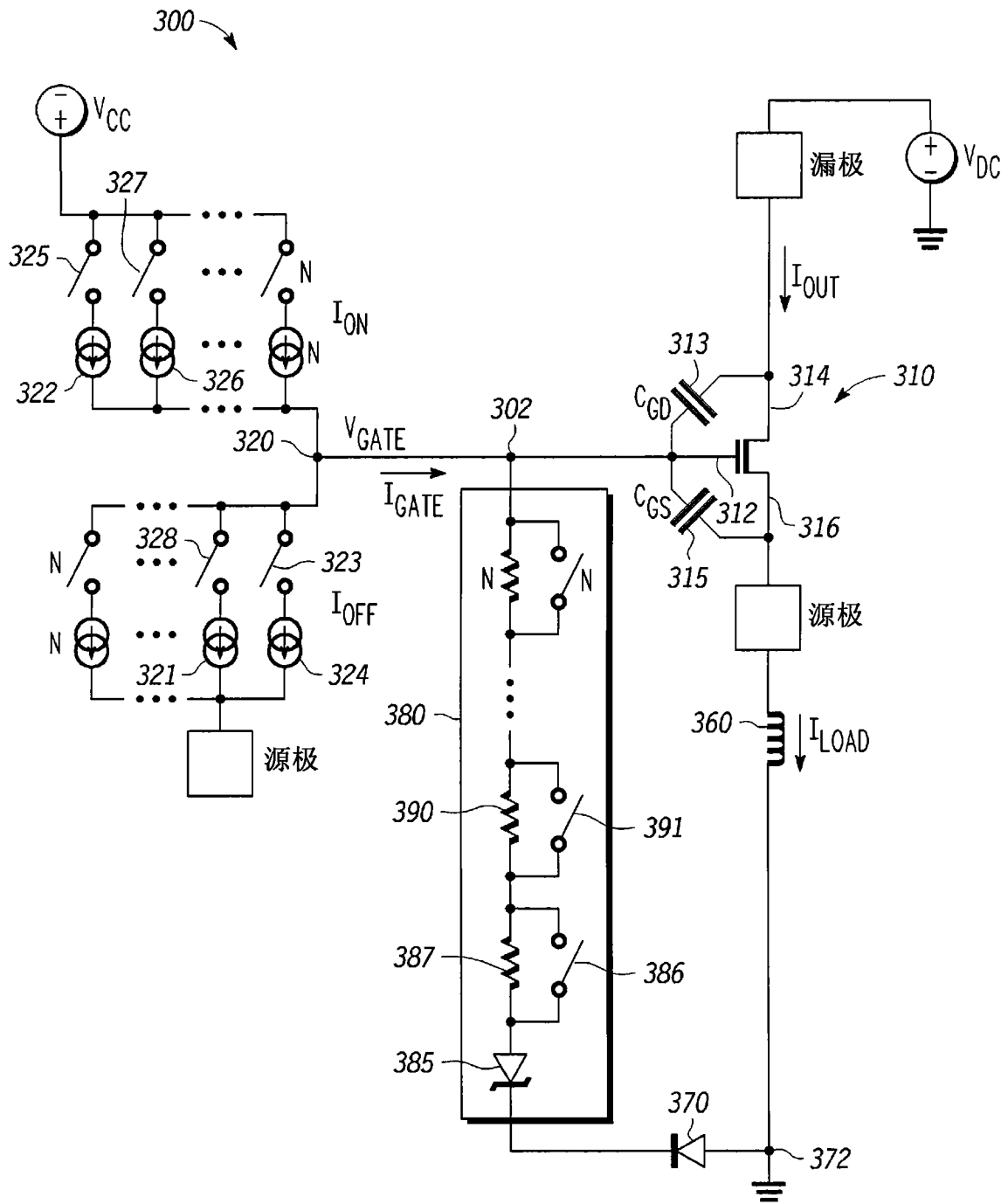


图 3C

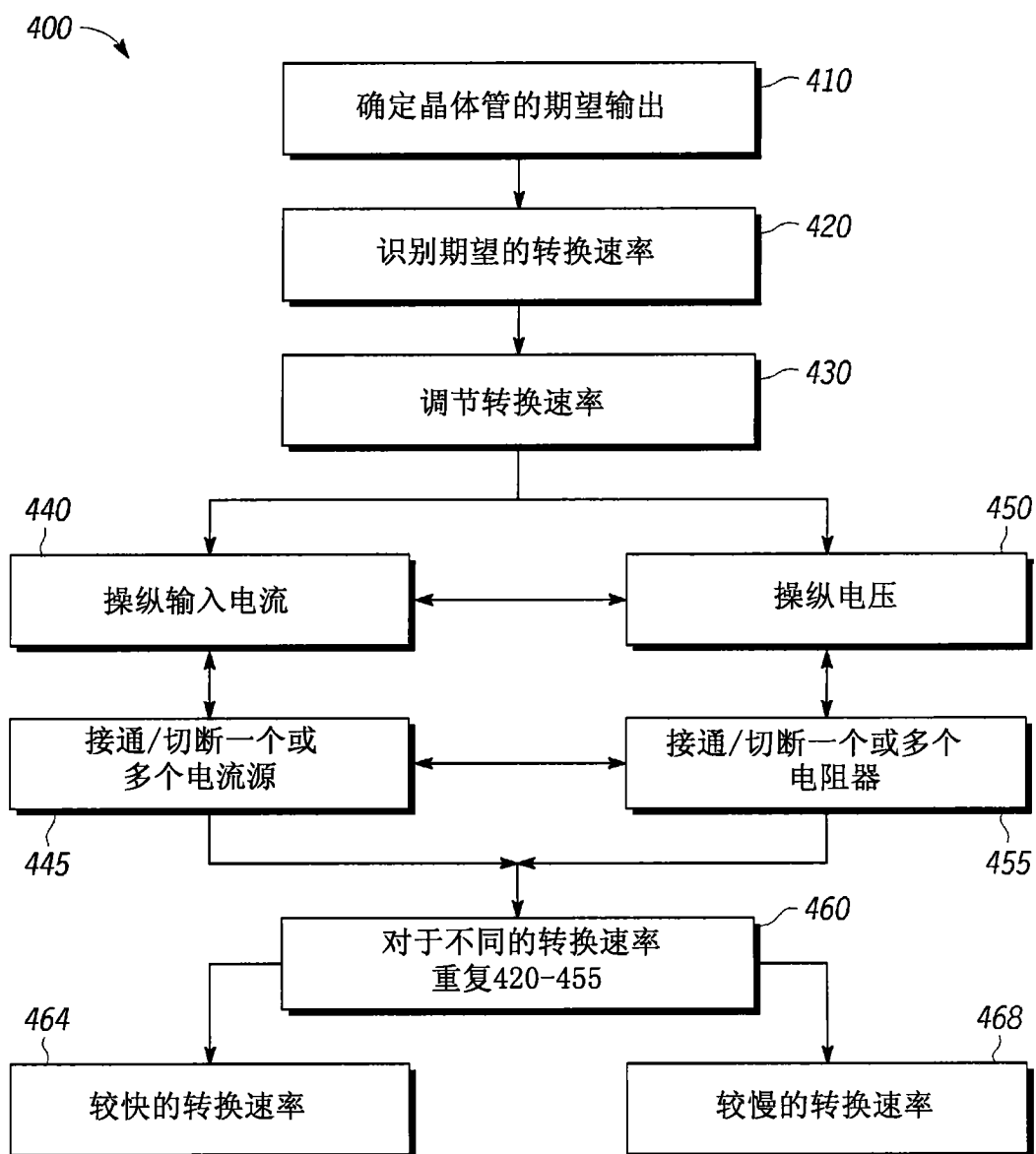


图 4