

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4287222号
(P4287222)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 B
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 4
	G 1 1 C 17/00 6 2 2 E

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2003-311393 (P2003-311393)	(73) 特許権者	000003078
(22) 出願日	平成15年9月3日(2003.9.3)		株式会社東芝
(65) 公開番号	特開2005-78766 (P2005-78766A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年3月24日(2005.3.24)	(74) 代理人	100092820
審査請求日	平成17年9月30日(2005.9.30)		弁理士 伊丹 勝
		(72) 発明者	小島 正嗣
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝 マイクロエレクトロニクスセ
			ンター内
		審査官	滝谷 亮一

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

電氣的書き換え可能な不揮発性メモリセルが配列されて、複数ページで構成される少なくとも一つのブロックを有するセルアレイと、

前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラとを備え、

前記セルアレイは、二値データ列で表されてその下位ビット側の " 0 " データの数が累積値を示すデータ消去回数を記憶する消去管理領域を各ページ毎に有し且つ、

前記消去管理領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロックの複数ページを選択状態とするチェック読み出し動作で読み出され、データ消去後に更新されたデータ消去回数が前記選択ページの前記消去管理領域に書き込まれる

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記セルアレイのページ単位のデータ読み出し及び書き込みを行うためのセンスアンプ回路と、

データ消去前に前記消去管理領域から前記センスアンプ回路に読み出されたデータ消去回数を一時保持するためのレジスタ回路と、

前記センスアンプ回路に読み出されたデータ消去回数を前記レジスタ回路に転送すると共に、データ消去後に前記レジスタ回路が保持するデータ消去回数に 1 を加算して更新さ

10

20

れたデータ消去回数を前記センスアンプ回路に転送するように構成されたデータ転送回路と、

前記レジスタ回路に転送されたデータ消去回数が許容最大値に達したか否かを判定する判定回路とを有する

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記データ転送回路は、

第 1 のタイミング信号により活性化されて前記センスアンプ回路に読み出されたデータ消去回数を各ビット並列に前記レジスタ回路に転送する読み出し転送バッファと、

第 2 のタイミング信号により活性化されて、データ消去回数データを 1 ビットずつ上位側にシフトすると共に、前記データ消去回数データの最下位ビットとなる “ 0 ” データを加算して更新された消去回数を前記センスアンプ回路に転送する書き込み転送バッファとを有する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

制御ゲートがそれぞれ異なるワード線に接続されて直列接続された複数の電氣的書き換え可能な不揮発性メモリセルにより構成される N A N D セルユニットを配列して構成され、1 ワード線に接続される複数のメモリセルの集合が 1 ページ又は 2 ページとなり、ワード線方向に並ぶ複数の N A N D セルユニットの集合が 1 ブロックとなり、ワード線方向にノーマルデータ領域と冗長領域とに分けられ、前記冗長領域に、ブロック内の累積されたデータ消去回数がそのブロック内の最も最近にデータ消去のために選択されたページに書き込まれるセルアレイと、

前記セルアレイのページ単位のデータ読み出し及び書き込みを行うための、前記ノーマルデータ領域と冗長領域にそれぞれ対応するノーマルセンスアンプ回路と冗長センスアンプ回路を有するセンスアンプ回路と、

前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラと、

データ消去前に前記セルアレイの冗長領域から前記冗長センスアンプ回路に読み出されたデータ消去回数を一時保持するためのレジスタ回路と、

前記冗長センスアンプ回路に読み出されたデータ消去回数を前記レジスタ回路に転送すると共に、データ消去後に前記レジスタ回路が保持するデータ消去回数に 1 を加算して更新されたデータ消去回数を前記冗長センスアンプ回路に転送するように構成されたデータ転送回路と、

前記レジスタ回路に転送されたデータ消去回数が最大値に達したか否かを判定する判定回路とを有し、

前記冗長領域が記憶するデータ消去回数は、二値データ列で表されてその下位ビット側の “ 0 ” データの数が累積値を示すものであり、

前記冗長領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロック内の複数ワード線を選択するチェック読み出し動作で前記冗長センスアンプ回路に読み出され、データ消去後に更新されたデータ消去回数が前記冗長センスアンプ回路に書き戻されて前記選択ページの冗長領域に書き込まれる

ことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（E E P R O M）とこれを用いた電子装置に関する。

【背景技術】

【0002】

現在知られている E E P R O M の多くは、浮遊ゲートに電荷を蓄積するタイプのメモリ

10

20

30

40

50

セルを用いている。その1つであるNAND型フラッシュメモリのセルアレイは、複数のメモリセルを直列接続したMANDセルユニットを配列して構成される。NANDセルユニット内のメモリセルは、隣接するもの同士でソース、ドレイン拡散層を共有する。従って、NAND型フラッシュメモリの大容量化のためには、NANDセルユニット内のメモリセル数を増やすことが有効である。これによって、ワード線を共有する複数のNANDセルユニットからなるブロックの容量が増加する。

【0003】

NAND型フラッシュメモリのブロック内に、小さなデータ量しか書き込まれないとすると、ブロックの残りが無駄になってしまう。そこで実際には、ブロックを更にいくつかのファイル領域に分けて、それらのファイル単位でデータ管理することが行われる。しかし、NAND型フラッシュメモリは通常、ブロック単位でデータ消去を行う。このデータ消去方式を用いながら、上述のようなデータ管理を行うと、データ書き換えに無駄な時間がかかる。

10

【0004】

例えば、ブロック内にデータAの領域とデータBの領域を設定したとする。データAをデータA'に書き換えるためには、データBを他のブロックにコピー書き込みする動作が必要である。この後ブロック消去を行い、消去されたブロックにデータA'を書き込む。この様に、書き換ええないデータBのコピー書き込みが必要となり、これがデータ書き換え処理時間のオーバーヘッドとなる。

【0005】

20

このようなデータ書き換え動作のオーバーヘッドを解消するためには、データ消去動作をページ単位或いはサブブロック（連続する複数ページの集合）単位で行う方式が有効である（例えば、特許文献1、2、3参照）。ページ消去は、非選択ページのワード線をフローティングとし、選択ページのワード線に0Vを与え、セルアレイが形成されたp型ウェルに消去電圧を与えることにより可能である。

【0006】

これにより、選択ページのメモリセルでは、浮遊ゲートとチャネル間でFNトンネリングによる電荷放電が起こり、しきい値の低い消去状態（データ“1”状態）が得られる。非選択ページでは、ワード線（制御ゲート）がフローティングであるから、p型ウェルに印加される消去電圧の上昇に伴って、容量カップリングによりワード線が電圧上昇して、消去禁止状態となる。これにより、ブロック内においてデータ書き換えの必要のある領域のみデータの書き換えが可能になる。

30

【0007】

【特許文献1】特開平3-295097号公報

【特許文献2】特開平8-143398号公報

【特許文献3】特開平11-176177号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、ページ単位（或いはサブブロック単位）のデータ消去を行うと、非選択ページのセルに消去ストレスがかかるという問題がある。特に、非選択ページのうち、選択ページに隣接する非選択ワード線に沿ったセルでは、データ消去時に残りの非選択ワード線より大きな消去ストレスがかかる。これは、フローティング状態（例えばV_{dd}）の非選択ワード線が、隣接する選択ワード線（例えば0V）との容量カップリングの影響で十分な消去禁止電圧まで上昇しないためである。特に、セルや配線の微細化により、ワード線間の容量が大きくなると、その影響が大きくなる。更に、消去したページへのデータ書き込み時には、非選択ページのワード線に中間電圧が与えられるが、非選択セルには書き込みストレスがかかる。

40

以上のように、ページ単位（或いはサブブロック単位）のデータ書き換えを繰り返すと、データデイスターブが大きくなり、データが破壊されるおそれがある。データ破壊を防

50

止するためには、データ書き換え回数を制限する必要が生じる。

この発明は、データ消去回数を自動的に管理システムを内蔵する不揮発性半導体記憶装置とこれを用いた電子装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

この発明の一態様による不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されて、複数ページで構成される少なくとも一つのブロックを有するセルアレイと、前記セルアレイのページ単位或いは連続する複数ページからなるサブブロック単位でのデータ消去を制御するコントローラとを備え、前記セルアレイは、二値データ列で表されてその下位ビット側の“0”データの数が累積値を示すデータ消去回数を記憶する消去管理領域を各ページ毎に有し且つ、前記消去管理領域が記憶するデータ消去回数は、前記ブロック内の選択ページについてのデータ消去前に前記ブロックの複数ページを選択状態とするチェック読み出し動作で読み出され、データ消去後に更新されたデータ消去回数が前記選択ページの前記消去管理領域に書き込まれる。

10

【発明の効果】

【0010】

この発明によると、データ消去回数をチップ内部で自動管理するようにした不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0011】

20

以下、図面を参照して、この発明の実施の形態を説明する。

図1は一実施の形態によるNAND型フラッシュメモリの機能ブロック構成を示している。セルアレイ1は、複数の浮遊ゲート型メモリセルMCをマトリクス配列して構成される。ロウデコーダ(ワード線駆動回路を含む)2は、セルアレイ1のワード線及び選択ゲート線を駆動する。センスアンプ回路3は、1ページ分のセンスアンプとデータ保持回路を備えて、セルアレイ1のページ単位のデータ書き込み及び読み出しを行うページバッファを構成する。

【0012】

センスアンプ回路3の1ページ分の読み出しデータは、カラムデコーダ(カラムゲート)4により選択されて、I/Oバッファ5を介して外部I/O端子に出力される。I/O端子から供給される書き込みデータは、カラムデコーダ4により選択されてセンスアンプ回路3にロードされる。センスアンプ回路3には1ページ分の書き込みデータがロードされ、これは書き込みサイクルが終了するまで保持される。アドレス信号はI/Oバッファ5を介して入力され、アドレス保持回路6を介してロウデコーダ2及びカラムデコーダ3に転送される。

30

【0013】

コントローラ7は、書き込みイネーブル信号/WE、読み出しイネーブル信号/RE、アドレスラッチイネーブル信号ALE、コマンドラッチイネーブル信号CLE等の外部制御信号に基づいて、データ読み出し、書き込み及び消去のタイミング制御のための各種内部タイミング信号を出力する。更にこれらの内部タイミング信号に基づいて、コントローラ7は、データ書き込み及び消去のシーケンス制御、データ読み出しの動作制御を行う。高電圧発生回路8は、コントローラ79により制御されて、データ書き込みや消去に用いられる種々の高電圧Vppを発生する。

40

【0014】

図2は、セルアレイ1の詳細な構成を示している。セルアレイ1は、複数個(図の例では32個)の浮遊ゲート型メモリセルMC0-MC31を持つNANDセルユニットNUを配列して構成される。具体的にNANDセルユニットNUは、複数のメモリセルMC0-MC31が直列接続されたセルストリングと、その一端とビット線BLとの間に配置された選択ゲートトランジスタSG1と、他端とソース線CELSRCとの間に配置された選択ゲートトランジスタSG2を有する。

50

【 0 0 1 5 】

各メモリセル $MC0 - MC31$ の制御ゲートは、ワード線 $WL0 - WL31$ に接続され、選択ゲートトランジスタ $SG1, SG2$ のゲートは、ワード線 $WL0 - WL31$ と並行する選択ゲート線 SGD, SGS に接続される。一本のワード線に沿った複数のメモリセルの集合は 1 ページ又は 2 ページとなるが、以下では説明を簡単にするために、1 ワード線のメモリセル集合を 1 ページとする場合のみ説明する。ワード線方向に並ぶ複数の $NAND$ セルユニット NU の集合が 1 ブロックとなる。図 2 のセルアレイ 1 は、ビット線方向に複数のブロック $BLK0 \sim BLKi$ を有する。

【 0 0 1 6 】

セルアレイ 1 の各ページは、通常のデータ記憶を行うノーマルデータ領域 1 a と冗長領域 1 b に分けられている。例えば、ノーマルデータ領域 1 a は 512 Byte である。冗長領域 1 b は、ノーマルデータ領域 1 a のデータのエラービット訂正を行うための ECC データ、論理アドレス、ブロックの良否を示すフラグ及び、“データ消去回数”を記憶するために用いられる。但し以下では、冗長領域 1 b が、データ消去回数を管理するのに必要な容量の“消去管理領域”のみを有するものとして説明する。またページ消去を前提とする以下の実施の形態では、データ消去回数は、ページ消去回数である。更に以下では、ページ消去回数を、ホットカウント (HC) 値ともいう。具体的に HC 値の最大値 (許容値) を 32 として、これを記憶するのに必要な冗長領域 1 b は、4 Byte (= 32 bit) である。

【 0 0 1 7 】

この実施の形態の $NAND$ フラッシュメモリの書き込み、読み出し及び消去動作を説明する。二値データ記憶を行う場合、メモリセル MC は、図 3 に示すように、負のしきい値状態であるデータ “1” (消去状態) と、正のしきい値状態のデータ “0” を記憶する。データ書き込みは、ページ単位で行われる。具体的にセンスアンプ回路 3 にロードした書き込みデータに基づいて、ビット線 BL から選択セルのチャネルまでを $V_{dd} - V_{th}$ (“1” 書き込み) 又は V_{ss} (“0” 書き込み) にプリチャージする。 V_{th} は、選択ゲートトランジスタ $SG1$ のしきい値である。

【 0 0 1 8 】

そして、選択ワード線に昇圧された書き込み電圧 V_{pgm} を印加する。“0” データが与えられたセルでは、チャネルから浮遊ゲートへの FN トンネリングによる電子注入が生じ、しきい値が正の “0” データ状態になる。“1” データが与えられたセルでは、チャネルが容量結合により電位上昇して、浮遊ゲートへの電子注入が生じない。これにより、“0”, “1” データが書かれる。なおこのデータ書き込み時、ブロック内の非選択ワード線には所定の間電圧 V_{pass} を与えて、非選択セルで書き込みが行われないようにする。

【 0 0 1 9 】

実際のデータ書き込みでは、書き込み電圧 V_{pgm} 印加と、書き込み状態を確認するためのベリファイ読み出しとを含む書き込みサイクルを、全書き込みデータが書き込み完了するまで繰り返す。この様な書き込みシーケンス制御により、図 3 に示すようなデータしきい値分布を実現することができる。

【 0 0 2 0 】

データ読み出しは、選択ワード線に読み出し電圧である 0 V を与え、非選択ワード線にはセルデータに依らずセルがオンするパス電圧 V_{read} を与えて、セル電流を検出する。具体的にセンスアンプ回路 3 は例えば、ビット線 BL を V_{dd} にプリチャージし、これが選択セルにより放電されるか否かを検出することにより、データ “0”, “1” をセンスする。

【 0 0 2 1 】

データ消去はこの実施の形態では、ページ単位で行われる。この“ページ消去”は、選択ブロック $BLKi$ 内の非選択ページのワード線 (即ち非選択ワード線) を例えば電源電圧にプリチャージしてフローティング状態とし、選択ページのワード線 (即ち選択ワード

10

20

30

40

50

線)に0Vを与えた状態で、セルアレイ1が形成されたp型ウェルに昇圧された消去電圧 V_{era} を与える。これにより、選択ページのセルは、浮遊ゲートの電子がチャネルに放出されて、データ“1”(消去状態)となる。非選択ページでは、チャネルからの容量結合により制御ゲート及び浮遊ゲートの電位が上昇し、データが保持される。

【0022】

以上のようなNANDフラッシュメモリにおいてこの実施の形態では、ページ消去回数(HC値)を管理するシステムがチップ内に構成されている。具体的に冗長領域1bがHC値を記憶する消去管理領域である。この冗長領域1bが記憶するHC値は、コントローラ7のタイミング制御により、ページ消去が実行される度に自動的に1加算されて、更新されたHC値が選択ページに書き込まれる。以下では、HC値の最大値MAXを32とした場合について、そのHC値管理の手法を説明する。

10

【0023】

図8A-8Dは、32ページ(P0-P31)×32ビット(B0-B31)の冗長領域1bでのHC値の書き込み及び更新の様子を示している。図8Aは、冗長領域1bの初期化状態であり、図8Bは、1回目のページ消去後の状態、図8Cは2回目のページ消去後の状態、図8Dは、32回目のページ消去後の状態をそれぞれ示している。この実施の形態において、冗長領域1bのHC値は、32ビットの二値データ列で表され、直前の選択消去ページにおける32ビットB0-B31のなかの最下位ビットからの“0”の数が累積HC値(合計値)を示す。

【0024】

20

初期化状態は、図8Aに示すように、冗長領域1bがオール“1”であり、これがHC値=0を示す。この状態から、例えば選択ページP0についてデータ消去が行われると、図8Bに示すように、その選択ページP0に、最下位ビットB0が“0”となる、更新されたHC値(=1)が書き込まれる。同じブロック内で2回目のページ消去がページP2について行われたとすると、図8Cに示すように、選択ページP2に、下位2ビットB0、B1が“0”となる、更新されたHC値(=2)が書き込まれる。

【0025】

以下同様に、ページ消去がなされる毎に、その選択ページの冗長領域1bに更新されたHC値が書かれる。ブロック内でMAX=32回のページ消去が行われると、その選択ページがP0であるとして、図8Dに示すように、冗長領域1bのページP0には、32ビットB0-B31が全て“0”即ち、HC値が最大値MAX=32に達したことを示す状態になる。

30

【0026】

図4は、以上のようなHC値管理を行うシステムの構成を示している。ページバッファを構成するセンスアンプ回路3は、ノーマルデータ領域1a対応のノーマルセンスアンプ回路3aと、冗長領域1b対応の冗長センスアンプ回路3bとから構成される。冗長センスアンプ回路3bは、冗長領域1bの32ビットのHC値を読み出し及び書き込みするために、32個のセンスアンプRSA0-RSA31を有する。

【0027】

冗長センスアンプ回路3bには、各データ消去サイクル毎に、データ消去前に冗長領域1bが保持するHC値がチェックのために読み出され、データ消去後に更新されたHC値が書き戻される。そのような動作を実現するために、冗長センスアンプ回路3bに読み出されたHC値を保持するレジスタ回路12が設けられている。冗長センスアンプ回路3bとレジスタ回路12の間に配置されたデータ転送回路11は、HC値データ転送を行うと共に、読み出されたHC値に1を加算して更新する機能を有する。判定回路13は、レジスタ回路12に読み出されたHC値が最大値に達したか否かを判定するために設けられている。

40

【0028】

図5は、データ転送回路11、レジスタ回路12及び判定回路13の具体的な構成を示している。データ転送回路11は、32ビットのHC値が読み出される冗長センスアンプ

50

$RS A_j$ ($j = 0 \sim 31$) の各ノード N_j の読み出し HC データビットをレジスタ回路 12 の対応するレジスタ REG_i に並列転送するための読み出し転送バッファ 21 j を有する。これらの読み出し転送バッファ 21 j は、タイミング信号 $R (= "H")$, $R_n (= "L")$ により活性化されるクロック $CMOS$ バッファである。但しここでは、冗長センスアンプ $RS A_j$ のノード N_j は、ビット線 BL 側のデータノードとは論理反転したデータとなる場合を示している。即ち各ノード N_j の読み出し及び書き込みデータは、セルデータ "0" , "1" に対応してそれぞれ "L" ($= V_{ss}$) , "H" ($= V_{dd}$) となる。

【0029】

データ転送回路 11 はまた、レジスタ回路 12 に読み出された HC 値をインクリメントして、冗長センスアンプ $RS A_j$ に書き戻すための書き込み転送バッファ 22 j を有する。これらの書き込み転送バッファ 22 j は、タイミング信号 $W (= "H")$, $W_n (= "L")$ により活性化されるクロック $CMOS$ バッファにより構成される。書き込み転送バッファ 22 j は、レジスタ REG_j のデータが、1ビットずつ上位側に順次シフトして、冗長センスアンプ $RS A_j$ のノード N_j に転送されるように構成されている。

【0030】

具体的に、最下位ビット対応の書き込み転送バッファ 22₀ の入力端は V_{ss} に固定され、その出力端は冗長センスアンプ $RS A_0$ のノード N_0 に接続されている。以下、書き込み転送バッファ 22 _{j} ($j = 1 \sim 31$) の入力端は、レジスタ REG_{j-1} に接続され、出力端は冗長センスアンプ $RS A_j$ のノード N_j に接続されている。

【0031】

このような書き込み転送バッファ 22 _{j} により、最下位ビット対応の冗長センスアンプ $RS A_0$ のノード N_0 には常に、 V_{ss} (即ち書き込みデータ "0") が転送される。また、レジスタ回路 12 に読み出された HC 値の "0" データは、1ビット上位側にシフトされた状態で冗長センスアンプ回路 3b に書き戻される。即ち、ページ消去前に冗長センスアンプ $RS A_j$ に読み出された冗長領域 1b の HC データは、ページ消去後、"0" が一つ増えた状態に更新される。

【0032】

判定回路 13 は、冗長領域 1b の HC データの最上位ビットが "1" か "0" かを判定する一種のコンパレータである。判定回路 13 は、レジスタ REG_{31} に読み出された最上位ビットを判定フラグ出力端子 $FOUT$ に出力するための、判定タイミング信号 $F = "H"$, $F_n = "L"$ により活性化される転送バッファ 23 と、これと相補的に活性化される転送バッファ 24 とを有する。

【0033】

転送バッファ 24 の入力端は、 V_{dd} ($= "H"$) 固定である。ページ消去毎に、タイミング信号 $F = "H"$, $F_n = "L"$ とすると、 HC データの最上位ビットが "1" ($= "H"$) であれば、出力端子は $FOUT$ は放電されず、 $FOUT = "H"$ (パス) を保つ。 HC データの最上位ビットが "0" になると、出力端子 $FOUT$ は放電されて、 $FOUT = "L"$ (フェイル) となる。この判定出力 $FOUT$ は直接或いはコントローラ 7 内のステータスレジスタを介して、チップ外部にも "Pass" 或いは "Fail" を示すステータスフラグとして出力される。

【0034】

図 6 は、ページ消去の制御フローを示している。ページ消去のコマンドが発行されると、コントローラ 7 は、まず冗長領域 1b の HC データのチェック読み出しを実行する (ステップ S1)。この HC データ読み出しは、図 7 に示すように、選択ブロック BLK_i の全ワード線 $WL_0 - WL_{31}$ に V_{ss} 、選択ゲート線 SGD , SGS に V_{dd} を与えた、全ワード線選択状態にて行われる。

【0035】

冗長領域 1b は、図 8A - 8D で説明したように、直前のページ消去が行われたページに "0" データ (オフセル) の数が最も多い状態として最新の HC 値を記憶している。従

10

20

30

40

50

って、全ワード線を選択状態として冗長領域 1 b のデータ読み出しを行うと、ブロック内の最新の H C 値が冗長センスアンプ回路 3 b に読み出されることになる。この読み出しデータを、読み出しタイミング信号 $R = "H"$, $R_n = "L"$ で活性化される転送バッファ 2 1 j を介してレジスタ回路 1 2 に転送する (ステップ S 2)。そして、判定回路 1 3 に判定タイミング信号 $F = "H"$, $F_n = "L"$ を与えることにより、累積 H C 値が最大値 M A X に達したか否かの判定を行う (ステップ S 3)。

【 0 0 3 6 】

判定結果が " N O " (即ち、 $F O U T = "H"$) であれば、次に選択されたページのデータ消去を行う (ステップ S 4)。その後、H C データをインクリメントして、冗長センスアンプ回路 3 b に転送する (ステップ S 5)。具体的には、図 5 で説明したように、転送バッファ 2 2 j にタイミング信号 $W = "H"$, $W_n = "L"$ を与えることにより、" 0 " データが一つ増えた、更新された H C データが冗長センスアンプ回路 3 b に書き込みデータとして転送される。この更新された H C データを、冗長領域 1 b の選択ページに書き込む (ステップ S 6)。これにより、ページ消去動作は終了する。

10

【 0 0 3 7 】

ステップ S 3 での判定結果が " Y E S " (即ち $F O U T = "L"$) であれば、コントローラ 7 は消去動作を行うことなく、" フェイル " フラグをチップ外部に出力する (ステップ S 7)。このフェイルフラグを受けて、ユーザーは、ページ書き込み先を他のブロックに変更することができる。またユーザーは、選択ブロックのデータリフレッシュを行うことができる。

20

【 0 0 3 8 】

具体的にデータリフレッシュは、選択ブロックのノーマルデータ領域 1 a の全データを読み出して例えばチップ外部のコントローラに一時待避させ、或いは他のブロックにコピー書き込みした後、選択ブロックの一括消去を行う。その後、待避させたデータを再度選択ブロックに書き込む。このとき、冗長領域 1 b は、オール " 1 " の消去状態 (即ち H C データの初期状態) を保つ。これにより、H C 値を初期化すると同時に、ページ消去の繰り返に伴う蓄積ストレスの影響を除去したデータを再書き込みすることができる。

【 0 0 3 9 】

以上のようにこの実施の形態によれば、ブロック内のページ消去回数をチップ内で管理して、それが規定値を超えないように、ブロック毎にデータ消去動作を制限することができる。また、ページ消去回数の自動更新は簡単な操作で行われる。即ち、累積ページ消去回数は、冗長領域 1 b のあるページの " 0 " データの数で表される。ある選択ページのデータ消去が行われた場合、その選択ページの冗長領域 1 b に自動更新されたページ消去回数を書き込まれる。ページ消去回数のチェック読み出しは、全ページを選択状態とする 1 回の読み出し動作で可能である。そして読み出されたページ消去回数データは、転送バッファを用いたビットシフト動作により更新されて、書き戻される。ページ消去回数が最大値 M A X に達したか否かは、冗長領域 1 b の最上位ビットの " 1 " , " 0 " により簡単に判定される。

30

【 0 0 4 0 】

なおここまでの実施の形態では、ページ単位のデータ消去を行う場合を説明したが、複数の連続するページとして定義されるサブブロック単位でデータ消去を行う場合にも同様にサブブロック消去回数 (H C 値) の管理が可能である。このとき、H C 値は、選択されたサブブロック内の冗長領域 1 b の適当なページに書き込まれるようにすればよい。H C 値のチェック読み出し、判定及び更新した累積 H C 値の書き込みの方法は、上記実施の形態と同様である。

40

【 0 0 4 1 】

また実施の形態では、セルアレイが複数ブロックにより構成される。この場合、データ消去回数の制限は、ブロック毎に許容値 (最大値) を設定して行われるから、データ書き換えがあるブロックに集中することが防止される。但しこの発明は、セルアレイが 1 ブロックの場合にも有効である。

50

【 0 0 4 2 】

更に実施の形態では、H C 値のチェック読み出しをブロック内の全ページ選択（全ワード線選択）により行ったが、例えばサブブロック単位が固定されていれば、必ずしも全ページ選択でなくてもよい。例えば、4ワード線をサブブロックとして、1ブロックが8サブブロックで構成される場合に、H C 値の書き込みを各サブブロックの先頭ページに行うようにする。この場合、H C 値のチェック読み出しは、8サブブロックの先頭ページに対応する8ワード線を選択状態（0 V）とし、残りのワード線はバス電圧V r e a dを与えた非選択状態として、行うことができる。

【 0 0 4 3 】

またこの発明は、消去ページ数（即ちサブブロック単位）が固定ではなく、変更される場合にも対応できる。例えばあるブロック内で、4ページ消去と4ページ書き込みを行い、次に6ページ消去と6ページ書き込みを行い、次には2ページ消去と2ページ書き込みを行う、といった書き換え制御を行う場合にも、この発明は有効である。この場合も、上記実施の形態と同様に、各データ消去毎に累積H C 値を書き込めばよい。

【 0 0 4 4 】

次に、上記実施の形態による不揮発性半導体記憶装置を搭載したメモリシステムとしての電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

図9は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ101を示す。電子カードは、デジタルスチルカメラ101の記録媒体として用いられるメモリカード61である。メモリカード61は、先の実施の形態で説明した不揮発性半導体装置或いはメモリシステムが集積化され封止されたI CパッケージP K 1を有する。

【 0 0 4 5 】

デジタルスチルカメラ101のケースには、カードスロット102と、このカードスロット102に接続された、図示しない回路基板が収納されている。メモリカード61は、カードスロット102に取り外し可能に装着される。メモリカード61は、カードスロット102に装着されると、回路基板上の電気回路に電気的に接続される。

電子カードが例えば、非接触型のI Cカードである場合、カードスロット102に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

【 0 0 4 6 】

図10は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ103により集光されて撮像装置104に入力される。撮像装置104は例えばC M O Sイメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器（A M P）により増幅された後、A / Dコンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路105に入力され、例えば自動露出制御（A E）、自動ホワイトバランス制御（A W B）、及び色分離処理を行った後、輝度信号と色差信号に変換される。

【 0 0 4 7 】

画像をモニターする場合、カメラ信号処理回路105から出力された信号はビデオ信号処理回路106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えばN T S C（N a t i o n a l T e l e v i s i o n S y s t e m C o m m i t t e e）を挙げることができる。ビデオ信号は、表示信号処理回路107を介して、デジタルスチルカメラ101に取り付けられた表示部108に出力される。表示部108は例えば液晶モニターである。

【 0 0 4 8 】

ビデオ信号は、ビデオドライバ109を介してビデオ出力端子110に与えられる。デジタルスチルカメラ101により撮像された画像は、ビデオ出力端子110を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108以外でも表示することができる。撮像装置104、アナログ増幅器（A M P）、A / Dコンバータ（A / D）、カメラ信号処理回路105は、マイクロコンピュータ

１１１により制御される。

【００４９】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン１１２を操作者が押す。これにより、マイクロコンピュータ１１１が、メモリコントローラ１１３を制御し、カメラ信号処理回路１０５から出力された信号がフレーム画像としてビデオメモリ１１４に書き込まれる。ビデオメモリ１１４に書き込まれたフレーム画像は、圧縮／伸張処理回路１１５により、所定の圧縮フォーマットに基づいて圧縮され、カードインタフェース１１６を介してカードスロット１０２に装着されているメモリカード６１に記録される。

【００５０】

記録した画像を再生する場合、メモリカード６１に記録されている画像を、カードインタフェース１１６を介して読み出し、圧縮／伸張処理回路１１５により伸張した後、ビデオメモリ１１４に書き込む。書き込まれた画像はビデオ信号処理回路１０６に入力され、画像をモニターする場合と同様に、表示部１０８や画像機器に映し出される。

【００５１】

なおこの構成では、回路基板１００上に、カードスロット１０２、撮像装置１０４、アナログ増幅器（ＡＭＰ）、Ａ／Ｄコンバータ（Ａ／Ｄ）、カメラ信号処理回路１０５、ビデオ信号処理回路１０６、メモリコントローラ１１３、ビデオメモリ１１４、圧縮／伸張処理回路１１５、及びカードインタフェース１１６が実装される。

但しカードスロット１０２については、回路基板１００上に実装される必要はなく、コネクタケーブル等により回路基板１００に接続されるようにしてもよい。

【００５２】

回路基板１００上には更に、電源回路１１７が実装される。電源回路１１７は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路１１７として、ＤＣ－ＤＣコンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ１１８、表示部１０８にも供給される。

【００５３】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図１１Ａ－１１Ｊに示すような他の各種電子機器に適用することができる。即ち、図１１Ａに示すビデオカメラ、図１１Ｂに示すテレビジョン、図１１Ｃに示すオーディオ機器、図１１Ｄに示すゲーム機器、図１１Ｅに示す電子楽器、図１１Ｆに示す携帯電話、図１１Ｇに示すパーソナルコンピュータ、図１１Ｈに示すパーソナルデジタルアシスタント（ＰＤＡ）、図１１Ｉに示すヴォイスレコーダ、図１１Ｊに示すＰＣカード等に、上記電子カードを用いることができる。

【図面の簡単な説明】

【００５４】

【図１】この発明の実施の形態によるＮＡＮＤ型フラッシュメモリの機能ブロック構成を示す図である。

【図２】同フラッシュメモリのセルアレイ構成を示す図である。

【図３】同フラッシュメモリのデータのしきい値分布を示す図である。

【図４】同フラッシュメモリのセンスアンプ回路及びデータ消去回数管理システムの構成を示す図である。

【図５】同消去管理システムの具体構成を示す図である。

【図６】同フラッシュメモリのデータ消去の制御フローを示す図である。

【図７】同フラッシュメモリのデータ消去回数チェック読み出し時のバイアス条件を示す図である。

【図８Ａ】データ消去回数を記憶する冗長領域の初期化状態を示す図である。

【図８Ｂ】同冗長領域の第１回データ消去後のデータ消去回数記憶状態を示す図である。

【図８Ｃ】同冗長領域の第２回データ消去後のデータ消去回数記憶状態を示す図である。

【図 8 D】同冗長領域の第 3 2 回データ消去後のデータ消去回数記憶状態を示す図である

【図 9】 デジタルスチルカメラに適用した実施の形態を示す図である。

【図 10】同デジタルスチルカメラの内部構成を示す図である。

【図 1 1 A】ビデオカメラに適用した実施の形態を示す図である。

【図 1 1 B】テレビジョンに適用した実施の形態を示す図である。

【図 1 1 C】オーディオ機器に適用した実施の形態を示す図である。

【図 1 1 D】ゲーム機器に適用した実施の形態を示す図である。

【図 1 1 E】電子楽器に適用した実施の形態を示す図である。

【図 1 1 F】携帯電話に適用した実施の形態を示す図である。

【図 1 1 G】 パーソナルコンピュータに適用した実施の形態を示す図である。

【図 1 1 H】 パーソナルデジタルアシスタント（PDA）に適用した実施の形態を示す図である。

【図 1 1 I】ヴォイスレコーダに適用した実施の形態を示す図である。

【図 1 1 J】 P C カードに適用した実施の形態を示す図である。

【符号の説明】

【 0 0 5 5 】

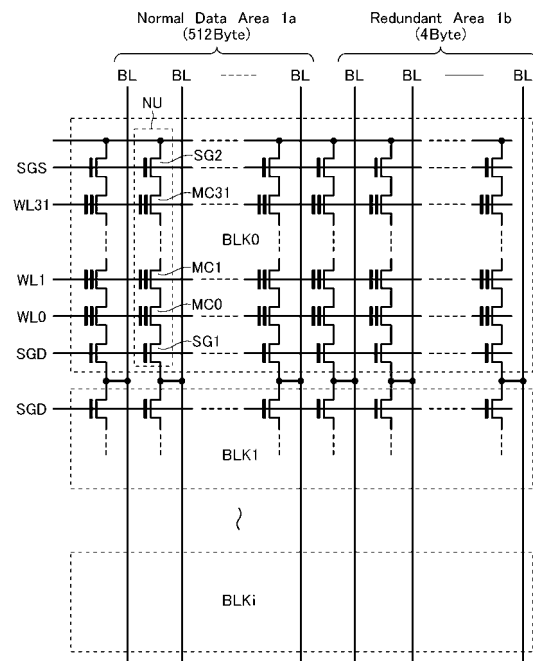
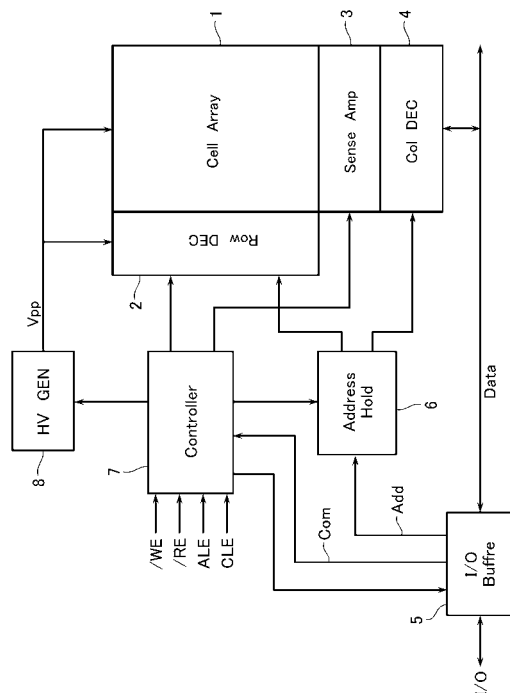
1 ... セルアレイ、1 a ... ノーマルデータ領域、1 b ... 冗長領域（消去管理領域）、2 ...
ロウデコーダ、3 ... センスアンプ回路、3 a ... ノーマルセンスアンプ回路、3 b ... 冗長セ
ンスアンプ回路、4 ... カラムデコーダ、5 ... I/Oバッファ、6 ... アドレス保持回路、7
... コントローラ、8 ... 高電圧発生回路、11 ... データ転送回路、12 ... レジスタ回路、1
3 ... 判定回路、21 j ... 読み出しバッファ、22 j ... 書き込みバッファ。

10

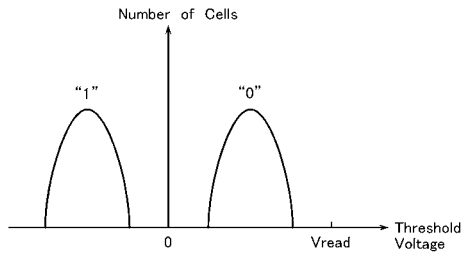
20

【 図 1 】

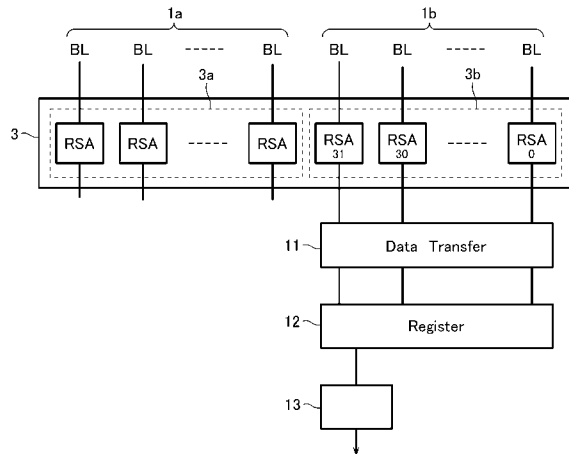
【圖 2】



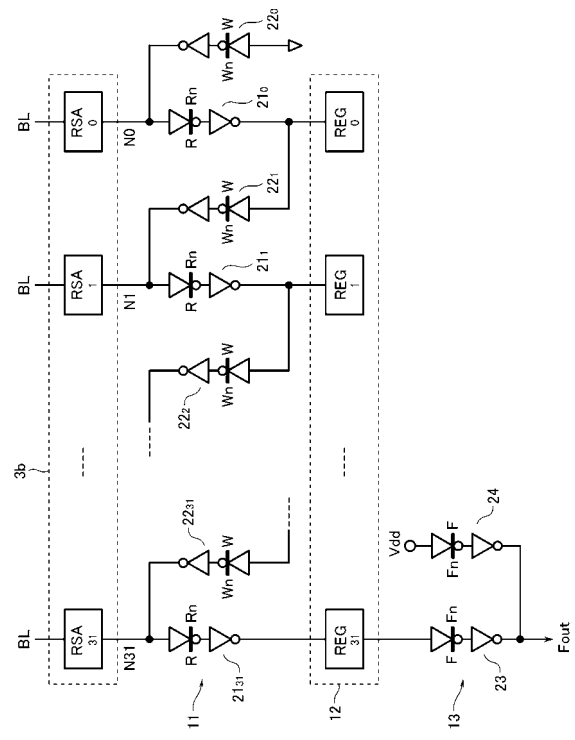
【図 3】



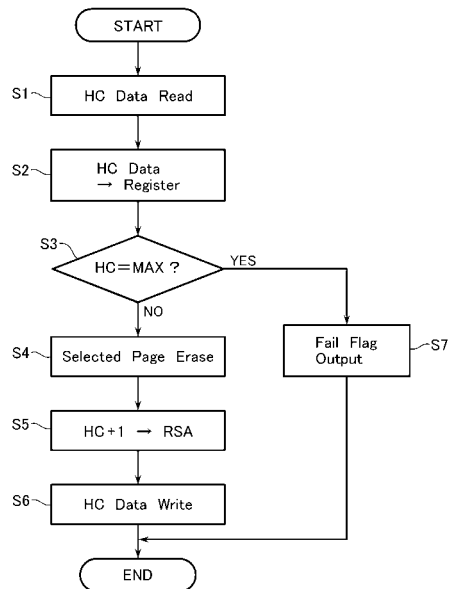
【図 4】



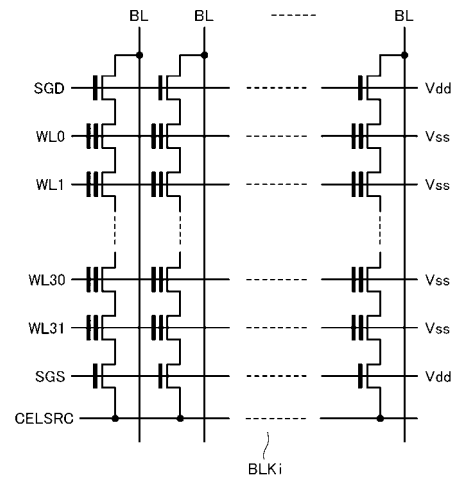
【図 5】



【図 6】



【図 7】



【図 8 A】

Initial	B31	B30		B3	B2	B1	B0
P0	1	1	-----	1	1	1	1
P1	1	1	-----	1	1	1	1
P2	1	1	-----	1	1	1	1
	}						
P31	1	1	-----	1	1	1	1

【図 8 B】

1st Erase (page P0)

	B31	B30		B3	B2	B1	B0
P0	1	1	-----	1	1	1	0
P1	1	1	-----	1	1	1	1
P2	1	1	-----	1	1	1	1
			}				
P31	1	1	-----	1	1	1	1

【図 8 C】

2nd Erase (page P2)

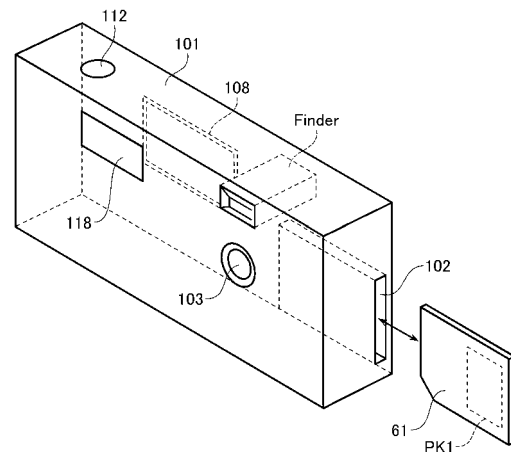
	B31	B30		B3	B2	B1	B0
P0	1	1	-----	1	1	1	0
P1	1	1	-----	1	1	1	1
P2	1	1	-----	1	1	0	0
			}				
P31	1	1	-----	1	1	1	1

【図 8 D】

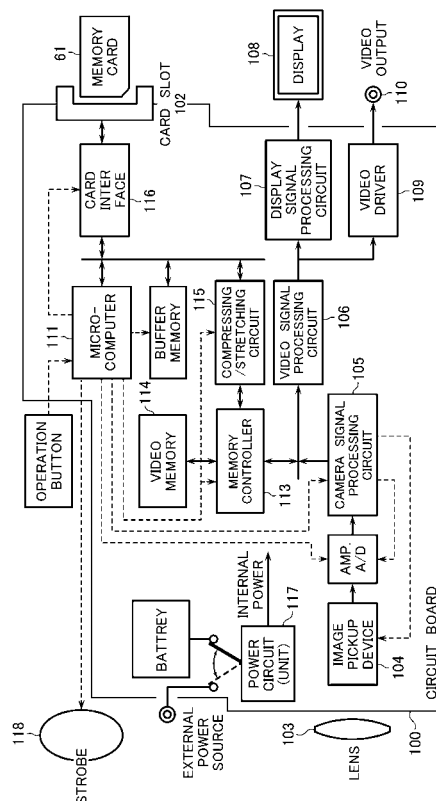
32th Erase (page P0)

	B31	B30		B3	B2	B1	B0
P0	0	0	-----	0	0	0	0
P1	1	*	-----	*	*	*	*
P2	1	*	-----	*	*	*	*
			}				
P31	1	*	-----	*	*	*	*

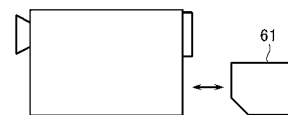
【図 9】



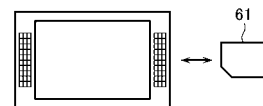
【図 10】



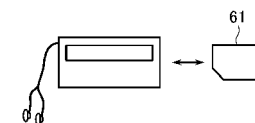
【図 11 A】



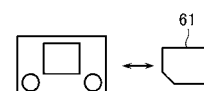
【図 11 B】



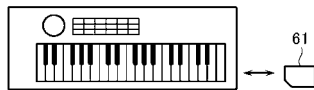
【図 11 C】



【図 11 D】



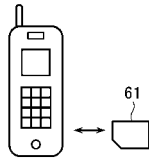
【図 11 E】



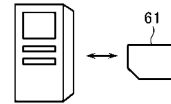
【図 11 H】



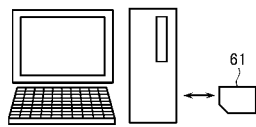
【図 11 F】



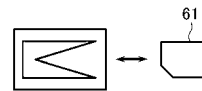
【図 11 I】



【図 11 G】



【図 11 J】



フロントページの続き

(56)参考文献 特開2000-020252(JP,A)
国際公開第02/023552(WO,A1)
特開平07-254290(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C16/02-16/06