



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 693 33 300 T2 2004.09.09**

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 583 201 B1**

(21) Deutsches Aktenzeichen: **693 33 300.6**

(96) Europäisches Aktenzeichen: **93 402 036.3**

(96) Europäischer Anmeldetag: **10.08.1993**

(97) Erstveröffentlichung durch das EPA: **16.02.1994**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **19.11.2003**

(47) Veröffentlichungstag im Patentblatt: **09.09.2004**

(51) Int Cl.7: **H01L 25/10**
H01L 25/065

(30) Unionspriorität:

9210003 13.08.1992 FR

(73) Patentinhaber:

Commissariat à l'Energie Atomique, Paris, FR

(74) Vertreter:

**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80538 München**

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT

(72) Erfinder:

**Massit, Claude, F-38330 Saint Ismier, FR; Nicolas,
Gerard, F-38340 Voreppe, FR**

(54) Bezeichnung: **Dreidimensionaler Mehrchipmodul**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen dreidimensionalen Mehrchipmodul. Ein solcher Modul findet zahlreiche Verwendungen auf dem Gebiet der angewandten Mikroanschlusstechnik, insbesondere bei der Verbindung von Integrierten Schaltungen.

[0002] In der gesamten nachfolgenden Beschreibung versteht man unter "Integrierte Schaltung" ein Gehäuse im Zentimeterbereich, das einen oder mehrere Chips enthält, welche die Funktionen der genannten Integrierten Schaltung gewährleisten. Jeder dieser Chips ist aus einem Halbleitermaterial, zum Beispiel Silicium oder Galliumarsenid. An der Oberfläche dieser Chips sind die Elemente ausgebildet, die für ihren Betrieb notwendig sind.

[0003] An der Peripherie der Chips ermöglichen Kontaktstellen die Verbindung der genannten Chips mit Schaltungen als Schnittstellen zur Außenseite. Im Zentrum dieser Chips befinden sich aktive Zonen mit einer Vielzahl von elektronischen Bauteilen wie zum Beispiel Transistoren, Widerständen, Kapazitäten usw. In bzw. auf den genannten Chips sind Zusammenschaltungen realisiert, um die Verbindung der elektronischen Bauteile untereinander und mit den Kontaktstellen des Chips herzustellen.

[0004] Heute ist die Zunahme der Komplexität der Informatiksysteme derartig, dass die meisten IC-Hersteller eine relative Erhöhung der Anzahl der elektronischen Bauteile pro Flächeneinheit der genannten Integrierten Schaltungen realisieren müssen.

[0005] Um die Integration der elektronischen Bauteile zu erhöhen, ist es möglich, die Geometrien aller die Integrierte Schaltung bildenden Bauteile zu reduzieren, indem man submikrometrische Verfahren definiert.

[0006] Jedoch stößt eine solche Methode auf physikalische Grenzen, nämlich die Miniaturisierung durch die Wellenlänge des optischen Belichtungssystems der Resists.

[0007] Eine andere Methode zur Erhöhung der Anzahl der Bauteile pro Oberflächeneinheit besteht darin, die elementare Fläche der Chips zu vergrößern. Man versteht selbstverständlich, dass diese Vergrößerung der Chips ein Nachteil ist bezüglich des Platzbedarfs bei der Integration der für das Informatiksystem notwendigen ICs und auch bezüglich der Herstellungskosten.

[0008] Eine weitere Methode besteht darin, einen Mehrchipmodul zu realisieren.

[0009] Eine Realisierungsart dieses Mehrchipmoduls besteht aus einem Modul in monolithischer Technik, bekannt unter der Bezeichnung WAFER SCALE INTEGRATION. Bei einem solchen Mehrchipmodul wird die Integrierte Schaltung durch eine Siliciumscheibe gebildet und die Funktionen des Systems erhält man durch Einführung redundanter Elemente, die ermöglichen, defekte Elemente zu ersetzen.

[0010] Nach einer anderen Technik, nämlich der Hy-

bridtechnik, werden die komplexen elektronischen Funktionen direkt auf einer Siliciumplatte realisiert, die als Zusammenschaltungsträger dient. Die aktiven Bauteile, nämlich die Chips, können aus Galliumarsenid sein und werden mit der Siliciumplatte direkt verbunden mittels Techniken wie Drahtmontage (WI-RE BONDING in angelsächsischer Terminologie), automatische Übertragung auf Band bzw. Streifen, usw.

[0011] Diese hybriden und monolithischen Techniken werden genauer beschrieben in dem Artikel mit dem Titel "LE CHIP CARRIER, support universel de pastilles à haut niveau d'integration" (DER CHIP CARRIER, Universal-Chipträger mit hohem Integrationsniveau), veröffentlicht in der Zeitschrift ELECTRONIQUE INDUSTRIELLE, Nr. 31. Diese hybriden und monolithischen Techniken schlagen also zweidimensionale Mehrchipmodule vor, die bessere Leistungen und eine größere Systemkapazitäten ermöglichen.

[0012] Die Fläche der Integrierten Schaltung bleibt jedoch oft zu groß für immer leistungsfähigere Informatiksysteme.

[0013] So besteht eine Methode darin, die dritte Dimension zu nutzen, um die Chips aufeinander zu stapeln und so den Flächenbedarf der Integrierten Schaltung zu reduzieren und die Frequenzleistungen zu erhöhen.

[0014] In einem Artikel mit dem Titel "3D INTER-CONNECTION FOR ULTRA-DENSE MULTICHIP MODULES", (Proceedings ECTC 1990, Las Vegas, Seiten 540-547) wird ein dreidimensionaler Mehrchipmodul präsentiert, gebildet durch einen Zusammenbau von mehreren Chips durch Klebung, die zwischen den Siliciumkontaktstellen bzw. -kontaktplättchen ihre Zusammenschaltungsdrähte umfassen, und einem automatischen Streifentransfer auf Band bzw. einem Band für den automatischen Transfer auf Streifen. Diese Chipgruppe wird dann zersägt, um den Querschnitt der Zusammenschaltungsdrähte freizulegen. Die elektrische Kontaktnahme erfolgt auf dem Querschnitt der Drähte, durch Metallisierung von einer oder von mehreren Flächen des durch die verschiedenen Chips gebildeten Kubus.

[0015] Ein anderer 3D-Mehrchipmodul wird beschrieben in dem Dokument mit dem Titel "HIGH DENSITY 3D PROCEEDING" von John C. CARSON und Myles F. SUER, (WORKSHOP ON VLSI RECHARGING TECHNIC, Juni 1991, Villefranche/Mer) sowie in dem Artikel mit dem Titel "3D IC PACKAGING MOVES CLOSER TO COMMERCIAL USE" von J. Robert LINEBACK in der Zeitschrift "ELECTRIC WORLD NEWS" (Mai 1990). Bei diesem 3D-Mehrchipmodul kommt eine metallurgische Passivierung der Wafer hinzu, um Zusammenschaltungsleitungen der Kontaktstellen der Chips an den Rand jedes dieser Chips zu legen. Der Wafer wird anschließend zersägt und die Chips werden miteinander verklebt. Auf einer oder mehreren Seiten des durch das Zusammenkleben der Chips hergestellten

Kubus wird eine metallurgische Bearbeitung durchgeführt, die ermöglicht, alle Kontaktstellen auf eine Seite des Kubus zu legen, so dass er auf ein Substrat (das heißt sehr oft auf eine Siliciumplatte) oder in ein Gehäuse montiert werden kann.

[0016] Solche Mehrchipmodule erfüllen effektiv den Zweck einer maximalen Integration, haben aber den Nachteil, dass ihre Herstellung technisch sehr schwierig ist. Außerdem verursachen diese Module Probleme hinsichtlich der Wärmeabführung aufgrund der Einschließung der aktiven Schaltungen. Zudem sind solche Module nur für die Zusammenschaltung eines einzigen Chiptyps geeignet: diese Module entstehen nämlich durch eine Stapelung identischer integrierter Schaltungen in der dritten Dimension.

[0017] Ein weiterer dreidimensionaler Mehrchipmodul wird beschrieben in dem Artikel mit dem Titel "TEXAS INSTRUMENT DEMONSTRATIONS" in der Zeitschrift mit dem Titel "AVIATION WEEK AND SPACE TECHNOLOGY" (Februar 1992).

[0018] Dieser Artikel beschreibt nämlich einen 3D-Mehrchipmodul, das heißt einen voluminösen Basissmodul, gebildet durch zweidimensionale Module, wobei alle zweidimensionalen Module senkrecht zusammengeschaltet sind und gekühlt werden. Ein solcher Mehrchipmodul hat den Nachteil, einen spezifisch bearbeiteten Block zu benötigen, in dem Karten senkrecht zusammengeschaltet werden.

[0019] Auch das Dokument WO-A-8 805 251 schlägt einen dreidimensionalen Mehrchipmodul vor. Jedoch, da der Zusammenbau von elementaren Modulen auf dem Basissubstrat orthogonal erfolgt, ist es notwendig:

- das auf einer Oberseite der Module befindliche Zusammenschaltungsgitter an einem Rand (Schnittfläche) dieses Moduls zu verlängern, was teuer und schwierig ist;
- alle Module mit großer Genauigkeit auszurichten, um die für den Zusammenbau dieser Module auf dem Basissubstrat erforderliche Ebenheit zu erlangen.

[0020] Da dieser elektrische Zusammenbau über die gesamte Oberfläche des Basissubstrats erfolgt, erscheint es unmöglich, diese Verbindungen zu kontrollieren und – erst recht – zu reparieren.

[0021] Das Patent US-A-5 128 831 schlägt einen weiteren Multichipmodul vor, jedoch erfordert das Zusammenbauen der Elementarmodule nach diesem Patent:

- eine elektrische Singularisierung jedes Elementarmoduls aufgrund des Anschlusstyps durch metallisierte Löcher, was die Konsequenz hat, einen pro Niveau jeweils unterschiedlichen Substrattyp zu verwenden;
- ein Bohren von Löchern, gefolgt von einer Oberflächenmetallisierung bei den Elementarmodulen und bei den Abstandselementen;
- nach dem mechanischen Zusammenbauen ein Auffüllen dieser Löcher durch ein schmelzbares

Metall.

[0022] Die Realisierung eines solchen Mehrchipmoduls hat den Nachteil, teure Operationen nötig zu machen für ein relativ unzuverlässiges Resultat.

[0023] Der dreidimensionale Mehrchipmodul der Erfindung entspricht dem Ziel der maximalen Integration von elektronischen Bauteilen und ermöglicht, die oben genannten Nachteile zu beseitigen.

[0024] In der Folge der Beschreibung kommen unterschiedslos die Bezeichnungen "3D-Modul", "3D-Multichipmodul" oder auch "dreidimensionaler Multichipmodul" vor.

[0025] Noch genauer hat die Erfindung die Aufgabe, einen Multichipmodul vorzuschlagen, der dadurch gekennzeichnet ist, dass die Mehrzahl der zweidimensionalen elektronischen Elementarmodule wenigstens einen Chip, einen Träger, auf dem der Chip angeordnet ist, und ein leitfähiges Zusammenschaltungsgitter umfasst, das eine Oberseite des Trägers bedeckt, wobei die Elementarmodule im Wesentlichen übereinander angeordnet sind und mittels Zusammenschaltungsgitter miteinander verbunden sind.

[0026] Vorteilhaft umfassen die Träger auf einer Unterseite einen Hohlraum, dessen Größe wesentlich größer ist als die Größe der Chips, so dass der Träger eines ersten Elementarmoduls auf den Chip eines zweiten Moduls angeordnet werden kann.

[0027] Außerdem umfasst jeder Elementarmodul wenigstens einen Anschluss- bzw. Verbindungskontaktstelle (auch einfach Kontaktstelle genannt), die sich an einem Rand des Trägers befindet und durch das Zusammenschaltungsgitter mit dem Chip verbunden ist, wobei jede Kontaktstelle auch mit den Kontaktstellen der benachbarten Elementarmodule verbunden ist (oberer Modul und unterer Modul), um eine elektrische Verbindung zwischen den Elementarmodulen herzustellen.

[0028] Nach der Erfindung sind die im Wesentlichen übereinander angeordneten Elementarmodule so gegeneinander versetzt, dass die Kontaktstellen jedes Elementarmodulträgers nicht durch den Träger des jeweils darüber befindlichen Elementarmoduls abgedeckt wird, sondern dass der Anschluss von elektrischen Drähte an diesen Kontaktstellen möglich ist.

[0029] Nach einer Ausführungsart der Erfindung umfasst jeder Elementarmodul eine Vielzahl von durch das Zusammenschaltungsgitter miteinander verbundenen Chips.

[0030] Weitere Vorteile und Merkmale der Erfindung gehen aus der nachfolgenden erläuternden aber nicht einschränkenden Beschreibung hervor, bezogen auf die beigefügten Zeichnungen:

[0031] – die **Fig. 1** zeigt einen dreidimensionalen Multichipmodul mit fünf Niveaus;

[0032] – die **Fig. 2** zeigt schematisch einen dreidimensionalen Multichipmodul mit sieben Niveaus, bei dem jeder Elementarmodul eine Vielzahl von Chips umfasst; und

[0033] – die **Fig. 3a** und **3b** zeigen – jeweils im Profil beziehungsweise in der Draufsicht – eine Integrierte Schaltung mit einem mit zwei dreidimensionalen Multichipmodulen verbundenen Mikroprozessor

[0034] In der **Fig. 1** sieht man einen dreidimensionalen Mehrchipmodul **1**, in der Folge einfach "3D-Modul" genannt. Der 3D-Modul dieser **Fig. 1** umfasst fünf Niveaus, das heißt dass er vier Elementarmodule **4a**, **4b**, **4c**, **4d**, vereinigt auf einem Zusammenschaltungssubstrat **2**, einen in Hybridtechnik auf das Substrat **2** montierten Chip **3** und eine Haube **16** umfasst, welche die letzte Chip-Stufe verkapselt, nämlich den Chip **10d** des Elementarmoduls **4d**.

[0035] Nach der in dieser **Fig. 1** dargestellten Ausführungsart sind alle Elementarmodule, nämlich der Modul **4a**, der Modul **4b**, der Modul **4c** und der Modul **4d**, gleich. Um die Beschreibung zu vereinfachen, wird nur der Elementarmodul **4a** detailliert beschrieben, wobei als bekannt vorausgesetzt wird, dass die Elementarmodule **4b**, **4c**, **4d** diesem Modul **4a** entsprechen.

[0036] Dieser Elementarmodul **4a** umfasst einen Träger **6a**, dessen Oberfläche mit einem Zusammenschaltungsgitter **8a** bedeckt ist. Auf diesem Zusammenschaltungsgitter **8a** befindet sich ein Chip **10a**, der durch Verbindungseinrichtungen **11a** und **11a'** mit dem Zusammenschaltungsgitter **8a** verbunden ist.

[0037] Die Elementarmodule **4a**, **4b**, **4c**, **4d** sind stufenförmig aufeinander angeordnet, sodass zum Beispiel der Modul **4b** auf dem Modul **4a** so angeordnet ist, dass er gegenüber dem Modul **4a** etwas versetzt ist, wobei dann der Teil des Trägers **6a** und der Teil des Gitters **8a**, die nicht von dem Elementarmodul **4b** bedeckt sind, wenigstens eine Kontaktstelle **12a** umfassen. Es umfasst also jeder Elementarmodul **4a**, **4b**, **4c**, **4d** an seiner Oberseite (das heißt in Höhe seines Zusammenschaltungsgitters **8a** bzw. **8b** bzw. **8c** bzw. **8d**) jeweils eine Kontaktstelle **12a** bzw. **12b** bzw. **12c** bzw. **12d**, die ermöglicht, dank Drähten **13a**, **13b**, **13c**, **13d** die verschiedenen Elementarmodule miteinander zu verbinden.

[0038] Diese Kontaktstellen sind mit den Chips jeweils durch das Zusammenschaltungsgitter verbunden. Jeder Chip kann also mit den benachbarten Chips zunächst durch das Zusammenschaltungsgitter, dann durch die Kontaktstellen seines Moduls und schließlich durch einen Verbindungsdraht verbunden sein, der jede Kontaktstelle seines Moduls mit einer Kontaktstelle eines der benachbarten Module verbindet.

[0039] Die Verwendung einer Kabelverdrahtung für die elektrische Zusammenschaltung der Elementarmodule untereinander ermöglicht, falls nötig, Relaiskontaktstellen zu benutzen. Diese Relaiskontaktstellen sind auf den Teilen der Elementarmodule vorgesehen, die nicht durch andere Elementarmodule bedeckt sind und nicht mit dem Zusammenschaltungsgitter des Trägers verbunden sind, auf dem sie befestigt sind. Im Falle von 3D-Speichermodulen ermöglichen solche Relaiskontaktstellen die Singularisie-

rung bestimmter Äquipotentiale (zum Beispiel chip select oder write enable).

[0040] Um ein besseres "Stapeln" der Elementarmodule zu ermöglichen, umfasst jeder Träger **6a**, **6b**, **6c**, **6d** einen Hohlraum, jeweils **14a**, **14b**, **14c**, **14d**, dessen Abmessungen etwas größer sind als die Abmessungen des Chips des darunter befindlichen Moduls. Zum Beispiel hat der Elementarmodul **4b** einen Hohlraum **14b**, der ermöglicht, den genannten Modul **4b** auf dem Elementarmodul **4a** zu stapeln.

[0041] Außerdem umfasst der dreidimensionale Mehrchipmodul ein Substrat **2**, auf dem die Gesamtheit der Elementarmodule angeordnet ist. Dieses Substrat **2** umfasst einen Träger **2a**, der von einem Zusammenschaltungsgitter bedeckt wird, das von derselben Art ist wie die Zusammenschaltungsgitter der Elementarmodule. Ebenso umfasst dieses Substrat wenigstens eine Kontaktstelle **2c**, die über den Verbindungsdraht **13a** eine elektrische Verbindung zwischen diesem Substrat **2** und dem Elementarmodul **4a** und noch genauer zwischen dem Substrat und dem Chip **10a** dieses Moduls **4a** ermöglicht.

[0042] Auf dem Substrat **2** befindet sich ein Chip **3**, der mit seinen Verbindungseinrichtungen **3a** und **3b** mit dem Zusammenschaltungsgitter **2c** verbunden ist. Diese Einheit aus Substrat **2** und Chip **3** ist das, was oben unter Hybridtechnik-Montage des Chips auf dem Substrat gemeint war.

[0043] Dieser 3D-Mehrchipmodul umfasst außerdem eine Haube **16**, die das letzte Chip-Niveau verkapselt. Noch genauer umfasst diese Haube ein Teil **16a**, gebildet aus einem Material, das dem der Träger **6a**, **6b**, **6c**, **6d** entsprechen kann. Sie umfasst auch einen Hohlraum **16b**, dessen Abmessungen etwas größer sind als die Abmessungen des Chips **10d**, den sie überdeckt.

[0044] Nach einer anderen Ausführungsart der Erfindung können die Hohlräume **14a**, **14b**, **14c**, **14d** der Träger der Elementarmodule und der Hohlraum **16b** der Haube **16** durch ein Abstandselement ersetzt werden.

[0045] In dem Fall des oben beschriebenen Hohlräume wird dieser entweder durch Nassätzung, Trockenätzung (das heißt zum Beispiel Plasmaätzung) hergestellt, wenn die Träger **6a**, **6b**, **6c**, **6d** und die Haube **16a** aus Silicium sind. Wenn die genannten Träger und diese Haube aus einem anderen Material als Silicium sind, wird der Ätzungstyp in Abhängigkeit von der Art der verwendeten Materialien gewählt.

[0046] Die Zusammenschaltungsgitter der Elementarmodule und des Substrats **2** werden nicht genauer beschrieben, denn sie entsprechen den Zusammenschaltungsgittern der zweidimensionalen Mehrchipmodule. Sie werden also – bezüglich der Zusammenschaltungsleitungen – durch Techniken des Abscheidens und Ätzens leitfähiger Materialien und – bezüglich der Umhüllung dieser Leitungen – des anorganischen oder organischen Isolierens gebildet. Diese Zusammenschaltungsgitter können auch aus metallischen Materialien realisiert werden (für die Zusam-

menschaltungsleitungen) und zum Beispiel aus Siliciumdioxid oder aus Polyimiden (für die Umhüllung dieser Leitungen).

[0047] Nach einer Ausführungsart dieser Zusammenschaltungsgitter haben sie eine mehrschichtige Struktur, was ermöglicht, integrierte Entkopplungskapazitäten zu realisieren, zum Beispiel zwischen dem Gehäuse des Elementarmoduls, das an Masse liegen kann, und einer Metallschicht, abgeschieden auf einer dünnen dielektrischen Schicht (SiO_2), ihrerseits selbst auf der ebenen oberen Fläche des Moduls abgeschieden.

[0048] In der **Fig. 2** ist ein 3D-Modul mit sieben Stufen (oder sieben Niveaus) abgeschieden, das heißt ein 3D-Modul mit sechs Elementarmodulen **4a** bis **4f** und mittels Hybridtechnik montierten Chips **3**, **5**, **7**, **9** auf dem Substrat **2**.

[0049] Diese **Fig. 2** umfasst dieselben Bezugszeichen wie die **Fig. 1**, wobei dieselben Bezugszeichen gleiche Elemente bezeichnen. Zum Beispiel umfasst der in dieser **Fig. 2** dargestellte 3D-Modul die schon in der **Fig. 1** dargestellten Elementarmodule **4a**, **4b**, **4c**, **4d**, und Elementarmodule **4e** und **4f**, welche die beiden zusätzlichen Stufen in Bezug auf den in der **Fig. 1** dargestellten 3D-Modul repräsentieren.

[0050] Außerdem umfasst in dieser **Fig. 2** jeder Elementarmodul vier für den Elementarmodul **4f** mit **10f**, **20f**, **22f**, **24f** bezeichnete Chips. Um die verschiedenen Elementarmodule aufeinander stapeln zu können, umfasst jeder Elementarmodulträger eine Vielzahl von Hohlräumen, die in der Haube **16** mit **16b** und **18b** bezeichnet sind.

[0051] Nach einer weiteren Ausführungsart der Erfindung umfassen die Träger und die Haube jeweils nur einen großen Hohlraum, in dem sich alle Chips des darunterliegenden Elementarmoduls befinden.

[0052] Es werden keine weiteren Elementarmodule dieser Figur beschrieben, da alle Module genau dem beschriebenen Modul **4f** entsprechen.

[0053] Selbstverständlich können die 3D-Elementarmodule – abweichend von der **Fig. 2**, in der alle Elementarmodule auf einer Seite **4** Chips umfassen (also **16** Chips insgesamt, wenn der Elementarmodul quadratisch ist) – bei anderen Ausführungsarten vier, neun oder n Chips umfassen (wobei n eine ganze Zahl ist).

[0054] In den **Fig. 3a** und **3b** ist eine Integrierte Schaltung dargestellt, die einen Mikroprozessor umfasst, der mit zwei 3D-Multichipmodulen verbunden ist. Nach einem Anwendungsbeispiel dieser Integrierten Schaltung können die 3D-Mehrchipmodule 3D-Speichermodule sein.

[0055] Die **Fig. 3a** zeigt diese Integrierte Schaltung im Profil und die **Fig. 3b** in der Draufsicht.

[0056] In der **Fig. 3a** kann man also zwei 3D-Module desselben Typs wie des in der **Fig. 1** dargestellten Moduls **1** sehen. Diese beiden Module sind mit **1a** und **1b** bezeichnet. In dieser **Fig. 3a** ist auch der Mikroprozessor **30** dargestellt, der mit den beiden dreidimensionalen Mehrchipmodulen **1a** und **1b** verbun-

den ist. Dieser Mikroprozessor **30** ist nämlich über Verbindungen **30a** und **30b** mit dem Zusammenschaltungsgitter **2b** des Substrats **2** verbunden. Dieses Zusammenschaltungsgitter **2b** ermöglicht also, die Chips des Moduls **1a** und die Chips des Moduls **1b** elektrisch mit diesem Mikroprozessor **30** zu verbinden.

[0057] Bei dieser Ausführungsart sind die 3D-Module **1a** und **1b** Speichermodule, wie oben erwähnt. Selbstverständlich können diese Module **1a** und **1b** andere Module als Speichermodule sein.

[0058] Diese **Fig. 3a** wird nicht detaillierter beschrieben, da die Beschreibung der 3D-Module, die dargestellt sind, schon anlässlich der **Fig. 1** erfolgte, und der Mikroprozessor **30** als ein zweidimensionaler Modul betrachtet werden kann, der mit dem Substrat **2** verbunden ist.

[0059] Die **Fig. 3b** zeigt dieselbe Ausführungsart wie die **Fig. 3a**, aber als Draufsicht. In dieser **Fig. 3b** stellt man also fest, dass der dreidimensionale Mehrchipmodul **1a** eine Versetzung in zwei Richtungen aufweist, das heißt, dass jeder Elementarmodul in Bezug auf den darunterliegenden Elementarmodul in zwei Richtungen versetzt ist, der dreidimensionale Mehrchipmodul **1b** aber nur eine Versetzung in einer Richtung aufweist.

[0060] Noch genauer sieht man in dieser **Fig. 3b** die Haube **16** des dreidimensionalen Mehrchipmoduls **1a**, wobei die Ränder Kontaktstellen der Elementarmodule **4d**, **4c**, **4b**, **4a** umfassen. Man sieht auch Verbindungsdrähte **13a**, **13b**, **13c**, **13d**, welche jeweils die Verbindung der Chips der Elementarmodule und des Substrats **2**, der Chips des Elementarmoduls **4a** mit den Chips des Elementarmoduls **4b**, der Chips des Elementarmoduls **4b** mit den Chips des Elementarmoduls **4c** und der Chips des Elementarmoduls **4c** mit den Chips des Elementarmoduls **4d** herstellen. Selbstverständlich gibt es ebenso viele Verbindungsdrähte zwischen zwei Elementarmodulen, wie Kontaktstellen auf den Modulen.

[0061] Diese Draufsicht auf den 3D-Mehrchipmodul ermöglicht, die Versetzung jedes Elementarmoduls in zwei Richtungen in Bezug auf den darunterliegenden Elementarmodul zu zeigen. Diese Figur macht also leicht begreiflich, dass – wenn ein solcher dreidimensionaler Mehrchipmodul eine Versetzung nach zwei Richtungen aufweist –, die Anzahl der Anschlussstellen zwischen den Elementarmodulen doppelt so groß sein kann wie die Anzahl der Anschlussstellen eines 3D-Mehrchipmoduls mit einer einzigen Versetzung wie etwa bei dem Modul **1b** derselben Figur.

[0062] Es ist leicht zu verstehen, dass – nachdem man in den **Fig. 1**, **2** **3a** und **3b** eine Hybridisierung des (der) Chips dargestellt hat –, es bei einer einfacheren Ausführungsart möglich ist, nur ein Substrat zu verwenden, auf dem ein System bzw. eine Einheit aus Elementarmodulen ruht.

[0063] Diese Elementarmodule werden unabhängig von der Realisierungsart der Erfindung (mit einer Hybridisierung oder mit einem einfachen Substrat)

durch Kleben oder Hartlöten zusammengebaut. Dasselbe gilt für die Haube **16**, die mit dem letzten Elementarmodul nach einem Verfahren zusammengebaut wird, das dem Zusammenbau der Elementarmodule entspricht.

[0064] Diese dreidimensionalen Mehrchipmodule werden also nach Verfahren hergestellt, die einfach durchzuführen sind, das die angewendeten Techniken schon bekannte und bewährte Techniken sind, insbesondere bezüglich der zweidimensionalen Module.

[0065] Die Träger, Hauben und Substrate können aus gleichen oder unterschiedlichen Materialien hergestellt werden. Die Wahl eines Materials wie des Siliciums eröffnet die Möglichkeit, dass diese ihrerseits durch einen Halbleiter gebildet werden oder nicht, je nach Dotierung.

[0066] Wenn die Träger und Hauben aus Silicium sind, ist es vorteilhaft, das Substrat aus Silicium zu realisieren, um auf einfache Weise die Probleme zu vermeiden, die durch die Wärmedehnung dieser verschiedenen Elemente entstehen.

[0067] Außerdem hat das Silicium die Besonderheit, ein ziemlich guter elektrischer Leiter zu sein, wenn es stark dotiert ist. Die Verwendung von dotiertem Silicium zur Realisierung der Elementarmodule und des Substrats ermöglicht, im Innern der Vorrichtung über Äquipotentialebenen zu verfügen (zum Beispiel eine Massenebene).

[0068] Die Verwendung des Siliciums zur Realisierung der Elementarmodule und des Substrats und die Besonderheit der anisotropen chemischen Ätzung dieses Materials ermöglichen zudem, Hohlräume herzustellen, die entsprechend kristallographischen Flächen und sehr genauen Maßen geneigt sind, was eine Selbstausrichtung der Elementarmodule auf die beim Zusammenbau nach der Flip-chip-Technik montierten Chips gewährleistet.

[0069] Erfindungsgemäß kann jeder Elementarmodul des 3D-Moduls in unabhängiger Weise getestet werden. Auch kann jeder dieser Chips getrennt von den anderen Chips des 3D-Moduls repariert werden.

[0070] Außerdem ist die Anzahl der zusammenbaubaren Elementarmodule variabel in Abhängigkeit von den Bedürfnissen und es ist möglich, verschiedene Chiptypen miteinander zusammenzuschalten. Auch ist es möglich, ein gänzlich in einem 3D-Modul integriertes System zu realisieren.

Patentansprüche

1. Multichip-Modul mit einem Substrat (**2**) und einer Vielzahl zweidimensionaler elektronischer Elementarmodule (**4a–4d**), von denen jeder wenigstens einen Chip (**10a–10d**) und einen Träger (**6a–6d**) umfasst, auf dem der Chip angeordnet ist, wobei die Elementarmodule im Wesentlichen aufeinander angeordnet und auf dem Substrat abgedeckt sind, **dadurch gekennzeichnet**, dass das Substrat und die Träger der Elementarmodule

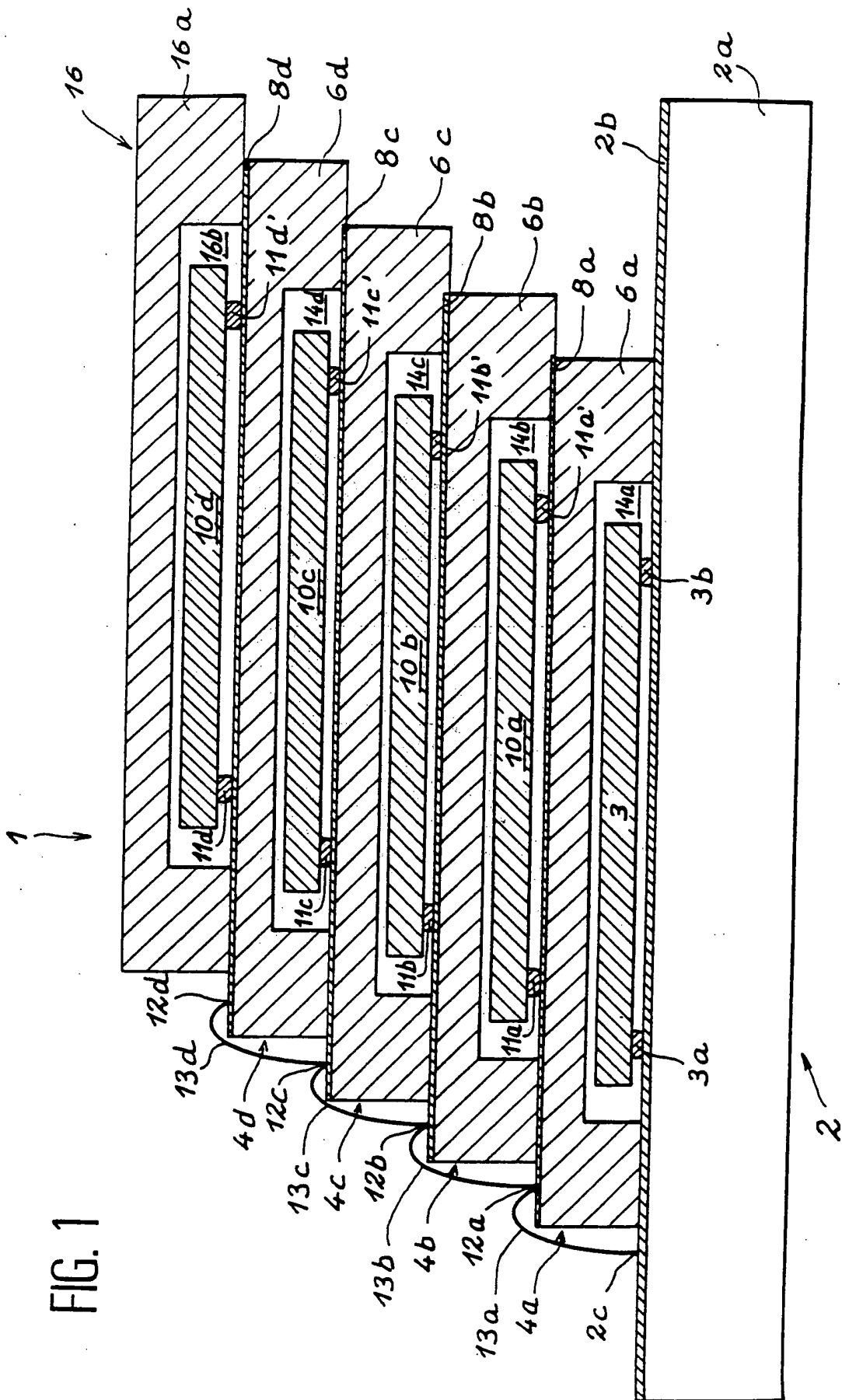
jeweils eine Oberseite umfassen, die mit einem Zwischenverbindungsgitter überzogen ist, und dadurch, dass die im Wesentlichen übereinander angeordneten Elementarmodule zueinander und in Bezug auf das Substrat versetzt sind, so dass ein Teil jedes Zwischenverbindungsgitters nicht durch den Träger eines höheren Elementarmoduls abgedeckt wird und die Verbindung der Zwischenverbindungsgitter untereinander durch elektrische Drähte möglich ist.

2. Multichip-Modul nach Anspruch 1, dadurch gekennzeichnet, dass die Träger auf einer Unterseite einen Hohlraum (**14a–14d**) aufweisen, der wesentlich größer ist als die Größe der Chips, so dass der Träger eines ersten Elementarmoduls über dem Chip eines zweiten Elementarmoduls angeordnet werden kann.

3. Multichip-Modul nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass jeder Elementarmodul wenigstens eine Verbindungskontakteinrichtung (**12a–12d**) umfasst, angeordnet auf einem Rand des Trägers und mit dem Chip durch das Zwischenverbindungsgitter verbunden, wobei jede Verbindungskontakteinrichtung mit den Verbindungskontakteinrichtungen der höheren und tieferen Elementarmodule verbunden ist, um eine elektrische Verbindung zwischen den genannten Elementarmodulen herzustellen.

4. Multichip-Modul nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass jeder Elementarmodul eine Vielzahl von Chips umfasst, die durch das Zwischenverbindungsgitter miteinander verbunden sind.

Es folgen 3 Blatt Zeichnungen



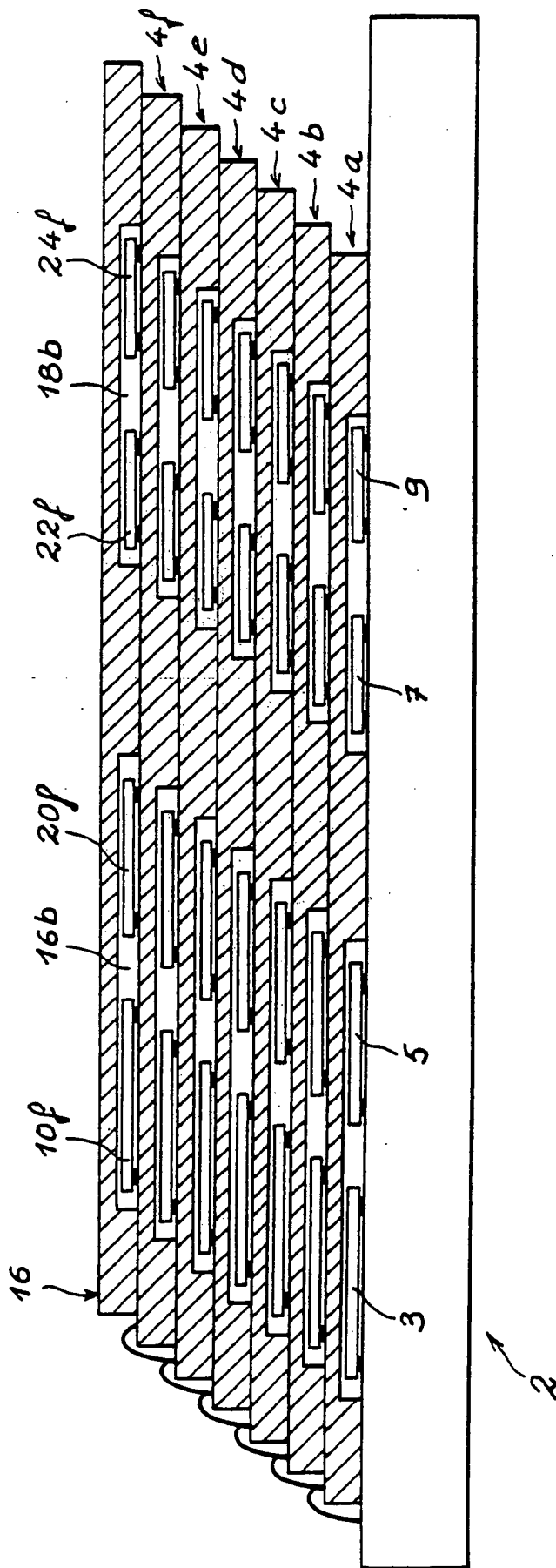


FIG. 2

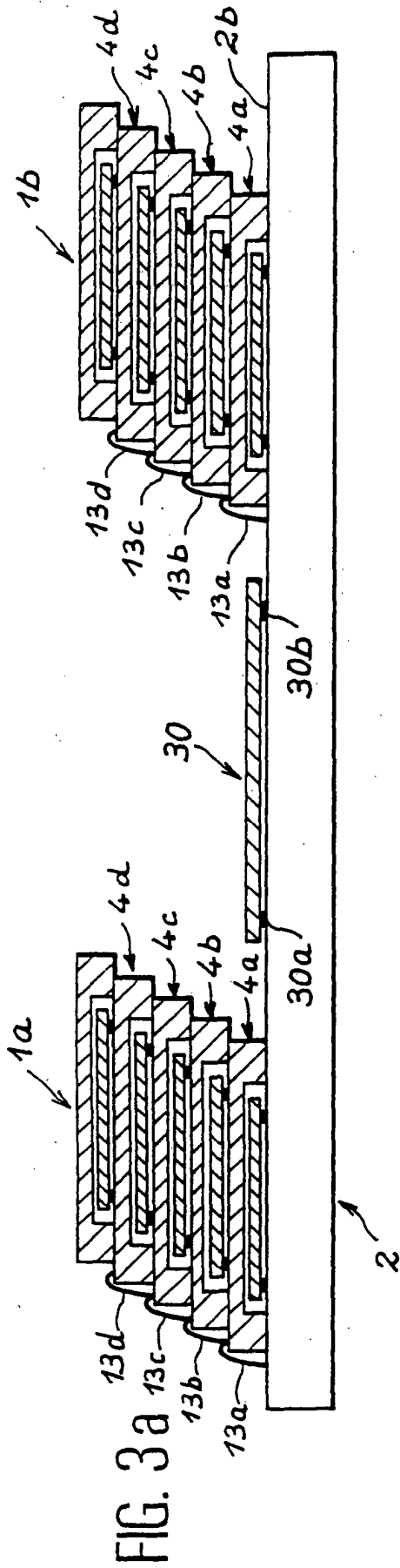


FIG. 3a

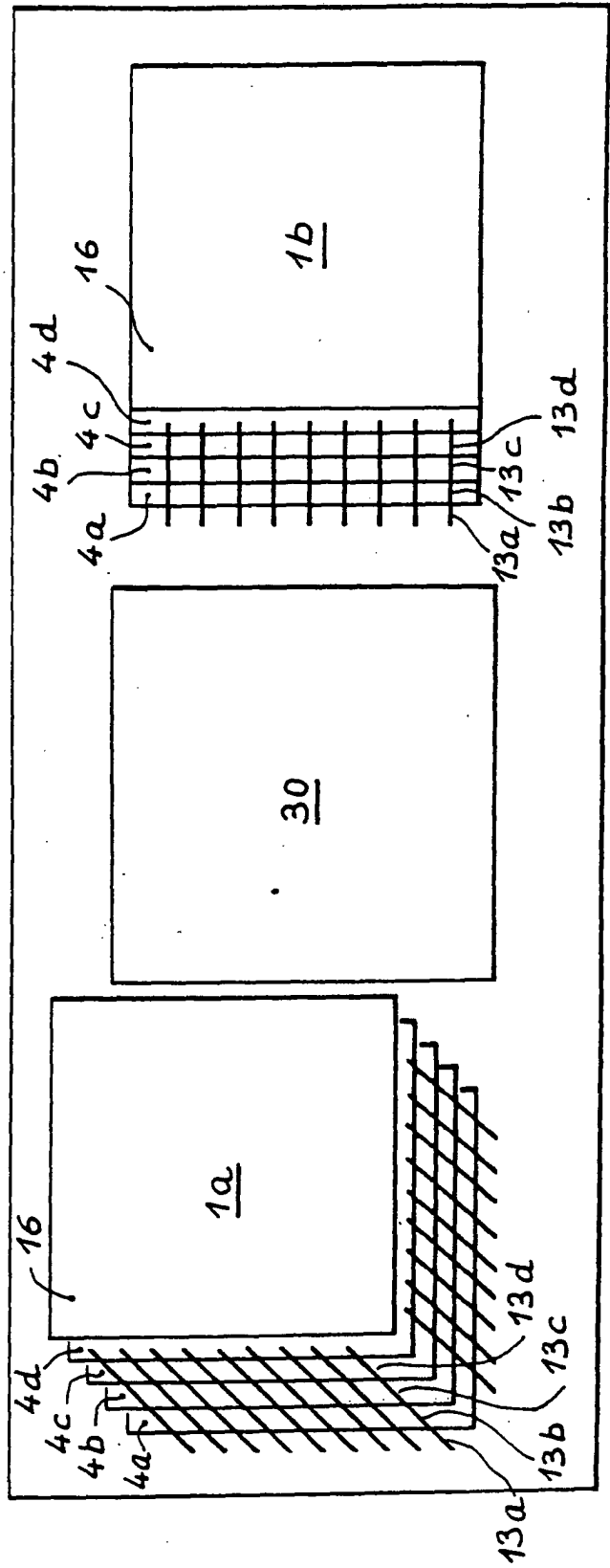


FIG. 3b