

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月7日(07.07.2022)



(10) 国際公開番号

WO 2022/145209 A1

(51) 国際特許分類:
G06F 12/00 (2006.01) **G06F 12/06** (2006.01)

(21) 国際出願番号: PCT/JP2021/045827

(22) 国際出願日: 2021年12月13日(13.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-218395 2020年12月28日(28.12.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

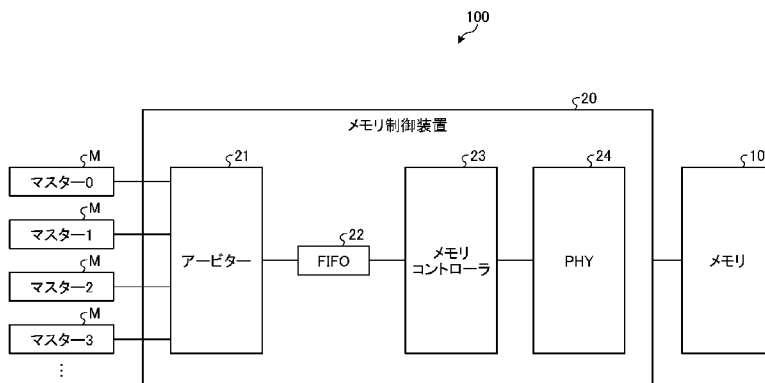
(72) 発明者: 五十嵐 孝博 (IKARASHI, Takahiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: MEMORY CONTROL DEVICE AND MEMORY CONTROL METHOD

(54) 発明の名称: メモリ制御装置及びメモリ制御方法



10 Memory
20 Memory control device
21 Arbiter
23 Memory controller
M Master

(57) Abstract: A memory control device (20) comprises: an arbiter (21) that accepts an access request to a memory (10) containing a plurality of bank groups each of which has a plurality of banks; and a memory controller (23) that issues a command corresponding to the access request received by the arbiter (21). When the arbiter (21) receives an access request to the first bank group from among the plurality of bank groups, the arbiter (21) suspends the acceptance of other access requests to the first bank group.

(57) 要約: メモリ制御装置(20)は、各々が複数のバンクを有する複数のバンクグループを含むメモリ(10)へのアクセス要求を受け付けるアービター(21)と、アービター(21)が受け付けたアクセス要求に対応するコマンドを発行するメモリコントローラ(23)と、を備え、アービター(21)は、複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループへの他のアクセス要求の受け付けを保留する。

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：メモリ制御装置及びメモリ制御方法

技術分野

[0001] 本開示は、メモリ制御装置及びメモリ制御方法に関する。

背景技術

[0002] 各々が複数のバンクを含む複数のバンクグループで構成されたメモリが知られている（例えば特許文献1を参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-99295号公報

発明の概要

発明が解決しようとする課題

[0004] 同じバンクグループに対するコマンド発行間隔に制約がある等の理由により、データ転送効率が低下しうる。この点について、特許文献1では具体的な検討は行われていない。

[0005] 本開示の一側面は、データ転送効率の低下を抑制することが可能なメモリ制御装置及びメモリ制御方法を提供する。

課題を解決するための手段

[0006] 本開示の一側面に係るメモリ制御装置は、各々が複数のバンクを有する複数のバンクグループを含むメモリへのアクセス要求を受け付けるアービターと、アービターが受け付けたアクセス要求に対応するコマンドを発行するメモリコントローラと、を備え、アービターは、複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループへの他のアクセス要求の受け付けを保留する。

[0007] 本開示の一側面に係るメモリ制御方法は、アービターが、各々が複数のバンクを有する複数のバンクグループを含むメモリへのアクセス要求を受け付けることと、メモリコントローラが、アービターが受け付けたアクセス要求

に対応するコマンドを発行することと、を含み、アービターは、複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループへの他のアクセス要求の受け付けを保留する。

図面の簡単な説明

[0008] [図1]メモリシステムの概略構成の例を示す図である。

[図2]バンクグループ構成の例を示す図である。

[図3]第1の手法の動作の例を模式的に示す図である。

[図4]第1の手法の動作の例を模式的に示す図である。

[図5]第1の手法において実行される処理（メモリ制御方法）の例を示すフローチャートである。

[図6]比較例の動作の例を模式的に示す図である。

[図7]第1の手法の動作の例を模式的に示す図である。

[図8]第2の手法において実行される処理（メモリ制御方法）の例を示すフローチャートである。

[図9]アクセス要求の頻度の例を模式的に示す図である。

[図10]アクセス要求の頻度の例を模式的に示す図である。

[図11]第3の手法において実行される処理（メモリ制御方法）の例を示すフローチャートである。

[図12]比較例の動作を模式的に示す図である。

[図13]比較例の動作を模式的に示す図である。

[図14]第3の手法の動作の例を模式的に示す図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] 以下に示す項目順序に従って本開示を説明する。

1. 序

2. 実施形態

- 2. 1 第1の手法の例
- 2. 2 第2の手法の例
- 2. 3 第3の手法の例
- 3. 変形例
- 4. 効果

[0011] 1. 序

D R A M (Dynamic Random Access Memory) の高速化に伴い、バンク数を増やし、D R A Mメモリセルの欠点であるページオープン・クローズのオーバーヘッドを隠蔽してW R I T E / R E A Dを連続して行うことができるようになった。この手法は、バンクインターリーブ等とも称される。

[0012] 近年は、バンクを複数（例えば4つ）のグループに分けるバンクグループが採用され、メモリセルアレイから並列で読み出すデータ数を維持したまま増やすことなくI / Oのデータ転送帯域を倍増させている。最小単位は、バースト長16、及び、2回のp r e f e t c hを連続して行うバースト長32と呼ばれ、W R I T E / R E A Dコマンドの発行時に指定される。

[0013] 原理上は、バースト長16のコマンドのみを連続発行し、ミクロに見ればデータ転送効率100%（データ転送を行わない時間がなく、常にデータピンからデータが転送されている状態）を達成できる。ただし、バンクグループのインターリーブを行わず、同一バンクグループへのアクセス要求（単に「リクエスト」と呼ばれることもある。）が連続すると、バースト長によらず、データ転送効率は最大で50%にとどまる。これを避けるためには、例えば、バンクグループを切り替えながらW R I T E / R E A Dコマンドを発行する必要がある。マスターがアクセス要求を出す際の論理アドレスを物理アドレスに変換するアドレスマッピングにおいて、シーケンシャルアクセスの（すなわちアドレスがインクリメントしながらアクセスする）際に、従来では、一例として、アドレスL S B (Least Significant Bit) からカラムアドレス、バンクアドレス、ロウアドレスの順でマッピングすることで、D R A Mを効率よく使っていた。さらに複数のチャンネルにアドレス空間が分か

れるような場合には、それぞれのチャネル識別 b i t をどこかに割り当てる必要があった。バンクグループのインターリーブが必要な場合は、カラムアドレスのうち、バースト長 16 に相当する b i t のすぐ上にバンクグループ b i t を割り当てる必要がある。

[0014] 2つ以上のマスターがメモリを共有しているシステムは、一般的に大規模メモリ空間を必要とする S o C (システムオンチップ)において非常に広範に使用される。大規模とは、大容量と広帯域を指すが、広帯域が必要な場合において、S D R A M (Synchronous Dynamic Random Access Memory)は、価格と性能を満たすデバイスとして知られており、今後もさらに広帯域なメモリが必要とされるといわれている。具体的な実現方法として物理メモリによってその大規模なメモリ空間を実現し、同一のアドレス・コマンド・データ入出力インタフェースを共有している。メモリ空間の管理は、ハードウェアを制御するシステム固有のファームウェアによって行われる場合もあれば、O S によって動的に確保されるメモリ制御機構によって行われる場合もある。重要なことは、2つ以上のマスターが使用するアドレス空間は、そのマスターがメモリアクセスする時点で明示的に決められているという点であり、このアドレス空間の決定には、本開示で言及するアービター、メモリコントローラの関与は必須ではない。

[0015] 例えば、より広帯域のメモリを必要とする S o C は高い周波数が必要であり、高信頼の信号送受信 I / O、高度な基板設計を必要とし、設計・評価・運用においてコストがかかる。高いコストを支払って広帯域のメモリを使用するため、可能な限りデータ転送効率を高め有効データ転送を行うことで S o C の処理性能を高め付加価値を高めることができる。また、データ転送効率を高めることで、周波数を下げても必要なデータ転送がまかなえるようになれば、低消費電力で S o C を運用できることができる。このようにデータ転送効率を高めることは利益を生むことが期待される。

[0016] データ転送効率を高めるためには、逆にどのようなときにデータ転送効率が悪化するのか、その要因を把握する必要がある。データ転送できない要因

は、データ転送（WRITE、READ）以外のデータ保持のために必要なコマンド（REFpb、REFabなど）を発行するとき、データ転送の準備のために必要なコマンド（ACT、PREpb）を発行するとき、制約としてコマンドとコマンドの間を定められた間隔より開ける必要があるためにデータ転送コマンドが発行できないとき等である。メモリセルから並列に読みだしたデータをP/S変換し、データI/Fから順番に転送するバースト転送を行うため、データ転送コマンドを常に発行しなくてもデータ転送効率は100%を維持することができる。コマンドクロックのうち、バースト長16であればコマンドの50%、バースト長32であればコマンドの25%をデータ転送コマンドで埋めることができれば、データI/Fは100%を維持することができ、逆にそれ以上の頻度でデータ転送コマンドは発行できない制約がある。例えばこのような要求と制約を満たしつつデータ転送効率をより高めるために、開示される技術が有用となりうる。

[0017] 開示される技術は、バンクグループを考慮し、さらには、必要に応じてコマンド発行の衝突、バースト長等も考慮したコマンド発行スケジューリングに関する。開示される技術は、とくに、コマンドとデータのクロック周波数が異なる場合、バースト長が一種類に限定されていない場合等に有用となりうる。

[0018] 2. 実施形態

図1は、実施形態に係るメモリ制御装置が用いられるメモリシステムの概略構成の例を示す図である。メモリシステム100は、メモリ10と、マスターMと、メモリ制御装置20とを含む。この例では、複数のマスターMが存在し、各マスターMを区別できるように、マスター0、マスター1、マスターM及びマスター3と称し図示する。なお、マスターMの数は、図1に示される例に限定されない。

[0019] メモリ10は、例えばDRAM又はSDRAMであり、各々が複数のバンクを含む複数のバンクグループを備える。

[0020] 図2は、バンクグループ構成の例を示す図である。この例では、メモリ1

0は、バンクグループB G 0、バンクグループB G 1、バンクグループB G 3及びバンクグループB G 3の4つのバンクグループを含む。各バンクグループは、バンクB A 0、バンクB A 1、バンクB A 2及びバンクB A 3の4つのバンクを含む。ただし、メモリ10に含まれるバンクグループの数及びバンクの数は、図2に示される例に限定されない。

[0021] 図1に戻り、マスターMは、メモリ10へのアクセス要求を発行し、メモリ制御装置20に送信する。マスターMの例は、CPU、DMAC、P c l e、I S P等である。

[0022] マスターMが発行するアクセス要求は、W R I T E／R E A D等の要求内容の他に、メモリ10中のアドレス指定を含む。アドレスは、例えば、バンクグループ、バンク、ロウ及びカラムによって特定される。アクセス要求は、所定のプロトコルに従う。プロトコルの例は、A H B (Advanced High-performance Bus)、A X I (Advanced eXtensible Interface)、O C P (Open Core Protocol) 等である。

[0023] メモリ制御装置20は、マスターMとメモリ10との間に設けられる。メモリ制御装置20は、マスターMからのアクセス要求に対応するコマンドを発行する。コマンドの例は、R E A Dコマンド、W R I T Eコマンド等である。この他にも、A C Tコマンド、P R E p bコマンド、R E F p bコマンド等のさまざまなコマンドが、必要に応じて発行される。

[0024] メモリ制御装置20は、アービター21と、F I F O 2 2 (First In First Out) と、メモリコントローラ23と、P H Y 2 4 とを含む。

[0025] アービター21は、マスターMからのアクセス要求の調停を行う。調停の例は、複数のアクセス要求の受け付け順序の決定であり、詳細については後に改めて説明する。アービター21は、受け付けたアクセス要求を、F I F O 2 2 に出力 (P u s h) する。

[0026] F I F O 2 2 は、アービター21が受け付けたアクセス要求を順に格納する。F I F O 2 2 に格納されたアクセス要求は、格納順に、メモリコントローラ23によって取り出される (P O P される) 。

- [0027] メモリコントローラ23は、アービター21の調停結果に基づいて、アクセス要求に対応するコマンドを発行する。すなわち、メモリコントローラ23は、アービター21の受け付け順にアクセス要求が格納されたFIFO22からアクセス要求を取り出し、取り出したアクセス要求に対応するコマンドを発行する。メモリコントローラ23は、発行したコマンドをPHY24に送信する。
- [0028] PHY24は、メモリコントローラ23とメモリ10との間に設けられる。PHY24は、物理層インタフェースであり、メモリコントローラ23によって発行されたコマンドを物理量に変換する。例えば、PHY24は、コマンドに対応する電気信号（電圧信号等）を、図示しないIC等の端子（例えばパラレル端子）に出現させる。電気信号は、メモリ10に送られる。
- [0029] メモリ10は、メモリコントローラ23が発行したコマンド、より具体的にはPHY24からの電気信号に従って動作する。例えば、ACTコマンドが発行され、アクセス先のバンクが、（Idle状態から）Activate状態に遷移する。READコマンドが発行され、メモリ10からマスターMにデータが転送される。
- [0030] メモリ制御装置20によるメモリ10の制御は、各種のクロックに基づいて行われる。メモリコントローラ23の制御動作クロックを、コマンドクロックと称する。メモリ10のデータ転送の動作クロックを、データクロックと称する。コマンドクロック周波数は、データクロック周波数よりも低くてよい。コマンドクロック周波数とデータクロック周波数との比率の例は、1：4であり、例えば、コマンドクロック周波数が800MHzであり、データクロック周波数が3200MHzである。なお、コマンド発行スケジューリングをN並列化（Nは2以上の整数）してもよく、その場合、メモリコントローラ23の制御は、コマンドクロック周波数のN分の1のクロック周波数と同期してよい。
- [0031] なお、アービター21の動作クロックは、FIFO22が非同期クロックに対応していれば、任意に設定されてよい。アービター21の動作クロック

の周波数は、例えば、アクセス要求からデータまでのレイテンシ要求が厳しいCPU系と同じクロック周波数、又は、最もデータ幅が広いマスターMと同じクロック周波数等に設定される。なお、とくに説明がある場合を除き、アービター21の動作クロック周波数が、コマンドクロック周波数の $1/2$ （例えば400MHz）であるものとして説明する。

[0032] 冒頭で述べたように、メモリ10のデータ転送効率を低下させるいくつかの要因が存在する。実施形態に係るメモリ制御装置20では、次に例示するような手法により、データ転送効率の低下を抑制する。

[0033] 2. 1 第1の手法の例

先にも述べたが、複数のマスターMからの複数のアクセス要求が存在する場合、アービター21は、アクセス要求の受け付け順序を決定する。アクセス先がいずれもIDLE状態であれば、いずれのアクセス要求を受け付けても最短でコマンド発行が可能であるのでとくに順序決定しなくてよい。ただし、そうでない場合には、対応するコマンド発行が早く行えるアクセス要求を優先して受け付けることが、データ転送効率を高める意味で望ましい。

[0034] 例えば、直前に発行済みのACTコマンドによりACTIVE状態となっているバンクグループ（のバンクの異なるロウアドレス等）へのさらなるアクセス要求に対応するACTコマンドの即時発行が、制約等によって禁止されることがある。そのような制約のもとでは、一度PREpbコマンドを発行し、PreCharging状態からIdle状態に戻した後でACTコマンドを発行しなければならず、時間がかかる。この場合、対応するコマンド発行を早く行える別のバンクグループへのアクセス要求を優先して受け付けることが望ましい。例えば、制約によっては、直前にWRITEコマンドを発行したバンクグループと同じバンクグループにWRITEコマンドを発行する場合、ある程度の期間（第1の期間（ t_{CCD_L} ））のコマンド発行間隔の確保が要求される。その一方で、別のバンクグループへのWRITEコマンドは、第1の期間（ t_{CCD_L} ）よりも短い期間（第2の期間（ t_{CCD_S} ））のコマンド発行間隔の確保しか要求されない。READコ

マンドについても同様のことがいえる。

[0035] そこで、第1の手法では、アービター21は、受け付け可能な（選択可能な）アクセス要求中に、直前にコマンドを発行したバンクグループと同じバンクグループへのアクセス要求しか存在しない場合、アクセス要求の受け付けを保留する。その間、異なるバンクグループへのアクセス要求が発行されると、アービター21は、そのアクセス要求を受け付ける。すなわち、アービター21は、複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループへの他のアクセス要求の受け付けを保留する。アービター21は、第1のバンクグループ以外のバンクグループへのアクセス要求を受け付けると、保留を解除する。

[0036] 保留期間は、上述の第1の期間（ t_{CCD_L} ）と同じに設定されてよい。アービター21は、保留期間をカウントしてよい。その場合、アービター21は、第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループがビジー状態であることを示すカウントを開始する。ビジー状態の例は、ACT／PRE操作（ t_{RAS} 、 t_{RPpb} 、 t_{RCD} ）必要となる状態である。アービター21は、カウントの値が所定値になると、保留を解除する。所定値は、保留期間に対応して設定される。

[0037] 保留期間は、FIFO22に蓄積されているアクセス要求のデータ量が所定のデータ量（閾値）を下回るまでの期間に設定されてもよい。FIFO22に蓄積されたアクセス要求は時間が経過すればメモリコントローラ23によって取り出され（POPされ）るので、永遠に待ちデッドロックすることはない。

[0038] 保留は、アクセス要求をマスクすることによって行われる。すなわち、アービター21は、マスターMからのアクセス要求を、マスク期間だけ無視する。これについて、図3及び図4も参照して説明する。図3及び図4は、第1の手法の動作の例を模式的に示す図である。

[0039] 図3には、アクセス要求の受け付けのタイミングの例が模式的に示される。時刻 t が横軸で示される。「Valid」は、アクセス要求の発行状態を

示し、ハイのとき、アクセス要求が発行中（アサート中）である。「*ready*」は、アービター21によるアクセス要求の受け付けを示し、ハイのときにアクセス要求を受け付ける。「*addr*」は、アドレスであり、図にはアドレスを特定する要素のうちバンクグループ及びバンクが例示される。

[0040] この例では、マスター0からのアクセス要求の対象は、バンクグループBG0のバンクBA0へのアクセス要求である。マスター1からのアクセス要求の対象は、バンクグループBG1のバンクBA0である。マスター2からのアクセス要求の対象は、バンクグループBG0のバンクBA1である。マスター3からのアクセス要求の対象は、バンクグループBG1のバンクBA1である。

[0041] 時刻t1～時刻t2において、アービター21は、マスター0からバンクグループBG0のバンクBA0へのアクセス要求を受け付ける。

[0042] 時刻t2において、アービター21は、バンクグループBG0へのアクセス要求をマスクする。この例では、マスター2からバンクグループBG0のバンクBA1へのアクセス要求が、ハッチングで図示されるようにマスクされる。アービター21は、マスター2からのアクセス要求を受け付けない（受け付けを保留する）。

[0043] 時刻t2～時刻t3において、アービター21は、マスター1からバンクグループBG0のバンクBA0へのアクセス要求を受け付ける。

[0044] 時刻t3において、アービター21は、バンクグループBG0へのアクセス要求のマスクを解除する。すなわち、マスター2からのアクセス要求のマスクが解除される。それとともに、アービター21は、バンクグループBG1へのアクセス要求をマスクする。この例では、マスター3からバンクグループBG1のバンクBA1へのアクセス要求がマスクされる。アービター21は、マスター3からのアクセス要求を受け付けない。

[0045] 時刻t3～時刻t4において、アービター21は、マスター2からバンクグループBG0のバンクBA1へのアクセス要求を受け付ける。

[0046] 時刻t4において、アービター21は、バンクグループBG1へのアクセ

ス要求のマスクを解除する。すなわち、マスター3からのアクセス要求のマスクが解除される。なお、図には現れないが、このとき他のマスターからバンクグループBG0へのアクセス要求がある場合には、アービター21は、バンクグループBG0へのアクセス要求を再びマスクする。

[0047] 時刻t4～時刻t5において、アービター21は、マスター3からバンクグループBG1のバンクBA1へのアクセス要求を受け付ける。

[0048] 図4には、コマンド発行のタイミングの例が模式的に示される。発行されるコマンドのうち、ACTコマンド及びREADコマンドが例示される。

[0049] 時刻t11において、メモリコントローラ23は、バンクグループBG0のバンクグループBA0に対してACTコマンドを発行する。このACTコマンドは、図3の時刻t1～時刻t2において受け付けられたマスター0からのアクセス要求に対応する。

[0050] 時刻t12において、メモリコントローラ23は、バンクグループBG1のバンクBA0に対してACTコマンドを発行する。このACTコマンドは、図3の時刻t2～時刻t3において受け付けられたマスター1からのアクセス要求に対応する。

[0051] 時刻t13において、メモリコントローラ23は、バンクグループBG0のバンクBA0に対してREADコマンドを発行する。このREADコマンドは、先の時刻t11において発行されたACTコマンドに続くコマンドであり、図3の時刻t1～時刻t2において受け付けられたマスター0からのアクセス要求に対応する。

[0052] 時刻t14において、メモリコントローラ23は、バンクグループBG0のバンクBA1に対してACTコマンドを発行する。このACTコマンドは、図3の時刻t3～時刻t4において受け付けられたマスター2からのアクセス要求に対応する。

[0053] 時刻t15において、メモリコントローラ23は、バンクグループBG1のバンクBA0に対してREADコマンドを発行する。このREADコマンドは、先の時刻t12において発行されたACTコマンドに続くコマンドで

あり、図3の時刻t2～時刻t3において受け付けられたマスター1からのアクセス要求に対応する。

[0054] 時刻t16において、メモリコントローラ23は、バンクグループBG1のバンクBA1に対してACTコマンドを発行する。このACTコマンドは、図3の時刻t4～時刻t5において受け付けられたマスター3からのアクセス要求に対応する。

[0055] 時刻t17において、メモリコントローラ23は、バンクグループBG0のバンクBA1に対してREADコマンドを発行する。このREADコマンドは、先の時刻t14において発行されたACTコマンドに続くコマンドであり、図3の時刻t3～時刻t4において受け付けられたマスター2からのアクセス要求に対応する。

[0056] 時刻t18において、メモリコントローラ23は、バンクグループBG1のバンクBA1に対してREADコマンドを発行する。このREADコマンドは、先の時刻t16において発行されたACTコマンドに続くコマンドであり、図3の時刻t4～時刻t5において受け付けられたマスター3からのアクセス要求に対応する。

[0057] 例えば以上のようにして、アービター21は、同じバンクグループへのアクセス要求を連続して受け付けることの無いように、同じバンクグループへのアクセス要求をマスクする。これにより、同じバンクグループに対するコマンドの発行間隔を確保することができる。

[0058] 図5は、第1の手法において実行される処理（メモリ制御方法）の例を示すフローチャートである。

[0059] ステップS1において、アービター21は、マスターMからのアクセス要求を受け付ける。例えば、アービター21は、マスター0からバンクグループBG0へのアクセス要求を受け付ける。受け付けられたアクセス要求は、FIFO22に蓄積され、メモリコントローラ23によって取り出される。

[0060] ステップS2において、メモリコントローラ23は、コマンドを発行する。例えば、メモリコントローラ23は、マスター0からバンクグループBG

0へのアクセス要求に対応するコマンドを発行する。

[0061] ステップS3において、アービター21は、そのバンクグループへのアクセス要求をマスクするとともに、先のマスクを解除する。例えば、アービター21は、バンクグループBG0へのアクセス要求をマスクする。例えば前回フローのステップS1においてバンクグループBG1へのアクセス要求を受け付けステップS3においてバンクグループBG1へのアクセス要求がマスクされた場合、アービター21は、バンクグループBG1へのアクセス要求のマスクを解除する。

[0062] 例えば以上説明したステップS1～S3の処理が繰り返し実行されることにより、同じバンクグループに対するコマンドが連続して発行されることを防ぐことができる。その結果、同じバンクグループに対するコマンドの発行間隔を確保することができる。

[0063] データ転送効率の改善の例について述べる。効率の悪いアクセス要求の受け付けによって発生するロスが100サイクルあたりLサイクルであるとする。従来の手法では、データ転送効率が $100 / (100 + L)$ となる。これに対し、実施形態に係る手法によれば、例えば(100+Lサイクル)あたりEサイクルぶんのデータ転送を行える場合、データ転送効率は $(100 + E) / (100 + L)$ となり、従来の手法よりもデータ転送効率が向上する。E>Lのときには、データ転送効率は100%となる。

[0064] 効果の例について、さらに、図6及び図7を参照して説明する。図6は、比較例の動作の例を模式的に示す図である。図7は、第1の手法の動作の例を模式的に示す図である。

[0065] 図6には、比較例でのアクセス要求の受け付け及びコマンド発行のタイミングの例が模式的に示される。理解を容易にするために、マスター0、マスター1及びマスター2の3つのマスターのみを例示する。マスター0からのアクセス要求は、いずれもバンクグループBG0を対象とする。マスター1からのアクセス要求は、いずれもバンクグループBG1を対象とする。マスター2のアクセス要求は、いずれもバンクグループBG2を対象とする。

- [0066] アービター 2 1 が順に受け付けるアクセス要求を、アクセス要求 R 1 ~ アクセス要求 R 2 0 と称し図示する。このうち、アクセス要求 R 1、アクセス要求 R 3、アクセス要求 R 5、アクセス要求 R 8、アクセス要求 R 1 0、アクセス要求 R 1 3、アクセス要求 R 1 4、アクセス要求 R 1 7 及びアクセス要求 R 1 8 は、マスター 0 からのアクセス要求である。アクセス要求 R 2、アクセス要求 R 4、アクセス要求 R 6、アクセス要求 R 1 1、アクセス要求 R 1 5 及びアクセス要求 R 1 9 は、マスター 1 からのアクセス要求である。アクセス要求 R 7、アクセス要求 R 9、アクセス要求 R 1 2、アクセス要求 R 1 6 及びアクセス要求 R 2 0 は、マスター 2 からのアクセス要求である。
- [0067] アクセス要求 R 1 ~ アクセス要求 R 2 0 に対応して順に発行されるコマンドを、コマンド C 1 ~ コマンド C 2 0 と称し図示する。この例では、各コマンドの発行は、2 コマンドクロックを要する。マスター 0 からのアクセス要求のうち、アクセス要求 R 1 3 及びアクセス要求 R 1 4 が連続で受け付けられ、アクセス要求 R 1 7 及びアクセス要求 R 1 8 も連続で受け付けられる。その結果、破線内に示されるように、対応するコマンド C 1 3 及びコマンド C 1 4 が連続で発行され、コマンド C 1 7 及びコマンド C 1 8 も連続で発行される。
- [0068] 仮に、コマンド発行間隔に 8 コマンドクロックの確保を要求する制約が存在する場合、図 6 に示される比較例では、コマンド C 1 3 とコマンド C 1 4 との発行間隔、及び、コマンド C 1 7 とコマンド C 1 8 との発行間隔がいずれも 8 コマンドクロックよりも短いため、制約を満たさない。
- [0069] 図 7 には、第 1 の手法でのアクセス要求の受け付け及びコマンド発行のタイミングの例が模式的に示される。上述の比較例では満たすことのできなかった制約が満たされる。アービター 2 1 は、マスター 0 からバンクグループ B G 0 へのアクセス要求 1 3 を受け付けた後、バンクグループ B G 0 へのアクセス要求をマスク（ハッチングで図示）する。この間、アービター 2 1 は、マスター 0 からのアクセス要求は受け付けない。代わりに、アービター 2 1 は、マスター 1 からバンクグループ B G 1 へのアクセス要求 R 1 4 を受け

付ける。その後、アービター 21 は、マスター 2 からバンクグループ BG 2 へのアクセス要求 R 15 及びマスター 1 からバンクグループ BG 1 へのアクセス要求 R 16 を順に受け付ける。同様に、アービター 21 は、バンクグループ BG 0 へのアクセス要求をマスクし、マスター 1 からバンクグループ BG 1 へのアクセス要求 R 17 を受け付けた後、再び、マスター 1 からバンクグループ BG 1 へのアクセス要求 R 18 を受け付ける。その後、アービター 21 は、マスター 2 からバンクグループ BG 2 へのアクセス要求 R 19 及びマスター 0 からバンクグループ BG 0 へのアクセス要求 R 20 を順に受け付ける。その結果、アクセス要求 R 13 及びアクセス要求 R 14 に対応するコマンド C 13 及びコマンド C 14 の発行間隔、並びに、アクセス要求 R 17 及びアクセス要求 R 18 に対応するコマンド C 17 及びコマンド C 18 の発行間隔がいずれも 8 コマンドクロック以上となり、制約が満たされる。

[0070] 2. 2 第 2 の手法の例

図 1 に戻り、メモリコントローラ 23 についてさらに説明する。メモリコントローラ 23 の動作は周知であるが、理解を容易にするために、いくつかの動作の例を説明する。メモリコントローラ 23 は、FIFO 22 から取り出したアクセス要求の対象となるバンクの状態（ステート）を評価する。状態評価は、メモリコントローラ 23 が直前までに発行したコマンドに基づいて行われる。

[0071] 例えば、評価結果において、バンクが `Idle` 状態であれば、メモリコントローラ 23 は、`ACT` コマンドを発行する。これにより、バンクが、`Idle` 状態から、`Bank Active` 状態に遷移する。その後、さらに、メモリコントローラ 23 は、アクセス要求が `WRITE` であれば `WRITE` コマンドを発行し、アクセス要求が `READ` であれば `READ` コマンドを発行する。このように、メモリコントローラ 23 は、1 つのアクセス要求に対して、1 つ以上のコマンドを発行する。

[0072] メモリコントローラ 23 は、FIFO 22 から取り出した複数のアクセス要求を保持するバッファ（不図示）を備え、複数のアクセス要求に対応する

複数のコマンドを混ぜて（時系列上に混在させて）発行する。例えば、1つ目のバッファのアクセス要求に対応するWRITEコマンドと、2つ目のバッファのアクセス要求に対応するACTコマンドとが同時に発行可能な状態になることも起こり得る。

[0073] すなわち、メモリコントローラ23においては、複数のコマンドの発行が競合する（衝突が生じる）ことがある。この場合、いずれのコマンド発行を優先するのかを決定する必要がある。

[0074] そこで、第2の手法では、メモリコントローラ23は、アクセス要求の統計情報に基づいて、コマンド発行の優先を決定する。統計情報は、アービター21で受け付ける（選択する）際に取得される。統計情報は、アクセス要求がアサートされている期間の算出値を、バンクグループごと及び／又はバンクごとに示す情報である。すなわち、アービター21は、アクセス要求が発生してから受け付けるまでのアサート期間を、バンクグループごと及び／又はバンクごとに算出する。メモリコントローラ23は、複数のアクセス要求に対応するコマンドの発行が衝突する場合、アービター21によって算出されたアサート期間の算出値に基づいて、いずれかのアクセス要求に対応するコマンドを優先して発行する。例えば、メモリコントローラ23は、複数のアクセス要求のうち、アサート期間の算出値が最も大きいアクセス要求に対応するコマンドを優先して発行する。

[0075] 統計情報がバンクグループごとの情報を示す場合、例えば、アービター21は、バンクグループごとに、アクセス要求がアサートされている期間の算出値を求める。算出値は、アクセス要求がアサートされている期間の加算値であってよい。アクセス要求がAXI（プロトコルの一例）に従う場合、アービター21は、AWVALID、ARVALID信号がアサートされている（例えばハイになっている）期間を加算する。アービター21は、いずれのマスタMからもアクセス要求が無いバンクグループの算出値を減算したりリセット（0クリア）したりする。

[0076] 算出値が閾値を超えた場合、アービター21は、そのバンクグループをメ

メモリコントローラ 23 に通知する。通知は、F I F O 22 を経由してアクセス要求に情報を付加することによって行われてもよいし、F I F O 22 とは異なるチャネルで行われてもよい。

[0077] メモリコントローラ 23 は、アービター 21 から通知されたバンクグループに対するコマンド発行を常に優先する。コマンド発行タイミングに規格等による制約がある場合は、それに違反しない範囲内で、最短でコマンドが発行されてよい。

[0078] 統計情報がバンクごとの情報を示す場合は、上記においてバンクグループをバンクに読み替えることによって説明される。すなわち、アービター 21 は、バンクごとに、アクセス要求がアサートされている期間の算出値を求める。算出値が閾値を超えた場合、アービター 21 は、そのバンクをメモリコントローラ 23 に通知する。メモリコントローラ 23 は、アービター 21 から通知されたバンクに対するコマンド発行を常に優先する。

[0079] 図 8 は、第 2 の手法において実行される処理（メモリ制御方法）の例を示すフローチャートである。

[0080] ステップ S 11 において、アービター 21 は、アサート期間の算出値を算出する。例えば、アービター 21 は、バンクグループ B G 0 ~ バンクグループ B G 3 それぞれについて、アクセス要求のアサート期間の算出値を算出する。算出値は、メモリコントローラ 23 に送られる。例えば、算出値が閾値を超えるバンクグループが、メモリコントローラ 23 に通知される。アービター 21 は、バンク B A 1 ~ バンク B A 3 それぞれについて、アクセス要求のアサート期間の算出値を算出してもよい。その場合、算出値が閾値を超えるバンクが、メモリコントローラ 23 に通知される。

[0081] ステップ S 12 において、メモリコントローラ 23 は、コマンド発行が衝突するか否かを判断する。コマンド発行が衝突する場合（ステップ S 12 で Y e s ）、ステップ S 13 に処理が進められる。そうでない場合（ステップ S 12 で N o ）、ステップ S 14 に処理が進められる。

[0082] ステップ S 13 において、メモリコントローラ 23 は、算出値に基づき、

いずれかのコマンドを優先して発行する。例えば、バンクグループB G 0がアービター2 1から通知された場合、メモリコントローラ2 3は、バンクグループB G 0へのアクセス要求に対応するコマンドを優先して発行する。バンクB A 1がアービター2 1から通知された場合、メモリコントローラ2 3は、バンクB A 1へのアクセス要求に対応するコマンドを優先して発行する。

[0083] ステップS 1 4において、メモリコントローラ2 3は、コマンドを発行する。すなわち、この場合はコマンド発行の衝突が無いので、メモリコントローラ2 3は、通常どおりコマンドを順に発行する。

[0084] 例えば以上説明したステップS 1 1～S 1 4の処理が繰り返し実行されることにより、統計的に偏りが大きいバンク及び／又はバンクグループへのコマンド発行が優先される。その結果、データ転送効率の低下が抑制される。アクセス要求の頻度の例を模式的に示す図9及び図10も参照して説明する。

[0085] 図9には、バンクグループごとのアクセス要求の頻度の例が模式的に示される。図中、矢印は、そのバンクがACT／PRE操作（t R A S、t R P p b、t R C D）が必要となるビジー状態であることを示す。この例では、各バンクのうち、バンクグループB G 0のバンクB A 0へのアクセス要求の頻度が最も大きい。したがって、バンクグループB G 0のバンクB A 0に対するコマンド発行（ACT、WR I T E、R E A D、P R E p b）が優先される。

[0086] 図10には、バンクごとのアクセス要求の頻度の例が模式的に示される。この例では、各バンクグループのうち、バンクグループB G 0へのアクセス要求の頻度が最も大きい。したがって、そのバンクグループB G 0に対するコマンド発行が優先される。

[0087] 効果の具体例について述べる。バースト長32のアクセス要求の発行頻度が、バンクグループB G 0に対して50%であり、バンクグループB G 1及びバンクグループB G 2それぞれに対して25%であると仮定する。従来の

手法により、バンクグループB G 0、バンクグループB G 1、バンクグループB G 2 及びバンクグループB G 0…という順でコマンドが発行されると、余ったバンクグループB G 0のデータ転送効率が50%となり、全体の効率が80%になってしまう。これに対し、実施形態に係る手法によれば、バンクグループB G 0へのアクセス要求が常に優先され、バンクグループB G 0、バンクグループB G 1、バンクグループB G 0、バンクグループB G 2、バンクグループB G 0…という順でコマンドが発行される。特に、3つ目のコマンド発行の選択肢としてバンクグループB G 0及びバンクグループB G 2があるが、バンクグループB G 0へのコマンド発行が優先される。5つ目のコマンド発行の選択肢としてバンクグループB G 0及びバンクグループB G 1があるが、バンクグループB G 0へのコマンド発行が優先される。以下、その繰り返しで、データ転送効率100%となる。

[0088] 2. 3 第3の手法の例

図1に戻り、アービター21は、複数のアクセス要求を、それぞれのアクセス要求のバースト長に応じた順で受け付けてよい。バースト長の例は、バースト長16及びバースト長32である。いずれのバースト長のアクセス要求に対応するコマンドも、発行に要する期間（コマンドクロック数）は同じである。

[0089] アービター21に入力されるアクセス要求の形式におけるAXI、AHB等のアドレス、データ幅及び長さ、メモリ10のアドレス（バンクグループ、バンク、ロウ、カラム）との対応付けについて述べる。AXI、AHB等のアドレスは、一般にバイトアドレスであり、データ幅が64bitであれば、アドレスは8の倍数となり、データ幅が128bitであれば、アドレスは16の倍数となる。

[0090] データ幅×長さだけデータを連続して扱うため、データ幅が128bit、長さが16であれば、2048bitのデータを1つのアクセス要求で転送できる。例えば1チャンネルあたりのデータピン数が16の場合、バースト長16のWRITEコマンドでは、256bitのデータが転送される。

バースト長32のWRITEコマンドでは、512bitのデータが転送される。READコマンドについても同様である。

[0091] 例えば、データ幅が128bit、長さが16であれば、2048bitのデータを1つのアクセス要求で転送できるが、バースト長に分割できるかは開始アドレスによって決まる。アドレスが512bitアラインすなわちバイトアドレスで64の倍数であれば、2048bitは512+512+512+512のように、バースト長32のコマンド4つで転送できる。アドレスが512bitアラインでないが、バイトアドレスで32の倍数であれば、2048bitは256+512+512+512+256のように、バースト長16とバースト長32のコマンド5つで転送できる。

[0092] 留意すべきことは、アクセス要求に示される（AXI、AHB等の）アドレス、データ幅及び長さから、バースト長がバースト長16及びバースト長32のいずれであるかを、アービター21又はメモリコントローラ23は、一意に決定できることである。このため、分割は、アービター21の前段、アービター21、メモリコントローラ23の前段及びメモリコントローラ23のいずれで行われてもよい。重要なことは、アービター21は、今まさに選択しようとしている（受け付け可能な）アクセス要求がバースト長16になるアクセス要求及びバースト長32になるアクセス要求のいずれであるかを把握できることである。

[0093] そこで、第3の手法では、アービター21は、直前に選択した（受け付けた）アクセス要求がバースト長16に対応していた（を指定していた）場合、次に選択するアクセス要求として、バースト長32になるアクセス要求を優先する。すなわち、アービター21は、アクセス要求に示されるアドレス、データ幅及び長さに基づいて、メモリ10へのデータの書き込み（WRITE）及びメモリ10からのデータの読み出し（READ）の際に行われるバースト転送のバースト長が第1のバースト長（例えばバースト長16）になるアクセス要求、及び、バースト長が第1のバースト長よりも長い第2のバースト長（例えばバースト長32）になるアクセス要求をこの順に受け付

ける。この第3の手法も、前述の第1の手法と独立して実施できるで、第1の手法と併用する（並列に実施する）ことで、データ転送効率をさらに高めることができる。

[0094] 図11は、第3の手法において実行される処理（メモリ制御方法）の例を示すフローチャートである。ステップS11において、アービター21は、バースト長16になるアクセス要求を受け付ける。ステップS12において、アービター21は、バースト長32になるアクセス要求を少なくとも1つ受け付ける。このようなステップS21及びステップS22の処理が繰り返し実行されるだけでも、データ転送効率をさらに高めることができる。

[0095] 図12及び図13は、比較例の動作を模式的に示す図である。バースト長16になるアクセス要求に対応するコマンドのみが発行される。なお、理解を容易にする等の観点から、コマンド及びデータ転送の空きが並べて図示されるよう、リードレイテンシー（RL）は0として説明する。図12に示される比較例では、バンクグループBG0に対するコマンドC31、コマンドC33、コマンドC35、コマンドC37及びコマンドC39と、バンクグループBG1に対するコマンドC32、コマンドC34、コマンドC36、及びコマンドC38とが、コマンド発行間隔（例えば t_{CCD_S} ）だけあけて、交互に発行される。データ転送の帯域はすべて（すなわち100%）、コマンドに対応して転送されるデータD31～データD9で占められる。ただし、コマンド発行の帯域も埋まっており、他のコマンド（例えばACTコマンド）の発行することができない。一方で、図13に示される比較例では、コマンドC34の発行とコマンドC35の発行との間に、バンクグループBG2に対する2つのACTコマンド（ACT1及びACT2）が順に発行される。このように2つのACTコマンドが間隔を空けずに発行される場合は、データD34の転送とデータD35の転送との間にデータが転送されない帯域が発生し、データ転送の帯域を100%とすることができない。

[0096] 図14は、第3の手法の動作を模式的に示す図である。上述の図12及び図13と同様に、リードレイテンシー（RL）=0として説明する。図14

に示されるように、バースト長 16 になるアクセス要求に対応するコマンドと、バースト長 32 (「READBL 32」として図示) になるアクセス要求に対応するコマンドとが、交互に発行される。

[0097] 具体的に、バンクグループ BG0 に対しては、コマンド C41、コマンド C43、コマンド C44 及びコマンド C47 が発行される。コマンド C41、コマンド C43 及びコマンド C47 は、バースト長 16 になるアクセス要求に対応して発行される。コマンド C44 は、バースト長 32 になるアクセス要求に対応して発行される。これらのコマンドに対応して、データ D41、データ D43、データ D44 及びデータ D47 が転送される。データ D44 は、データ D44-1 及びデータ D44-2 に分けて転送される。

[0098] バンクグループ BG1 に対しては、コマンド C42、コマンド C45 及びコマンド C46 が発行される。コマンド C45 は、バースト長 16 になるアクセス要求に対応して発行される。コマンド C42 は、バースト長 32 になるアクセス要求に対応して発行される。コマンド C46 は、いずれのバースト長になるアクセス要求に対応して発行されてもよく、この例ではバースト長 32 になるアクセス要求に対応するよう図示される。これらのコマンドに対応して、データ D42、データ D45 及びデータ D46 が転送される。データ D42 は、データ D42-1 及びデータ D42-2 に分けて転送される。データ D46 についても同様である。

[0099] この例では、コマンド C43 の発行とコマンド C44 の発行との間に、バンクグループ BG2 に対する ACT コマンドが発行される。この場合でも、データが転送されない帯域は発生しない。また、コマンド C45 の発行とコマンド C46 の発行との間に、バンクグループ BG3 に対する ACT コマンドが発行される。この場合でも、データが転送されない帯域は発生しない。その結果、データ転送の帯域を 100% とすることができる。

[0100] 例えば以上のように、バースト長 16 になるアクセス要求が密集せず、バースト長 32 になるアクセス要求に対応するコマンドが発行されることで、ACT コマンドを発行することが可能になる。従来の手法のようにバースト

長 1 6 になるアクセス要求が密集した際に、A C T コマンドを発行できないために発生するペナルティ（例えば上述の図 1 2）、A C T コマンドを発行することで生じるデータ転送効率の悪化（例えば上述の図 1 3）等を防ぐことができる。

[0101] 3. 変形例

本開示は、上記の実施形態に限定されない。いくつかの変形例について述べる。

[0102] 上述の第 1 の手法において、アクセス要求の列（リクエスト列）を、アービター 2 1 の前段のバッファに保持し、アクセス要求を並べ替えてもよい。例えば、アドレス（バンクグループ、バンク、ロウ、カラム）のうち、バンクグループ、バンク、ロウが 2 つ以上ある場合は、連続して発行するように並べ替えられてよい。これにより、P R E p b、A C T コマンドの発行回数を減らし、よりデータ転送コマンドを早く発行できる。

[0103] 上記の並べ替えにおいて、アービター 2 1 は、順序を決定するまで複数の階層（たとえばトーナメントのよう）に分けてもよい。例えば、すべてのマスター M からのアクセス要求を、第 1 の階層において、バンクごとに分類し、アクセス要求を選択する。バンク数が 1 6 の場合、最大で 1 6 のアクセス要求が選択される。次に、第 1 の階層で選択されたアクセス要求を、第 2 の階層において、バンクグループごとに分類し、アクセス要求を選択する。バンクグループ数が 4 の場合、最大で 4 のアクセス要求が選択される。最後に、第 2 の階層で選択されたアクセス要求どうしの間で、順序を決定する。

[0104] 上述の第 2 の手法において、統計情報が、マスター M からアービター 2 1 に通知されてもよい。アービター 2 1 は、マスター M から通知された情報を合算し（算出に組み入れ）、全体の統計情報を得てよい。

[0105] 上述の第 2 の手法において、統計情報が、アプリケーションに応じて C P U からアービター 2 1 へ通知（返礼）されてよい。アービター 2 1 は、C P U から通知された情報と、C P U 自身がアービター 2 1 にアクセスする統計情報（例えばプログラム領域がメモリ 1 0 にある場合）を合算し全体の統計

情報を得てよい。

[0106] 上述の第3の手法において、整列されたアクセス要求がメモリコントローラ23で再度並べ替えられてよい。

[0107] 4. 効果

以上説明したメモリ制御装置20は、例えば次のように特定される。図1～図5及び図7等を参照して説明したように、メモリ制御装置20は、各々が複数のバンクを有する複数のバンクグループを含むメモリ10へのアクセス要求を受け付けるアービター21と、アービター21が受け付けたアクセス要求に対応するコマンドを発行するメモリコントローラ23と、を備える。アービター21は、複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループへの他のアクセス要求の受け付けを保留する（例えばアクセス要求をマスクする）。

[0108] 上記のメモリ制御装置20によれば、同じバンクグループへのアクセス要求を連続して受け付けることが無い。例えば、その間に他のバンクグループへのアクセス要求を受け付けることで、同じバンクグループに対するコマンド発行間隔を確保しつつ、データ転送効率の低下を抑制することができる。

[0109] 図3等を参照して説明したように、アービター21は、第1のバンクグループ以外のバンクグループへのアクセス要求を受け付けると、保留を解除（例えばマスクを解除）してよい。これにより、同じバンクグループに対するコマンドの発行間隔を確保することができる。

[0110] アービター21は、第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループがビジー状態であることを示すカウントを開始し、カウントの値が所定値になると、保留を解除してよい。例えばこのようにして、同じバンクグループに対するコマンドの発行間隔を確保することができる。

[0111] 図1等を参照して説明したように、メモリ制御装置20は、アービター21によって受け付けられたアクセス要求を蓄積するFIFO22を備え、メモリコントローラ23は、FIFO22に蓄積されたアクセス要求を取り出

し、取り出したアクセス要求に対応するコマンドを発行し、アービター 2 1 は、F I F O 2 2 に蓄積されているアクセス要求のデータ量が所定のデータ量を下回ると、保留を解除してよい。これにより、保留がデッドロックすることを防ぎつつ、同じバンクグループに対するコマンドの発行間隔を確保することができる。

[0112] 図 8 等を参照して説明したように、アービター 2 1 は、アクセス要求が発生してから受け付けるまでのアサート期間を、少なくともバンクグループごとに算出し、メモリコントローラ 2 3 は、複数のアクセス要求に対応するコマンドの発行が衝突する場合、アービター 2 1 によって算出されたアサート期間の算出値に基づいて、いずれかのアクセス要求に対応するコマンドを優先して発行してよい。メモリコントローラ 2 3 は、複数のアクセス要求のうち、アサート期間の算出値が最も大きいアクセス要求に対応するコマンドを優先して発行してよい。アービター 2 1 は、アサート期間をバンクごとに算出してもよい。これにより、統計的に偏りが大きいバンクグループ及び／又はバンクへのコマンド発行が優先され、その分、データ転送効率の低下を抑制することができる。

[0113] 図 1 1 及び図 1 4 等を参照して説明したように、アービター 2 1 は、例えばアクセス要求に示されるアドレス、データ幅及び長さに基づいて、メモリ 1 0 へのデータの書き込み及びメモリ 1 0 からのデータの読み出しの際に行われるバースト転送のバースト長が第 1 のバースト長（例えばバースト長 1 6）になるアクセス要求、及び、バースト長が第 1 のバースト長よりも長い第 2 のバースト長（例えばバースト長 3 2）になるアクセス要求をこの順に受け付けてよい。これにより、第 1 のバースト長になるアクセス要求が密集する場合と比較して、A C T コマンド等のコマンド発行を可能としつつ、データ転送効率の低下を抑制することができる。

[0114] 図 5 等を参照して説明したメモリ制御方法も、本開示の一態様である。すなわち、メモリ制御方法は、アービター 2 1 が、各々が複数のバンクを有する複数のバンクグループを含むメモリ 1 0 へのアクセス要求を受け付けるこ

と（ステップS 1）と、メモリコントローラ23が、アービター21が受け付けたアクセス要求に対応するコマンドを発行すること（ステップS 2）と、を含み、アービター21は、複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、第1のバンクグループへの他のアクセス要求の受け付けを保留する（例えばアクセス要求をマスクする）（ステップS 3）。このようなメモリ制御方法によっても、これまで説明したように、データ転送効率の低下を抑制することができる。

[0115] 本開示に記載された効果は、あくまで例示であって、開示された内容に限定されない。他の効果があってもよい。

[0116] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0117] 本技術は以下のような構成も取ることができる。

（1）

各々が複数のバンクを有する複数のバンクグループを含むメモリへのアクセス要求を受け付けるアービターと、

前記アービターが受け付けたアクセス要求に対応するコマンドを発行するメモリコントローラと、

を備え、

前記アービターは、前記複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、前記第1のバンクグループへの他のアクセス要求の受け付けを保留する、

メモリ制御装置。

（2）

前記アービターは、前記第1のバンクグループ以外のバンクグループへのアクセス要求を受け付けると、前記保留を解除する、

（1）に記載のメモリ制御装置。

(3)

前記アービターは、

前記第1のバンクグループへのアクセス要求を受け付けると、前記第1のバンクグループがビジー状態であることを示すカウントを開始し、

前記カウントの値が所定値になると、前記保留を解除する、

(1)又は(2)に記載のメモリ制御装置。

(4)

前記アービターによって受け付けられたアクセス要求を蓄積するFIFOを備え、

前記メモリコントローラは、前記FIFOに蓄積されたアクセス要求を取り出し、取り出したアクセス要求に対応するコマンドを発行し、

前記アービターは、前記FIFOに蓄積されているアクセス要求のデータ量が所定のデータ量を下回ると、前記保留を解除する、

(1)～(3)のいずれかに記載のメモリ制御装置。

(5)

前記アービターは、アクセス要求が発生してから受け付けるまでのアサート期間を、少なくともバンクグループごとに算出し、

前記メモリコントローラは、複数のアクセス要求に対応するコマンドの発行が衝突する場合、前記アービターによって算出された前記アサート期間の算出値に基づいて、いずれかのアクセス要求に対応するコマンドを優先して発行する、

(1)～(4)のいずれかに記載のメモリ制御装置。

(6)

前記メモリコントローラは、前記複数のアクセス要求のうち、前記アサート期間の算出値が最も大きいアクセス要求に対応するコマンドを優先して発行する、

(5)に記載のメモリ制御装置。

(7)

前記アービターは、前記アサート期間をバンクごとに算出する、

(5) 又は (6) に記載のメモリ制御装置。

(8)

前記アービターは、前記メモリへのデータの書き込み及びメモリからのデータの読み出しの際に行われるバースト転送のバースト長が第1のバースト長になるアクセス要求、及び、前記バースト長が前記第1のバースト長よりも長い第2のバースト長になるアクセス要求をこの順に受け付ける、

(1) ~ (7) のいずれかに記載のメモリ制御装置。

(9)

前記アービターは、アクセス要求に示されるアドレス、データ幅及び長さに基づいて、前記バースト長が前記第1のバースト長になるアクセス要求、及び、前記バースト長が前記第2のバースト長になるアクセス要求をこの順に受け付ける、

(8) に記載のメモリ制御装置。

(10)

アービターが、各々が複数のバンクを有する複数のバンクグループを含むメモリへのアクセス要求を受け付けることと、

メモリコントローラが、前記アービターが受け付けたアクセス要求に対応するコマンドを発行することと、

を含むメモリ制御方法であって、

前記アービターは、前記複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、前記第1のバンクグループへの他のアクセス要求の受け付けを保留する、

メモリ制御方法。

符号の説明

- [0118] 10 メモリ
 20 メモリ制御装置
 21 アービター

2 2 F I F O
2 3 メモリコントローラ
1 0 0 メモリ制御システム
M マスター

請求の範囲

- [請求項1] 各々が複数のバンクを有する複数のバンクグループを含むメモリへのアクセス要求を受け付けるアービターと、
- 前記アービターが受け付けたアクセス要求に対応するコマンドを発行するメモリコントローラと、
- を備え、
- 前記アービターは、前記複数のバンクグループのうちの第1のバンクグループへのアクセス要求を受け付けると、前記第1のバンクグループへの他のアクセス要求の受け付けを保留する、
- メモリ制御装置。
- [請求項2] 前記アービターは、前記第1のバンクグループ以外のバンクグループへのアクセス要求を受け付けると、前記保留を解除する、
- 請求項1に記載のメモリ制御装置。
- [請求項3] 前記アービターは、
- 前記第1のバンクグループへのアクセス要求を受け付けると、前記第1のバンクグループがビジー状態であることを示すカウントを開始し、
- 前記カウントの値が所定値になると、前記保留を解除する、
- 請求項1に記載のメモリ制御装置。
- [請求項4] 前記アービターによって受け付けられたアクセス要求を蓄積するF I F Oを備え、
- 前記メモリコントローラは、前記F I F Oに蓄積されたアクセス要求を取り出し、取り出したアクセス要求に対応するコマンドを発行し、
- 前記アービターは、前記F I F Oに蓄積されているアクセス要求のデータ量が所定のデータ量を下回ると、前記保留を解除する、
- 請求項1に記載のメモリ制御装置。
- [請求項5] 前記アービターは、アクセス要求が発生してから受け付けるまでの

アサート期間を、少なくともバンクグループごとに算出し、

前記メモリコントローラは、複数のアクセス要求に対応するコマンドの発行が衝突する場合、前記アービターによって算出された前記アサート期間の算出値に基づいて、いずれかのアクセス要求に対応するコマンドを優先して発行する、

請求項 1 に記載のメモリ制御装置。

[請求項6] 前記メモリコントローラは、前記複数のアクセス要求のうち、前記アサート期間の算出値が最も大きいアクセス要求に対応するコマンドを優先して発行する、

請求項 5 に記載のメモリ制御装置。

[請求項7] 前記アービターは、前記アサート期間をバンクごとに算出する、
請求項 5 に記載のメモリ制御装置。

[請求項8] 前記アービターは、前記メモリへのデータの書き込み及びメモリからのデータの読み出しの際に行われるバースト転送のバースト長が第 1 のバースト長になるアクセス要求、及び、前記バースト長が前記第 1 のバースト長よりも長い第 2 のバースト長になるアクセス要求をこの順に受け付ける、

請求項 1 に記載のメモリ制御装置。

[請求項9] 前記アービターは、アクセス要求に示されるアドレス、データ幅及び長さに基づいて、前記バースト長が前記第 1 のバースト長になるアクセス要求、及び、前記バースト長が前記第 2 のバースト長になるアクセス要求をこの順に受け付ける、

請求項 8 に記載のメモリ制御装置。

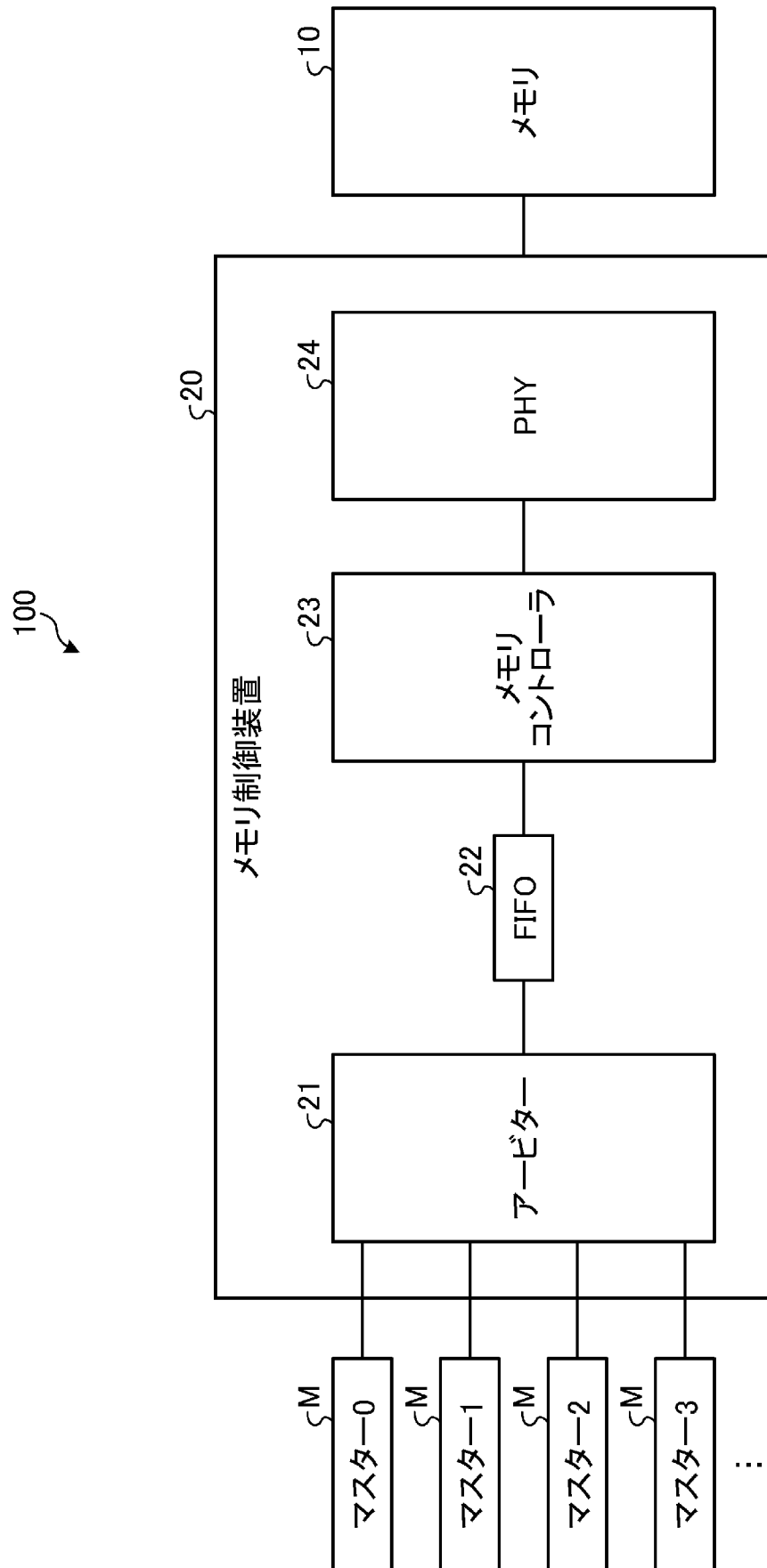
[請求項10] アービターが、各々が複数のバンクを有する複数のバンクグループを含むメモリへのアクセス要求を受け付けることと、

メモリコントローラが、前記アービターが受け付けたアクセス要求に対応するコマンドを発行することと、

を含むメモリ制御方法であって、

前記アービターは、前記複数のバンクグループのうちの第１のバンクグループへのアクセス要求を受け付けると、前記第１のバンクグループへの他のアクセス要求の受け付けを保留する、
メモリ制御方法。

[図1]

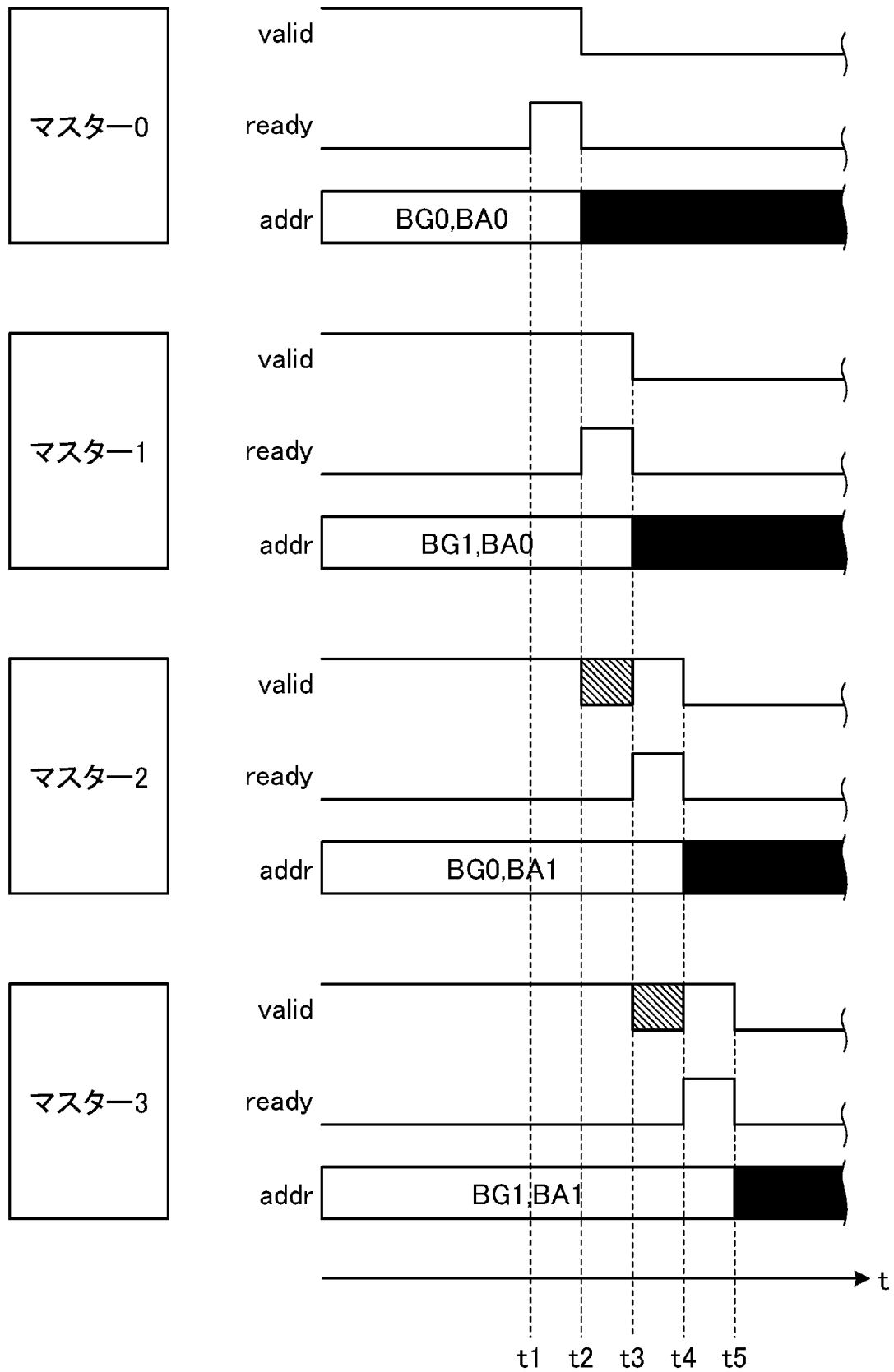


[図2]

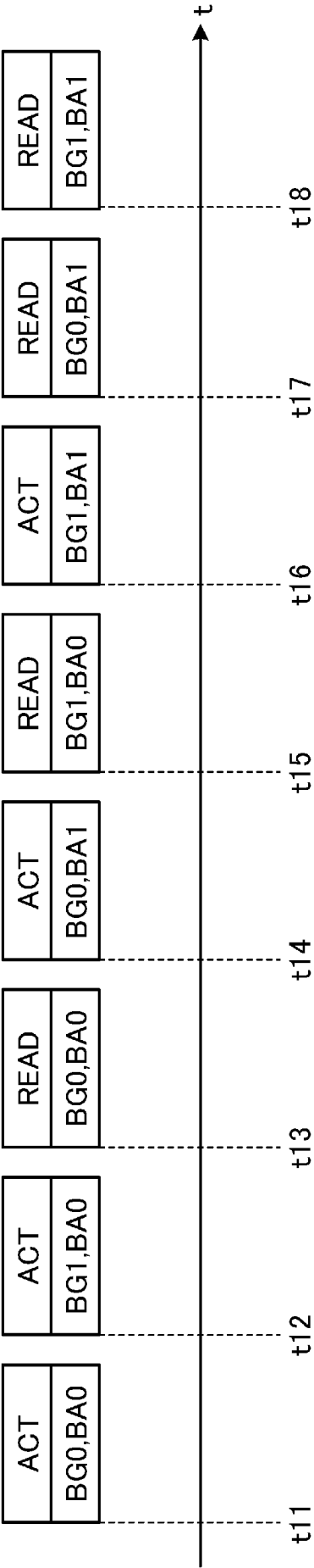
10
↙

バンクグループ	バンク
BG0	BA0
	BA1
	BA2
	BA3
BG1	BA0
	BA1
	BA2
	BA3
BG2	BA0
	BA1
	BA2
	BA3
BG3	BA0
	BA1
	BA2
	BA3

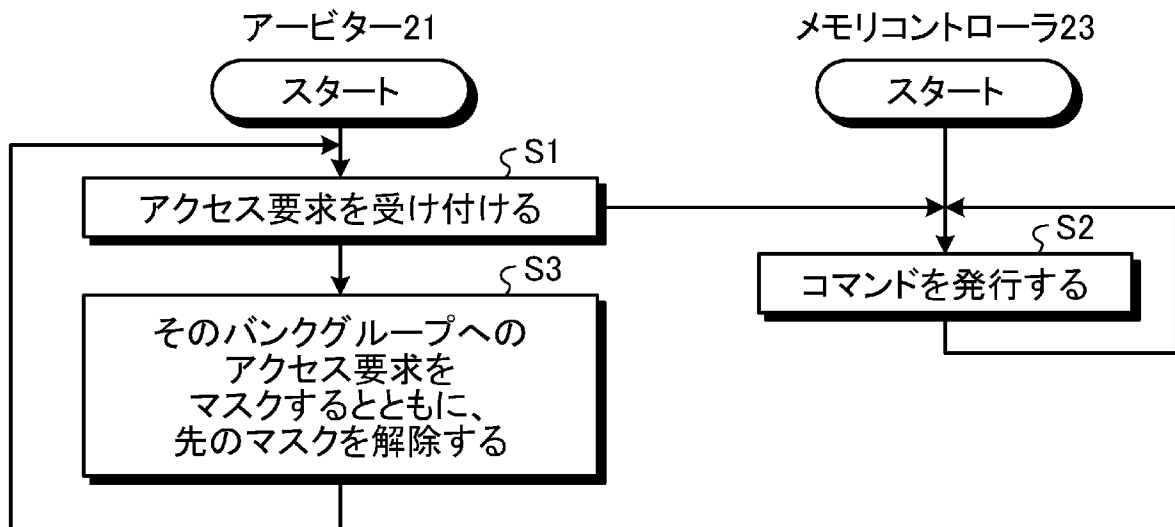
[図3]



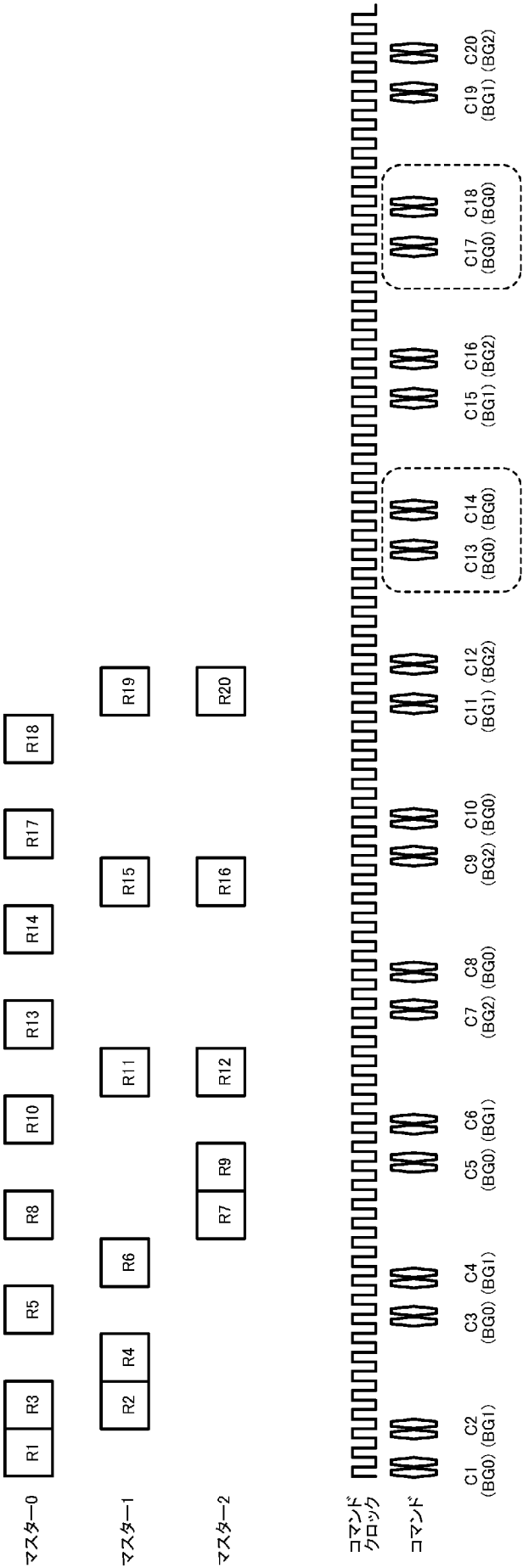
[図4]



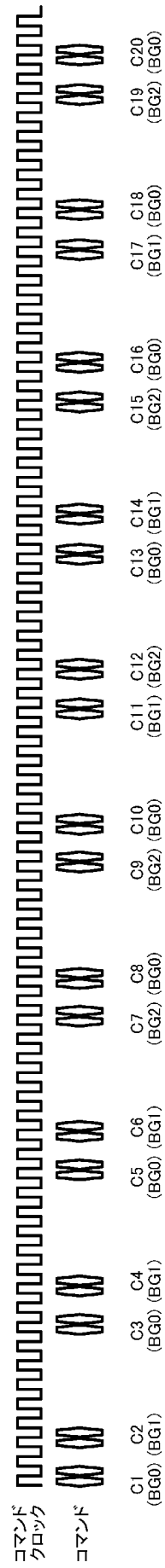
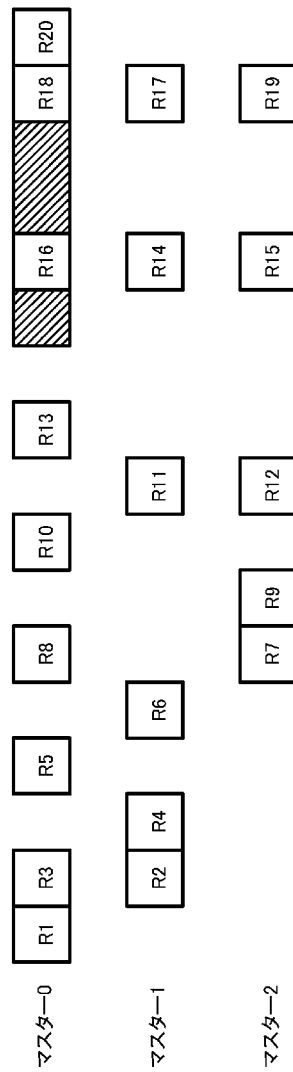
[図5]



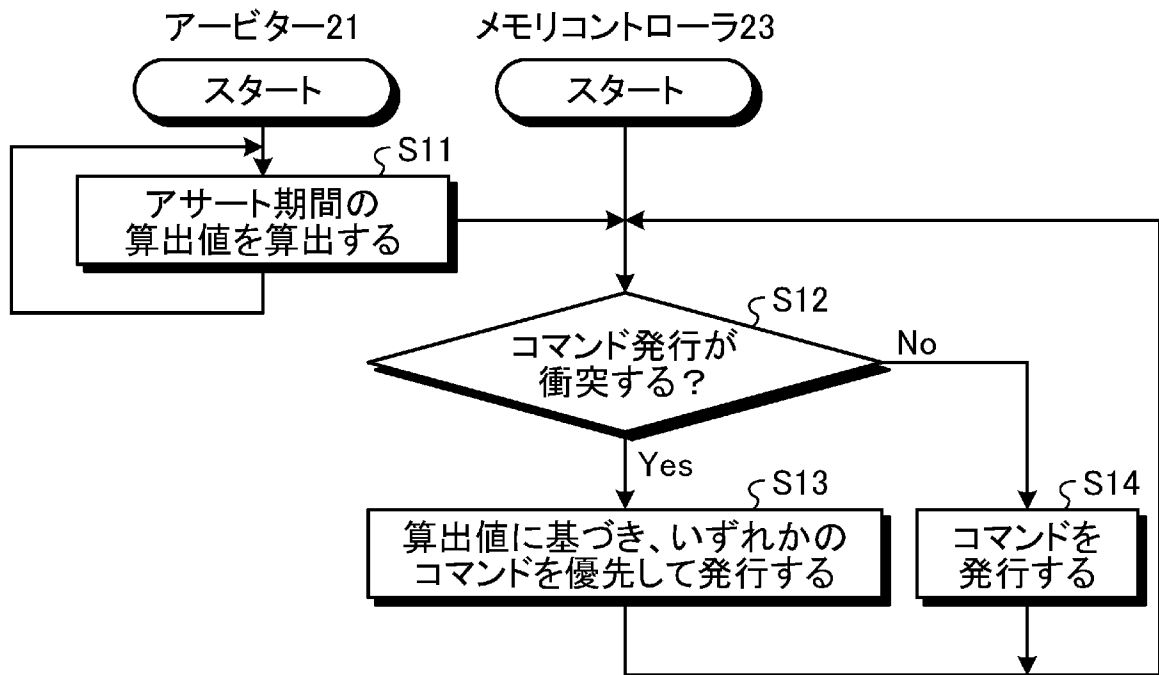
[図6]



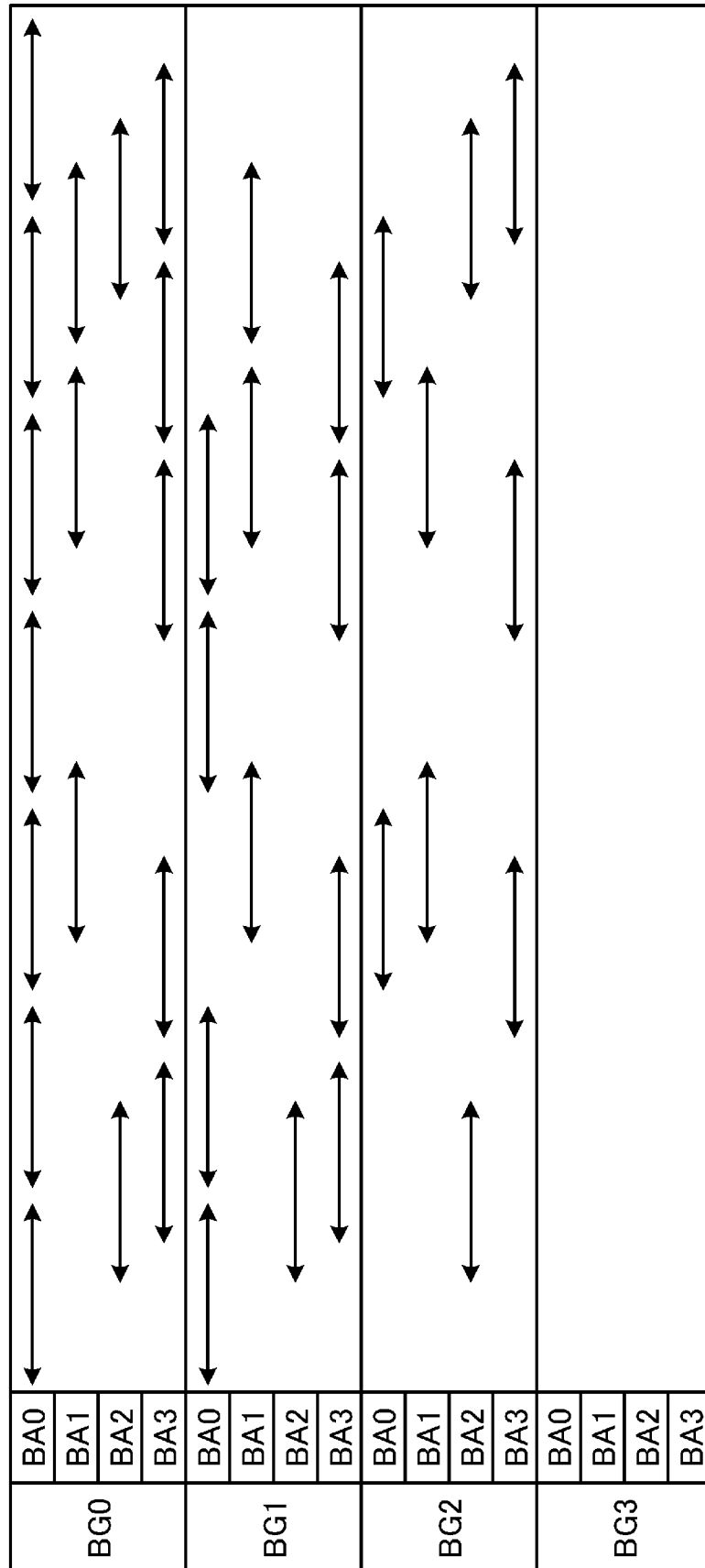
[图7]



[図8]

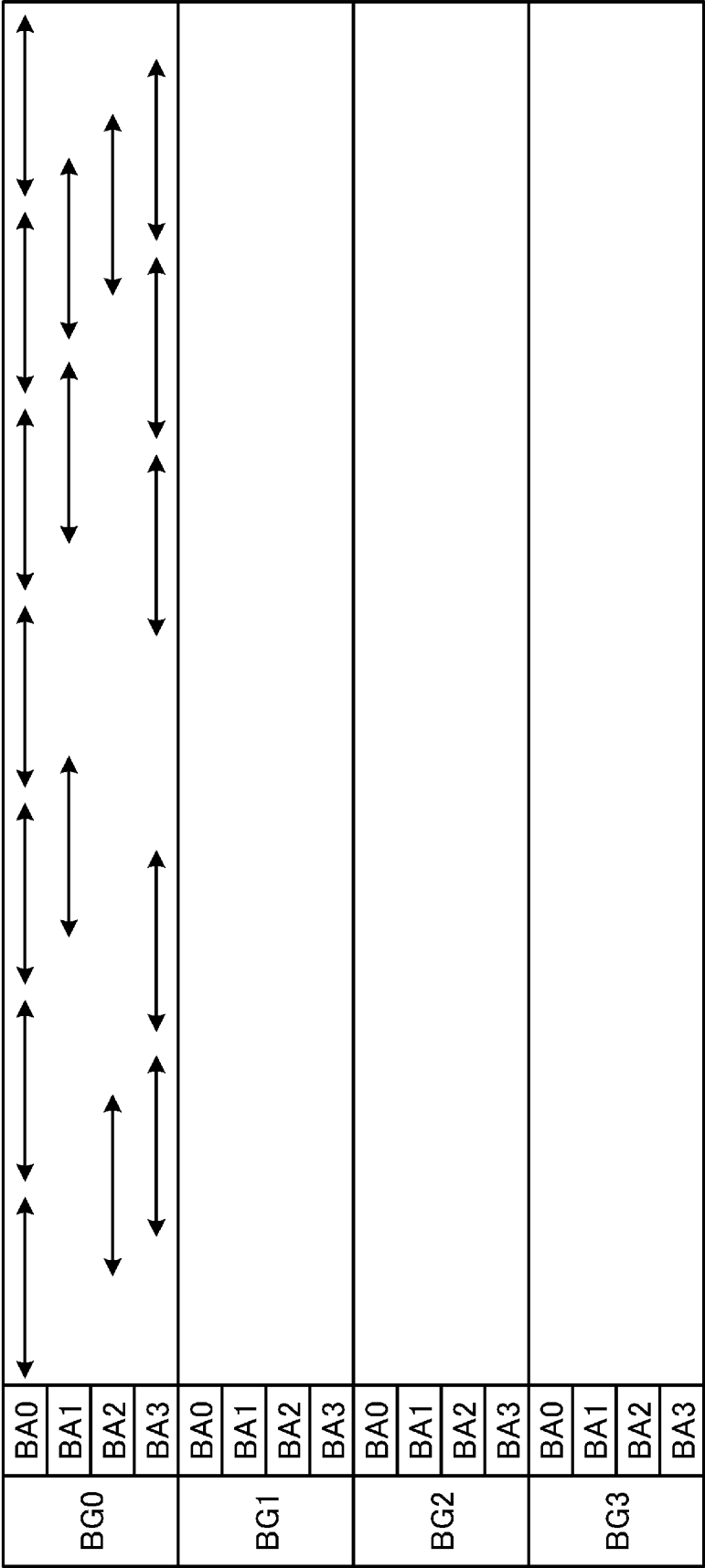


ACT ↔ PRE

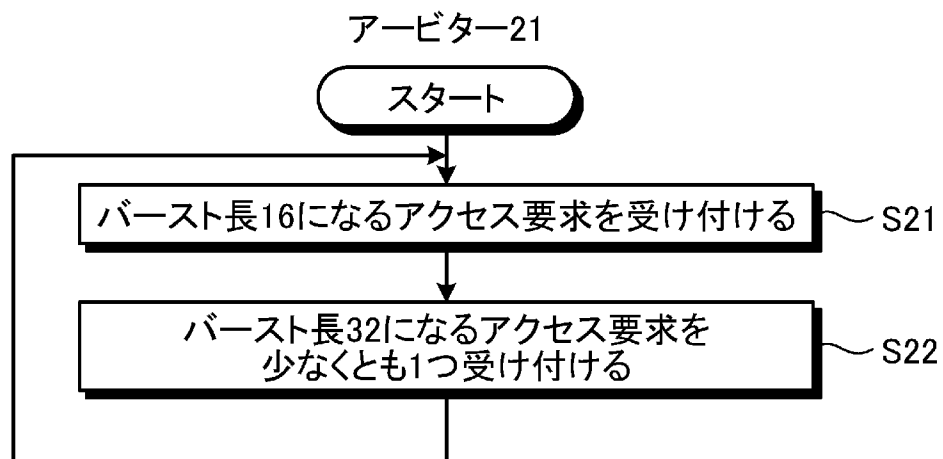


[図10]

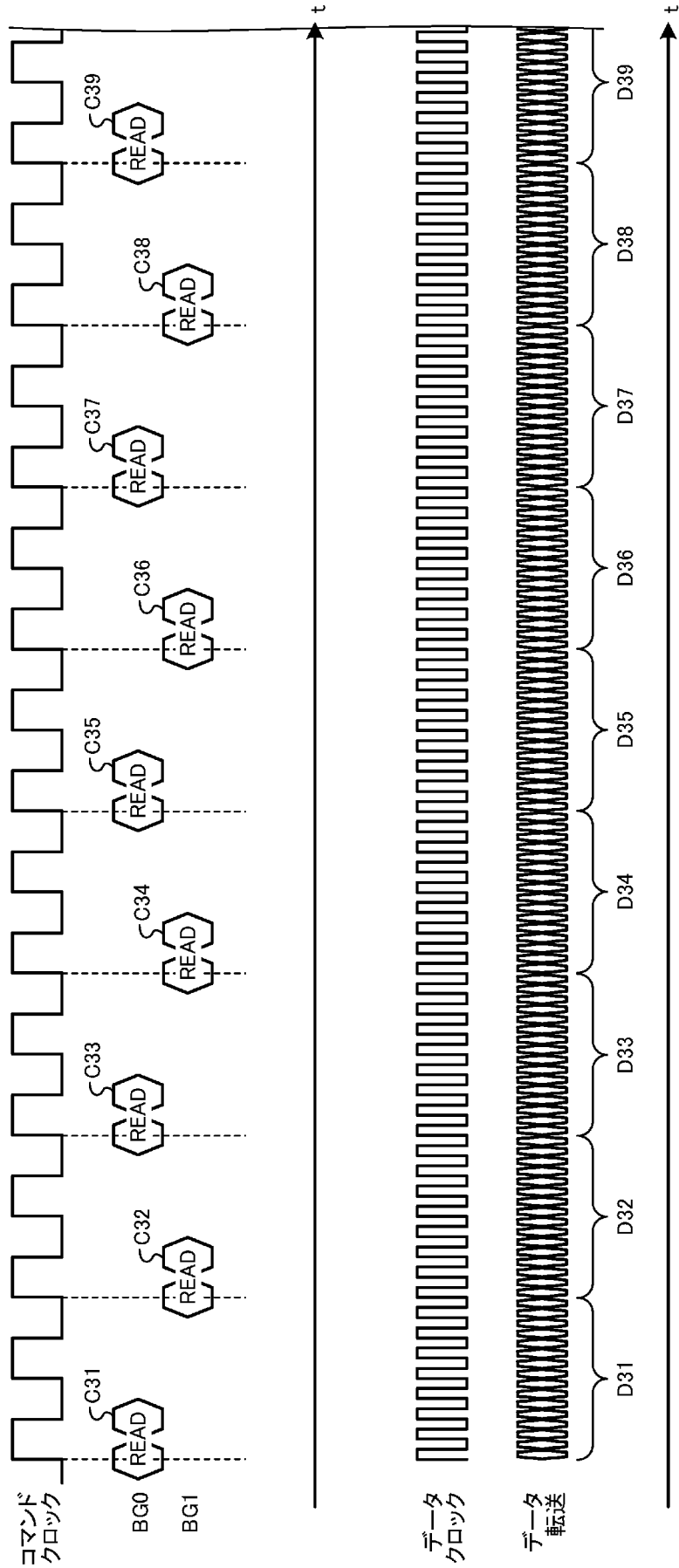
ACT PRE



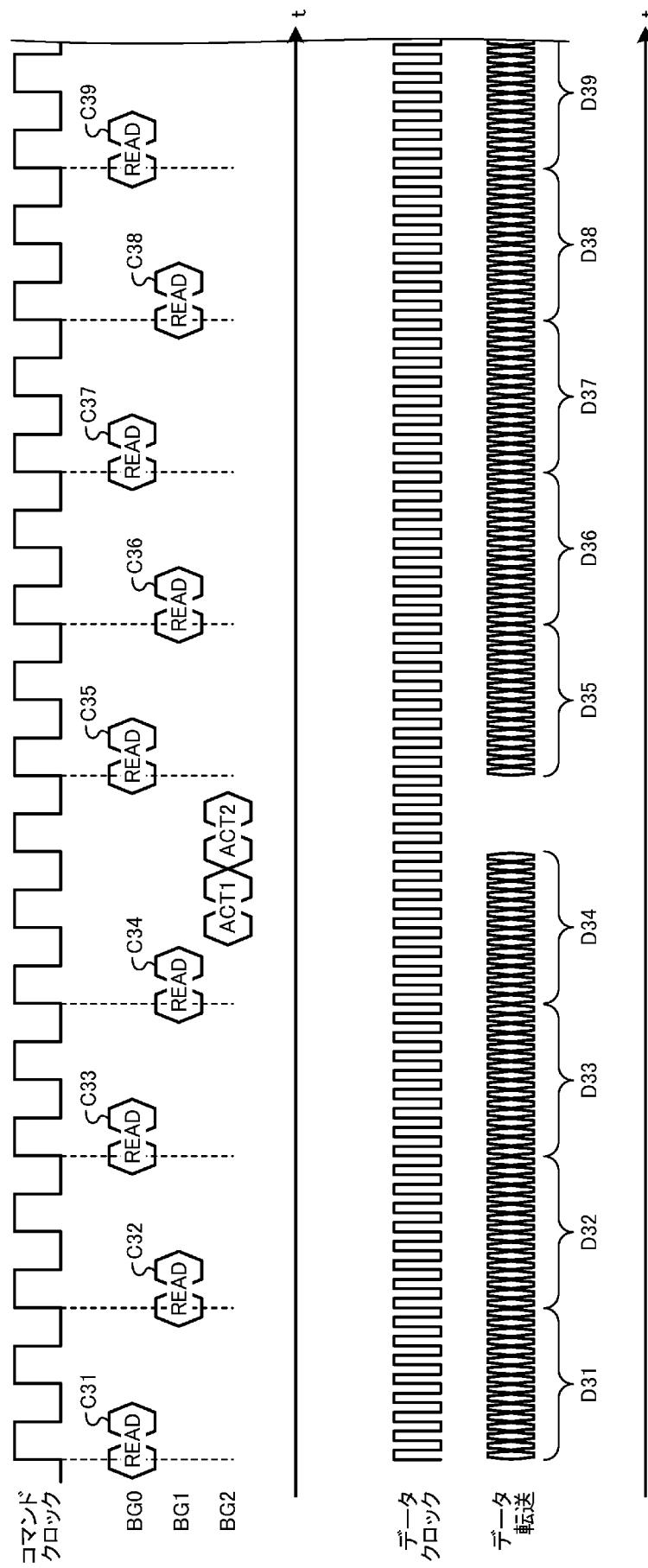
[図11]



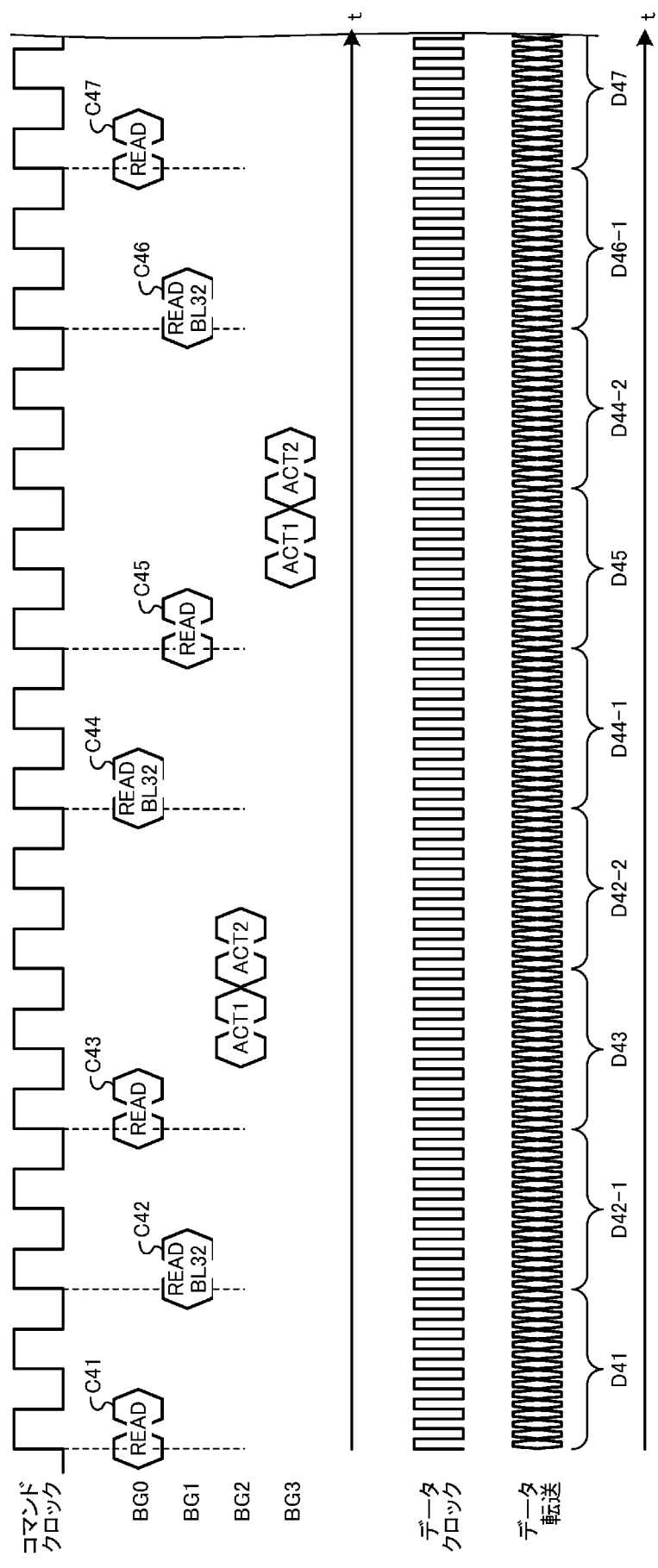
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/045827

A. CLASSIFICATION OF SUBJECT MATTER**G06F 12/00**(2006.01)i; **G06F 12/06**(2006.01)i

FI: G06F12/00 571B; G06F12/06 550A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00; G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-136592 A (NEC CORP.) 30 August 2018 (2018-08-30)	1, 10
A	paragraphs [0016]-[0033], [0046]-[0054], fig. 2-5, 7	2-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 January 2022

Date of mailing of the international search report

18 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/045827

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2018-136592 A	30 August 2018	US 2018/0239720 A1 paragraphs [0036]-[0053], [0066]-[0074], fig. 2-5, 7	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06F 12/00(2006.01)i; G06F 12/06(2006.01)i FI: G06F12/00 571B; G06F12/06 550A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G06F12/00; G06F12/06														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2022年													
日本国実用新案登録公報	1996 - 2022年													
日本国登録実用新案公報	1994 - 2022年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2018-136592 A（日本電気株式会社）30.08.2018（2018 - 08 - 30） 段落[0016]-[0033], [0046]-[0054], 図2-5, 7	1, 10												
A		2-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 07.01.2022	国際調査報告の発送日 18.01.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586													

PCT/JP2021/045827