

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06T 1/20

G06T 5/20 G06T 15/00

G06F 15/16 G06F 15/173

G06F 17/10



[12] 发明专利申请公开说明书

[21] 申请号 02804889. X

[43] 公开日 2004 年 4 月 21 日

[11] 公开号 CN 1491402A

[22] 申请日 2002. 12. 11 [21] 申请号 02804889. X

[30] 优先权

[32] 2001. 12. 12 [33] JP [31] 379349/2001

[86] 国际申请 PCT/JP02/12966 2002. 12. 11

[87] 国际公布 WO03/054800 日 2003. 7. 3

[85] 进入国家阶段日期 2003. 8. 12

[71] 申请人 索尼公司

地址 日本东京都

[72] 发明人 佐藤仁

[74] 专利代理机构 北京市柳沈律师事务所

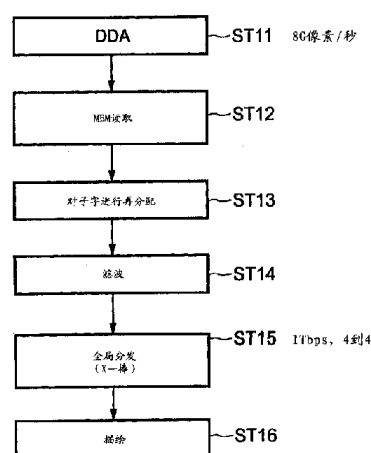
代理人 邵亚丽 马 莹

权利要求书 2 页 说明书 14 页 附图 10 页

[54] 发明名称 图像处理装置及其方法

[57] 摘要

一种能够实现减小纵横电路的大小并且实现更高处理速度的图像处理装置和方法，其执行 DDA 处理(ST11)，然后从存储器读出结构数据(ST12)，进行子字再分配处理(ST13)，然后进行结构滤波(ST14)，然后由纵横电路 13 将数据全局分发给每个处理模块的第一操作处理元件(ST15)，然后按像素电平进行处理，具体来说，利用滤波之后的结构数据和光栅化之后的各类数据，按像素单元进行操作，并且将在按像素电平处理过程中通过各类测试的像素数据描绘到存储器模块的帧缓冲器中(ST16)。



ISSN 1008-4274

1. 一种图像处理装置，其中多个处理模块共享处理数据，以进行并行处理，其中：

5 所述多个处理模块中的每一个都包括：

存储器模块，用于至少存储与滤波有关的数据；

处理电路，用于得到用于滤波的数据并且根据处理数据，通过对应的存储器内插，执行提前决定的指定处理；

10 第一操作处理元件，用于根据指定的处理数据和在所述处理电路获得的、滤波之后的数据，按像素单元进行操作处理；以及

第二操作处理元件，用于根据由所述处理电路获得的用于滤波的数据以及存储在所述存储器模块中的与滤波有关的数据进行滤波，并且接收来自所述第一操作处理元件的操作处理数据，然后将经过操作处理的数据送到该存储器模块，并且

15 还包括纵横电路，其作为用于连接所述处理模块的多个第一操作处理元件和多个第二操作处理元件的全局总线，将由每个处理模块中的所述处理电路获得的用于滤波的数据提供给在相同处理模块中的第二操作处理元件，将来自每个处理模块中的第二操作处理元件的、滤波之后的数据提供给与该处理相对应的处理模块中的第一操作处理元件，并且将来自第一操作处理元件的操作处理数据提供给第二操作处理元件。

2. 根据权利要求1所述的图像处理装置，其中每个处理模块的处理电路都包括用于调节时间，使得指定数据的处理时间变得与将滤波之后的数据提供给第一操作处理元件的时间相等的装置。

25 3. 根据权利要求1所述的图像处理装置，还包括设置电路，用于进行关于图元的顶点数据的操作，设置一个图元，并且将指定数据输出到处理模块的处理电路。

4. 根据权利要求1所述的图像处理装置，其中需要滤波的处理是与结构有关的处理。

30 5. 根据权利要求1所述的图像处理装置，其中，所述并行处理是按像素电平的并行处理。

6. 一种图像处理方法，其中多个处理模块共享处理数据，以便进行并行

处理,该方法包括如下步骤:

获得用于滤波的数据,并且用于根据每个处理模块中的处理数据,通过相应的存储器交叉存取,进行预先决定的指定处理;

5 根据获得的用于滤波的数据以及存储在存储器模块中的与滤波有关的数据进行滤波;

通过全局总线,将在每个处理模块中的滤波之后的数据提供给预定的处理模块;并且

10 根据获得的指定处理数据和滤波之后的数据,按像素单元执行操作处理并且将经过操作处理的数据描述到所述存储器模块,在处理模块中接收滤波之后的数据。

7. 根据权利要求6所述的图像处理方法,还包括如下步骤:调节每个处理模块时间,使得指定数据的处理时间变得与提供滤波之后的数据的时间相等。

15 8. 根据权利要求6所述的图像处理方法,其中需要滤波的处理是与结构有关的处理。

9. 根据权利要求6所述的图像处理方法,其中所述并行处理是按像素电平的并行处理。

图像处理装置及其方法

5 技术领域

本发明涉及一种图像处理装置及其方法，其中多个处理器件共享处理数据，以进行并行处理。

背景技术

10 近年来，用于通过硬件进行高速 3D 计算机制图的图形大规模集成电路 (LSI) 已经相当普及。特别地，在游戏系统和个人计算机 (PC) 中，经常将这种图形 LSI 安装为标准设备。

此外，在图形 LSI 中正在进行的技术进步已经很快。如在 “Direct x 指令 X” 中使用的在 “顶点影像存储器 (Vertex Shader)” 和 “像素影像存储器
15 (Pixel Shader)” 方面的功能扩展正在不断进行，并且已经以比 CPU 更快的速度改进性能。

为了改进图形 LSI 的性能，不仅提高 LSI 的运行频率是有效的，而且利用并行处理技术也是有效的。可以对并行处理技术大致进行如下分类：

第一是利用区域划分的并行处理方法，第二是按照图元 (primitive) 电平的并行处理方法，第三是按像素电平的并行处理方法。
20

上述的分类是按照并行处理的粒度进行的。区域划分并行处理的粒度是最粗糙的，而像素电平并行处理的粒度是最精细的。以下将对这些技术进行概述。

利用区域划分的并行处理

25 这是一种将屏幕分为多个矩形区域并且在将区域指定给多个处理单元负责的同时进行并行处理的技术。

按照图元电平的并行处理

这是一种将不同的图元 (例如三角形) 分给多个处理单元并且使它们并行运行的技术。

30 在图 1 中概念性地示出了按照图元电平的并行处理的视图。

在图 1 中，PM0 到 PMn-1 表示不同的图元，PU0 到 PUn-1 表示处理单元，

MM0 到 MMn-1 表示存储器模块。

当将具有相对相同大小的图元 PM0 到 PMn-1 提供给处理单元 PU0 到 PUn-1 时,处理单元 PU0 到 PUn-1 上的负载是平衡的并且能够进行有效的并行处理。

按像素电平的并行处理

5 这是一种粒度最精细的并行处理技术。

图 2 在概念上示出了基于在像素电平上的并行处理技术的、在图元电平上的并行处理的视图。

如图 2 所示,在按像素电平的并行处理技术中,当对三角形进行光栅化时,以在称为由按照 2×8 矩阵中排列的像素组成的“像素标记(pixel stamp)PS”的矩形区域的单元中产生像素。
10

在图 2 的例子中,生成了从像素标记 PS0 到像素标记 PS7 的总共八个像素标记。对包括在这些像素标记 PS0 到 PS7 中的最多 16 个像素同时进行处理。

按照粒度的精细程度,在并行处理方面,这种技术比其它技术更有效。

但是,在以上说明的利用区域划分进行并行处理的情况下,为了使处理
15 单元有效地并行运行,需要预先对要在区域中绘出的对象进行分类,因此,对景物数据进行分析的负担很重。

此外,当在一帧的景物数据的性能全部出现之后没有开始描绘,但是当给出对象数据时按照所谓开始描绘的立即模式马上描绘时,不能实现并行特性。

20 此外,在按照图元电平进行并行处理的情况下,按照实际情况,在组成对象的图元 PM0 到 PMn-1 的大小方面出现变化,因此,对处理单元 PU0 到 PUn-1 中的一个图元进行处理的时间出现差异。当这种差异变大时,处理单元描绘的区域也很不相同,并且数据的位置被丢失,因此,举例来说,组成存储器模块的 DRAM 频繁地产生页误差,并且性能下降。

25 此外,在使用这种技术的场合,还有互连成本高的问题。一般来说,在用于图形处理的硬件中,为了拓宽存储器的带宽,将多个存储器模块用于存储器交叉存取。

此时,如图 1 所示,需要将所有处理单元 PU0 到 PUn-1 与内置存储器模块 MM0 到 MMn 连接。

30 另一方面,在按照像素电平进行并行处理的情况下,如上所述,具有并行处理的有效性按照粒度的精细程度变得更好的优点。由于处理包括实际滤

波，因此，按照图 3 所示的程序进行处理。

即，对 DDA(数字微分分析器)参数，例如，对进行光栅化所需要的各种类型的数据偏差(Z、结构坐标、颜色等)以及其它 DDA 参数进行计算(ST1)。

接着，从存储器中读出结构数据(ST2)，对子字进行再分配(ST3)，然后，
5 由纵横电路将数据全局分发给处理单元(ST4)。

接着，进行结构滤波(ST5)。在这种情况下，利用读出的结构数据以及当对(u, v)地址进行计算时获得的十进制小数，处理单元 PU0 到 PU3 进行四相邻内插或者其它滤波。

接着，进行按照像素电平(逐像素操作)的处理，具体来说，将滤波之后
10 的结构数据和光栅化之后的各类数据用于在像素单元上的操作(ST5)。

此外，在存储器模块 MM0 到 MM3 上的帧缓冲器和 Z 缓冲器中，描绘在按照像素电平进行处理的过程中通过各种类型的测试的像素数据。

顺便提起，结构读出系统的存储器访问与图形生成系统的存储器访问不同，因此需要从属于另一个模块的存储器中读取数据。

15 因此，对于结构读出系统的存储器访问，需要互连，如上述的纵横电路。

但是，如上所述，相关的图像处理装置将数据全局分发给处理单元，然后进行结构滤波，因此具有全局分发的数据量较大(例如，4Tbps)、用作全局总线的纵横电路在大小方面变得较大以及从互连延迟的观点来看阻碍了处理速度提高等缺点。

20

发明内容

本发明的一个目的是提供一种能够实现减小纵横电路的大小并且能够实现提高处理速度的图像处理装置及其方法。

为了实现上述目的，本发明的第一方面是一种其中由多个处理模块共享
25 处理数据以进行并行处理的图像处理装置，其中：多个处理模块中的每一个都包括：存储器模块，用于至少储存与滤波相关的数据；处理电路，用于根据处理数据，得到用于滤波的数据，并且通过相应的存储器交叉存取，进行预定的指定处理；第一操作处理元件，用于根据指定的处理数据和在所述处理电路获得的滤波之后的数据，按照像素单元进行操作处理；以及第二操作
30 处理元件，用于根据由所述处理电路获得的用于滤波的数据以及存储在所述存储器模块中的与滤波有关的数据进行滤波，并且接收来自第一操作处理元

件的操作处理数据，然后将经过操作处理的数据描绘到存储器模块，所述第二操作处理元件还包括纵横电路，作为用于将所述处理模块的多个第一操作处理元件与多个第二操作处理元件连接的全局总线，将由每个处理模块中的所述处理电路获得的用于滤波的数据提供给在相同处理模块中的第二操作处理元件，将来自每个处理模块中的第二操作处理元件的滤波之后的数据提供
5 给与该处理对应的处理模块中的第一操作处理元件，并且将来自第一操作处理元件的操作处理数据提供给第二操作处理元件。

按照第一方面，每个处理模块的处理电路包括用于调节时间的装置，使得指定数据的处理时间变得与将滤波之后的数据提供给第一操作处理元件的
10 时间相等。

本发明的第二个方面是一种其中由多个处理模块共享处理数据以进行并行处理的图像处理方法，该方法包括：得到用于滤波的数据，并且根据处理数据，通过相应的存储器交叉存取，进行预定的指定处理；根据获得的用于滤波的数据和存储在存储器模块中的与滤波有关的数据，进行滤波；通过全
15 局总线，将在每个处理模块中滤波之后的数据提供给预定的处理模块；并且根据获得的指定处理数据和滤波之后的数据，在像素单元中进行操作处理，并且将经过操作处理的数据描绘到所述存储器模块，在处理模块中接收滤波之后的数据。

最好，该方法还包括调节每个处理模块时间的步骤，使得指定数据的处理
20 时间变得与提供滤波之后的数据的时间相等。

此外，在本发明中，需要滤波的处理是与结构有关的处理。

此外，上述的并行处理为按像素电平的并行处理。

按照本发明，例如，设置电路对顶点数据进行操作，设置图元，并且将指定结构的设置信息的性能输出到处理模块。

25 根据来自设置电路的信息，每个处理模块的处理电路计算例如 DDA 参数，尤其是各类数据(Z、结构坐标、颜色等)的偏差等，以及进行光栅化所需要的其它 DDA 参数。

此外，每个处理电路根据参数数据，判断三角形是否是其指定的区域，并且，当是它的指定区域时，进行光栅化。

30 此外，每个处理电路通过计算 LOD 计算 MipMap 电平，并且计算用于结构访问的(u, v)地址计算。

然后，每个处理电路将获得的结构坐标和用于结构访问的地址信息等输出到第二操作处理元件。

另一方面，每个处理电路将获得的除了结构以外的颜色和其它信息提供给第一操作处理元件。

- 5 此外，每个处理模块的第二操作处理元件接收从处理电路提供的与结构有关的坐标数据和地址数据，从存储器模块中读出结构数据，并且利用读出的结构数据和在计算(u, v)地址时获得的十进制小数，进行四相邻内插或其它结构滤波。

- 10 通过纵横电路，将来自第二操作处理元件的滤波之后的结构数据提供给例如具有与标志对应的帧缓冲器的处理模块中的第一操作处理元件。

根据从处理电路提供的除了结构信息以外的数据和通过纵横电路接收到的由处理模块的第二操作处理元件进行结构滤波之后的数据，该处理模块的第一操作处理元件进行按像素电平的处理并且将结果输出到第二操作处理元件。

- 15 然后，第二操作处理元件接收从第一操作处理元件提供的按照像素电平进行处理的结果并且将在按像素电平进行处理的过程中通过了各种类型的测试的像素数据描绘到存储器模块中。

在模块中并行执行上述处理。

20 附图说明

图 1 是概念性地示出了按照图元电平的并行处理的视图。

图 2 是概念性地示出了基于在像素电平上并行处理的技术的、按照图元电平的并行处理的视图。

图 3 是说明了包括相关图像处理装置的结构滤波的处理程序的视图。

- 25 图 4 是按照本发明的图像处理装置的实施例的配置的方框图。

图 5 是按照本实施例的图像处理装置的基本结构和处理流程的视图。

图 6 是按照本实施例的 DDA 电路的关键部分的结构例子的视图。

图 7 是按照本实施例的纵横电路的结构的具体例子的视图。

图 8 是概念性地说明了按照本实施例的图像处理装置的处理的视图。

- 30 图 9 是按照本实施例的图像处理装置的概念上的处理流程的视图。

具体实施方式

图 4 为按照本发明的图像处理装置的一个实施例的配置的方框图。

如图 4 所示, 按照本实施例的图像处理装置 10 具有设置电路 11、处理模块 12-0 到 12-3 以及纵横电路 13。

- 5 在本图像处理装置 10 中, 将多个, 在本实施例中为四, 处理模块 12-0 到 12-3 并联连接到设置电路 11。多个处理模块 12-0 到 12-3 共享处理数据以进行并行处理。

然而, 对于结构读出系统, 需要对其它处理模块进行存储器访问, 但是将用作全局访问总线的纵横电路 13 用于这样的访问。

- 10 以下, 参照附图对部件的结构和功能顺序进行描述。

设置电路 11 对 CPU 与外部存储器的数据传输以及处理模块 12-0 到 12-3 的数据传输进行控制, 对顶点数据执行操作, 设置一个图元, 并且将设置信息的指定结构性能输出到处理模块 12-0 到 12-3。

具体来说, 当输入数据时, 设置电路 11 执行逐顶点操作。

- 15 在这个处理过程中, 当输入三维坐标的顶点数据、法向矢量以及结构坐标时, 对顶点数据执行操作。作为有代表性的操作, 有用于坐标变换的操作处理, 如屏幕上的对象、投影等的变形、用于照明的操作处理和用于剪辑的操作处理。

- 20 处理模块 12-0 具有作为处理电路的 DDA (数字微分分析器) 电路 121-0、第一操作处理元件 (操作处理元件 1) 122-0、第二操作处理元件 (操作处理元件 2) 123-0 以及由例如 DRAM 形成的存储器模块 (MEM) 124-0。

相似地, 处理模块 12-1 具有作为处理电路的 DDA 电路 121-1、第一操作处理元件 (操作处理元件 1) 122-1、第二操作处理元件 (操作处理元件 2) 123-1 以及由例如 DRAM 形成的存储器模块 (MEM) 124-1。

- 25 处理模块 12-2 具有作为处理电路的 DDA 电路 121-2、第一操作处理元件 (操作处理元件 1) 122-2、第二操作处理元件 (操作处理元件 2) 123-2 以及由例如 DRAM 形成的存储器模块 (MEM) 124-2。

- 30 处理模块 12-3 具有作为处理电路的 DDA 电路 121-3、第一操作处理元件 (操作处理元件 1) 122-3、第二操作处理元件 (操作处理元件 2) 123-3 以及由例如 DRAM 构成的存储器模块 (MEM) 124-3。

此外, 如以后所详细描述, 通过纵横电路 13, 将在处理模块 12-0 到

12-3 中的第一操作处理元件 122-0 到 122-3 与第二操作处理元件 123-0 到 123-3 相互连接。

图 5 为按照本实施例的图像处理装置的基本结构和处理流程。在图 5 中注意, 具有圆圈的箭头表示与结构有关的数据流, 而没有圆圈的箭头表示与像素有关的数据流。

在本实施例中, 在处理模块 12-0 到 12-3 中, 将存储器模块 124-0 到 124-3 交织为预定大小, 例如 4×4 的矩形区域单元。

具体来说, 如图 5 所示, 将所谓帧缓冲器交织到所有存储器模块, 并且将结构存储器分散在存储器模块 124-0 到 124-3 中。

10 根据来自设置电路 11 的信息, 在处理模块 12-0 中的 DDA 电路 121-0 计算 DDA 参数。

在这个处理过程中, 对进行光栅化所需要的各类数据 (Z、结构坐标、颜色等) 的偏差以及其它 DDA 参数进行计算。

此外, 根据参数数据, DDA 电路 121-0 判断例如三角形是否在该电路进行处理的指定区域中, 并且当在该区域中时, 进行光栅化。

具体来说, 它判断该三角形是否属于指定给它的区域, 例如由 4×4 像素矩形区域单元交织的区域, 当属于它时, 对各类数据 (Z、结构坐标、颜色等) 进行光栅化。在这种情况下, 每个本地模块每个周期所生成的单元为 2×2 像素。

20 接着, DDA 电路 121-0 对结构坐标的全景进行校正。这个处理阶段包括通过计算 LOD (level of detail, 细节电平) 来计算 MipMap 电平以及计算用于结构访问的 (u, v) 地址。

例如, 如图 6 所示, DDA 电路 121-0 利用结构系统 DDA 部分 1211、用于结构访问的地址信息等进行关于结构坐标的结构处理, 并且通过第一操作处理元件 122-0 和纵横电路 13, 将与结构有关的信息输出到第二操作处理元件 123-0。

另一方面, DDA 电路 121-0 利用另一个 DDA 部分 1212 进行除了结构以外的颜色以及其它处理, 并且将结果输出到第一操作处理元件 122-0。

在本实施例中, 仅在其它 DDA 部分 1212 的数据输入侧给每个 DDA 电路 121 (-0 到 3) 配备 FIFO (先进先出), 并且每个 DDA 电路 121 (-0 到 3) 根据对结构系统进行滤波的时间来调节时间。

此外, 尽管其它 DDA 部分 1212 仅生成通过存储器交织所指定的部分, 但是, 结构系统 DDA 部分 1211 为所有像素生成指定给该结构的结构数据。

根据从 DDA 电路 121-0 提供的除了结构信息以外的数据以及通过纵横电路 13 接收到的由处理模块 12-0 到 12-3 的第二操作处理元件 123-0 到 123-3 5 进行结构滤波之后的数据, 第一操作处理元件 122-0 执行按照像素电平的处理(逐像素操作)并且通过纵横电路 13 将结果输出到第二操作处理元件 123-0。

在按照像素电平进行处理的过程中, 将滤波之后的结构数据和光栅化之后的各类数据用于与像素单元有关的操作。这里执行的处理与像素电平照明 10 (逐像素照明)或者其它所谓的像素影像存储器处理相对应。

第二操作处理元件 123-0 接收从 DDA 电路 121-0 提供的与结构有关的坐标数据和地址数据, 从存储器模块 124-0 读出结构数据, 进行结构滤波, 并且通过纵横电路 13 将滤波之后的结构数据输出到具有与标志对应的帧缓冲器的处理模块中的第一操作处理元件 122-0 到 122-3 中的任意一个。

15 在这种情况下, 利用读出的结构数据以及在对 (u, v) 地址进行计算时获得的十进制小数, 第二操作处理元件 123-0 进行四相邻内插或者其它滤波。

此外, 第二操作处理元件 123-0 接收从第一操作处理元件 122-0 提供的像素电平的处理结果并且将在按照像素电平进行处理的过程中通过各种测试的像素数据描绘到存储器模块 124-0。

20 在处理模块 12-1 中的 DDA 电路 121-1 根据来自设置电路 11 的信息计算 DDA 参数, 尤其是进行光栅化所需要的各类数据 (Z、结构坐标、颜色等) 的偏差以及其它 DDA 参数。

此外, 根据参数数据, DDA 电路 121-1 判断例如三角形是否是它的指定区域, 并且当是指定区域时, 进行光栅化。

25 具体来说, 它判断该三角形是否是它的指定区域, 例如, 它是否属于在 4×4 像素矩形区域单元中交织的区域, 当属于时, 对各类数据 (Z、结构坐标、颜色等) 进行光栅化。在这种情况下, 每个本地模块每个周期所生成的单元为 2×2 像素。

接着, DDA 电路 121-1 对结构坐标的透视图进行校正。这个处理过程包 30 括通过计算 LOD (细节电平) 来计算 MipMap 电平以及计算用于结构访问的 (u, v) 地址。

例如, 如图 6 所示, DDA 电路 121-1 利用结构系统 DDA 部分 1211、用于结构访问的地址信息等进行关于结构坐标的结构处理, 并且通过第一操作处理元件 122-1 和纵横电路 13, 将与结构有关的信息输出到第二操作处理元件 123-1。

- 5 另一方面, DDA 电路 121-1 利用另一个 DDA 部分 1212 进行除了结构以外的颜色以及其它处理, 并且将结果输出到第一操作处理元件 122-1。

根据从 DDA 电路 121-1 提供的除了结构信息以外的数据以及通过纵横电路 13 接收到的由处理模块 12-0 到 12-3 的第二操作处理元件 123-0 到 123-3 进行结构滤波之后的数据, 第一操作处理元件 122-1 执行按像素电平的处理
10 (逐像素操作) 并且通过纵横电路 13 将结果输出到第二操作处理元件 123-1。

在按像素电平进行处理的过程中, 将滤波之后的结构数据和光栅化之后的各类数据用于与像素单元有关的操作。这里执行的处理与像素电平照明或者其它所谓的像素影像存储器处理相对应。

第二操作处理元件 123-1 接收从 DDA 电路 121-1 提供的与结构有关的坐标数据和地址数据, 从存储器模块 124-1 读出结构数据, 进行结构滤波, 并且通过纵横电路 13 将滤波之后的结构数据输出到具有与标志对应的帧缓冲器的处理模块中的第一操作处理元件 122-0 到 122-3 中的任意一个。
15

在这种情况下, 利用读出的结构数据以及在对 (u, v) 地址进行计算时获得的十进制小数, 第二操作处理元件 123-1 进行四相邻内插或者其它滤波。

此外, 第二操作处理元件 123-1 接收从第一操作处理元件 122-1 提供的像素电平的处理结果并且将在按照像素电平进行处理的过程中通过各种测试的像素数据描绘到存储器模块 124-1 中。
20

在处理模块 12-2 中的 DDA 电路 121-2 根据来自设置电路 11 的信息计算 DDA 参数, 尤其是进行光栅化所需要的各类数据 (Z、结构坐标、颜色等) 的偏差或者其它 DDA 参数。
25

此外, 根据参数数据, DDA 电路 121-2 判断例如三角形是否是它的指定区域, 并且当是指定区域时, 进行光栅化。

具体来说, 它判断该三角形是否是它的指定区域, 例如, 它是否属于在 4 x 4 像素矩形区域单元中进行交织的区域, 当属于时, 对各类数据 (Z、结构坐标、颜色等) 进行光栅化。在这种情况下, 每个本地模块每个周期所生成的单元为 2 x 2 像素。
30

接着, DDA 电路 121-2 对结构坐标的透视图进行校正。这个处理过程包括通过计算 LOD(细节电平)来计算 MipMap 电平以及计算用于结构访问的(u, v)地址。

例如, 如图 6 所示, DDA 电路 121-2 利用结构系统 DDA 部分 1211、用于结构访问的地址信息等进行关于结构坐标的结构处理, 并且通过第一操作处理元件 122-2 和纵横电路 13, 将与结构有关的信息输出到第二操作处理元件 123-2。

另一方面, DDA 电路 121-2 利用另一个 DDA 部分 1212 进行除了结构以外的颜色以及其它处理, 并且将结果输出到第一操作处理元件 122-2。

根据从 DDA 电路 121-2 提供的除了结构信息以外的数据以及通过纵横电路 13 接收到的由处理模块 12-0 到 12-3 的第二操作处理元件 123-0 到 123-3 进行结构滤波之后的数据, 第一操作处理元件 122-2 执行按像素电平的处理(逐像素操作)并且通过纵横电路 13 将结果输出到第二操作处理元件 123-2。

在按像素电平进行处理的过程中, 将滤波之后的结构数据和光栅化之后的各类数据用于与像素单元有关的操作。这里执行的处理与像素电平照明或者其它所谓的像素影像存储器处理相对应。

第二操作处理元件 123-2 接收从 DDA 电路 121-2 提供的与结构有关的坐标数据和地址数据, 从存储器模块 124-2 读出结构数据, 进行结构滤波, 并且通过纵横电路 13 将滤波之后的结构数据输出到具有与标志对应的帧缓冲器的处理模块中的第一操作处理元件 122-0 到 122-3 中的任意一个。

在这种情况下, 利用读出的结构数据以及在对(u, v)地址进行计算时获得的十进制小数, 第二操作处理元件 123-2 进行四相邻内插或者其它滤波。

此外, 第二操作处理元件 123-2 接收从第一操作处理元件 122-2 提供的像素电平的处理结果并且将在按照像素电平进行处理的过程中通过各种测试的像素数据描绘到存储器模块 124-2。

在处理模块 12-3 中的 DDA 电路 121-3 根据来自设置电路 11 的信息计算 DDA 参数, 尤其是进行光栅化所需要的各类数据(Z、结构坐标、颜色等)的偏差或者其它 DDA 参数。

此外, 根据参数数据, DDA 电路 121-3 判断例如三角形是否是它的指定区域, 并且当是指定区域时, 进行光栅化。

具体来说, 它判断该三角形是否是它的指定区域, 例如, 它是否属于在

4 x 4 像素矩形区域单元中进行交织的区域,当属于时,对各类数据(Z、结构坐标、颜色等)进行光栅化。在这种情况下,每个本地模块每个周期所生成的单元为 2 x 2 像素。

接着,DDA 电路 121-3 对结构坐标的透视图进行校正。这个处理过程包括通过计算 LOD(细节电平)来计算 MipMap 电平以及计算用于结构访问的(u, v)地址。

例如,如图 6 所示,DDA 电路 121-3 利用结构系统 DDA 部分 1211、用于结构访问的地址信息等进行关于结构坐标的结构处理,并且通过第一操作处理元件 122-3 和纵横电路 13,将与结构有关的信息输出到第二操作处理元件 123-3。

另一方面,DDA 电路 121-3 利用另一个 DDA 部分 1212 进行除了结构以外的颜色以及其它处理,并且将结果输出到第一操作处理元件 122-3。

根据从 DDA 电路 121-3 提供的除了结构信息以外的数据以及通过纵横电路 13 接收到的由处理模块 12-0 到 12-3 的第二操作处理元件 123-0 到 123-3 进行结构滤波之后的数据,第一操作处理元件 122-3 执行按像素电平的处理(逐像素操作)并且通过纵横电路 13 将结果输出到第二操作处理元件 123-3。

在按像素电平进行处理的过程中,将滤波之后的结构数据和光栅化之后的各类数据用于与像素单元有关的操作。这里执行的处理与像素电平照明或者其它所谓的像素影像存储器处理相对应。

第二操作处理元件 123-3 接收从 DDA 电路 121-3 提供的与结构有关的坐标数据和地址数据,从存储器模块 124-3 读出结构数据,进行结构滤波,并且通过纵横电路 13 将滤波之后的结构数据输出到具有与标志对应的帧缓冲器的处理模块中的第一操作处理元件 122-0 到 122-3 中的任意一个。

在这种情况下,利用读出的结构数据以及在对(u, v)地址进行计算时获得的十进制小数,第二操作处理元件 123-3 进行四相邻内插或者其它滤波。

此外,第二操作处理元件 123-3 接收从第一操作处理元件 122-3 提供的像素电平的处理结果并且将在按照像素电平进行处理的过程中通过各种测试的像素数据描绘到存储器模块 124-3。

图 7 为按照本实施例的纵横电路中的全局总线系统的结构的具体例子的视图。

如图 7 所示,纵横电路 13 具有第一到第四的四组互连组 GRP0 到 GRP3,

四条结构线构成一组。

第一互连组 GRP0 具有四个互连 tex00 到 tex03, 第二互连组 GRP1 具有四个互连 tex10 到 tex13, 第三互连组 GRP2 具有四个互连 tex20 到 tex23, 并且第四互连组 GRP3 具有四个互连 tex30 到 tex33。

- 5 此外, 将在处理模块 12-0 中的第二操作处理元件 123-0 的端子连接到第一互连组 GRP0 中的互连 tex00、第二互连组 GRP1 中的互连 tex10、第三互连组 GRP2 中的互连 tex20 以及在第四互连组 GRP3 中的互连 tex30。

- 以同样的方式, 将在处理模块 12-1 中的第二操作处理元件 123-1 的端子连接到第一互连组 GRP0 中的互连 tex01、第二互连组 GRP1 中的互连 tex11、
10 第三互连组 GRP2 中的互连 tex21 以及第四互连组 GRP3 中的互连 tex31。

将在处理模块 12-2 中的第二操作处理元件 123-2 的端子连接到第一互连组 GRP0 中的互连 tex02、第二互连组 GRP1 中的互连 tex12、第三互连组 GRP2 中的互连 tex22 以及第四互连组 GRP3 中的互连 tex32。

- 将在处理模块 12-3 中的第二操作处理元件 123-3 的端子连接到第一互连
15 组 GRP0 中的互连 tex03、第二互连组 GRP1 中的互连 tex13、第三互连组 GRP2 中的互连 tex23 以及第四互连组 GRP3 中的互连 tex33。

将第一互连组 GRP0 中的四个互连 tex00-tex03 连接到处理模块 12-0 中的第一操作处理元件 122-0 的端子。

- 以同样的方式, 将第二互连组 GRP1 中的四个互连 tex10-tex13 连接到处
20 理模块 12-1 中的第一操作处理元件 122-1 的端子。

将第三互连组 GRP2 中的四个互连 tex20-tex23 连接到处理模块 12-2 中的第一操作处理元件 122-2 的端子。

将第四互连组 GRP3 中的四个互连 tex30-tex33 连接到处理模块 12-3 中的第一操作处理元件 122-3 的端子。

- 25 在具有这种结构的图像处理装置 10 中进行如图 8 所概念性地示出的处理。

- 即, 在模块中, 将来自设置电路 11 的数据分配给结构 DDA 部分 1211 和其它结构 DDA 部分 1212。根据来自结构 DDA 部分 1211 的结构信息和在存储器 124 中的结构数据(由(1)表示的数据流), 由第二操作处理元件 123 进行结
30 构滤波。

由纵横电路 13 将滤波之后的结构数据分配给在请求的模块中的第一操

作处理元件 122 (由 (2) 表示的数据流)。

然后, 在第一操作处理元件 122 中进行按像素电平的处理, 并且通过纵横电路 13 将结果发送到第二操作处理元件 123, 由此将该数据描绘到存储器模块 124 (由 (3) 表示的数据流)。

5 下面, 将参照图 5 对由以上图 4 的结构所进行的操作进行描述。

首先, 设置电路 11 对顶点数据进行操作, 设置图元, 并且将设置信息的指定的结构性能输出到处理模块 12-0 到 12-3。

根据来自设置电路 11 的信息, 在处理模块 12-0 到 12-3 中的 DDA 电路 121-0 到 121-3 计算 DDA 参数, 尤其是进行光栅化所需要的各类数据 (Z、结构坐标、颜色等) 的偏差或者其它 DDA 参数。

根据参数数据, DDA 电路 121-0 到 121-3 判断例如三角形是否是它的指定区域, 并且当是它的指定区域时, 进行光栅化。

此外, DDA 电路 121-0 到 121-3 通过计算 LOD 来计算 mipmap 电平并且计算用于结构访问的 (u, v) 地址。

15 然后, 通过第一操作处理元件 122-0 到 122-3 和纵横电路 13, DDA 电路 121-0 到 121-3 将由结构系统 DDA 部分 1211 获得的结构坐标以及用于结构访问的地址信息等输出到第二操作处理元件 123-0 到 123-3。

另一方面, DDA 电路 121-0 到 121-3 将颜色以及由其它 DDA 部分 1212 获得的除了结构以外的其它信息提供给第一操作处理元件 122-0 到 122-3。

20 在处理模块 12-0 到 12-3 中的第二操作处理元件 123-0 到 123-3 接收从 DDA 电路 121-0 到 121-3 提供的有关结构的坐标数据和地址数据, 从存储器模块 124-0 到 124-3 中读出结构数据, 然后利用读取的结构数据和通过计算 (u, v) 地址获得的十进制小数进行四相邻内插或其它结构滤波。

25 通过纵横电路 13, 将来自第二操作处理元件 123-0 到 123-3 的滤波之后的结构数据提供给例如在具有与标志对应的帧缓冲器的处理模块 12-1 中的第一操作处理元件 122-1。

根据从 DDA 电路 121-1 提供的除了结构信息以外的数据和通过纵横电路 13 接收到的由处理模块 12-0 到 12-3 的第二操作处理元件 123-0 到 123-3 进行结构滤波之后的数据, 在处理模块 12-1 中的第一操作处理元件 122-1 执行
30 按照像素电平的处理并且将结果输出到第二操作处理元件 123-1。

然后, 第二操作处理元件 123-1 接收由第一操作处理元件 122-1 提供的、

按照像素电平进行处理的结果，并且将在按照像素电平进行处理的过程中通过了各种测试的像素数据描绘到存储器模块 124-1。

在该模块上并行执行上述处理。

如上所述，如图 9 所示，本实施例执行 DDA 处理 (ST11)，然后从存储器
5 读出结构数据 (ST12)，执行子字再分配处理 (ST13)，然后进行结构滤波 (ST14)，然后由纵横电路 13 将数据全局分发给每个处理模块的第一操作处理元件 (ST15)，然后进行按像素电平上的处理，具体来说，利用滤波之后的结构数据和光栅化之后的各类数据，按像素单元进行操作，并且将在按照像素电平进行处理的过程中通过各类测试的像素数据描绘到存储器模块的帧缓冲
10 器 (ST16)，由此可以表现出以下效果。

即，由于在通过滤波使数据减少之后再对数据进行分配，因此，可以使用作全局总线的纵横电路 13 减小大小。

此外，由于可以使滤波之前的数据流本地化，使从存储器模块到第二操作处理元件需要较宽带宽的路径本地化，并且因此可以实现更高的处理速度。

15 因此，具有可以实现容易设计并且可以减少互连成本以及互连延迟的图像处理装置的优点。

工业适用性

如上所述，当多个处理装置共享处理数据以进行并行处理时，按照本发
20 明的图像处理装置及其方法可以减少纵横电路的互连的数量并且使电路的尺寸减小。因此，容易设计并且可以减少互连成本以及互连延迟，因此，可以将本发明应用于图形 LSI 等。

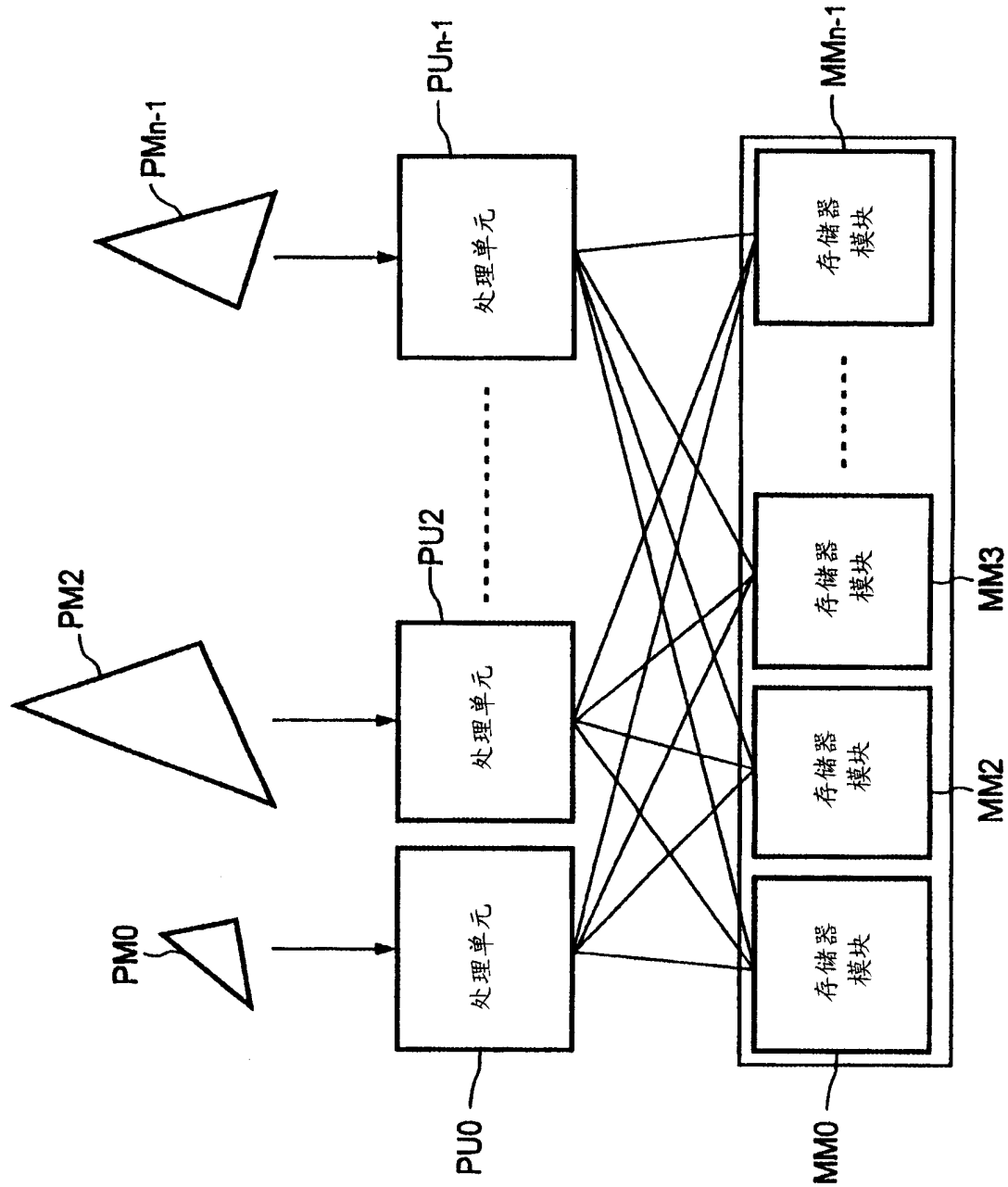


图 1

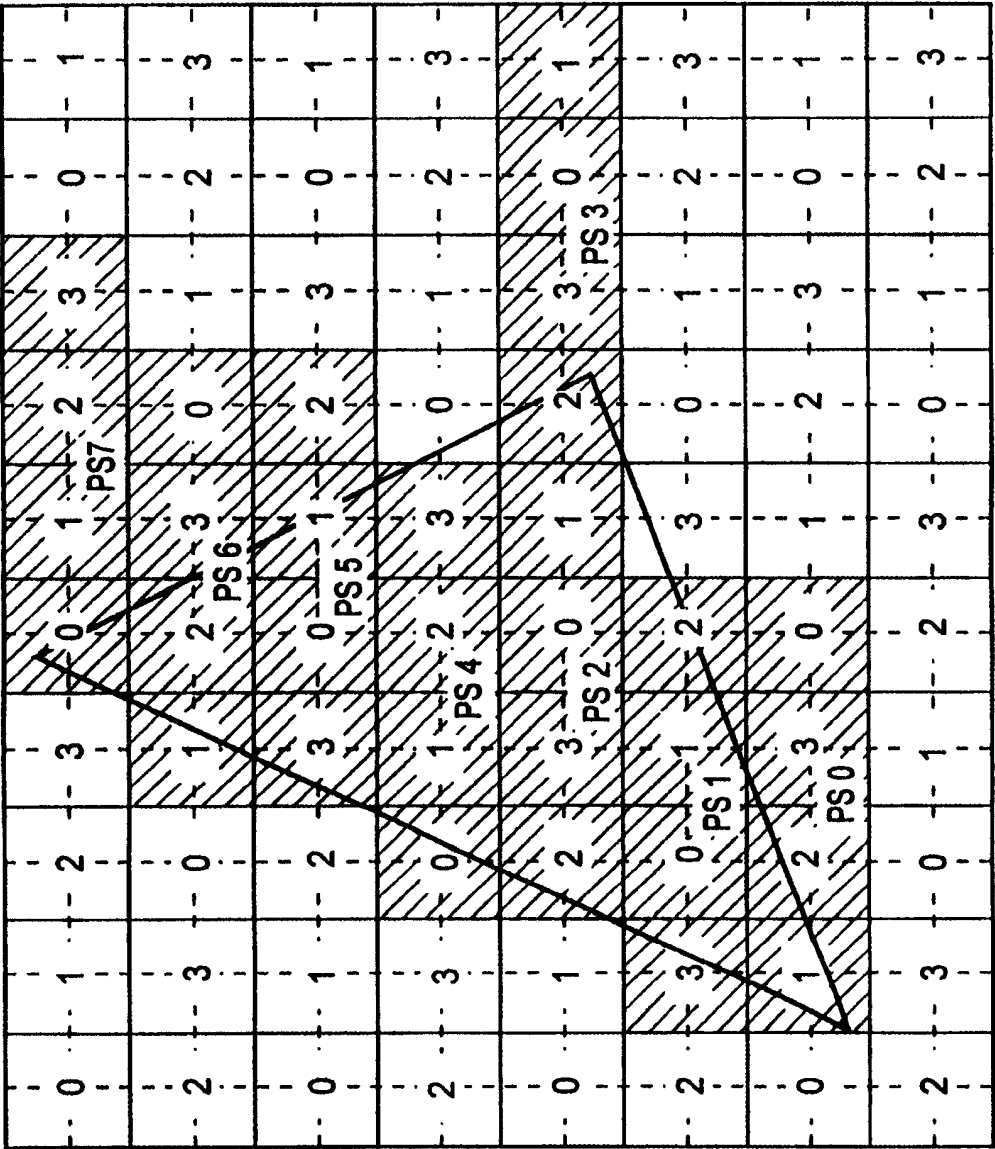


图 2

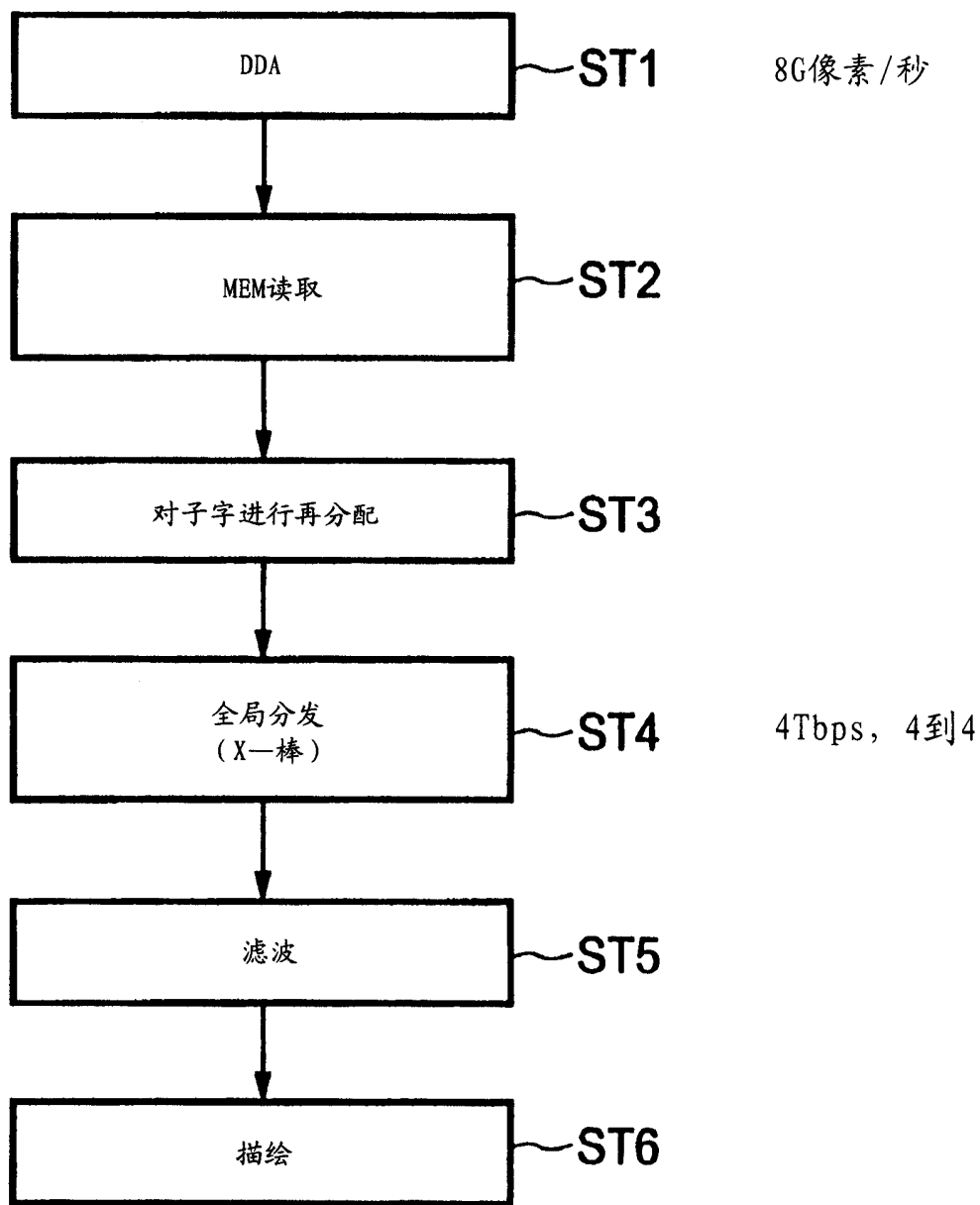
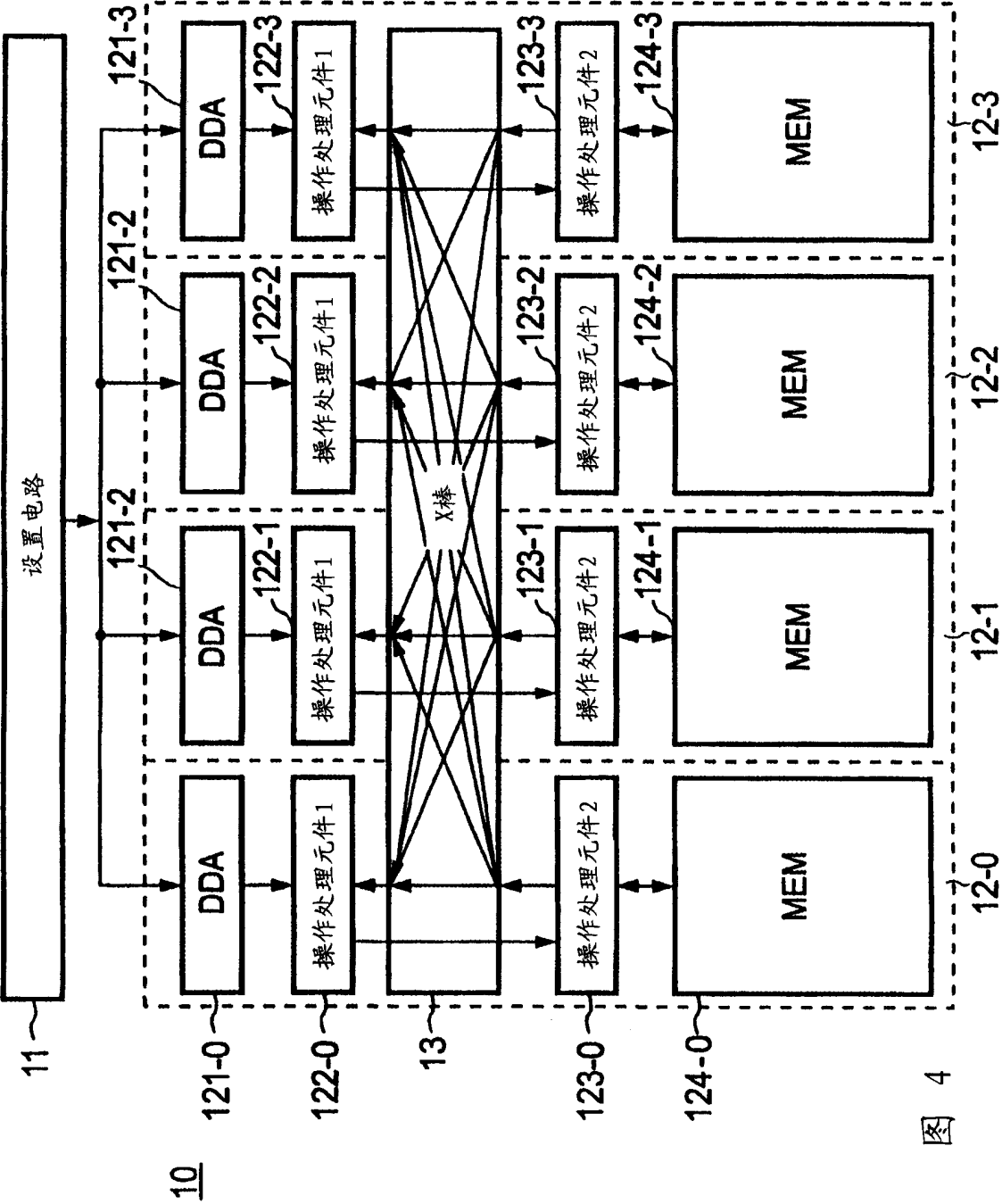


图 3



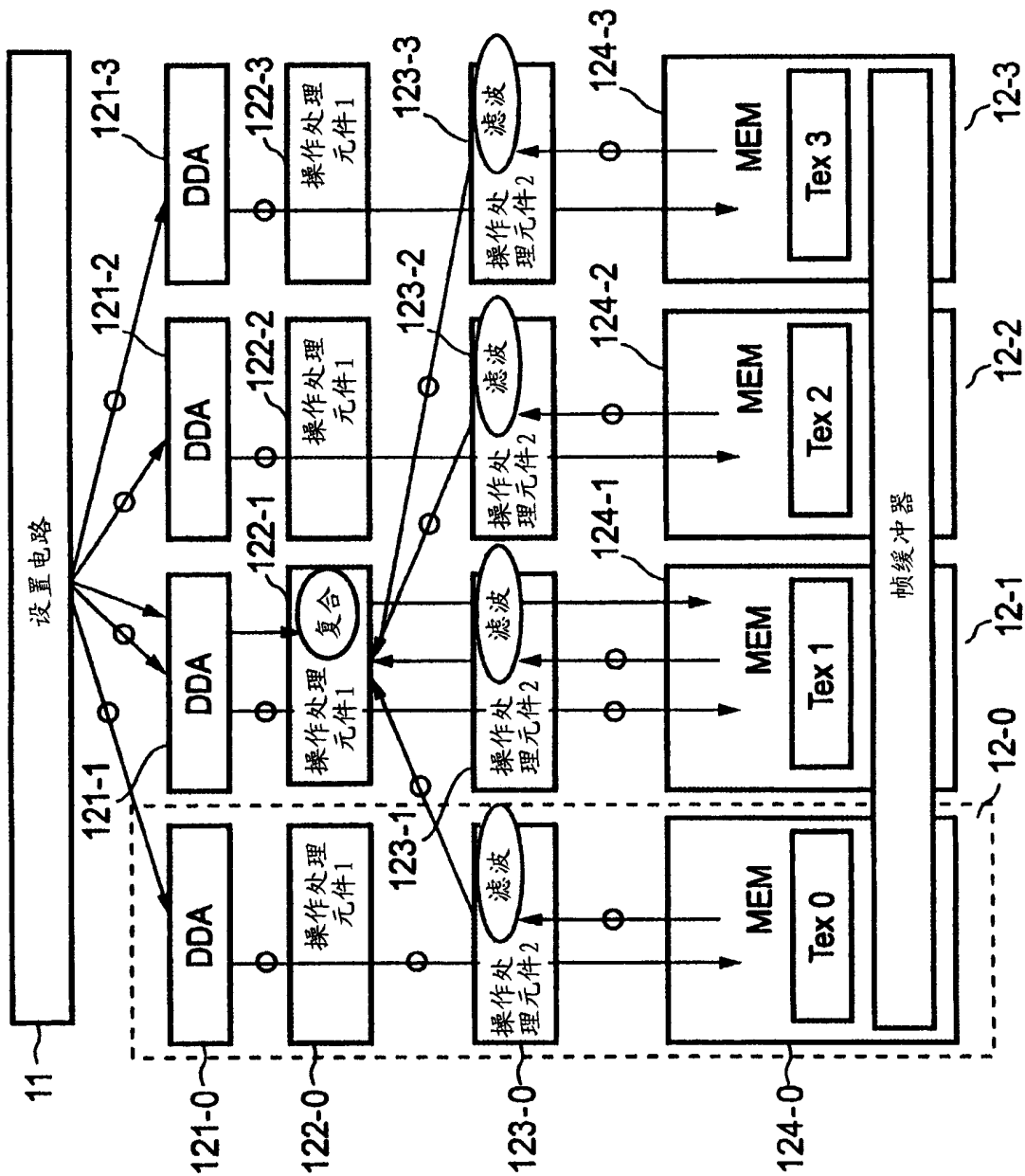


图 5

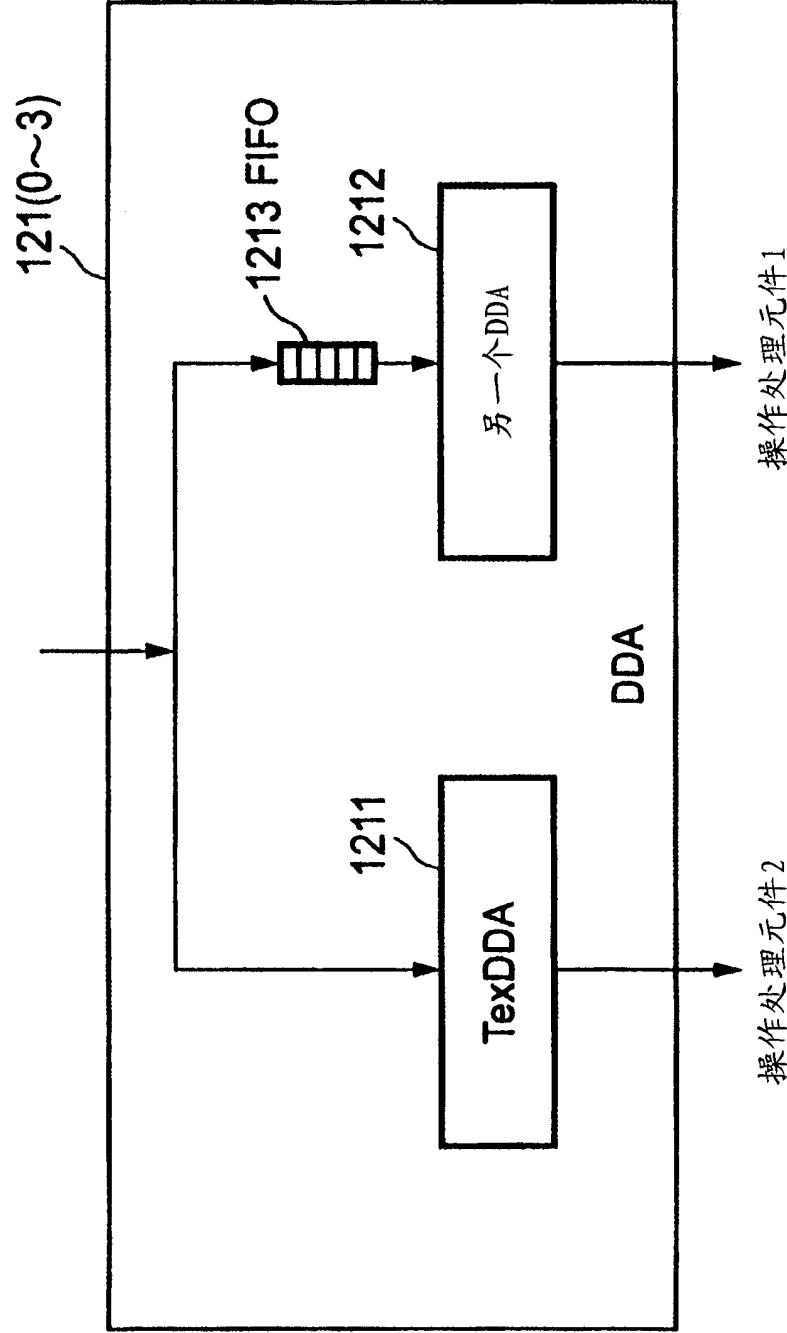


图 6

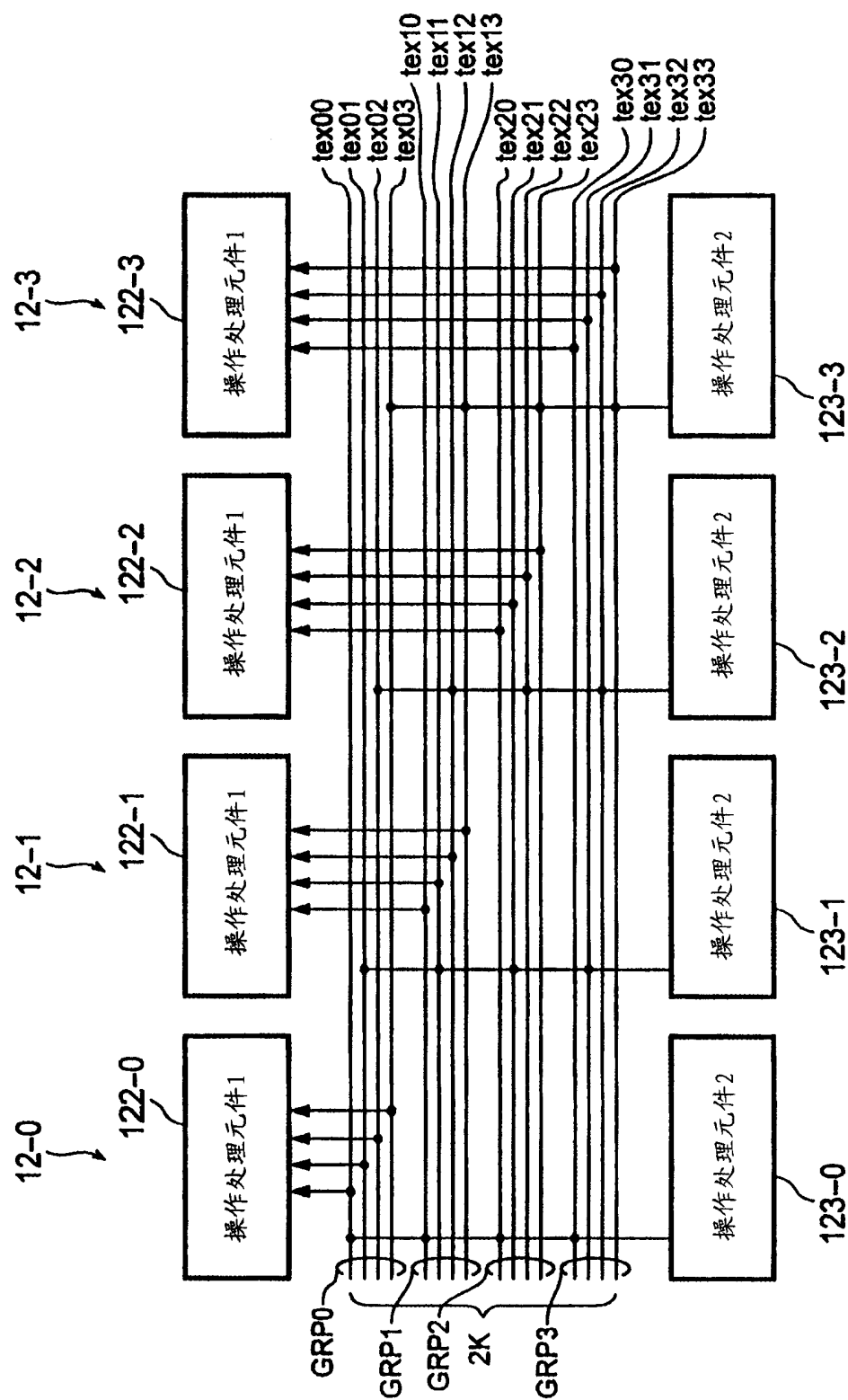


图 7

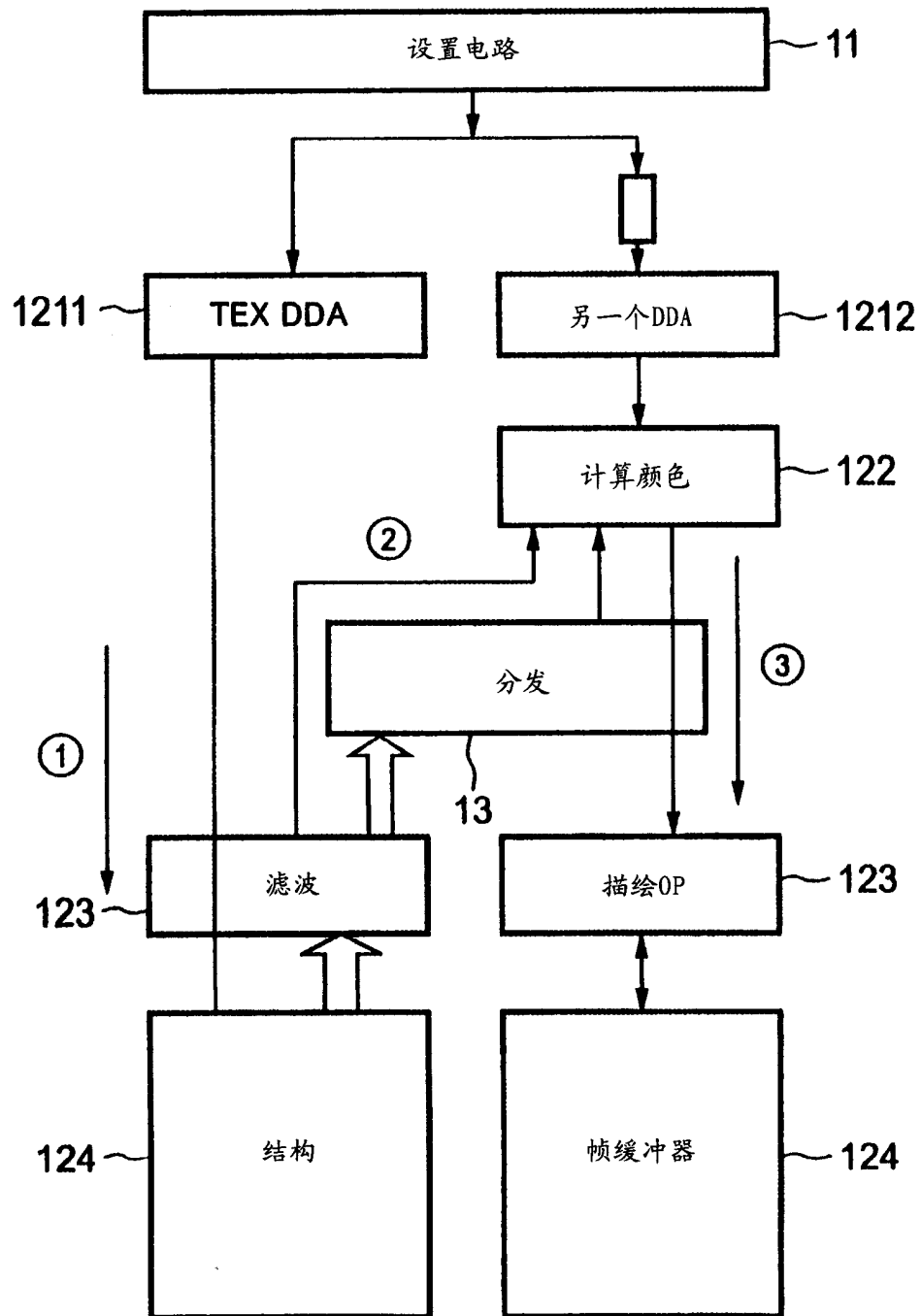


图 8

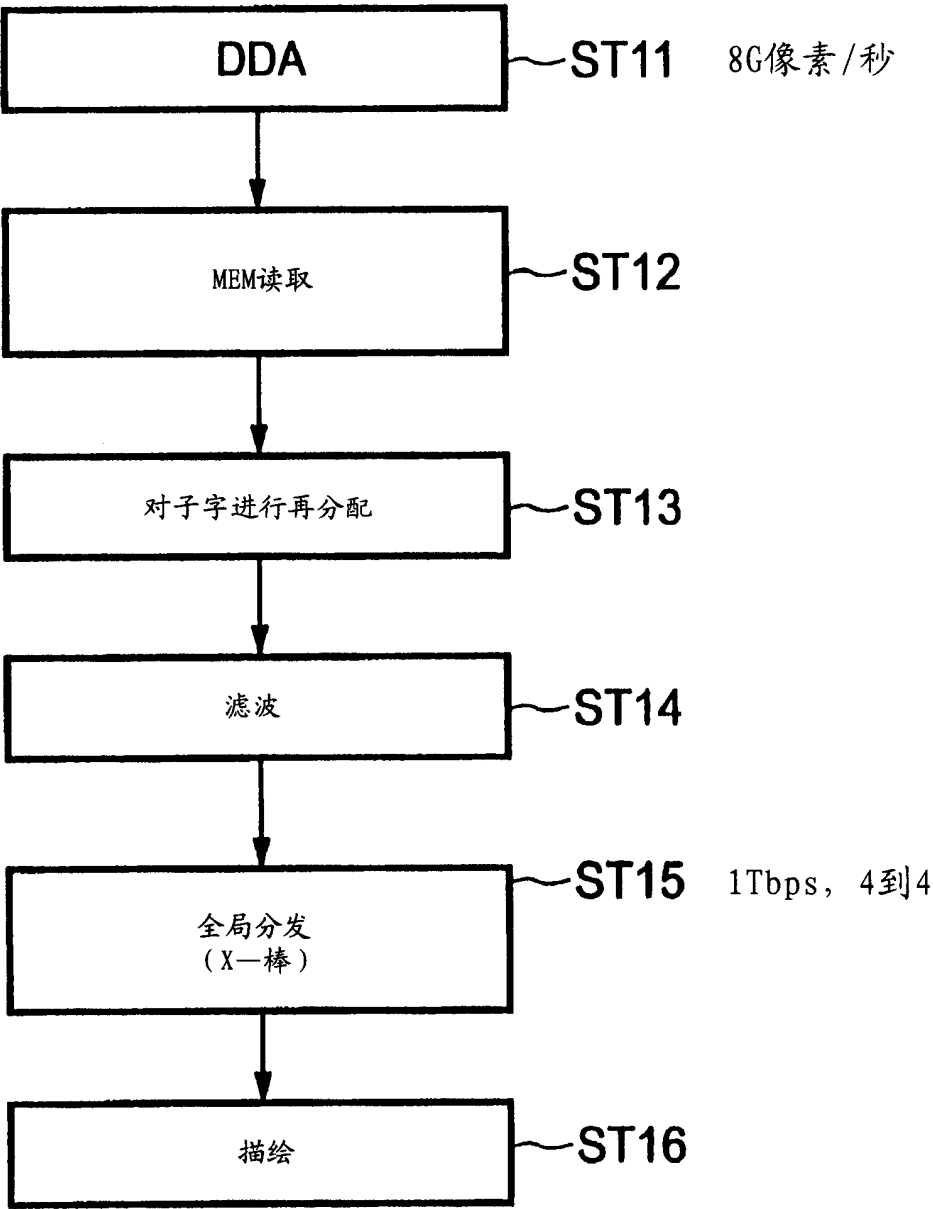


图 9

参 照 列 表

10: 图像处理装置

11: 设置电路

12-0到12-3: 处理模块

121-0至121-3: DDA电路

122-0到122-3: 第一操作处理元件

123-0到123-3: 第二操作处理元件

124-0到124-3: 存储器模块

13: 纵横电路