

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)



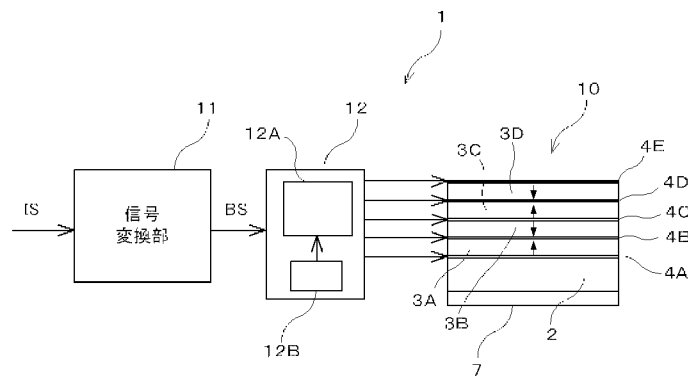
(10) 国際公開番号
WO 2017/179616 A1

- (51) 国際特許分類:
H04R 17/00 (2006.01) *H04R 3/00* (2006.01)
- (21) 国際出願番号: PCT/JP2017/014968
- (22) 国際出願日: 2017 年 4 月 12 日(12.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-082490 2016 年 4 月 15 日(15.04.2016) JP
- (71) 出願人: 第一精工株式会社(DAI-ICHI SEIKO CO., LTD.) [JP/JP]; 〒6128024 京都府京都市伏見区桃山町根来 1 2 番地の 4 Kyoto (JP).
- (72) 発明者: 緒方 健治(OGATA Kenji); 〒8380106 福岡県小郡市三沢 8 6 3 第一精工株式会社内 Fukuoka (JP). 池田 義文(IKEDA Yoshifumi); 〒8380106 福岡県小郡市三沢 8 6 3 第一精工株式会社内 Fukuoka (JP). 黒木 省吾(KUROGI Shogo); 〒8380106 福岡県小郡市三沢 8 6 3 第一精工株式会社内 Fukuoka (JP). 渡部 嘉之(WATANABE Yoshiyuki); 〒3700862 群馬県高崎市片岡町 3 - 1 - 20 オーツェイド株式会社内 Gunma (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目 7 番地 協販ビル 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SPEAKER SYSTEM

(54) 発明の名称: スピーカシステム



11 Signal conversion unit

(57) **Abstract:** A piezoelectric drive unit (10) has n (n is an integer of 2 or more) piezoelectric layers (3A to 3D) which are stacked with electrode layers (4B to 4D) interposed therebetween, wherein electrode layers (4A, 4E) are further formed on the bottom of the piezoelectric layer (3A) of the lowermost layer and on the top of the piezoelectric layer (3D) of the uppermost layer, the piezoelectric drive unit (10) bending and being displaced in the direction in which the piezoelectric layers are stacked. A signal conversion unit (11) converts an n-bit digital signal (IS) into n bits of a bit string data signal (BS) comprising bit data indicating the on and off state of a drive voltage that is applied to each of the piezoelectric layers (3A to 3D) via the electrode layers (4A to 4B). An output unit (12) outputs, in accordance with the value of each bit of the bit string data signal (BS) obtained by the conversion performed by the signal conversion unit (11), the drive voltage applied to each of the piezoelectric layers (3A to 3D).

(57) 要約:

[続葉有]



WO 2017/179616 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

圧電駆動部 (10) は、電極層 (4B~4D) を挟んで n (n は、2 以上の整数) 層の圧電層 (3A~3D) が積層され、最下層の圧電層 (3A) の下部及び最上層の圧電層 (3D) の上部に電極層 (4A, 4E) が更に形成され、圧電層が積層された方向に屈曲して変位する。信号変換部 (11) は、 n ビットのデジタル信号 (IS) を、電極層 (4A~4B) を介して各圧電層 (3A~3D) に印加される駆動電圧のオンオフを示すビットデータより成る n ビットのビット列データ信号 (BS) に変換する。出力部 (12) は、信号変換部 (11) で変換されたビット列データ信号 (BS) の各ビットの値に従って、各圧電層 (3A~3D) に印加される駆動電圧を出力する。

明 細 書

発明の名称：スピーカシステム

技術分野

[0001] 本発明は、スピーカシステムに関する。

背景技術

[0002] 一般論として、発音体から発せられる音の大きさ（音圧）は、発音体の音源となる振動部分の面積や周波数が一定の場合、その振動部分の変位量に依存する。そのため、従来においては、アナログ信号を発音体に入力し、アナログ信号の振幅の大きさに応じて発音体を振動させることで、所望の音圧を得る方法を採用しているのが通例である。アナログ信号で発音体を振動させる場合、スイッチングノイズやサンプリング誤差などの影響で S/N 比が低下する。そこで、高 S/N 比及び広ダイナミックレンジを目的として、デジタル信号をアナログ信号に変換せずに、デジタル信号に従って圧電素子を直接駆動するデジタルスピーカが開示されている（例えば、特許文献1，2参照）。特許文献1に開示された圧電スピーカでは、ビット列データの各ビットの重み毎に積層数異なる複数の圧電積層構造体が、振動板（基板）上に並列配置されている。また、特許文献2に開示されたPCM音響変換器では、ビット列データの各ビットの重み毎に積層数異なる複数の圧電積層構造体が、積層方向に積み上げられている。

先行技術文献

特許文献

[0003] 特許文献1：特開平2－141096号公報

特許文献2：実公平5－13118号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に開示された圧電スピーカでは、振動板（基板）上に圧電積層構造体をビット桁数分だけ並列配置するための広いスペースが必要となる。

また、特許文献2に開示されたPCM音響変換器では、ビット桁に応じた数だけ基板上に積層された圧電積層構造体が直列に積み重ねられている。したがって、これらのスピーカシステムでは、ビット桁が増えれば増えるほど、圧電素子の設置に必要な面積や高さが大きくなり、小型化、軽量化及び低消費電力化が困難になる。

[0005] 本発明は、上記実情に鑑みて成されたものであり、さらなる小型化、軽量化、低消費電力化を実現することができるスピーカシステムを提供することを目的とする。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明に係るスピーカシステムは、
電極層を挟んで n （ n は、2以上の整数）層の圧電層が積層され、最下層の圧電層の下部及び最上層の圧電層の上部に電極層が更に形成された、前記圧電層が積層された方向に屈曲して変位する圧電駆動部と、
 n ビットのデジタル信号を、前記電極層を介して前記各圧電層に印加される駆動電圧のオンオフを示すビットデータより成る n ビットのビット列データ信号に変換する信号変換部と、
前記信号変換部で変換されたビット列データ信号の各ビットの値に従って、前記各圧電層に印加される駆動電圧を出力する出力部と、
を備える。

[0007] この場合、前記信号変換部は、
前記デジタル信号の10進数における絶対値が0である場合には、駆動電圧のオフを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の10進数における絶対値が 2^{n-1} である場合には、駆動電圧のオンを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の10進数における絶対値が 2^{k-1} （ k は、 $1 \leq k < n$ の整数）である場合には、駆動電圧のオンを示す k ビットのデータと、駆動電

圧のオフを示す $n - k$ ビットのデータと、を組み合わせた n ビットのデータから成る信号を前記ビット列データ信号として生成する、
こととしてもよい。

[0008] 前記信号変換部は、

前記デジタル信号において、値が 1 となるビット桁を検出し、
検出されたビット桁よりも下位のビットの値を駆動電圧のオンを示す値とし、検出されたビット桁よりも上位のビットの値を駆動電圧のオフを示す値とする信号を、前記ビット列データ信号として生成する、
こととしてもよい。

[0009] 前記信号変換部は、

前記デジタル信号の 10 進数における絶対値が 0 である場合には、駆動電圧のオフを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の 10 進数における絶対値が n である場合には、駆動電圧のオンを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の 2 進数における絶対値において、値が 1 であるビット桁の重みを累積加算した値を m (m は、 $0 \leq m < n$ の整数) としたときに、 m ビットのビットデータを駆動電圧のオンを示す値とし、 $n - m$ ビットのビットデータを駆動電圧のオフを示す値とした n ビットのデータから成る信号を前記ビット列データ信号として生成する、

こととしてもよい。

[0010] 前記信号変換部は、

前記デジタル信号の 2 進数における絶対値において値が 1 であるビット桁の重みに応じた数 m を求め、 m ビットの値を駆動電圧のオンを示す値とし、 $n - m$ ビットの値を駆動電圧のオフを示す値とする信号を、前記ビット列データ信号として生成する、

こととしてもよい。

[0011] 前記信号変換部は、

前記デジタル信号の10進数における絶対値が 2^{k-1} (k は、 $1 \leq k < n$ の整数)である場合に、前記デジタル信号の2進数における絶対値において値が1であるビット桁の重みに応じた数 m を求め、 m ビットの値を駆動電圧のオンを示す値とし、 $n-m$ ビットの値を駆動電圧のオフを示す値とする信号を、前記ビット列データ信号として生成する、

こととしてもよい。

[0012] 前記信号変換部は、

前記デジタル信号の入力に先立って、

前記ビット列データ信号における、駆動電圧のオンを示すビットの位置と、駆動電圧のオフを示すビットの位置とを設定する設定部を備える、

こととしてもよい。

[0013] 前記出力部は、

前記デジタル信号の10進数における値が負である場合には、正である場合とは逆極性の駆動電圧を前記各圧電層に印加する、

こととしてもよい。

発明の効果

[0014] 本発明によれば、 n 層積層された圧電層を、圧電層が積層された方向に屈曲して変位させることで、 n ビットのデジタル信号を10進数化した重みに応じた屈曲変位を得ることができ、所望の音圧を発生することができる。よって、 n ビットのデジタル信号に対応する音を発生するのにビット桁に応じて積層された圧電積層構造体を並列配置及び積み重ねる必要がない。これにより、スピーカのさらなる小型化、軽量化、低消費電力化を実現することができる。

図面の簡単な説明

[0015] [図1]本発明の実施の形態1に係るスピーカシステムの構成を示すブロック図である。

[図2A]圧電駆動部を一方から見た斜視図である。

[図2B]圧電駆動部を他方から見た斜視図である。

[図3A] x 方向に見た圧電駆動部の屈曲変位を示す図（その 1）である。

[図3B] x 方向に見た圧電駆動部の屈曲変位を示す図（その 2）である。

[図4A]圧電駆動部における振動を示すグラフ（その 1）である。

[図4B]圧電駆動部における振動を示すグラフ（その 2）である。

[図5]入力されるデジタル信号の一例を示す図である。

[図6]信号変換部のハードウェア構成を示すブロック図である。

[図7]信号変換部で変換されるビット列データ信号の一例を示す図である。

[図8]信号変換部で実行される信号変換処理のフローチャートである。

[図9A]電極層へ与える電圧信号のパターンの一例を示す図（その 1）である。
。

[図9B]電極層へ与える電圧信号のパターンの一例を示す図（その 2）である。
。

[図9C]電極層へ与える電圧信号のパターンの一例を示す図（その 3）である。
。

[図9D]電極層へ与える電圧信号のパターンの一例を示す図（その 4）である。
。

[図10A]2進数で（0001）であった時の電極層へ与える電圧信号のパターンの一例（その 1）を示す図である。

[図10B]2進数で（0001）であった時の電極層へ与える電圧信号のパターンの一例（その 2）を示す図である。

[図10C]2進数で（0001）であった時の電極層へ与える電圧信号のパターンの一例（その 3）を示す図である。

[図11A]2進数で（0011）であった時の電極層へ与える電圧信号のパターンの一例（その 1）を示す図である。

[図11B]2進数で（0011）であった時の電極層へ与える電圧信号のパターンの一例（その 2）を示す図である。

[図11C]2進数で（0011）であった時の電極層へ与える電圧信号のパター

ンの一例（その３）を示す図である。

[図12A] 2進数で（０１１１）であった時の電極層へ与える電圧信号のパターンの一例（その１）を示す図である。

[図12B] 2進数で（０１１１）であった時の電極層へ与える電圧信号のパターンの一例（その２）を示す図である。

[図12C] 2進数で（０１１１）であった時の電極層へ与える電圧信号のパターンの一例（その３）を示す図である。

[図13] 本発明の実施の形態２に係るスピーカシステムにおいて入力されるデジタル信号の一例を示す図である。

[図14] 本発明の実施の形態２に係るスピーカシステムにおいて信号変換部で変換されるビット列データ信号の一例を示す図である。

[図15] 本発明の実施の形態２に係るスピーカシステムにおいて信号変換部で実行される信号変換処理のフローチャートである。

[図16] 本発明の実施の形態３に係るスピーカシステムにおいて入力されるデジタル信号の一例を示す図である。

[図17] 本発明の実施の形態３に係るスピーカシステムにおいて信号変換部で変換されるビット列データ信号の一例を示す図である。

[図18] 本発明の実施の形態３に係るスピーカシステムにおいて信号変換部で実行される信号変換処理のフローチャートである。

[図19A] 圧電駆動部の端部から内側にオフセットした２点で各圧電層を支持する構成を示す図である。

[図19B] 電極層の端部から内側にオフセットした領域に基板を積層する様子を示す図である。

[図19C] 各圧電層を１点で支持する構成を示す図である。

[図19D] 電極層の中央部分に基板を積層する様子を示す図である。

発明を実施するための形態

[0016] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

[0017] 実施の形態１．

まず、本発明の実施の形態 1 について説明する。

[0018] 図 1 に示すように、本実施の形態に係るスピーカシステム 1 は、例えば、チタン酸ジルコン酸鉛（PZT）等から成る圧電層 3 A、3 B、3 C、3 D を有する圧電駆動部 1 0 と、4 ビットのデジタル信号 I S を 4 つの電圧信号（ビット列データ信号 B S）に変換する信号変換部 1 1 と、信号変換部 1 1 で変換された信号に従って、各圧電層 3 A～3 D に印加される電圧信号を出力する出力部 1 2 と、を備える。

[0019] 圧電駆動部 1 0 において、圧電層 3 A～3 D は、電極層 4 B、4 C、4 D を挟んで、この順で基板 2 上に半導体製造技術を用いて積層されている。最下層の圧電層 3 A の下部には電極層 4 A が形成されており、最上層の圧電層 3 D の上部には電極層 4 E が形成されている。圧電層 3 A は、電極層 4 A、4 B 間の電圧で駆動され、圧電層 3 B は、電極層 4 B、4 C 間の電圧で駆動され、圧電層 3 C は、電極層 4 C、4 D 間の電圧で駆動され、圧電層 3 D は、電極層 4 D、4 E 間の電圧で駆動される。電極層 4 A、4 B、4 C、4 D、4 E に印加される電圧の駆動により、圧電層 3 A、3 B、3 C、3 D が伸縮する。ここで、基板 2 は、電圧が印加されても伸縮しない素材（例えば、シリコン）で形成されている。

[0020] 圧電層 3 A～3 D には、それぞれの極性が矢印で示されている。これらの矢印で示すように、圧電層 3 A、3 C は、極性が上向きとなっているが、圧電層 3 B、3 D は、極性が下向きとなっている。圧電層 3 A～3 D がこのような向きで積層されているため、電極層 4 B、4 D に対して高電位、電極層 4 A、4 C、4 E に対して低電位になるように電圧を印加すれば圧電層 3 A～3 D は伸び、逆向きの電圧を印加すれば圧電層 3 A～3 D は縮む。

[0021] 図 2 A 及び図 2 B に示すように、各圧電層 3 A～3 D は、面積が同じ矩形平板状であり、厚みが均一で、かつ同じである。したがって、各圧電層 3 A～3 D に同じ電圧を印加すれば、それぞれの伸縮量は同じになる。本実施の形態では、圧電層 3 A～3 D それぞれに対して 0 又は 0 でない一定値の電圧（駆動電圧）を印加する。以下では、各圧電層 3 A～3 D に 0 でない駆動電

圧が印加された状態をオン状態とし、各圧電層 3 A～3 D に印加された駆動電圧が 0 となっている状態をオフ状態であるとする。

[0022] ここで、前述の通り、圧電層 3 A に形成された電極層 4 A には、電圧が印加されても伸縮しない基板 2 が積層されている。この基板 2 の積層により、図 3 A に示すように、各圧電層 3 A～3 D は、その両端で 2 点支持された状態（両端の固定点で固定された状態）となる。よって、各圧電層 3 A～3 D に印加された駆動電圧がオフからオンに変化すると、圧電駆動部 1 0 は、図 3 A に示す状態から図 3 B に示す状態に変位する。具体的には、圧電駆動部 1 0 は、図 3 B の矢印で示す方向に弓形状に変位する。このように、駆動電圧がオンになると、圧電駆動部 1 0 は、矢印方向に、即ち、圧電層 3 A～3 D が積層された方向に屈曲して変位（屈曲変位）する。この屈曲変位によって、圧電駆動部 1 0 は、音を発生させる。

[0023] ここで、駆動電圧がオフからオンに変化したときの各圧電層 3 A～3 D の変位量を a とする。圧電層 3 A～3 D 全体の変位量は、駆動電圧がオンとなった圧電層の数に応じて、正の方向（例えば、図 3 B に示す矢印方向）に a , $2a$, $3a$, $4a$ のいずれかとなり、負の方向（例えば、図 3 B に示す矢印方向とは逆方向）に $-a$, $-2a$, $-3a$, $-4a$ のいずれかとなる。図 4 A 及び図 4 B に示すように、各圧電層 3 A～3 D に対する駆動電圧のオンオフを断続的に切り替えて、各圧電層 3 A～3 D の変位量を変化させることにより、圧電層 3 A～3 D 全体を振動させ、音を発生させることができる。

[0024] なお、圧電駆動部 1 0 で低音を発生させる場合には、例えば、図 4 A に示すように、その低音の周波数で（長い周期で）圧電層 3 A～3 D の駆動電圧のオンオフを切り替えればよい。また、高音を発生させる場合には、図 4 B に示すように、高音の周波数で（短い周期で）圧電層 3 A～3 D の駆動電圧のオンオフを切り替えればよい。

[0025] 図 2 A 及び図 2 B に示すように、圧電駆動部 1 0 の四隅には、円柱状のバンプ 5 A, 5 B, 5 C, 5 D が設けられている。バンプ 5 A は、電極層 4 A と電氣的に接続し、バンプ 5 B は、電極層 4 B と電氣的に接続し、バンプ 5

Cは、電極層4 Cと電氣的に接続し、バンプ5 Dは、電極層4 Dと電氣的に接続している。出力部1 2から出力された電圧信号は、配線、リード線（例えば、ボンディングワイヤ）、バンプ5 A～5 D等を介して電極層4 A～4 Eに印加される。このバンプ5 A～5 Dにより、各電極層4 A～4 Eに個別に電圧を印加することができる。

[0026] また、図2 Bに示すように、圧電駆動部1 0において、基板2の底面には、ゴム7が取り付けられている。ゴム7は枠状体であり、圧電駆動部1 0は、ゴム7を介して他の部材に取り付けられる。これにより、圧電駆動部1 0から部材に伝わる振動成分を低減することができる。なお、圧電駆動部1 0において、ゴム7は必須ではない。よって、ゴム7を有さない圧電駆動部1 0を他の部材に取り付けてもよい。

[0027] ゴム7を有さない圧電駆動部1 0は、バンプ5 A～5 Dを用いて、例えば、配線基板の実装面にフリップチップ実装することができる。この圧電駆動部1 0をフリップチップ実装する場合には、まず、圧電駆動部1 0の屈曲変位を妨げない大きさの開口が実装面に形成された配線基板を用意する。そして、その開口に電極層4 Eが面した状態で、圧電駆動部1 0を配線基板の実装面に載置する。最後に、圧電駆動部1 0のバンプ5 A～5 Dを、配線基板の実装面に設けられた電極にはんだ付けすればよい。

[0028] 信号変換部1 1は、4ビットのデジタル信号I Sを入力する。このデジタル信号I Sは、例えばA/Dコンバータから出力されたPCM (Pulse Code Modulation) 信号である。図5に示すように、例えば、4ビットのデジタル信号I Sは、10進数で $-8 (-2^3) \sim +8 (+2^3)$ までの値をとる。デジタル信号I Sでは、 ± 8 の絶対値は2進数で(1000)と表現されている。同様にデジタル信号I Sでは、 ± 4 の絶対値は2進数で(0100)と表現され、 ± 2 の絶対値は2進数で(0010)と表現され、 ± 1 の絶対値は2進数で(0001)と表現され、0は2進数で(0000)と表現されている。図5の信号波形に追従するように圧電駆動部1 0を振動させれば、圧電駆動部1 0は、デジタル信号I Sに基づく音を発

生する。

[0029] なお、本実施の形態では、デジタル信号 I S の正負を示す情報は、別の 1 ビットの信号で信号変換部 11 に入力されているものとする。信号変換部 11 は、その信号によりデジタル信号 I S の正負を判定する。

[0030] 信号変換部 11 は、このデジタル信号 I S を、各圧電層 3 A ~ 3 D への駆動電圧のオンオフを示す 4 ビットのビット列データ信号 B S に変換する。ビット列データ信号 B S は、電極層 4 A ~ 4 E を介して圧電層 3 A ~ 3 D に印加される駆動電圧のオンオフを示すビット列データより成る。

[0031] 図 6 に示すように、信号変換部 11 は、ハードウェアとして、演算部 20 と、記憶部 21 と、I/O 部 22 と、内部バス 23 と、を備えている。演算部 20 は、4 ビットのデジタル信号 I S を 4 ビットのビット列データ信号 B S に変換する演算処理を行うプロセッサである。

[0032] 記憶部 21 は、演算部 20 によって実行される演算処理プログラムと、演算対象となるデジタル信号 I S 及びビット列データ信号 B S と、を記憶している。演算部 20 は、記憶部 21 に記憶された演算処理プログラムを実行することにより、上記演算処理を行う。I/O 部 22 は、デジタル信号 I S を入力し、記憶部 21 に記憶するとともに、演算部 20 により算出され記憶部 21 に記憶されたビット列データ信号 B S を出力部 12 に出力する。内部バス 23 は、他の構成要素間を通信可能に接続する。

[0033] 信号変換部 11 は、デジタル信号 I S からビット列データ信号 B S への変換を行う。この変換により、例えば、図 7 に示すように、デジタル信号 I S が 10 進数で +8 (2^3) のとき、ビット列データ信号 B S は、2 進数で (1 1 1 1) となる。この値は、圧電層 3 A ~ 3 D の駆動電圧をすべてオンすることを示している。

[0034] また、デジタル信号 I S が 10 進数で +4 (2^2) のとき、ビット列データ信号 B S は 2 進数で (0 1 1 1) となる。この値は、圧電層 3 A ~ 3 C の駆動電圧をすべてオンすることを示している。

[0035] また、デジタル信号 I S が 10 進数で +2 (2^1) のとき、ビット列データ

信号BSは2進数で(0011)となる。この値は、圧電層3A、3Bの駆動電圧をすべてオンすることを示している。

[0036] さらに、また、デジタル信号ISが10進数で+1 (2^0) のとき、ビット列データ信号BSは2進数で(0001)となる。この値は、圧電層3Aの駆動電圧をオンすることを示している。

[0037] さらに、デジタル信号ISが10進数で0のとき、ビット列データ信号BSは2進数で(0000)となる。この値は、圧電層3A～3Dの駆動電圧を全てオフすることを示している。

[0038] なお、デジタル信号ISの値が負であるときは、圧電層3A～3Dに印加する駆動電圧は逆極性となるため、図7では、-1と表現している。

[0039] 言い換えると、信号変換部11は、図7に示すように、デジタル信号ISの10進数における絶対値が0である場合には、駆動電圧のオフを示すn(本実施の形態では、 $n=4$)ビットのデータから成る信号(2進数で(0000))をビット列データ信号BSとして生成する。また、信号変換部11は、デジタル信号ISの10進数における絶対値が 2^{n-1} である場合には(本実施の形態では、 2^{4-1} である場合には)、駆動電圧のオンを示すnビットのデータ(本実施の形態では、4ビットのデータ)から成る信号をビット列データ信号BSとして生成する。

[0040] さらに、信号変換部11は、デジタル信号ISの10進数における絶対値が 2^{k-1} (k は、 $1 \leq k < n$ の整数)である場合には(本実施の形態では、 2^0 , 2^1 , 2^2 である場合には)、駆動電圧のオンを示すkビットのデータと、駆動電圧のオフを示す $n-k$ ビットのデータと、を組み合わせたnビットのデータから成る信号をビット列データ信号BSとして生成する。

[0041] より具体的には、信号変換部11は、図7に示すように、デジタル信号ISにおいて、値が1となるビット桁を検出する。さらに、信号変換部11は、検出されたビット桁よりも下位のビットの値を駆動電圧のオンを示す値とし、検出されたビット桁よりも上位のビットの値を駆動電圧のオフを示す値とする信号を、ビット列データ信号BSとして生成する。

[0042] 出力部 12 は、信号変換部 11 で変換されたビット列データ信号 BS の各ビットの値に従って圧電駆動部 10 における各圧電層 3A～3D に印加される駆動電圧を出力する。具体的には、出力部 12 は、電極層 4A～4E に個別に電圧信号を出力することにより、各圧電層 3A～3D に駆動電圧を印加する。駆動電圧の印加により、圧電層 3A～3D が振動し、圧電駆動部 10 がデジタル信号 IS に従った音を発生させる。

[0043] 次に、本実施の形態に係るスピーカシステム 1 における信号変換部 11 の動作について説明する。図 8 に示すように、まず、演算部 20 は、変数 k を 0 に設定し、ビット列データ信号 BS を 0 に設定する（ステップ S1）。

[0044] 続いて、演算部 20 は、デジタル信号 IS が 0 であるか否か判定する（ステップ S2）。ここで、デジタル信号が 0 であった場合（ステップ S2；Yes）、演算部 20 は、その時点におけるビット列データ信号 BS を出力部 12 に出力する（ステップ S5）。ここでは、ビット列データ信号 BS として“0000”が出力される。

[0045] 一方、デジタル信号 IS が 0 でなかった場合（ステップ S2；No）、演算部 20 は、デジタル信号 IS を右に 1 ビットシフトし（ステップ S3）、カウンタ値 k を 1 だけインクリメントする（ステップ S4）。

[0046] 以降、右にビットシフトしたデジタル信号 IS が 0 とならない限り（ステップ S2；No）、ステップ S2→S3→S4 が繰り返される。右にビットシフトしたデジタル信号 IS が 0 になると（ステップ S2；Yes）、演算部 20 は、k ビットが 1 である、即ち、k ビット目までが全て 1 であるビット列データ信号 BS を出力して（ステップ S5）、処理を終了する。

[0047] すなわち、このようにして、デジタル信号 IS からビット列データ信号 BS への変換が行われる。

[0048] 信号変換部 11 は、デジタル信号 IS が入力される度に、上述の変換処理を行って、ビット列データ信号 BS を出力部 12 に出力する。出力部 12 は、入力したビット列データ信号 BS に従って、各電極層 4A～4E に対して電圧信号を出力する。

[0049] 例えば、図9 Aに示すように、ビット列データ信号BSが2進数で(0001)である場合には、出力部12は、電極層4 Aを0 Vとし、電極層4 B～4 Eを+1.2 Vとする電圧信号を電極層4 A～4 Eに出力する。このようにすれば、圧電層3 Aの駆動電圧だけオンとなり、圧電層3 Aのみが伸びる。逆に圧電層3 Aのみ縮める場合には、電極層4 Aを0 Vとし、電極層4 B～4 Eを-1.2 Vとする電圧信号を電極層4 A～4 Eに出力すればよい。

[0050] また、図9 Bに示すように、ビット列データ信号BSが2進数で(0011)である場合には、出力部12は、電極層4 Bを+1.2 Vとし、電極層4 A, 4 C, 4 Eを0 Vとする電圧信号を電極層4 A～4 Eに出力する。また、図9 Cに示すように、ビット列データ信号BSが2進数で(0111)である場合には、出力部12は、電極層4 A, 4 Cを0 Vとし、電極層4 B, 4 D, 4 Eを+1.2 Vとする電圧信号を電極層4 A～4 Eに出力する。また、図9 Dに示すように、ビット列データ信号BSが2進数で(1111)である場合には、出力部12は、電極層4 A, 4 C, 4 Eを0 Vとし、電極層4 B, 4 Dを+1.2 Vとする電圧信号を電極層4 A～4 Eに出力する。なお、圧電層3 A～3 Dを縮める場合には、+1.2 Vを-1.2 Vとすればよい。

[0051] なお、ビット列データ信号BSが2進数で(0001)であった時の圧電層3 A～3 Dへの電圧信号の与え方は、図9 Aに示すものには限られない。例えば、図10 A～図10 Cに示すような電圧信号を電極層4 A～4 Eに与えるようにしてもよい。同様に、ビット列データ信号BSが2進数で(0011)であった時の圧電層3 A～3 Dへの電圧信号の与え方は、図9 Bに示すものには限られない。例えば、図11 A～図11 Cに示すような電圧信号を電極層4 A～4 Eに与えるようにしてもよい。また、ビット列データ信号BSが2進数で(0111)であった時の圧電層3 A～3 Dへの電圧信号の与え方は、図9 Cに示すものには限られない。例えば、図12 A～図12 Cに示すような電圧信号を電極層4 A～4 Eに与えるようにしてもよい。

[0052] 図1に示すように、出力部12は、スイッチング回路12Aと設定部12Bとを備える。スイッチング回路12Aは、ビット列データ信号BSを入力し、各電極層4A～4Eに出力信号を出力する。設定部12Bは、図9A～図12Cに示されるような電圧のパターンのうち、どのようなパターンで電圧信号を電極層4A～4Eに与えるかを設定する。設定部12Bは、デジタル信号ISの入力に先だって、駆動電圧のオンを示すデータのビット位置と駆動電圧のオフを示すデータのビット位置を、予め出力部12のスイッチング回路12Aに設定しておくことができる。ビット位置を事前に変更可能とすることによって、圧電駆動部10で発生する音の微調整が可能になる。

[0053] 以上詳細に説明したように、本実施の形態によれば、n層積層された圧電層3A～3Dを、圧電層3A～3Dが積層された方向に屈曲して変位させることで、nビットのデジタル信号ISを10進数化した重みに応じた屈曲変位を得ることができ、所望の音圧を発生することができる。よって、nビットのデジタル信号に対応する音を発生するのにビット桁に応じて積層された圧電積層構造体を並列配置及び積み重ねる必要がない。これにより、スピーカのさらなる小型化、軽量化、低消費電力化を実現することができる。

[0054] また、本実施の形態によれば、圧電層3A～3Dの積層数を少なくすることができるので、スピーカシステム1の製造コストを低減することができる。

[0055] 実施の形態2.

続いて、本発明の実施の形態2について説明する。

[0056] デジタル信号ISは、上記実施の形態1に係るものには限られない。例えば、図13に示されるようなビットパターンを有するものもある。4ビットのデジタル信号ISは、 -4 (-2^2) から $+4$ ($+2^2$) までの値をとる。図13に示すように、デジタル信号ISでは、 $+4$ は2進数で (0100) と表現される。同様にデジタル信号ISでは、 $+3$ は2進数で (0011) と表現され、 $+2$ は2進数で (0010) と表現され、 $+1$ は2進数で (0001) と表現され、 0 は2進数で (0000) と表現される。また、デジ

タル信号 I S で負の数は、正の数の 2 の補数となっており、最上位ビットが正負を表している。本実施の形態では、図 13 に示されるビットパターンを有するデジタル信号 I S を入力する場合について説明する。

[0057] 本実施の形態に係るスピーカシステム 1 では、信号変換部 11 のハードウェアは、図 6 に示すものと同じである。信号変換部 11 は、図 13 に示すようなビットパターンを有するデジタル信号 I S を、図 14 に示すビット列データ信号 B S に変換する。演算部 20 は、図 14 に示すテーブルに従って、+4、+3、+2、+1、0 を、それぞれ 2 進数で (1111)、(0111)、(0011)、(0001)、(0000) に変換する。さらに、演算部 20 は、その他の負の値を、対応する正の数の 2 の補数となるビット列データに変換する。

[0058] 言い換えると、本実施の形態では、信号変換部 11 は、デジタル信号 I S の 10 進数における絶対値が 0 である場合には、駆動電圧のオフを示す n (本実施の形態では、 $n=4$) ビットのデータから成る信号をビット列データ信号 B S として生成する。また、信号変換部 11 は、デジタル信号 I S の 2 進数における絶対値において値が 1 であるビット桁の重みに応じた数 m (m は、 $0 \leq m < n$ の整数) を求め、 m ビットを駆動電圧のオンを示す値とし、 $n-m$ ビットを駆動電圧のオフを示す値とする信号を、ビット列データ信号 B S として生成する。なお、ビット桁の重みとは、以下のように定義される。例えば、最下位ビットの重みを 1 ($=2^0$) としたときには、2 桁目のビットの重みは、2 ($=2^1$) となり、3 桁目、4 桁目のビットの重みは、 2^2 、 2^3 となる。すなわち、 n 桁目のビットの重みは、 2^n となる。

[0059] 信号変換部 11 の動作について説明する。図 15 に示すように、演算部 20 は、カウンタ値 j を 1 に設定し、変数 m を 0 に設定し、変数 a を 1 に設定し、ビット列データ信号 B S を 0 に設定する (ステップ S11)。

[0060] 続いて、演算部 20 は、デジタル信号 I S が 0 であるか否かを判定する (ステップ S12)。デジタル信号 I S が 0 である場合 (ステップ S12 ; Yes)、演算部 20 は、 n ビットのうち、 m ビットを 1 とし、 $n-m$ ビット

を0としたビット列データ信号BSを出力する（ステップS18）。すなわち、デジタル信号ISが（0000）に対応するビット列データ信号BS（0000）を出力する。

[0061] デジタル信号ISが0でない場合（ステップS12；No）、演算部20は、デジタル信号IS[j]が1であるか否かを判定する（ステップS13）。ここで、デジタル信号IS[j]は、デジタル信号ISのj桁目（jは、 $1 \leq j \leq n$ の整数）である。デジタル信号IS[j]が1である場合にのみ（ステップS13；Yes）、演算部20は、変数mに変数aを加算する値を変数mに代入する（ステップS14）。

[0062] 続いて、演算部20は、カウンタ値jを1だけインクリメントし（ステップS15）、変数aに2を乗算した値を変数aに代入する（ステップS16）。続いて、演算部20は、カウンタ値jがnであるか否かを判定する（ステップS17）。以降、ステップS17でカウンタ値jがnとならない限り（ステップS17；No）、ステップS13→S15→S16→S17又はステップS13→S14→S15→S16→S17が繰り返される。

[0063] カウンタ値jがnとなった場合（ステップS17；Yes）、演算部20は、nビットのうち、mビットが1である、即ち、mビット目までが全て1であるビット列データ信号BSを出力する（ステップS18）。

[0064] 信号変換部11は、デジタル信号ISが入力される度に、上述の変換処理を行って、ビット列データ信号BSを出力部12に出力する。出力部12は、入力したビット列データ信号BSに従って、各電極層4A～4Eに対して電圧信号を出力する。

[0065] なお、デジタル信号ISの各ビット桁の重みは、4ビットの場合、例えば、1番目（最下位ビット）～4番目（最上位ビット）の重みが、 $2^0 (=1)$ 、 $2^1 (=2)$ 、 $2^2 (=4)$ 、 $2^3 (=8)$ となる。この場合、 $1+2+4+8=15$ ビットのビット列データを準備し、値が1であるビット桁の重み分だけビット列データを右シフトしたデータを、ビット列データ信号BSとして出力するようにしてもよい。

[0066] 実施の形態 3.

次に、本発明の実施の形態 3 について説明する。

[0067] 本実施の形態では、4 ビットのデジタル信号 I_S は、 $-4 (-2^2) \sim +4 (+2^2)$ までの値をとる。図 16 に示すように、デジタル信号 I_S では、 $+4$ は 2 進数で (0 1 0 0) と表現されている。同様にデジタル信号 I_S では、 $+2$ は 2 進数で (0 0 1 0) と表現され、 $+1$ は 2 進数で (0 0 0 1) と表現され、 0 は 2 進数で (0 0 0 0) と表現される。また、デジタル信号 I_S で負の数は、正の数の 2 の補数となっており、最上位ビットが正負を表している。本実施の形態では、図 16 に示されるビットパターンを有するデジタル信号 I_S を入力する場合について説明する。

[0068] 本実施の形態に係るスピーカシステム 1 では、信号変換部 11 のハードウェアは、図 6 に示すものと同じである。信号変換部 11 は、図 16 に示すようなビットパターンを有するデジタル信号 I_S を、図 17 に示すビット列データ信号 B_S に変換する。演算部 20 は、図 17 のテーブルに示すように、演算部 20 は、 $+4$ 、 $+2$ 、 $+1$ 、 0 を、それぞれ 2 進数で (1 1 1 1)，(0 0 1 1)，(0 0 0 1)，(0 0 0 0) に変換し、その他の負の値は、対応する正の数の 2 の補数となるビット列データに変換する。

[0069] 信号変換部 11 は、デジタル信号 I_S の 10 進数における絶対値が 0 である場合には、駆動電圧のオフを示す n ビットのデータから成る信号をビット列データ信号 B_S として生成する。また、信号変換部 11 は、デジタル信号 I_S の 10 進数における絶対値が 2^{n-2} である場合には、駆動電圧のオンを示す n ビットのデータから成る信号をビット列データ信号 B_S として生成する。

[0070] 信号変換部 11 は、デジタル信号 I_S の 10 進数における絶対値が 2^{k-1} (k は、 $1 \leq k < n-1$ の整数) である場合には、デジタル信号 I_S の 2 進数における絶対値において値が 1 であるビット桁の重みに応じた数 m を求め、 m ビットの値を駆動電圧のオンを示す値とし、 $n-m$ ビットの値を駆動電圧のオフを示す値とする信号を、ビット列データ信号 B_S として生成する。

- [0071] 次に、本実施の形態に係るスピーカシステム 1 における信号変換部 11 の動作について説明する。図 18 に示すように、まず、演算部 20 は、変数 m を 0 に設定し、ビット列データ信号 BS を 0 に設定する（ステップ S 21）。
- [0072] 続いて、演算部 20 は、デジタル信号 IS が 0 であるか否か判定する（ステップ S 22）。ここで、デジタル信号が 0 であった場合（ステップ S 22 ; Yes）、演算部 20 は、その時点におけるビット列データ信号 BS (0000) を出力部 12 に出力する（ステップ S 27）。
- [0073] デジタル信号 IS が 0 でなかった場合（ステップ S 22 ; No）、演算部 20 は、デジタル信号 IS を右に 1 ビットシフトする（ステップ S 23）。さらに、演算部 20 は、変数 m に 1 を加算して変数 m に代入し（ステップ S 24）、変数 m が $n-1$ と等しいか否か判定する（ステップ S 25）。変数 m が $n-1$ と同じである場合（ステップ S 25 ; Yes）、つまり、本実施の形態では $n=4$ なので、変数 m が $n-1=3$ と同じである場合、演算部 20 は、変数 m に 1 を加算して変数 m に代入する（ステップ S 26）。一方、変数 m が $n-1$ と同じでない場合には（ステップ S 25 ; No）、ステップ S 26 をスキップする。
- [0074] 以降、右にビットシフトしたデジタル信号 IS が 0 とならない間（ステップ S 22 ; No）、ステップ S 22 → S 23 → S 24 → S 25 → S 26 が繰り返される。右にビットシフトしたデジタル信号 IS が 0 になると（ステップ S 22 ; Yes）、演算部 20 は、その時点での m ビットが 1 で、 $n-m$ ビットが 0 であるビット列データ信号 BS を出力して（ステップ S 27）、処理を終了する。
- [0075] すなわち、このようにして、デジタル信号 IS からビット列データ信号 BS への変換が行われる。
- [0076] 信号変換部 11 は、デジタル信号 IS が入力される度に、上述の変換処理を行って、ビット列データ信号 BS を出力部 12 に出力する。出力部 12 は、入力したビット列データ信号 BS に従って、各電極層 4A ~ 4E に対して

電圧信号を出力する。

[0077] なお、上記各実施の形態では、デジタル信号 I S をビット列データ信号 B S に変換するのに、2 進数のビット演算を用いたが、本発明はこれには限られない。図 7、図 14 及び図 17 に示すような変換テーブルを、信号変換部 11 に保持しておき、その変換テーブルを参照して（入力したデジタル信号 I S に対応するビット列データ信号 B S）、信号変換を行うようにしてもよい。このようにすれば、ビット演算を行う必要がなくなるので、変換に要する時間をさらに短縮することができる。

[0078] 信号変換部 11 は、デジタル信号 I S が入力される度に、上述の変換処理を行って、ビット列データ信号 B S を出力部 12 に出力する。出力部 12 は、入力したビット列データ信号 B S に従って、図 9 A～図 12 C に示すパターンで、各電極層 4 A～4 E に対して電圧信号を出力する。

[0079] なお、上記実施の形態では、デジタル信号を 4 ビットのデジタル信号とし、圧電層の積層数を 4 としたが、本発明はこれには限られない。例えば、8 ビット、16 ビットなどとすることができる。デジタル信号のビット数及び圧電層の積層数は n （ n は、2 以上の自然数）とすることができる。

[0080] 上述した信号変換部 11 における演算処理は、いずれもデジタル信号 I S を 10 進数に変換することなく、ビット列データ信号 B S に変換するものであり、演算時間の短縮が可能となる。

[0081] 信号変換部 11 の演算処理も上記実施の形態に係るものには限られない。ビット列データ信号 B S の各ビットの初期値を 1 とし、デジタル信号 I S の値に応じて 0 を右シフトすることにより、ビット列データ信号 B S を求めるようにしてもよい。

[0082] 信号変換部 11 の演算処理は、例えば、ソフトウェアでなく、特殊用途の論理装置（例えば、ASIC（Application Specific Integrated Circuit））と設定可能な論理装置（例えば、SPLD（Simple Programmable Logic Device）、CPLD（Complex Programmable L

logic Device))、およびFPGA (Field Programmable Gate Array) 等を用いて実現されるようにしてもよい。

[0083] また、上述した実施の形態では、圧電層3Aに形成された電極層4Eの全面に基板2が積層されることで、各圧電層3A～3Dは、その両端で2点支持された状態（両端の固定点で固定された状態）となったが、これに限られるものではない。一般的な呼称「ユニモルフアクチュエータ」や「バイモルフアクチュエータ」に広く適用される支持方法、即ち、基板2が積層される領域を上述した実施の形態と異ならせることで、図19Aに示すような2点支持、或いは、図19Cに示すような1点支持を、圧電駆動部10で実現してもよい。なお、この2点支持は、オフセットして積層された基板2の両端で各圧電層3A～3Dを支持する方法であり、1点支持は、基板2の中央部分で各圧電層3A～3Dを支持する方法である。

[0084] 例えば図19Aに示すように、圧電駆動部10の端部から内側にオフセットした2点で各圧電層3A～3Dを支持する場合には、図19Bに示すように、電極層4Eの端部から内側にオフセットした領域に基板2を積層すればよい。また、図19Cに示すように、各圧電層3A～3Dを1点で支持する場合には、図19Dに示すように、電極層4Eの例えば中央部分に基板2を積層すればよい。

[0085] また、本実施の形態では、隣接する圧電層の極性が逆となるように、圧電層3A～3Dを配置した。しかしながら、本発明はこれには限られない。圧電層3A～3Dの極性を同じにして、電極層4A, 4B, 4C, 4D, 4Eに、それぞれ0V, +1.2V, +2.4V, +3.6V, +4.8Vといったように、段階的に一定間隔で増加あるいは減少する駆動電圧を印加することにより、圧電層3A～3Dを駆動するようにしてもよい。

[0086] この発明は、この発明の広義の精神と範囲を逸脱することなく、様々な実施の形態及び変形が可能とされるものである。また、上述した実施の形態は、この発明を説明するためのものであり、この発明の範囲を限定するもので

はない。すなわち、この発明の範囲は、実施の形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、この発明の範囲内とみなされる。

[0087] なお、本願については、2016年4月15日に出願された日本国特許出願2016-82490号を基礎とする優先権を主張し、本明細書中に日本国特許出願2016-82490号の明細書、特許請求の範囲、図面全体を参照として取り込むものとする。

産業上の利用可能性

[0088] 本発明は、小型化が必要なイヤホンや車載される小型スピーカ等に適用することができる。

符号の説明

[0089] 1 スピーカシステム、2 基板、3 A, 3 B, 3 C, 3 D 圧電層、4 A, 4 B, 4 C, 4 D, 4 E 電極層、5 A, 5 B, 5 C, 5 D バンプ、7 ゴム、10 圧電駆動部、11 信号変換部、12 出力部、12 A スイッチング回路、12 B 設定部、20 演算部、21 記憶部、22 I/O部、23 内部バス、BS ビット列データ信号、IS デジタル信号

請求の範囲

[請求項1] 電極層を挟んで n (n は、2 以上の整数) 層の圧電層が積層され、最下層の圧電層の下部及び最上層の圧電層の上部に電極層が更に形成された、前記圧電層が積層された方向に屈曲して変位する圧電駆動部と、

n ビットのデジタル信号を、前記電極層を介して前記各圧電層に印加される駆動電圧のオンオフを示すビットデータより成る n ビットのビット列データ信号に変換する信号変換部と、

前記信号変換部で変換されたビット列データ信号の各ビットの値に従って、前記各圧電層に印加される駆動電圧を出力する出力部と、

を備えるスピーカシステム。

[請求項2] 前記信号変換部は、

前記デジタル信号の 10 進数における絶対値が 0 である場合には、駆動電圧のオフを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の 10 進数における絶対値が 2^{n-1} である場合には、駆動電圧のオンを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の 10 進数における絶対値が 2^{k-1} (k は、 $1 \leq k < n$ の整数) である場合には、駆動電圧のオンを示す k ビットのデータと、駆動電圧のオフを示す $n - k$ ビットのデータと、を組み合わせる n ビットのデータから成る信号を前記ビット列データ信号として生成する、

請求項 1 に記載のスピーカシステム。

[請求項3] 前記信号変換部は、

前記デジタル信号において、値が 1 となるビット桁を検出し、

検出されたビット桁よりも下位のビットの値を駆動電圧のオンを示す値とし、検出されたビット桁よりも上位のビットの値を駆動電圧の

オフを示す値とする信号を、前記ビット列データ信号として生成する、

請求項 2 に記載のスピーカシステム。

[請求項 4]

前記信号変換部は、

前記デジタル信号の 10 進数における絶対値が 0 である場合には、駆動電圧のオフを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の 10 進数における絶対値が n である場合には、駆動電圧のオンを示す n ビットのデータから成る信号を前記ビット列データ信号として生成し、

前記デジタル信号の 2 進数における絶対値において、値が 1 であるビット桁の重みを累積加算した値を m (m は、 $0 \leq m < n$ の整数) としたときに、 m ビットのビットデータを駆動電圧のオンを示す値とし、 $n - m$ ビットのビットデータを駆動電圧のオフを示す値とした n ビットのデータから成る信号を前記ビット列データ信号として生成する、

請求項 1 に記載のスピーカシステム。

[請求項 5]

前記信号変換部は、

前記デジタル信号の 2 進数における絶対値において値が 1 であるビット桁の重みに応じた数 m を求め、 m ビットの値を駆動電圧のオンを示す値とし、 $n - m$ ビットの値を駆動電圧のオフを示す値とする信号を、前記ビット列データ信号として生成する、

請求項 4 に記載のスピーカシステム。

[請求項 6]

前記信号変換部は、

前記デジタル信号の 10 進数における絶対値が 2^{k-1} (k は、 $1 \leq k < n$ の整数) である場合に、前記デジタル信号の 2 進数における絶対値において値が 1 であるビット桁の重みに応じた数 m を求め、 m ビットの値を駆動電圧のオンを示す値とし、 $n - m$ ビットの値を駆動電

圧のオフを示す値とする信号を、前記ビット列データ信号として生成する、

請求項 4 に記載のスピーカシステム。

[請求項 7]

前記信号変換部は、

前記デジタル信号の入力に先立って、

前記ビット列データ信号における、駆動電圧のオンを示すビットの位置と、駆動電圧のオフを示すビットの位置とを設定する設定部を備える、

請求項 1 から 6 のいずれか一項に記載のスピーカシステム。

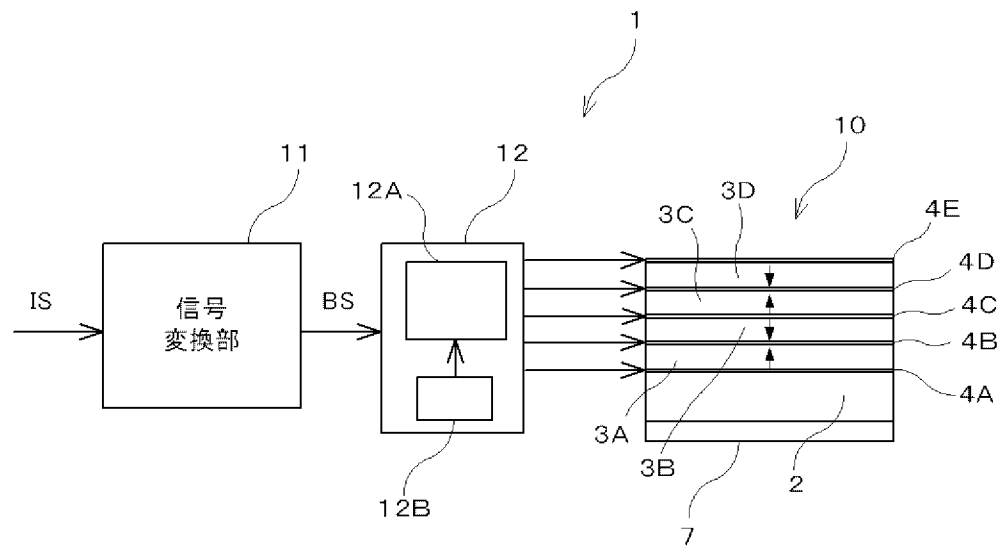
[請求項 8]

前記出力部は、

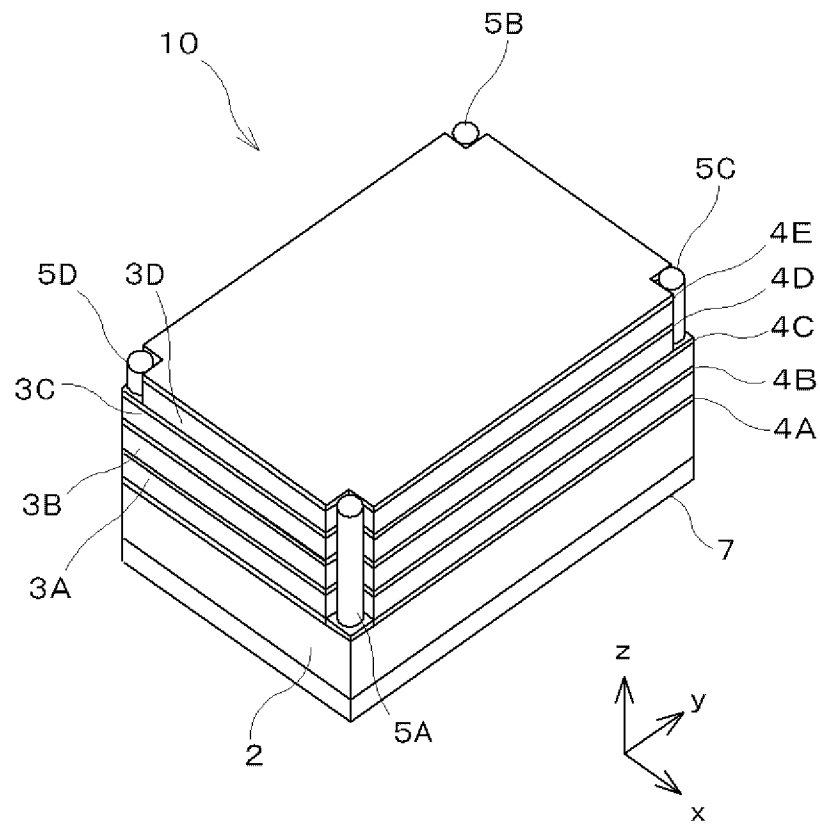
前記デジタル信号の 10 進数における値が負である場合には、正である場合とは逆極性の駆動電圧を前記各圧電層に印加する、

請求項 1 から 7 のいずれか一項に記載のスピーカシステム。

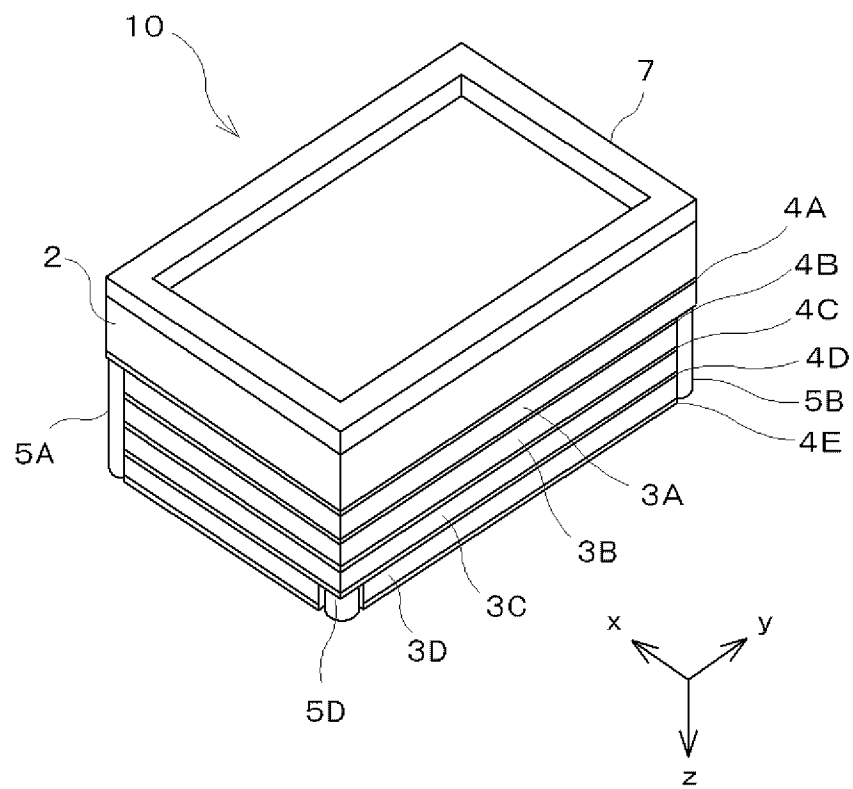
[図1]



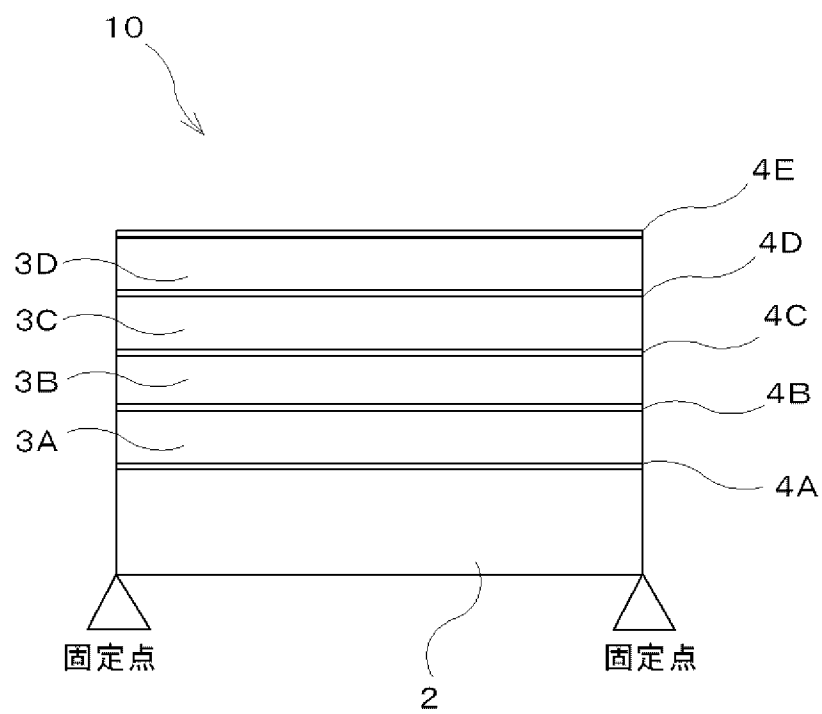
[図2A]



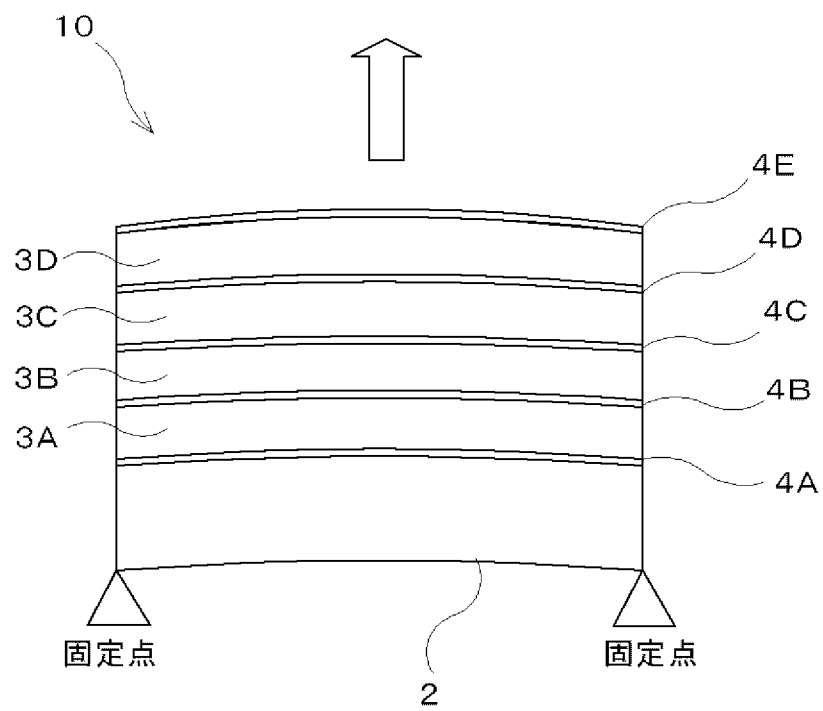
[図2B]



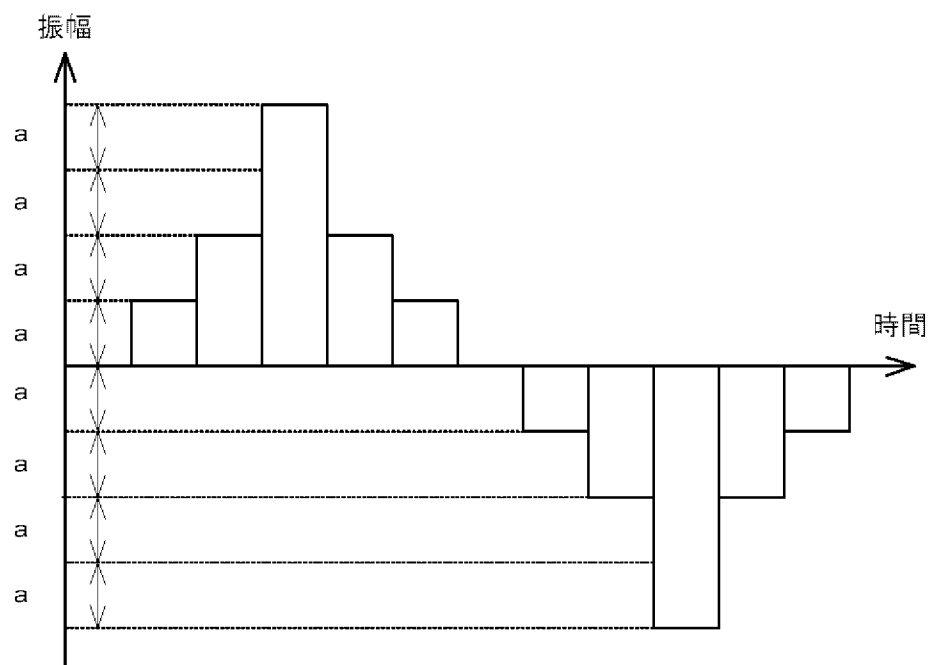
[図3A]



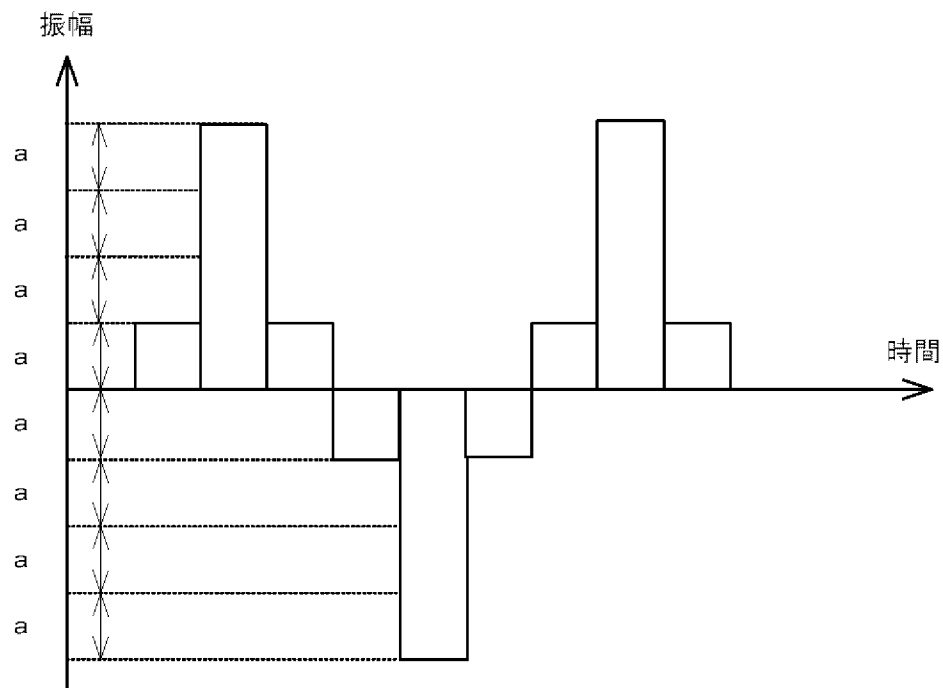
[図3B]



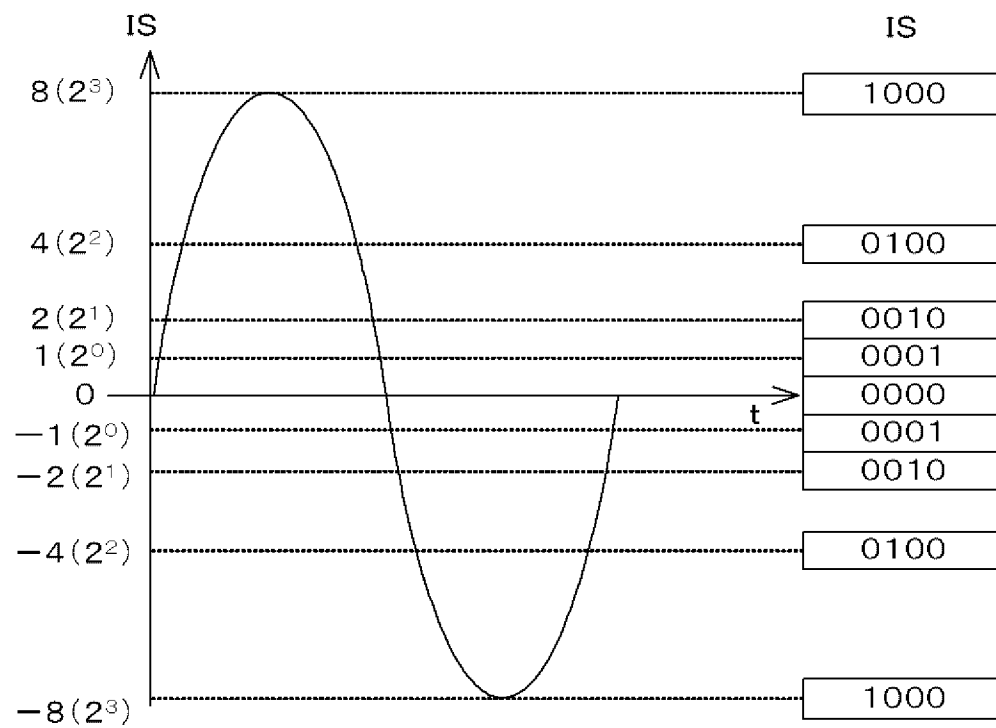
[図4A]



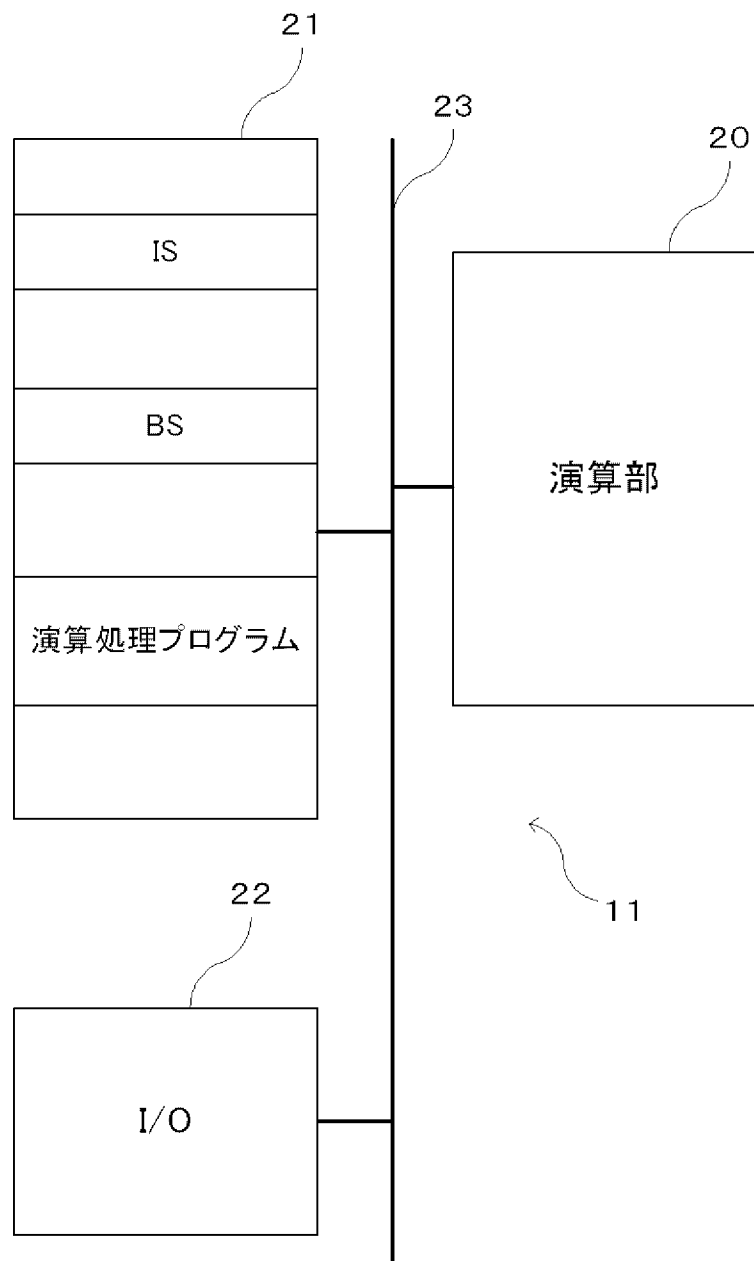
[図4B]



[図5]



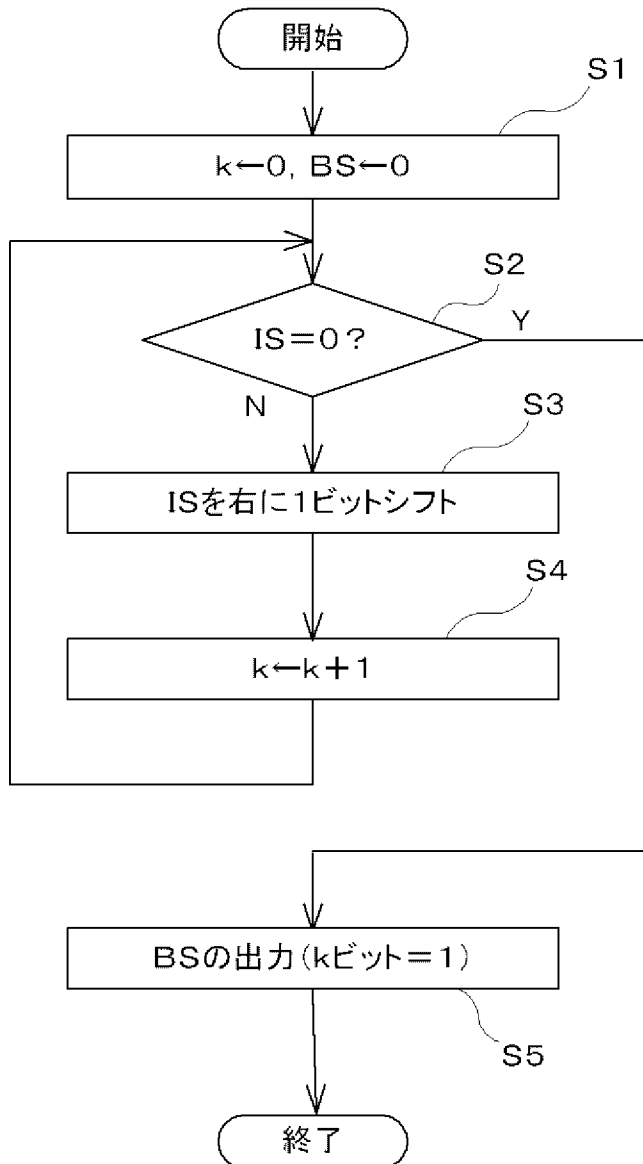
[図6]



[図7]

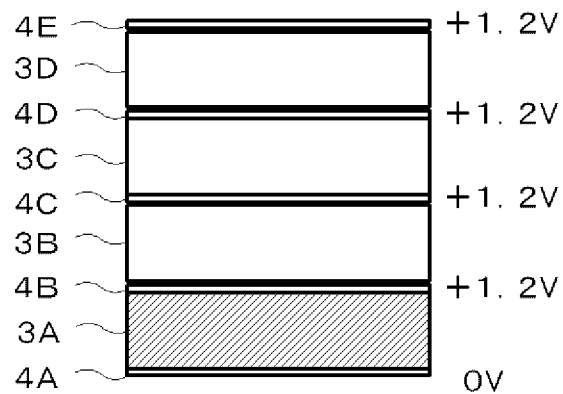
IS		BS			
10進数	2進数	3D	3C	3B	3A
2^3	(+)1000	1	1	1	1
2^2	(+)0100	0	1	1	1
2^1	(+)0010	0	0	1	1
2^0	(+)0001	0	0	0	1
0	0000	0	0	0	0
-2^0	(-)0001	0	0	0	-1
-2^1	(-)0010	0	0	-1	-1
-2^2	(-)0100	0	-1	-1	-1
-2^3	(-)1000	-1	-1	-1	-1

[図8]



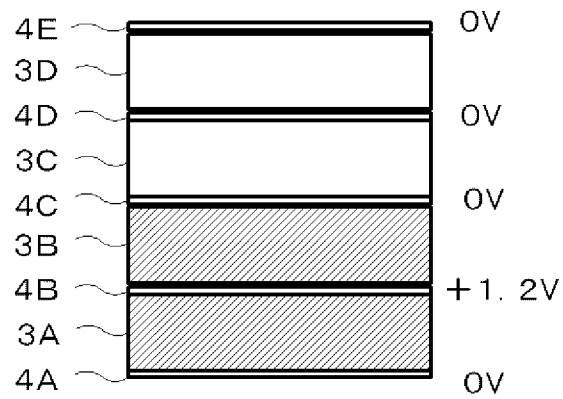
[図9A]

BS(0001)



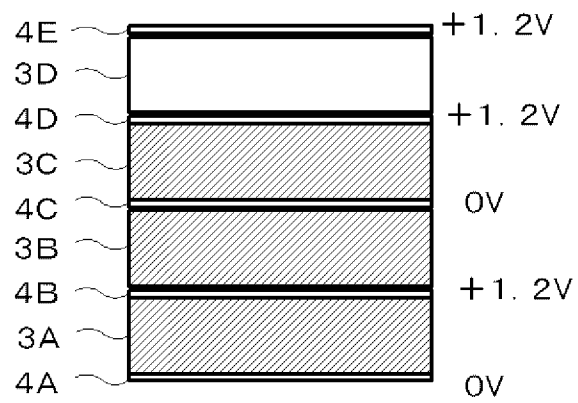
[図9B]

BS(0011)



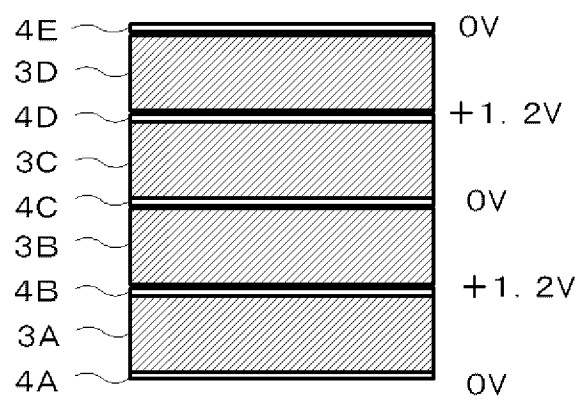
[図9C]

BS(0111)

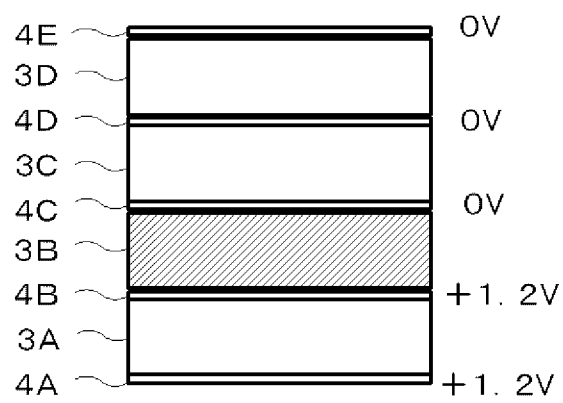


[図9D]

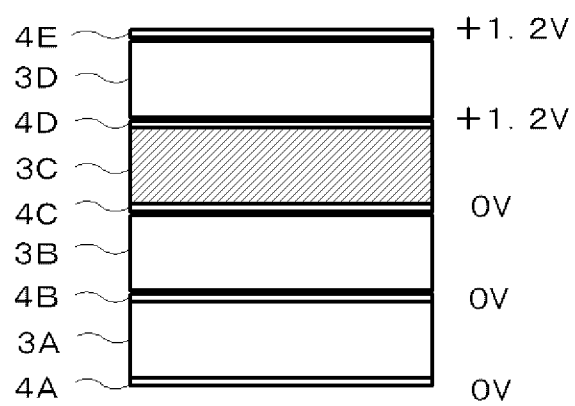
BS(1111)



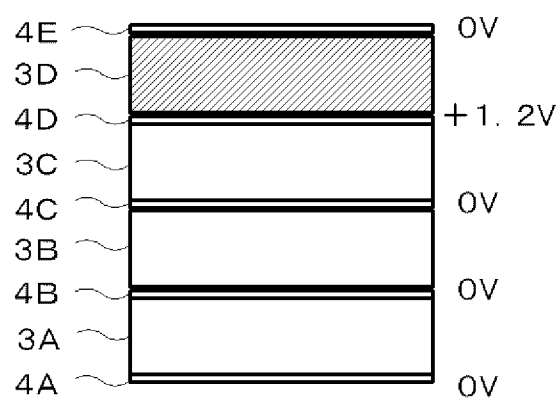
[図10A]



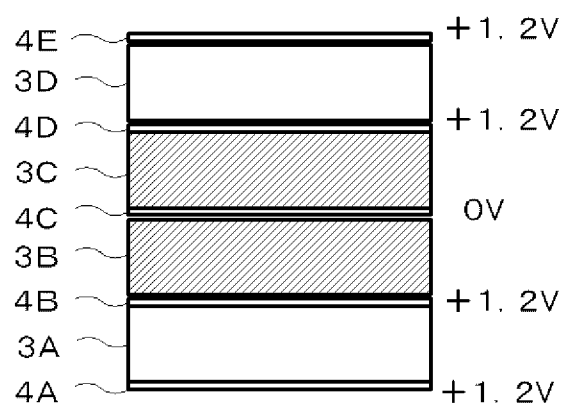
[図10B]



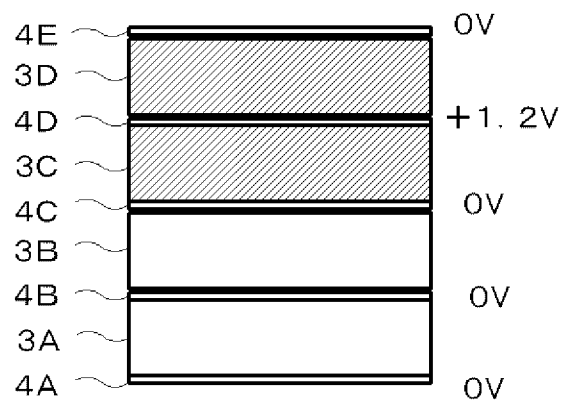
[図10C]



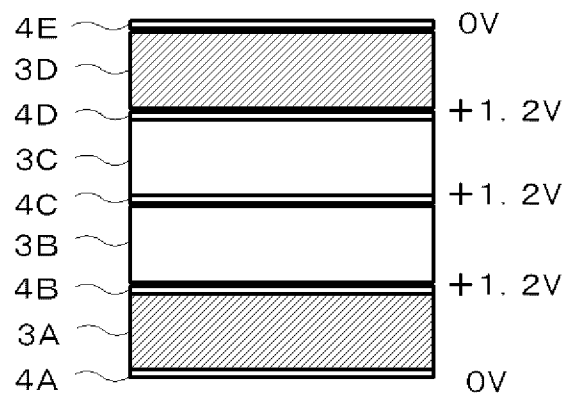
[図11A]



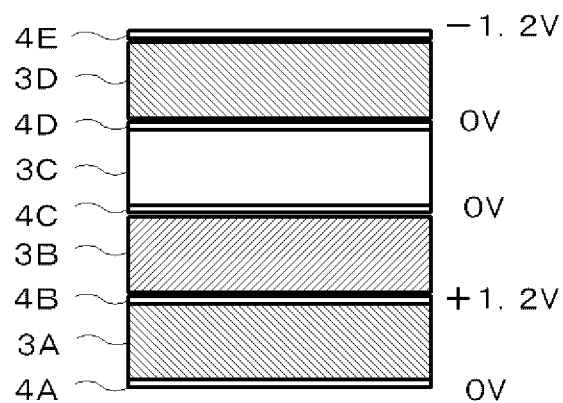
[図11B]



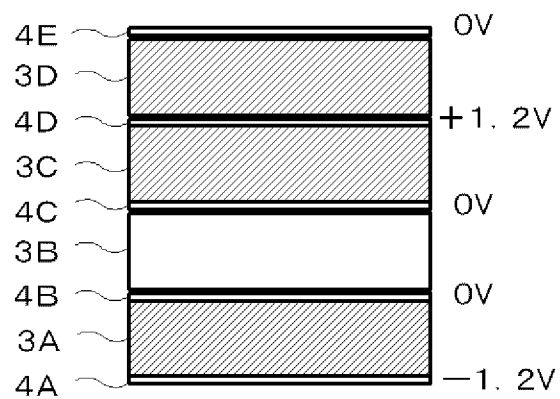
[図11C]



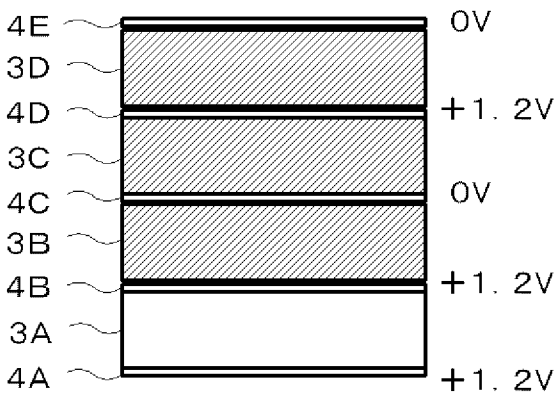
[図12A]



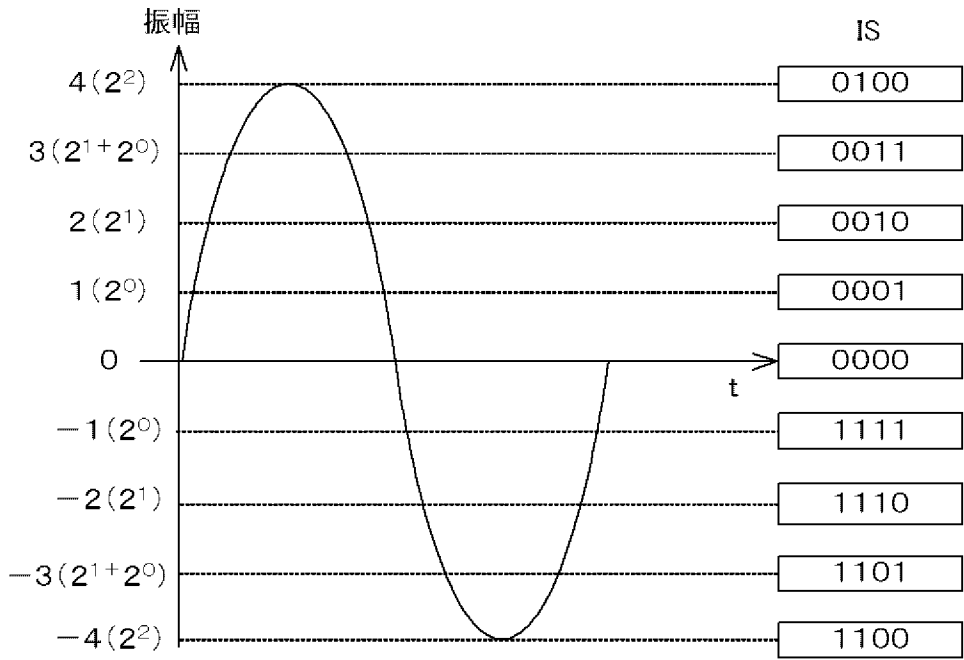
[図12B]



[図12C]



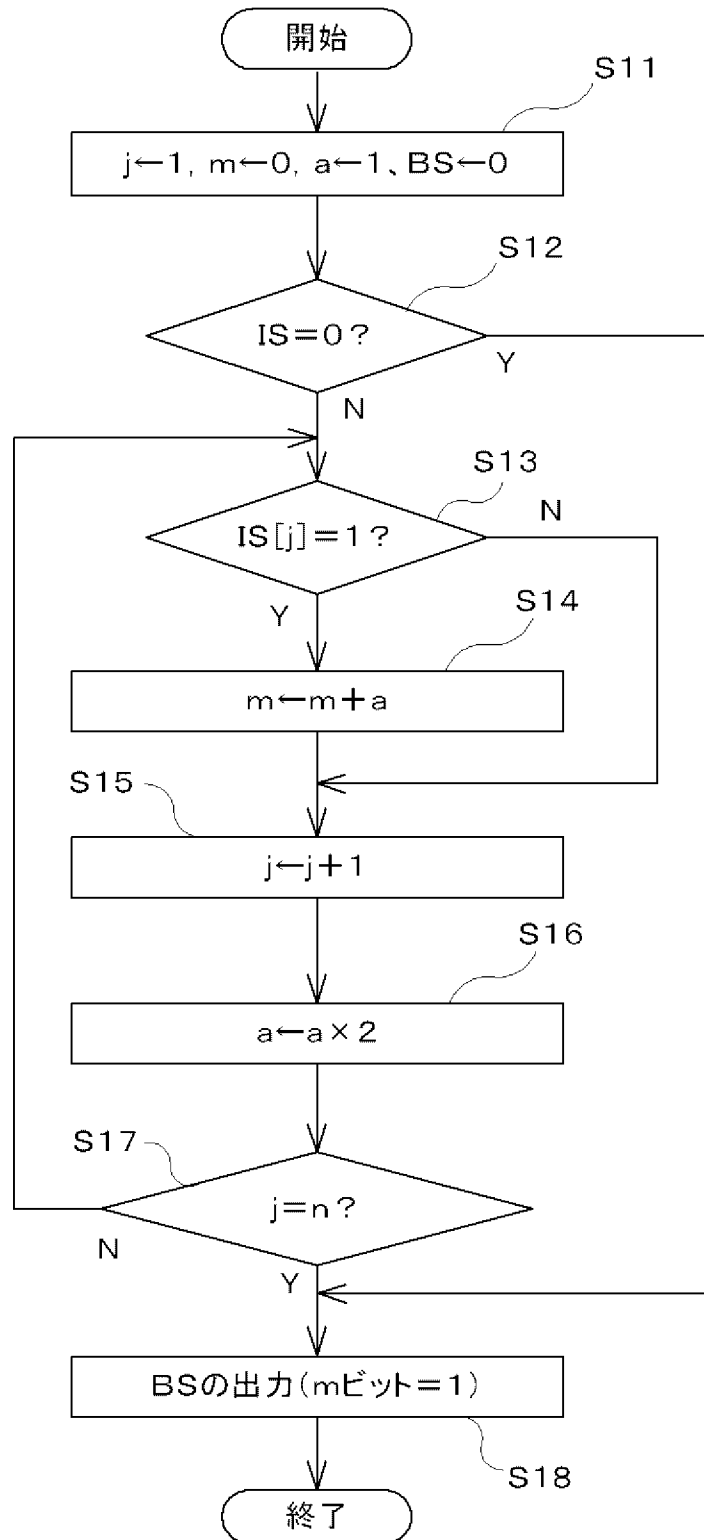
[図13]



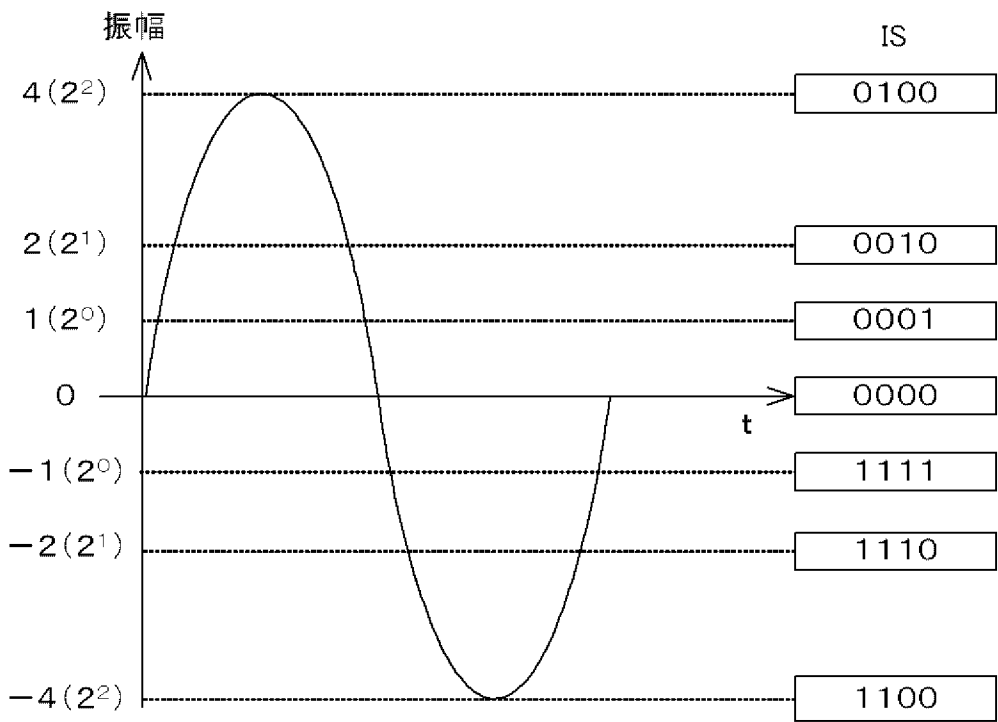
[図14]

IS		BS			
10進数	2進数	3D	3C	3B	3A
4	0100	1	1	1	1
3	0011	0	1	1	1
2	0010	0	0	1	1
1	0001	0	0	0	1
0	0000	0	0	0	0
-1	1111	0	0	0	-1
-2	1110	0	0	-1	-1
-3	1101	0	-1	-1	-1
-4	1100	-1	-1	-1	-1

[図15]



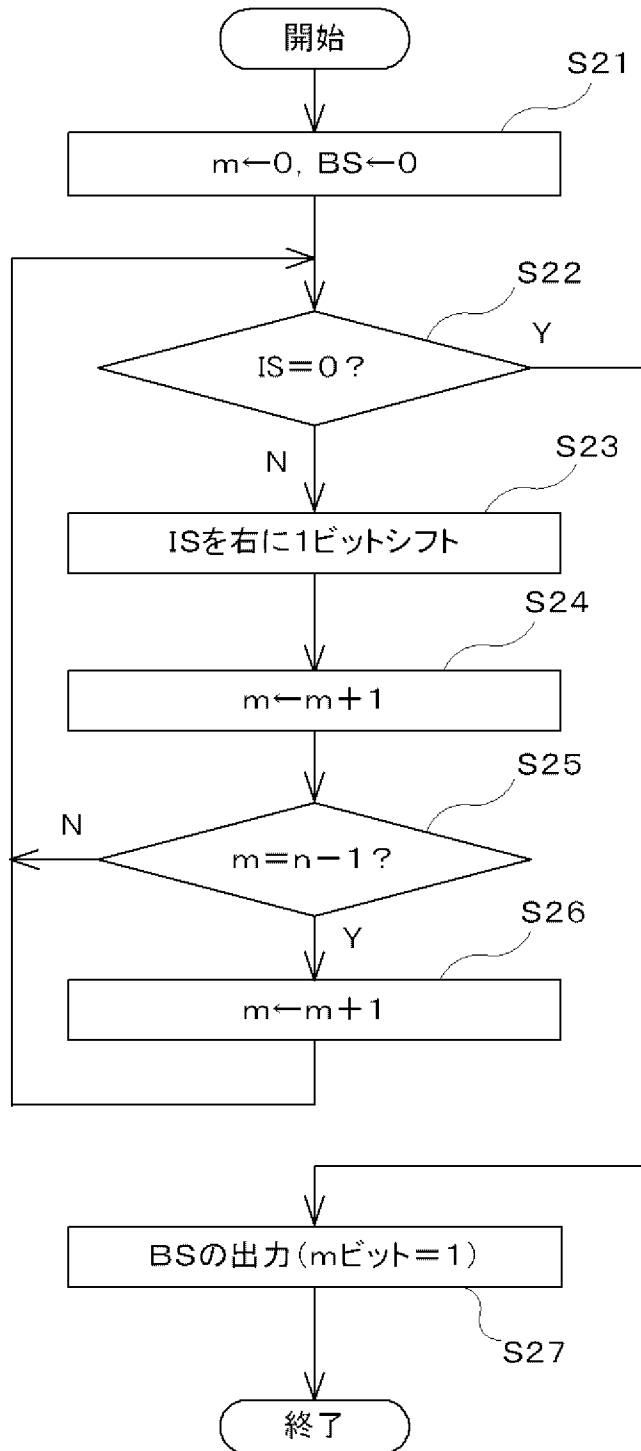
[図16]



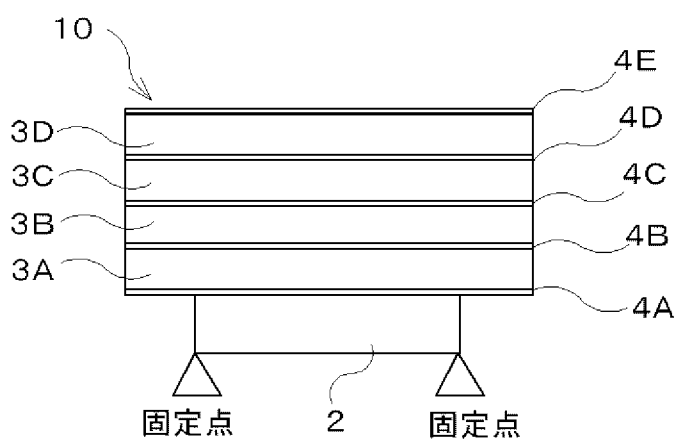
[図17]

IS		BS			
10進数	2進数	3D	3C	3B	3A
4	0100	1	1	1	1
2	0010	0	0	1	1
1	0001	0	0	0	1
0	0000	0	0	0	0
-1	1111	0	0	0	-1
-2	1110	0	0	-1	-1
-4	1100	-1	-1	-1	-1

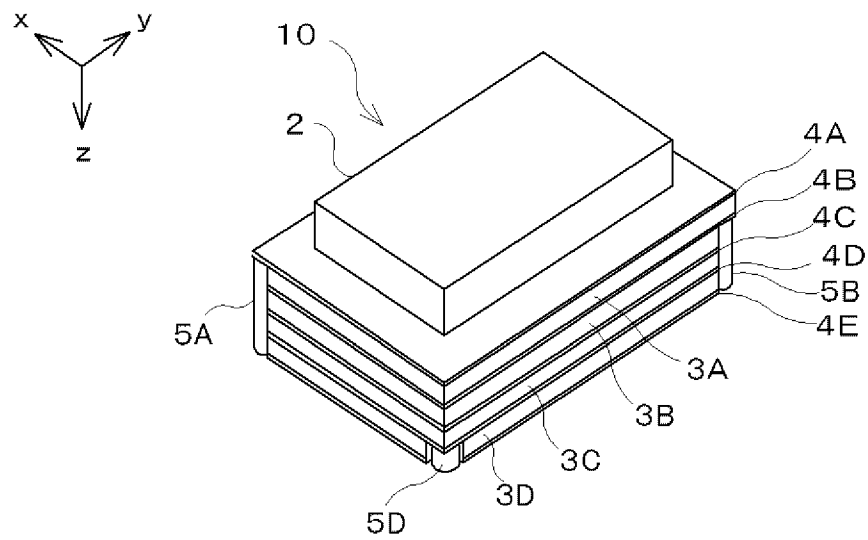
[図18]



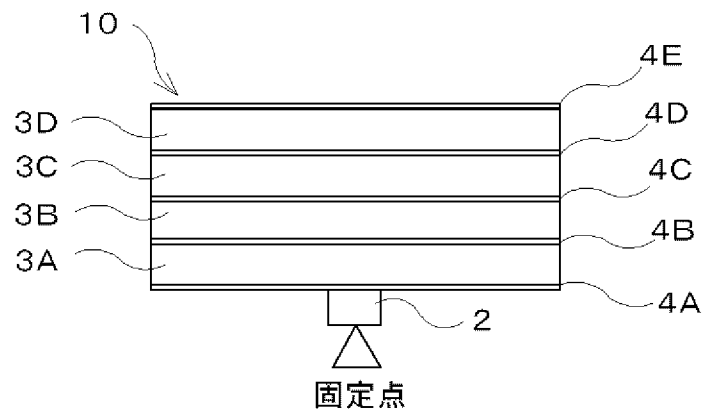
[図19A]



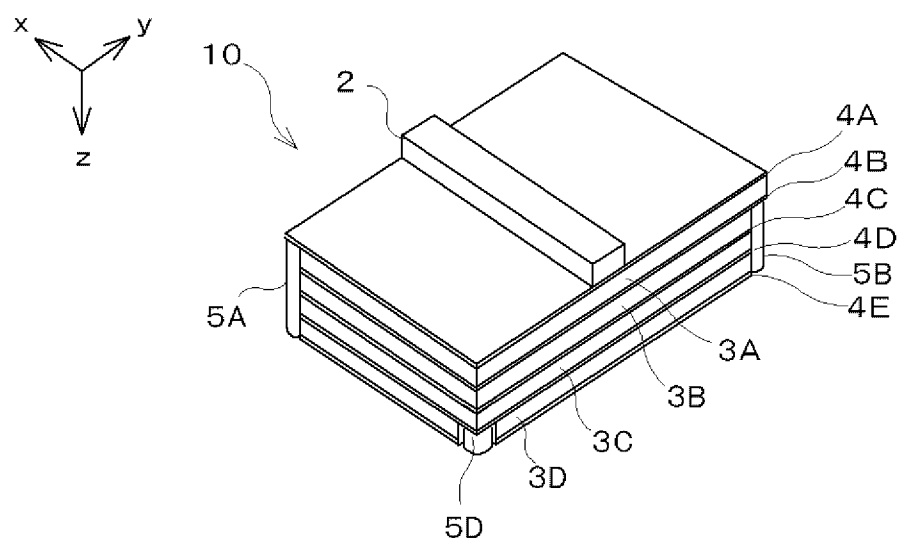
[図19B]



[図19C]



[図19D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014968

A. CLASSIFICATION OF SUBJECT MATTER

H04R17/00(2006.01) i, H04R3/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04R17/00, H04R3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-211725 A (Trigence Semiconductor, Inc.), 20 October 2011 (20.10.2011), paragraphs [0063] to [0084]; fig. 5, 11, 14 & JP 2009-71872 A & JP 2009-147928 A & JP 4707742 B2 & JP 2012-90294 A & JP 2013-179706 A & JP 2014-168293 A & JP 2015-146612 A & US 2009/0110217 A1 paragraphs [0097] to [0118]; fig. 5, 11, 14 & US 2013/0156231 A1 & US 2016/0205471 A1 & WO 2007/135928 A1 & KR 10-2009-0018026 A & CN 101542909 A	1-7 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 May 2017 (15.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014968

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 58-202697 A (Hitachi, Ltd.), 25 November 1983 (25.11.1983), page 2, upper left column, line 10 to page 2, lower left column, line 5 (Family: none)	8
A	JP 2015-029313 A (Trigence Semiconductor, Inc.), 12 February 2015 (12.02.2015), entire text; all drawings & JP 2014-53953 A & JP 5748657 B2 & US 2011/0160883 A1 entire text; all drawings & US 2015/0310024 A1 & WO 2011/074341 A1 & EP 2515555 A1 & EP 3035707 A1 & CN 102239706 A & KR 10-2012-0101186 A & CN 103096217 A & CN 106375909 A	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04R17/00(2006.01)i, H04R3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04R17/00, H04R3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-211725 A (株式会社 Trigen ce Semicon ductor) 2011.10.20, 段落 [0063] - [0084], 図5, 11, 14 & JP 2009-71872 A & JP 2009-147928 A & JP 4707742 B2 & JP 2012-90294 A & JP 2013-179706 A & JP 2014-168293 A & JP 2015-146612 A & US 2009/0110217 A1, 段落 [0097] - [0118], 図5, 11, 14 & US 2013/0156231 A1 & US 2016/0205471 A1 & WO 2007/135928 A1 & KR 10-2009-0018026 A & CN 101542909 A	1-7 8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

15.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀 洋介

5Z

3996

電話番号 03-3581-1101 内線 3591

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 58-202697 A (株式会社日立製作所) 1983. 11. 25, 第 2 頁左上欄第 1 0 行ー第 2 頁左下欄第 5 行 (ファミリーなし)	8
A	JP 2015-029313 A (株式会社 Trigen ce S e m i c o n d u c t o r) 2015. 02. 12, 全文, 全図 & JP 2014-53953 A & JP 5748657 B2 & US 2011/0160883 A1, 全文, 全図 & US 2015/0310024 A1 & WO 2011/074341 A1 & EP 2515555 A1 & EP 3035707 A1 & CN 102239706 A & KR 10-2012-0101186 A & CN 103096217 A & CN 106375909 A	1-8