

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3894305号
(P3894305)

(45) 発行日 平成19年3月22日(2007.3.22)

(24) 登録日 平成18年12月22日(2006.12.22)

(51) Int. Cl.

F I

H03F 3/217 (2006.01)

H03F 3/217

H03F 3/30 (2006.01)

H03F 3/30

H03K 17/16 (2006.01)

H03K 17/16

F

H03K 17/695 (2006.01)

H03K 17/687

B

請求項の数 15 (全 17 頁)

(21) 出願番号 特願2002-162437 (P2002-162437)
 (22) 出願日 平成14年6月4日(2002.6.4)
 (65) 公開番号 特開2003-218647 (P2003-218647A)
 (43) 公開日 平成15年7月31日(2003.7.31)
 審査請求日 平成17年4月18日(2005.4.18)
 (31) 優先権主張番号 特願2001-352922 (P2001-352922)
 (32) 優先日 平成13年11月19日(2001.11.19)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100091546
 弁理士 佐藤 正美
 (72) 発明者 増田 稔彦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 大栗 一敦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 伏本 正典

最終頁に続く

(54) 【発明の名称】 パワーアンプ

(57) 【特許請求の範囲】

【請求項1】

入力信号のレベルを示す第1のパルス変調信号(+PA)と、上記入力信号のレベルの補数を示す第2のパルス変調信号(+PB)をレベル反転して得られる第2の反転パルス変調信号(-PB)とを、第1のパルス信号として基準周期ごとに交互に出力するとともに、上記第2のパルス変調信号(+PB)と、上記第1のパルス変調信号をレベル反転して得られる第1の反転パルス変調信号(-PA)とを、第2のパルス信号として上記基準周期ごとに交互に出力するパルス変調手段と、

スイッチング素子を含み、上記パルス変調手段からの上記第1のパルス信号にしたがってスイッチング出力を供給する第1の出力回路と、

スイッチング素子を含み、上記パルス変調手段からの上記第2のパルス信号にしたがってスイッチング出力を供給する第2の出力回路とを備え、

上記パルス変調手段は、

上記入力信号を、上記基準周期ごとにそのレベルを示す第1のパルス変調信号に変換して出力する第1のパルス変調回路と、

上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第2のパルス変調信号に変換して出力する第2のパルス変調回路と、

上記第1のパルス変調回路からの出力を、レベル反転して第1の反転パルス変調信号を出力する第1の反転回路と、

10

20

上記第 2 のパルス変調回路からの出力を、レベル反転して第 2 の反転パルス変調信号を出力する第 2 の反転回路と、

上記第 1 のパルス変調信号と、上記第 2 の反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記第 1 のパルス信号を出力する第 1 の選択回路と、

上記第 2 のパルス変調信号と、上記第 1 の反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記第 2 のパルス信号を出力する第 2 の選択回路と

を備え、

上記第 1 の出力回路の出力端と、上記第 2 の出力回路の出力端との間に、負荷が接続される

ことを特徴とするパワーアンプ。

10

【請求項 2】

請求項 1 に記載のパワーアンプにおいて、

上記パルス変調手段は、

上記入力信号のレベルに対応付けて、少なくともそのレベルを示す第 1 のパルス波形データを格納されるメモリと、

上記メモリからの読み出しを制御する制御回路と

を備え、

上記制御回路は、上記メモリからの読み出しを上記基準周期ごとに変更して、上記第 1 および第 2 のパルス信号を出力させる

ことを特徴とするパワーアンプ。

20

【請求項 3】

請求項 2 に記載のパワーアンプにおいて、

上記メモリは、上記入力信号のレベルを示す第 1 のパルス波形データと、上記入力信号のレベルの補数を示す第 2 のパルス波形データとを格納し、

上記制御回路は、上記基準周期ごとに、上記第 1 のパルス波形データと、上記第 2 のパルス波形データをレベル反転した第 2 の反転パルス波形データとを交互に読み出すとともに、上記基準周期ごとに、上記第 2 のパルス波形データと、上記第 1 のパルス波形データをレベル反転した第 1 の反転パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御する

ことを特徴とするパワーアンプ。

30

【請求項 4】

請求項 2 に記載のパワーアンプにおいて、

上記制御回路は、上記基準周期ごとに、上記第 1 のパルス波形データと、上記第 1 のパルス波形データを逆の順序で読み出した逆順パルス波形データとを交互に読み出すとともに、上記基準周期ごとに、上記逆順パルス波形データをレベル反転した第 2 の反転パルス波形データと、上記第 1 のパルス波形データをレベル反転した第 1 の反転パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御する

ことを特徴とするパワーアンプ。

【請求項 5】

請求項 1 に記載のパワーアンプにおいて、

上記パルス変調手段は、

上記入力信号を、上記基準周期ごとにそのレベルを示す第 1 のパルス変調信号に変換して出力する第 1 のパルス変調回路と、

上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第 2 のパルス変調信号に変換して出力する第 2 のパルス変調回路と、

上記第 1 のパルス変調信号の時間軸の前後を反転して第 2 の時間反転パルス変調信号を出力する第 1 の反転回路と、

上記第 2 のパルス変調信号の時間軸の前後を反転して第 1 の時間反転パルス変調信号を出力する第 2 の反転回路と、

上記第 1 のパルス変調信号と、上記第 2 の時間反転パルス変調信号とを、上記基準周

50

期ごとに交互に選択して上記第 1 のパルス信号を出力する第 1 の選択回路と、

上記第 2 のパルス変調信号と、上記第 1 の時間反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記第 2 のパルス信号を出力する第 2 の選択回路とを備えることを特徴とするパワーアンプ。

【請求項 6】

請求項 1 に記載のパワーアンプにおいて、

上記第 1 および第 2 の出力回路は、1 対のスイッチング素子がプッシュプル接続されて構成され、

上記第 1 の出力回路の上記 1 対のスイッチング素子には、上記第 1 のパルス信号と、この第 1 のパルス信号をレベル反転した第 1 の反転パルス信号とが、それぞれ供給され、

10

上記第 2 の出力回路の上記 1 対のスイッチング素子には、上記第 2 のパルス信号と、この第 2 のパルス信号をレベル反転した第 2 の反転パルス信号とが、それぞれ供給されることを特徴とするパワーアンプ。

【請求項 7】

請求項 1 に記載のパワーアンプにおいて、

上記パルス変調信号が PWM 信号である

ことを特徴とするパワーアンプ。

【請求項 8】

入力信号のレベルを示す第 1 のパルス変調信号 (+PA) と、上記入力信号のレベルの補数を示す第 2 のパルス変調信号 (+PB) をレベル反転して得られる第 2 の反転パルス変調信号 (-PB) とを、出力パルス信号として基準周期ごとに交互に出力するパルス変調手段と、

20

スイッチング素子を含み、上記パルス変調手段からの上記出力パルス信号にしたがってスイッチング出力を供給する出力回路とを備え、

上記出力回路の出力端に負荷が接続される

ことを特徴とするパワーアンプ。

【請求項 9】

請求項 8 に記載のパワーアンプにおいて、

上記パルス変調手段は、

30

上記入力信号を、上記基準周期ごとにそのレベルを示す第 1 のパルス変調信号に変換して出力する第 1 のパルス変調回路と、

上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第 2 のパルス変調信号に変換し、レベル反転して第 2 の反転パルス変調信号を出力する第 2 のパルス変調回路と

、

上記第 1 のパルス変調信号と、上記第 2 の反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記出力パルス信号を出力する選択回路とを備える

ことを特徴とするパワーアンプ。

【請求項 10】

請求項 8 に記載のパワーアンプにおいて、

40

上記パルス変調手段は、

上記入力信号のレベルに対応付けて、少なくともそのレベルを示す第 1 のパルス波形データを格納されるメモリと、

上記メモリからの読み出しを制御する制御回路とを備え、

上記制御回路は、上記メモリからの読み出しを、上記基準周期ごとに変更して、上記出力パルス信号を出力する

ことを特徴とするパワーアンプ。

【請求項 11】

請求項 10 に記載のパワーアンプにおいて、

上記メモリは、上記入力信号のレベルを示す第 1 のパルス波形データと、上記入力信号

50

のレベルの補数を示す第2のパルス波形データとを格納し、

上記制御回路は、上記基準周期ごとに、上記第1のパルス波形データと、上記第2のパルス波形データをレベル反転した第2の反転パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御する

ことを特徴とするパワーアンプ。

【請求項12】

請求項10に記載のパワーアンプにおいて、

上記制御回路は、上記基準周期ごとに、上記第1のパルス波形データと、上記第1のパルス波形データを逆の順序で読み出した逆順パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御する

ことを特徴とするパワーアンプ。

【請求項13】

請求項8に記載のパワーアンプにおいて、

上記パルス変調手段は、

上記入力信号を、上記基準周期ごとにそのレベルを示す上記第1のパルス変調信号に変換して出力するパルス変調回路と、

上記第1のパルス変調信号の時間軸の前後を反転して時間反転パルス変調信号を出力する時間反転回路と、

上記第1のパルス変調信号と、上記時間反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記出力パルス信号を出力する選択回路とを備える

ことを特徴とするパワーアンプ。

【請求項14】

請求項8に記載のパワーアンプにおいて、

上記出力回路は、1対のスイッチング素子がブッシュブル接続されて構成され、

上記出力回路の上記1対のスイッチング素子には、上記出力パルス信号と、このパルス信号をレベル反転した反転パルス信号とが、それぞれ供給される

ことを特徴とするパワーアンプ。

【請求項15】

請求項8に記載のパワーアンプにおいて、

上記パルス変調信号がPWM信号である

ことを特徴とするパワーアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、パワーアンプに関する。

【0002】

【従来の技術】

オーディオ用のパワーアンプとして、いわゆるD級アンプがある。このD級アンプは、スイッチングにより電力増幅を行うものであるが、例えば図10に示すように構成される。

【0003】

すなわち、デジタルオーディオ信号Pinが、入力端子Tinを通じてPWM変調回路11、12に供給され、その入力信号Pinは1対のPWM信号PA、PBに変換される。

【0004】

この場合、PWM信号PA、PBのパルス幅は、入力信号Pinの示すレベル（信号Pinとなったアナログ信号のサンプルごとのレベル。以下同様）に対応して変化するものであるが、図12に示すように、一方のPWM信号PAのパルス幅は、入力信号Pinの示すレベルに対応した大きさとされ、他方のPWM信号PBのパルス幅は、入力信号Pinの示すレベルの2の補数に対応した大きさとされる。また、PWM信号PA、PBは、その立ち上がり時点が、基準周期、すなわち、PWM信号PA、PBの1サイクル期間Tcの開始時点に固定され、その立ち下がり時点が入力信号Pinの示すレベルに対応して変化するものとさ

10

20

30

40

50

れる。

【 0 0 0 5 】

さらに、P W M信号 P A、P Bのキャリア周波数 $f_c (= 1 / T_c)$ は、入力デジタルオーディオ信号 P inのサンプリング周波数 f_s の例えば16倍とされ、 $f_s = 48 \text{ k Hz}$ とすれば、 $f_c = 16 f_s = 16 \times 48 \text{ k Hz} = 768 \text{ k Hz}$

とされる。

【 0 0 0 6 】

そして、そのようなP W M信号 P Aがドライブ回路 1 3に供給されて図 1 1 Aに示すように、信号 P Aと同レベルおよびレベル反転した1対のドライブ電圧 + P A、- P Aが形成され、これらドライブ電圧 + P A、- P Aが、1対のnチャンネルのM O S - F E T (Q 11、Q 12)のゲートにそれぞれ供給される。この場合、F E T (Q 11、Q 12)はプッシュプル回路 1 5を構成するものであり、F E T (Q 11)のドレインが電源端子 T P W Rに接続され、そのソースがF E T (Q 12)のドレインに接続され、このF E T (Q 12)のソースが接地に接続される。また、電源端子 T P W Rには、安定した直流電圧 + V D Dが電源電圧として供給される。なお、電圧 + V D Dは、例えば20 V ~ 50 Vである。

10

【 0 0 0 7 】

そして、F E T (Q 11)のソースおよびF E T (Q 12)のドレインが、コイルおよびコンデンサを有するローパスフィルタ 1 7を通じてスピーカ 1 9の一端に接続される。

【 0 0 0 8 】

また、P W M変調回路 1 1からのP W M信号 P Bに対しても、P W M信号 P Aに対してと同様に構成される。すなわち、P W M信号 P Bがドライブ回路 1 4に供給されて図 1 1 Bに示すように、信号 P Bと同レベルおよびレベル反転した1対のドライブ電圧 + P B、- P Bが形成され、これらドライブ電圧 + P B、- P Bが、プッシュプル回路 1 6を構成する1対のnチャンネルのM O S - F E T (Q 13、Q 14)のゲートにそれぞれ供給される。

20

【 0 0 0 9 】

そして、F E T (Q 13)のソースおよびF E T (Q 14)のドレインが、コイルおよびコンデンサを有するローパスフィルタ 1 8を通じてスピーカ 1 9の他端に接続される。

【 0 0 1 0 】

したがって、+ P A= “ H ”のときには、- P A= “ L ”であり、F E T (Q 11)がオンになるとともに、F E T (Q 12)がオフになるので、F E T (Q 11、Q 12)の接続点の電圧 V Aは、図 1 1 Cに示すように、電圧 + V D Dとなる。また、逆に、+ P A= “ L ”のときには、- P A= “ H ”であり、F E T (Q 11)がオフになるとともに、F E T (Q 12)がオンになるので、V A= 0となる。

30

【 0 0 1 1 】

同様に、+ P B= “ H ”のときには、- P B= “ L ”であり、F E T (Q 13)がオンになるとともに、F E T (Q 14)がオフになるので、F E T (Q 13、Q 14)の接続点の電圧 V Bは、図 1 1 Dに示すように、電圧 + V D Dとなる。また、逆に、+ P B= “ L ”のときには、- P B= “ H ”であり、F E T (Q 13)がオフになるとともに、F E T (Q 14)がオンになるので、V B= 0となる。

【 0 0 1 2 】

そして、V A= + V D D、かつ、V B= 0の期間には、図 1 0および図 1 1 Eに示すように、F E T (Q 11、Q 12)の接続点から、ローパスフィルタ 1 7 スピーカ 1 9 ローパスフィルタ 1 8のラインを通じて、F E T (Q 13、Q 14)の接続点へと、電流 i が流れる。

40

【 0 0 1 3 】

また、V A= 0、かつ、V B= + V D Dの期間には、F E T (Q 13、Q 14)の接続点から、ローパスフィルタ 1 8 スピーカ 1 9 ローパスフィルタ 1 7のラインを通じて、F E T (Q 11、Q 12)の接続点へと、逆向きに電流 i が流れる。さらに、V A= V B= + V D Dの期間、およびV A= V B= 0の期間には、電流 i は流れない。つまり、プッシュプル回路 1 5、1 6がB T L回路を構成していることになる。

【 0 0 1 4 】

50

そして、電流 i の流れる期間は、もとの P W M 信号 P A、P B が立ち上がっている期間に対応して変化するとともに、電流 i がスピーカ 19 を流れるとき、電流 i はローパスフィルタ 17、18 により積分されるので、結果として、スピーカ 19 を流れる電流 i は、入力信号 P in の示すレベルに対応したアナログ電流であって電力増幅された電流となる。つまり、電力増幅された出力がスピーカ 19 に供給されることになる。

【0015】

こうして、図 10 の回路はパワーアンプとして動作するが、このとき、F E T (Q 11 ~ Q 14) は、入力されたデジタルオーディオ信号 P in に対応して電源電圧 + V D D をスイッチングして電力増幅をするので、効率がよく、また、大出力を得ることができる。

【0016】

【発明が解決しようとする課題】

ところで、上述のパワーアンプは、図 11 C、D にも示すように、電源電圧 + V D D を高速にスイッチングして出力電圧 V A、V B を形成しているので、出力電圧 V A、V B の立ち上がりエッジおよび立ち下がりエッジにより輻射を生じてしまう。しかも、そのスイッチング時、電源電圧 + V D D は、例えば 20 V ~ 50 V と高い電圧なので、その輻射もかなりの大きさとなってしまう。また、P W M 信号 P A、P B のキャリア周波数 f_c は、上記のように例えば 768 k H z であり、これは中波放送の放送帯に含まれる。

【0017】

このため、上述のような D 級パワーアンプが、カーオーディオなどのように、受信機と一体化されていたり、受信機に近接して配置されたりすると、出力電圧 V A、V B の立ち上がりエッジおよび立ち下がりエッジによる輻射が、放送の受信に妨害を与えてしまう。また、出力電圧 V A、V B の立ち上がりエッジおよび立ち下がりエッジは急峻であって高調波成分を多く含み、その高調波成分も輻射されるので、F M 受信機やテレビ受像機などの受信に妨害を与えることもある。

【0018】

この発明は、そのような輻射を低減させたパワーアンプを提供しようとするものである。

【0019】

【課題を解決するための手段】

この発明においては、

入力信号のレベルを示す第 1 のパルス変調信号 (+ P A) と、上記入力信号のレベルの補数を示す第 2 のパルス変調信号 (+ P B) をレベル反転して得られる第 2 の反転パルス変調信号 (- P B) とを、第 1 のパルス信号として基準周期ごとに交互に出力するとともに、上記第 2 のパルス変調信号 (+ P B) と、上記第 1 のパルス変調信号をレベル反転して得られる第 1 の反転パルス変調信号 (- P A) とを、第 2 のパルス信号として上記基準周期ごとに交互に出力するパルス変調手段と、

スイッチング素子を含み、上記パルス変調手段からの上記第 1 のパルス信号にしたがってスイッチング出力を供給する第 1 の出力回路と、

スイッチング素子を含み、上記パルス変調手段からの上記第 2 のパルス信号にしたがってスイッチング出力を供給する第 2 の出力回路と

を備え、

上記パルス変調手段は、

上記入力信号を、上記基準周期ごとにそのレベルを示す第 1 のパルス変調信号に変換して出力する第 1 のパルス変調回路と、

上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第 2 のパルス変調信号に変換して出力する第 2 のパルス変調回路と、

上記第 1 のパルス変調回路からの出力を、レベル反転して第 1 の反転パルス変調信号を出力する第 1 の反転回路と、

上記第 2 のパルス変調回路からの出力を、レベル反転して第 2 の反転パルス変調信号を出力する第 2 の反転回路と、

上記第 1 のパルス変調信号と、上記第 2 の反転パルス変調信号とを、上記基準周期ご

10

20

30

40

50

とに交互に選択して上記第 1 のパルス信号を出力する第 1 の選択回路と、
上記第 2 のパルス変調信号と、上記第 1 の反転パルス変調信号とを、上記基準周期ご
とに交互に選択して上記第 2 のパルス信号を出力する第 2 の選択回路と
 を備え、

上記第 1 の出力回路の出力端と、上記第 2 の出力回路の出力端との間に、負荷が接続される

ことを特徴とするパワーアンプ
 とするものである。

したがって、出力電圧のエッジの数が $1/2$ となり、輻射が低減する。

【0020】

10

【発明の実施の形態】

図 1 は、この発明による D 級パワーアンプの一例を示し、この例においては、デジタルオーディオ信号 P_{in} が、入力端子 T_{in} を通じて 変調回路 111 に供給される。この変調回路 111 は、ROM 112 および並列入力直列出力のシフトレジスタ 113 とともに、第 1 の PWM 変調回路 11 を構成し、ROM 122 および並列入力直列出力のシフトレジスタ 123 とともに、第 2 の PWM 変調回路 12 を構成するものである。そして、デジタルオーディオ信号 P_{in} は、PWM 変調回路 11、12 により、例えば図 2 A、B に示すような PWM 信号 + PA、+ PB に変換される。

【0021】

ここで、PWM 信号 + PA、+ PB のパルス幅は、入力信号 P_{in} の示すレベルに対応して変化するものであるが、図 12 に示すように、一方の PWM 信号 + PA のパルス幅は、入力信号 P_{in} の示すレベルに対応した大きさとされ、他方の PWM 信号 + PB のパルス幅は、入力信号 P_{in} の示すレベルの例えば 2 の補数に対応した大きさとされる。また、PWM 信号 + PA、+ PB は、その立ち上がり時点が、PWM 信号 + PA、+ PB の 1 サイクル期間 T_c の開始時点に固定され、その立ち下がり時点がオーディオ信号 P_{in} の示すレベルに対応して変化するものとされる。

20

【0022】

さらに、PWM 信号 + PA、+ PB のキャリア周波数 $f_c (= 1/T_c)$ は、デジタルオーディオ信号 P_{in} のサンプリング周波数 f_s の例えば 16 倍とされ、 $f_s = 48 \text{ kHz}$ とすれば、 $f_c = 16 f_s = 16 \times 48 \text{ kHz} = 768 \text{ kHz}$

30

とされる。

【0023】

このような PWM 信号 + PA、+ PB を形成するため、PWM 変調回路 11 においては、入力端子 T_{in} からのデジタルオーディオ信号 P_{in} が、 変調回路 111 に供給されて可聴帯域内の量子化ノイズを抑えつつビット数を少なくしたデジタルオーディオ信号、例えば、量子化周波数 $(= f_c)$ が $16 f_s$ で、量子化ビット数が 6 ビットのデジタルオーディオ信号に変換され、このデジタルオーディオ信号が ROM 112 に供給されてその量子化レベルに対応した並列デジタルデータに変換され、この並列デジタルデータがシフトレジスタ 113 に供給されて直列信号、すなわち、PWM 信号 + PA に変換される。

【0024】

40

また、PWM 変調回路 12 においては、 変調回路 111 から出力されるデジタルオーディオ信号が、ROM 122 に供給されてそのレベルの 2 の補数に対応した並列デジタルデータに変換され、この並列デジタルデータがシフトレジスタ 123 に供給されて直列信号、すなわち、PWM 信号 + PB に変換される。

【0025】

なお、このとき、タイミング信号形成回路 121 において各種のタイミングの信号が形成され、これらのタイミング信号が回路 111 ~ 113、122、123 にそれぞれ供給される。

【0026】

そして、PWM 信号 + PA、+ PB がドライブ回路 13、14 に供給されてドライブ電圧 P

50

1～P4が形成される。すなわち、PWM信号+PAがセクタ回路131、142に供給されるとともに、インバータ135に供給されて図2Aに示すように、レベルの反転したPWM信号-PAとされ、このPWM信号-PAがセクタ回路132、141に供給される。また、PWM信号+PBがセクタ回路141、132に供給されるとともに、インバータ145に供給されて図2Bに示すように、レベルの反転したPWM信号-PBとされ、このPWM信号-PBがセクタ回路142、131に供給される。なお、図2A、Bは、図11A、Bと同じである。

【0027】

さらに、タイミング信号形成回路12から図2Cに示すように、1サイクル期間 T_c ごとにレベルの反転する信号 P_c が取り出され、この信号 P_c がセクタ回路131、132、141、142にその切り換え制御信号として供給される。

10

【0028】

こうして、セクタ回路131、132からは、図2Dに示すように、 $P_c = \text{“L”}$ の期間 T_c には、信号+PA、-PAがドライブ電圧P1、P2として取り出され、 $P_c = \text{“H”}$ の期間 T_c には、信号-PB、+PBがドライブ電圧P1、P2として取り出される。また、セクタ回路141、142からは、図2Eに示すように、 $P_c = \text{“L”}$ の期間 T_c には、信号+PB、-PBがドライブ電圧P3、P4として取り出され、 $P_c = \text{“H”}$ の期間 T_c には、信号-PA、+PAがドライブ電圧P1、P2として取り出される。

【0029】

そして、これらのドライブ電圧P1、P2、P3、P4がフリップフロップ回路133、134、143、144により整形されたのち、ドライブ電圧P1、P2が、1対のスイッチング素子、例えばnチャンネルのMOS-FET(Q11、Q12)のゲートにそれぞれ供給される。この場合、FET(Q11、Q12)はプッシュプル回路15を構成するものであり、FET(Q11)のドレインが電源端子TPWRに接続され、そのソースがFET(Q12)のドレインに接続され、このFET(Q12)のソースが接地に接続される。また、電源端子TPWRには、安定した直流電圧+VDD、例えば20V～50Vの直流電圧が電源電圧として供給される。

20

【0030】

さらに、FET(Q11)のソースおよびFET(Q12)のドレインが、例えばコイルおよびコンデンサにより構成されたローパスフィルタ17を通じてスピーカ19の一端に接続される。

30

【0031】

また、ドライブ回路14からのドライブ電圧P3、P4に対しても、ドライブ電圧P1、P2に対しても同様に構成される。すなわち、ドライブ電圧P3、P4が、プッシュプル回路16を構成する1対のnチャンネルのMOS-FET(Q13、Q14)のゲートにそれぞれ供給される。また、FET(Q13)のソースおよびFET(Q14)のドレインが、コイルおよびコンデンサを有するローパスフィルタ18を通じてスピーカ19の他端に接続される。

【0032】

このような構成によれば、 $P1 = \text{“H”}$ のときには、 $P2 = \text{“L”}$ であり、FET(Q11)がオンになるとともに、FET(Q12)がオフになるので、FET(Q11、Q12)の接続点の電圧VAは、図2Fに示すように、電圧+VDDとなる。また、逆に、 $P1 = \text{“L”}$ のときには、 $P2 = \text{“H”}$ であり、FET(Q11)がオフになるとともに、FET(Q12)がオンになるので、 $VA = 0$ となる。

40

【0033】

同様に、 $P3 = \text{“H”}$ のときには、 $P4 = \text{“L”}$ であり、FET(Q13)がオンになるとともに、FET(Q14)がオフになるので、FET(Q13、Q14)の接続点の電圧VBは、図2Gに示すように、電圧+VDDとなる。また、逆に、 $P3 = \text{“L”}$ のときには、 $P4 = \text{“H”}$ であり、FET(Q13)がオフになるとともに、FET(Q14)がオンになるので、 $VB = 0$ となる。

50

【 0 0 3 4 】

そして、 $V_A = +V_{DD}$ 、かつ、 $V_B = 0$ の期間には、図1および図2Hに示すように、FET (Q11、Q12)の接続点から、ローパスフィルタ17 スピーカ19 ローパスフィルタ18のラインを通じて、FET (Q13、Q14)の接続点へと、電流*i*が流れる。

【 0 0 3 5 】

また、 $V_A = 0$ 、かつ、 $V_B = +V_{DD}$ の期間には、FET (Q13、Q14)の接続点から、ローパスフィルタ18 スピーカ19 ローパスフィルタ17のラインを通じて、FET (Q11、Q12)の接続点へと、逆向きに電流*i*が流れる。さらに、 $V_A = V_B = +V_{DD}$ の期間、および $V_A = V_B = 0$ の期間には、電流*i*は流れない。つまり、プッシュプル回路15、16がBTL回路を構成していることになる。

10

【 0 0 3 6 】

そして、電流*i*の流れる期間は、もとのPWM信号+PA、+PBが立ち上がっている期間に対応して変化するとともに、電流*i*がスピーカ19を流れるとき、電流*i*はローパスフィルタ17、18により積分されるので、結果として、スピーカ19を流れる電流*i*は、デジタルオーディオ信号Pinの示すレベルに対応したアナログ電流であって電力増幅された電流となる。したがって、図1に示す回路は、D級パワーアンプとして動作していることになり、電力増幅された出力がスピーカ19に供給されることになる。

【 0 0 3 7 】

こうして、図1に示すパワーアンプは、スイッチングにより電力増幅を行うことができるが、図2にも示すように、PWM信号+PA、+PBの立ち上がりおよび立ち下がり、1サイクル期間Tcごとに1回ずつ生じているが、出力電圧VA、VBの立ち上がりおよび立ち下がり、1サイクル期間Tcにどちらか1回しか生じないので、出力電圧VA、VBの立ち上がりエッジおよび立ち下がりエッジの数は、図10に示すパワーアンプにおける出力電圧VA、VB(図11C、D参照)の立ち上がりエッジおよび立ち下がりエッジの数の1/2となっている。したがって、出力電圧VA、VBの変化により生じる輻射を低減することができる。

20

【 0 0 3 8 】

また、出力電圧VA、VBの周波数は、図10に示すパワーアンプにおける出力電圧VA、VBの周波数の1/2になるので、カーオーディオなどのように、パワーアンプが受信機と一体化されていたり、受信機に近接して配置されたりしても、輻射が放送の受信に与える妨害を低減することができる。そして、このように輻射が放送の受信に与える妨害を低減することができるので、輻射に対して受信機をシールドするための部材を削減することができ、コストを低減できる。また、受信機をパワーアンプにより近接させることができるので、省スペースとすることもできる。

30

【 0 0 3 9 】

さらに、例えば、プッシュプル回路15において、ドライブ電圧P1が立ち下がるとともに、ドライブ電圧P2が立ち上がるときに、ドライブ電圧P1の立ち下がりが遅れると、瞬間的ではあるが、両方のドライブ電圧P1、P2が“L”になる期間を生じ、この期間にFET (Q11、Q12)が同時にオンになってFET (Q11、Q12)に貫通電流が流れてしまう。

40

【 0 0 4 0 】

しかし、図1に示すパワーアンプは、図10に示すパワーアンプに比べ、ドライブ電圧P1~P4の周波数が1/2になっているので、FET (Q11、Q12)やFET (Q13、Q14)が同時にオンになってFET (Q11、Q12)やFET (Q13、Q14)に貫通電流が流れる回数を半減することができる。

【 0 0 4 1 】

ところで、図2からも明かなように、Pc=“H”の期間Tcのドライブ電圧P1、P2は、信号+PA、-PAの時間軸の前後を逆にしたものと等価であり、Pc=“H”の期間Tcのドライブ電圧P3、P4は、信号+PB、-PBの時間軸の前後を逆にしたものと等価である。

50

【 0 0 4 2 】

そこで、図 3 に示す P W M 変調回路 1 1、1 2 においては、R O M 1 1 2、1 2 2 から読み出されるデータを、 $P_c = "L"$ の期間 T_c と $P_c = "H"$ の期間 T_c とで切り換えることにより、ドライブ電圧 $P_1 \sim P_4$ の内容を、図 2 のものと同様とする場合である。

【 0 0 4 3 】

すなわち、この例においては、変調回路 1 1 1 から出力されるデジタルオーディオ信号は 1 サンプルが 6 ビットなので、図 4 に示すように、R O M 1 1 2 は、アドレスが 1 ビット多い 7 ビット $A_6 \sim A_0$ とされ、各アドレスのデータサイズが 1 サンプル 6 ビットに対応して 64 ビット $D_{63} \sim D_0$ とされる。

【 0 0 4 4 】

ここで、変調回路 1 1 1 から出力されるデジタルオーディオ信号は 1 サンプルが 6 ビットであるから、そのデジタルオーディオ信号は図 5 の左欄に示すように、0 から ± 31 までの 63 値を取ることになる。そして、この 63 値は 2 の補数により表現されているので、これを 2 進数で示すと図 5 の中欄のようになり、この 2 進数が自然 2 進数であるとみなして 10 進数に変換すると、図 5 の右欄に示すようになる。

【 0 0 4 5 】

そこで、図 4 に示すように、R O M 1 1 2 の任意のアドレスを m 番地 ($0 \leq m \leq 127$) とするとき、 $m = 32$ 番地は不使用とされ、 $m = 33 \sim 63$ 番地には、最上位ビット D_{63} からビット $D_{(96-m)}$ までが " 1 " であり、ビット $D_{(95-m)}$ から最下位ビット D_0 までが " 0 " の値が用意される。また、 $m = 0 \sim 31$ 番地には、最上位ビット D_{63} からビット $D_{(32-m)}$ までが " 1 " であり、ビット $D_{(31-m)}$ から最下位ビット D_0 までが " 0 " の値が用意される。

【 0 0 4 6 】

さらに、R O M 1 1 2 の $m = (64 + 32)$ 番地は不使用とされ、 $m = (64 + 33) \sim (64 + 63)$ 、 $(64 + 0) \sim (64 + 31)$ 番地には、 $m = 33 \sim 63$ 、 $0 \sim 31$ 番地におけるビット配列の上位ビットと下位ビットとを逆にしたものが用意される。すなわち、 $m = (64 + 33) \sim (64 + 63)$ 番地には、最上位ビット D_{63} からビット $D_{(m-96)}$ までが " 0 " であり、ビット $D_{(m-97)}$ から最下位ビット D_0 までが " 1 " の値が用意される。また、 $m = (64 + 0) \sim (64 + 31)$ 番地には、最上位ビット D_{63} からビット $D_{(m-32)}$ までが " 0 " であり、ビット $D_{(m-33)}$ から最下位ビット D_0 までが " 1 " の値が用意される。

【 0 0 4 7 】

さらに、R O M 1 2 2 の $0 \sim 63$ 番地は、R O M 1 1 2 の $63 \sim 0$ 番地と等しいデータとされ、R O M 1 2 2 の $64 \sim 127$ 番地は、R O M 1 1 2 の $127 \sim 64$ 番地と等しいデータとされる。なお、R O M 1 1 2、1 2 2 の $0 \sim 63$ 番地のデータを、図 1 における R O M 1 1 2、1 2 2 の $0 \sim 63$ 番地のデータとすることができる。

【 0 0 4 8 】

そして、図 4 の下方に示すように、R O M 1 1 2、1 2 2 の 7 ビットのアドレス $A_6 \sim A_0$ のうち、下位の 6 ビット $A_5 \sim A_0$ に、変調回路 1 1 1 から出力されるデジタルオーディオ信号が供給され、最上位ビット A_6 に、タイミング信号形成回路 1 2 1 から 1 サンプル期間 T_c ごとに反転する信号 P_c が供給される。

【 0 0 4 9 】

したがって、図 4 から理解されるように、 $P_c = "L"$ の期間 T_c には、R O M 1 1 2 のアドレスの最上位ビット A_6 は " 0 " となるので、 $0 \sim 63$ 番地のデータのうち、変調回路 1 1 1 からのデジタルオーディオ信号に対応するアドレスのデータ $D_{63} \sim D_0$ が出力される。また、 $P_c = "H"$ の期間 T_c には、R O M 1 1 2 のアドレスの最上位ビット A_6 は " 1 " となるので、 $(64 + 0) \sim (64 + 63)$ 番地のデータのうち、変調回路 1 1 1 からのデジタルオーディオ信号に対応するアドレスのデータ $D_{63} \sim D_0$ が出力される。そして、このようなデータ $D_{63} \sim D_0$ が並列入力直列出力のシフトレジスタ 1 1 3 に供給されて直列信号に変換される。

【 0 0 5 0 】

したがって、この変換結果の直列信号は、図 6 B に示すように、 $P_c = "L"$ の期間 T_c に

10

20

30

40

50

は、この期間 T_c の開始時には立ち上がっていて、立ち下がる時点がデジタルオーディオ信号の示すレベルに対応して変化し、 $P_c = "H"$ の期間 T_c には、立ち上がる時点がデジタルオーディオ信号の示すレベルに対応して変化し、期間 T_c の終了時点には立ち上がっている PWM 信号 P_1 となる。

【0051】

また、ROM 122 については、 $P_c = "L"$ の期間 T_c には、アドレスの最上位ビットが "1" となるので、64～127番地のデータのうち、入力されたデジタルオーディオ信号に対応するアドレスのデータ $D_{63} \sim D_0$ が出力される。また、 $P_c = "H"$ の期間 T_c には、アドレスの最上位ビットが "0" となるので、0～63番地のデータのうち、入力されたデジタルオーディオ信号に対応するアドレスのデータ $D_{63} \sim D_0$ が出力される。そして、こ

10

【0052】

したがって、この変換結果の直列信号は、図 6C に示すように、 $P_c = "L"$ の期間 T_c には、この期間 T_c の開始時には立ち上がっていて、立ち下がる時点がデジタルオーディオ信号の示すレベルの補数に対応して変化し、 $P_c = "H"$ の期間 T_c には、立ち上がる時点がデジタルオーディオ信号の示すレベルの補数に対応して変化し、期間 T_c の終了時点には立ち上がっている PWM 信号 P_3 となる。

【0053】

そして、PWM 信号 P_1 がフリップフロップ回路 133 を通じて FET (Q11) のゲートに供給されるとともに、インバータ 135 に供給されて図 6D に示すように、レベルの反転した信号 P_2 とされ、この信号 P_2 がフリップフロップ回路 134 を通じて FET (Q12) のゲートに供給される。また、PWM 信号 P_3 がフリップフロップ回路 143 を通じて FET (Q13) のゲートに供給されるとともに、インバータ 145 に供給されて図 6E に示すように、レベルの反転した信号 P_4 とされ、この信号 P_4 がフリップフロップ回路 144 を通じて FET (Q14) のゲートに供給される。

20

【0054】

したがって、FET (Q11、Q12) の接続点の電圧 V_A および FET (Q13、Q14) の接続点の電圧 V_B は、図 6F、G に示すように、図 2F、G の電圧 V_A 、 V_B と同じとなるので、スピーカ 19 には図 6H に示す電流 i が供給されることになり、この結果、スピーカ 19 には電力増幅された出力が供給されることになる。

30

【0055】

そして、この図 3 のパワーアンプによれば、図 1 のパワーアンプと同様の効果が得られるだけでなく、さらに、図 1 におけるスイッチ回路 131、132、141、142 を省略することができる。

【0056】

上述においては、パワーアンプの出力段が BTL 回路とされている場合であるが、シングル回路とすることもできる。図 7 は、そのようなパワーアンプの一形態を示す。

【0057】

すなわち、図 7 に示すパワーアンプにおいては、PWM 変調回路 11、12 から図 8A に示すように PWM 信号 + PA、+ PB が取り出され、PWM 信号 + PA がドライブ回路 13 に供給され、PWM 信号 + PB がインバータ 145 に供給されて図 8B に示すように、レベルの反転した PWM 信号 - PB とされ、この PWM 信号 - PB がドライブ回路 13 に供給される。

40

【0058】

そして、ドライブ回路 13 からドライブ電圧 P_1 、 P_2 が取り出され、これらドライブ電圧 P_1 、 P_2 がプッシュプル回路 15 に供給される。この場合、図 8C に示すように、ドライブ電圧 P_1 は、PWM 信号 + PA と、PWM 信号 - PB とを、1 サイクル期間 T_c ごとに交互に取り出した信号であり、ドライブ電圧 P_2 はドライブ電圧 P_1 のレベルを反転した信号である。

50

【 0 0 5 9 】

また、図 7 に示すパワーアンプにおいては、プッシュプル回路 1 5 が正負の電源を使用する場合であり、F E T (Q 1 1) のドレインが正の電源端子 T P W R + に接続され、F E T (Q 1 2) のソースが負の電源端子 T P W R - に接続される。そして、電源端子 T P W R + 、 T P W R - には、正負一對の直流電圧 + V D D 、 - V D D が電源電圧として供給される。そして、プッシュプル回路 1 5 の出力端が、ローパスフィルタ 1 7 を通じてスピーカ 1 9 の一端に接続され、その他端は接地される。

【 0 0 6 0 】

したがって、プッシュプル回路 1 5 の出力電圧 V A は、ドライブ電圧 P 1 、 P 2 に対応して図 8 D に示すような波形となり、図 8 E に示すように、スピーカ 1 9 には入力信号 P i n に対応した極性および大きさの電流 i が流れることになり、電力増幅が行われる。

10

【 0 0 6 1 】

そして、このパワーアンプにおいても、ドライブ電圧 P 1 、 P 2 の立ち上がりエッジおよび立ち下がりエッジの数は、P W M 信号 + P A 、 + P B の 1 / 2 となっているので、F E T (Q 1 1 、 Q 1 2) 、 (Q 1 3 、 Q 1 4) に流れる貫通電流が半減する。また、出力電圧 V A の周波数が 1 / 2 となっているので、この出力電圧 V A により生じる輻射も低減する。

【 0 0 6 2 】

図 9 に示すパワーアンプは、図 7 に示すパワーアンプと同様、出力段がシングル回路されるとともに、プッシュプル回路 1 5 の電源電圧を直流電圧 + V D D だけとした場合である。したがって、この場合には、例えば、プッシュプル回路 1 5 の出力端と、ローパスフィルタ 1 7 との間に、直流カット用のコンデンサ 2 1 が接続される。

20

【 0 0 6 3 】

なお、上述においては、入力信号 P i n がデジタルオーディオ信号の場合であるが、アナログオーディオ信号であってもよい。また、P W M 信号 + P A 、 + P B 、 - P A 、 - P B は P N M 信号などとすることもできる。さらに、P W M 変調回路 1 1 、 1 2 は、アップカウンタ、ダウンカウンタおよび比較回路により構成することもできる。

【 0 0 6 4 】

また、図 4 における R O M 1 1 2 、 1 2 2 のデータテーブルは、0 ~ 63 番地のデータの上位ビットと下位ビットとを入れ換えると、64 ~ 127 番地のデータとなるので、P c = “ L ” の期間 T c と、P c = “ H ” の期間 T c とで、シフトレジスタ 1 1 3 、 1 2 3 にロードしたデータを最下位ビット D 0 から取り出すか最上位ビット D 63 から取り出すかを切り換えることにより期間 T c ごとに時間軸の前後を反転すれば、R O M 1 1 2 、 1 2 2 は 0 ~ 63 番地だけとすることができ、R O M 1 1 2 、 1 2 2 の容量を 1 / 2 にすることができる。

30

【 0 0 6 5 】

さらに、上述においては、パワーアンプがオーディオ用のアンプの場合であるが、モータなどの電力機器をドライブするためのアンプとして使用することもできる。また、スピーカ 1 9 に代えて任意の負荷を接続すれば、その負荷に動作電圧を供給することができる。また、入力信号 P i n を変更することにより負荷に供給される電圧の大きさを変更することができ、したがって、可変電源回路として使用することもできる。

【 0 0 6 6 】

40

〔この明細書で使用している略語の一覧〕

B T L : Bridged-Tied Load
M O S - F E T : Metal Oxide Semiconductor type F E T
F E T : Field Effect Transistor
P N M : Pulse Number Modulation
P W M : Pulse Width Modulation
R O M : Read Only Memory

【 0 0 6 7 】

【発明の効果】

この発明によれば、出力電圧の立ち上がりエッジおよび立ち下がりエッジの数が、その出

50

力電圧を形成するPWM信号の立ち上がりエッジおよび立ち下がりエッジの数の1/2となるので、出力電圧の変化により生じる輻射を低減することができる。

【0068】

したがって、カーオーディオなどのように、パワーアンプが受信機と一体化されていたり、受信機に近接して配置されていても、輻射が放送の受信に与える妨害を低減することができる。また、このことから、輻射に対して受信機をシールドするための部材を削減することができ、コストを低減することができる。さらに、受信機をパワーアンプにより近接させることができるので、省スペースとすることもできる。

【0069】

また、出力電圧の立ち上がりエッジおよび立ち下がりエッジの数が1/2となるので、その出力電圧を形成するためのプッシュプル回路に貫通電流が流れる回数を半減することができ、アンプの損失を低減し、デバイスからの発熱も抑えることができる。さらに、出力用のスイッチング素子のスイッチングの回数が半減するので、スイッチングノイズにより生じるオーディオ特性の劣化を抑えることもできる。

10

【図面の簡単な説明】

【図1】この発明の一形態を示す系統図である。

【図2】図1の回路を説明するための波形図である。

【図3】この発明の他の形態を示す系統図である。

【図4】データテーブルの一形態を示す図である。

【図5】信号とアドレスの関係を説明するための図である。

20

【図6】図3の回路を説明するための波形図である。

【図7】この発明の他の形態を示す系統図である。

【図8】図7の回路を説明するための波形図である。

【図9】この発明の他の形態を示す系統図である。

【図10】この発明を説明するための系統図である。

【図11】図10の回路を説明するための波形図である。

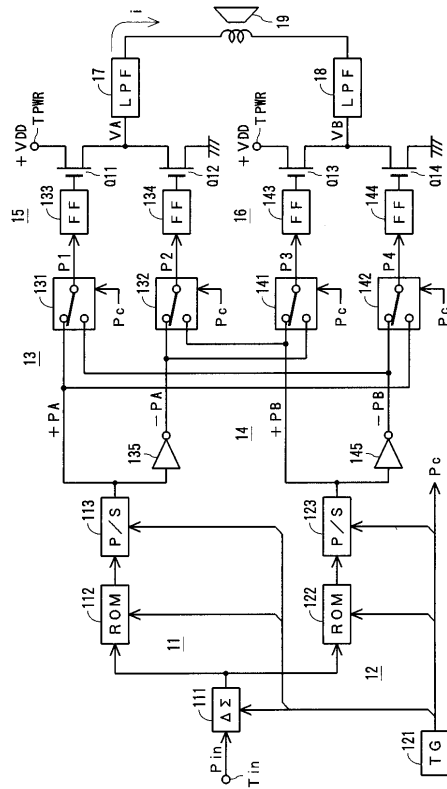
【図12】図10の回路を説明するための波形図である。

【符号の説明】

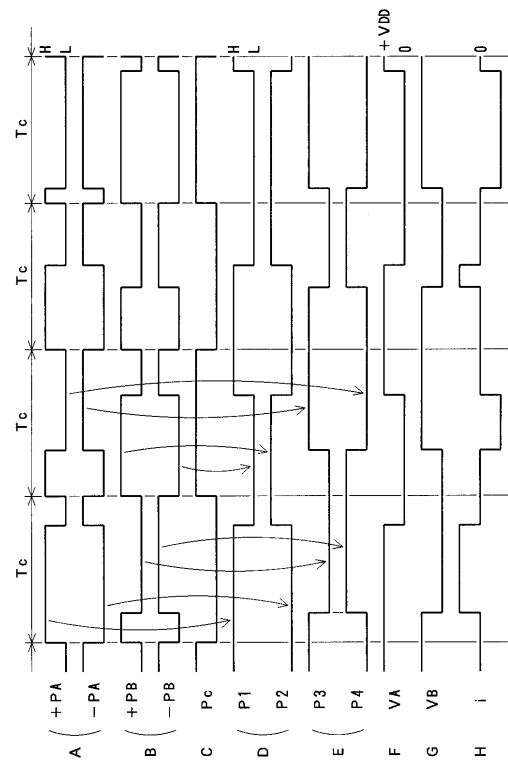
11および12...PWM変調回路、13および14...ドライブ回路、15および16...プッシュプル回路、17および18...ローパスフィルタ、19...スピーカ

30

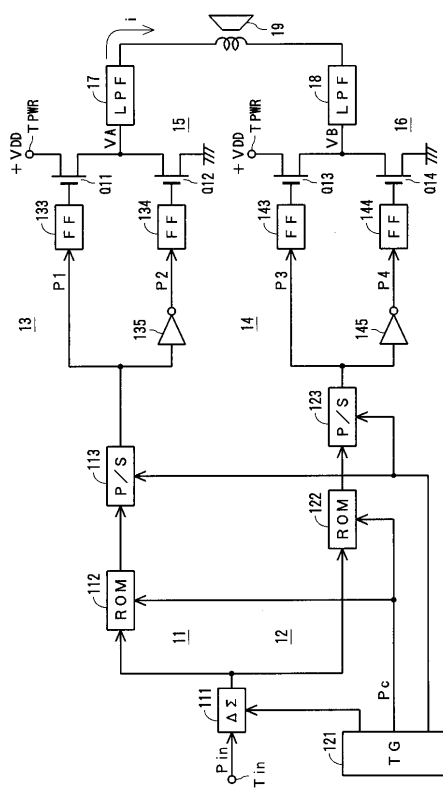
【図 1】



【図 2】



【図 3】



【図 4】

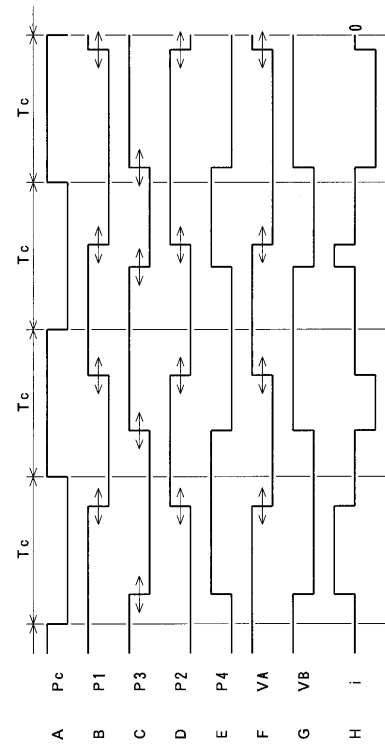
アドレスm		データ															
A6	A5~A0	D63	D62	D61	D60	D59	D58	...	D5	D4	D3	D2	D1	D0			
00	32	*	*	*	*	*	*		*	*	*	*	*	*			
	33	1	0	0	0	0	0		0	0	0	0	0	0			
	34	1	1	0	0	0	0		0	0	0	0	0	0			
	35	1	1	1	0	0	0		0	0	0	0	0	0			
	36	1	1	1	1	0	0		0	0	0	0	0	0			
	37	1	1	1	1	1	0		0	0	0	0	0	0			
	:																
	63	1	1	1	1	1	1		0	0	0	0	0	0			
	0	1	1	1	1	1	1		0	0	0	0	0	0			
	:																
	27	1	1	1	1	1	1		1	0	0	0	0	0			
	28	1	1	1	1	1	1		1	1	0	0	0	0			
	29	1	1	1	1	1	1		1	1	1	0	0	0			
	30	1	1	1	1	1	1		1	1	1	1	0	0			
	31	1	1	1	1	1	1		1	1	1	1	1	0			
11	32	*	*	*	*	*	*		*	*	*	*	*	*			
	33	0	0	0	0	0	0		0	0	0	0	0	0			
	34	0	0	0	0	0	0		0	0	0	0	0	1			
	35	0	0	0	0	0	0		0	0	0	0	1	1			
	36	0	0	0	0	0	0		0	0	1	1	1	1			
	37	0	0	0	0	0	0		0	1	1	1	1	1			
	:																
	63	0	0	0	0	0	0		1	1	1	1	1	1			
	0	0	0	0	0	0	0		1	1	1	1	1	1			
	:																
	27	0	0	0	0	0	1		1	1	1	1	1	1			
	28	0	0	0	0	1	1		1	1	1	1	1	1			
	29	0	0	0	1	1	1		1	1	1	1	1	1			
	30	0	0	1	1	1	1		1	1	1	1	1	1			
	31	0	1	1	1	1	1		1	1	1	1	1	1			

Pc デジタルオーディオ信号

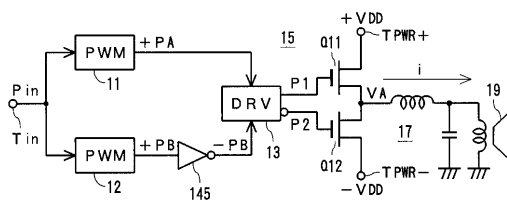
【図 5】

	2の補数						自然数
-31	1	0	0	0	0	1	33
-30	1	0	0	0	1	0	34
-29	1	0	0	0	1	1	35
-28	1	0	0	1	0	0	36
⋮							⋮
-3	1	1	1	1	0	1	61
-2	1	1	1	1	1	0	62
-1	1	1	1	1	0	1	63
0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	1
2	0	0	0	0	1	0	2
3	0	0	0	0	1	1	3
⋮							⋮
28	0	1	1	1	0	0	28
29	0	1	1	1	0	1	29
30	0	1	1	1	1	0	30
31	0	1	1	1	1	1	31

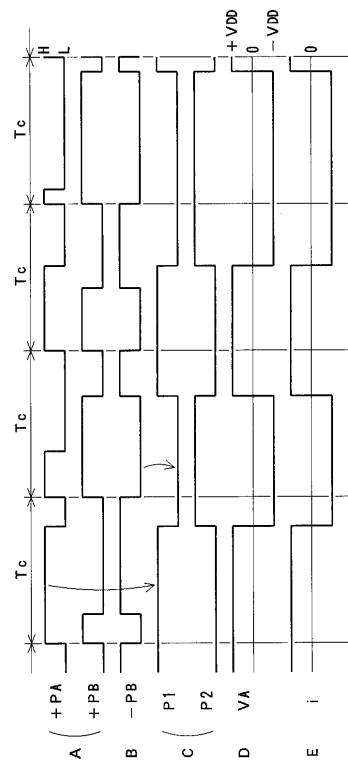
【図 6】



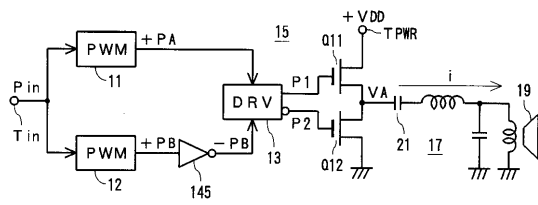
【図 7】



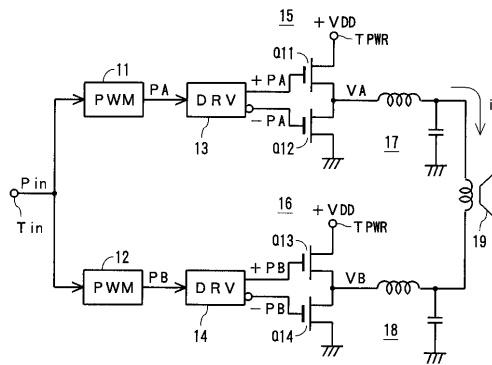
【図 8】



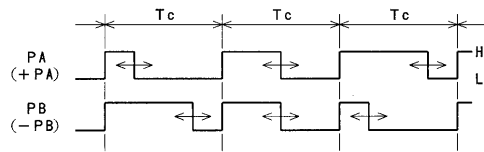
【図 9】



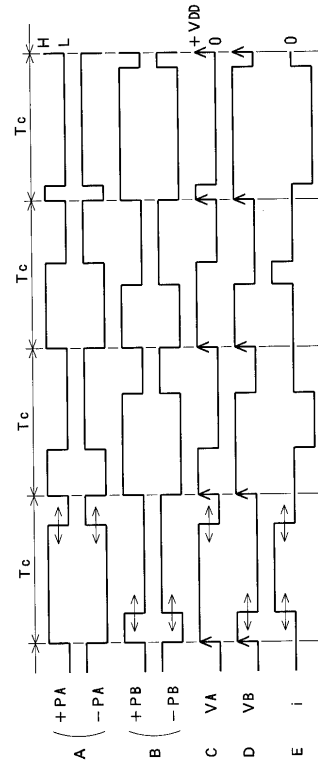
【図 10】



【図 12】



【図 11】



フロントページの続き

- (56)参考文献 特開2003-152468(JP,A)
特開2002-158549(JP,A)
特開2002-158544(JP,A)
特開2001-292040(JP,A)
特開2001-185961(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/72

H03K 17/00-17/70