

①9 RÉPUBLIQUE FRANÇAISE
—
**INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE**
—
COURBEVOIE
—

①1 N° de publication : **3 091 010**

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **18 74130**

⑤1 Int Cl⁸ : **H 01 L 21/673 (2019.01), H 01 L 21/762**

⑫

BREVET D'INVENTION

B1

⑤4 STRUCTURE DE TYPE SEMI-CONDUCTEUR POUR APPLICATIONS DIGITALES ET RADIOFRÉQUENCES, ET PROCÉDÉ DE FABRICATION D'UNE TELLE STRUCTURE.

②2 Date de dépôt : 24.12.18.

③0 Priorité :

④3 Date de mise à la disposition du public
de la demande : 26.06.20 Bulletin 20/26.

④5 Date de la mise à disposition du public du
brevet d'invention : 04.12.20 Bulletin 20/49.

⑤6 Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑥0 Références à d'autres documents nationaux
apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : *SOITEC SOCIETE ANONYME A
CONSEIL D'ADMINISTRATION — FR.*

⑦2 Inventeur(s) : MORANDINI Yvan,
SCHWARZENBACH Walter, ALLIBERT Frédéric,
DESBONNETS Eric et NGUYEN Bich-Yen.

⑦3 Titulaire(s) : *SOITEC SOCIETE ANONYME A
CONSEIL D'ADMINISTRATION.*

⑦4 Mandataire(s) : REGIMBEAU.

FR 3 091 010 - B1



Description

Titre de l'invention : STRUCTURE DE TYPE SEMI- CONDUCTEUR POUR APPLICATIONS DIGITALES ET RA- DIOFRÉQUENCES, ET PROCÉDÉ DE FABRICATION D'UNE TELLE STRUCTURE

Domaine technique

[0001] La présente invention concerne une structure de type semi-conducteur sur isolant pour des applications digitales et radiofréquences. L'invention se rapporte également à un procédé de fabrication d'une telle structure par transfert d'une couche d'un premier substrat, dit « substrat donneur », sur un deuxième substrat, dit « substrat receveur ».

Technique antérieure

[0002] Les structures de type semi-conducteur sur isolant sont des structures multicouches comprenant un substrat qui est généralement en silicium, une couche électriquement isolante agencée sur le substrat, qui est généralement une couche d'oxyde telle qu'une couche d'oxyde de silicium, et une couche semi-conductrice agencée sur la couche isolante dans laquelle sont réalisées la source et le drain de la structure, qui est généralement une couche de silicium.

[0003] De telles structures sont dites structure « Semiconductor on Insulator » (acronyme SeOI) en anglais, en particulier « Silicon on Insulator » (SOI) lorsque le matériau semi-conducteur est du silicium.

[0004] Parmi les structures SOI existantes, les structures dites « Fully-Depleted Silicon on Insulator » en anglais (acronyme FD-SOI) sont couramment utilisées pour des applications digitales. Les structures FD-SOI se caractérisent par la présence d'une couche mince d'oxyde, agencée sur un substrat support en silicium, et d'une couche semi-conductrice très mince agencée sur la couche d'oxyde, dite couche SOI.

[0005] La couche d'oxyde se trouve entre le substrat et la couche SOI. La couche d'oxyde est alors dite « enterrée », et est appelée « BOX » pour « Buried OXide » en anglais.

[0006] La couche SOI permet d'implémenter le canal de conduction de la structure FD-SOI.

[0007] Du fait de la faible épaisseur et de l'uniformité de la couche de BOX et de la couche SOI, il n'est pas nécessaire de doper le canal de conduction, d'où le fait que la structure puisse fonctionner selon un mode totalement déplété.

[0008] Les structures FD-SOI présentent des caractéristiques électrostatiques améliorées par rapport aux structures sans couche de BOX. La couche de BOX diminue la capacité électrique parasite entre la source et le drain, et permet également de réduire considérablement les fuites d'électrons depuis le canal de conduction vers le substrat en

confinant le flux d'électrons dans le canal de conduction, réduisant ainsi les pertes de courant électrique et améliorant les performances de la structure.

- [0009] Les structures FD-SOI peuvent être compatibles avec des applications radiofréquences (RF), mais pâtissent cependant de l'apparition de pertes électriques dans ledit substrat.
- [0010] Pour pallier ces pertes électriques et améliorer les performances RF, il est connu d'utiliser un substrat, notamment de type SOI, présentant une haute résistivité électrique, ce type de substrat étant communément appelé « substrat HR » pour substrat à haute résistivité. Ce dernier est avantageusement combiné avec une couche de piégeage de charges (« trap-rich layer » en anglais). Cependant, ce type de substrat, n'est pas compatible avec une utilisation de transistors dont la tension de seuil peut être contrôlée par une grille en face arrière (« back bias voltage » en anglais »).
- [0011] En effet, la présence de cette couche comportant des charges piégées gêne la polarisation en face arrière (application d'une différence de potentiel au niveau de la face arrière) et peut en outre conduire à une diffusion accélérée des dopants empêchant ainsi la réalisation de jonction PN de bonne qualité, à cause des problèmes de fuite de jonction.
- [0012] Outre les structures FD-SOI comprenant une couche de BOX, des structures FD-SOI à deux couches de BOX, dites « double BOX » ont été réalisées.
- [0013] La technologie à deux couches BOX est avantageuse dans le cas où la structure FD-SOI comprend des transistors à double grille dont les électrodes de grille sont formées à la fois au-dessus et en-dessous du canal de conduction. Ainsi, la couche SOI de la grille arrière, dite « back gate SOI layer », est séparée électriquement de la couche SOI de la grille avant, dite « front gate SOI layer », par une première couche de BOX, et est séparée électriquement également du substrat de base par une deuxième couche de BOX.
- [0014] Le document US 2010/0176482 décrit un exemple d'une telle structure FD-SOI à deux couches de BOX, pour une technologie CMOS.
- [0015] Selon ce document, des structures CMOS avec un matériau de grille à haute constante diélectrique (« high-k material ») et avec une longueur de grille réduite jusqu'à 30 nm sont fabriquées selon un procédé optimisé permettant d'obtenir une bonne isolation entre les dispositifs et la grille arrière.
- [0016] La technologie double BOX existante est utilisée pour des applications digitales, et non à la fois pour des applications radiofréquence et digitale.
- [0017] Par ailleurs, la tenue en puissance maximale des structures FD-SOI à double BOX est limitée avec des couches de BOX d'épaisseur standard. Ceci pose un problème pour des applications radiofréquences.
- [0018] En effet, pour augmenter la tenue en puissance de certains composants radio-

fréquences, tels que les amplificateurs de puissance et les interrupteurs d'antenne, il est nécessaire d'empiler des transistors MOSFETS (acronyme anglais de Metal Oxide Semiconductor Field Effect Transistor - qui se traduit par transistor à effet de champ à structure métal-oxyde-semiconducteur) afin de s'assurer que la tension électrique entre le drain et la source est inférieure à la tension de fonctionnement maximale autorisée.

[0019] Cependant, la tension maximale entre le drain et le substrat support et la tension maximale entre la source et le substrat support sont limitées par la tension de claquage de la couche de BOX. Avec une épaisseur standard de la couche de BOX de 20 nm, la tension de claquage n'est que de 25 V (ce qui conduit à concevoir des dispositifs avec une tension maximale bien plus faible, allant de 10 à 15V), ce qui représente une limitation importante.

[0020] Ainsi, la technologie double BOX existante pour les applications digitales n'est pas compatible avec les applications radiofréquences.

BREVE DESCRIPTION DE L'INVENTION

[0021] Un but de l'invention est de proposer une structure de type semi-conducteur sur isolant permettant de surmonter les inconvénients mentionnés précédemment.

L'invention vise à proposer une telle structure permettant de combiner des applications digitales et des applications radiofréquences.

[0022] A cette fin, l'invention propose une structure de type semi-conducteur sur isolant comprenant successivement depuis une face arrière vers une face avant de la structure :

- [0023] – un substrat support semi-conducteur à haute résistivité électrique, dont la résistivité électrique est comprise entre 500 Ω .cm et 30 k Ω .cm,
- une première couche électriquement isolante,
- une couche intercalaire,
- une deuxième couche électriquement isolante, qui présente une épaisseur inférieure à celle de la première couche électriquement isolante,
- une couche active semi-conductrice,

[0024] la structure multicouche étant caractérisée en ce qu'elle comprend :

- [0025] – au moins une région de type FD-SOI, dans laquelle la couche intercalaire est une couche semi-conductrice,
- au moins une région de type RF-SOI, adjacente à la région de type FD-SOI, dans laquelle la couche intercalaire est une troisième couche électriquement isolante, ladite région de type RF-SOI comprenant au moins un composant radiofréquence à l'aplomb de la troisième couche isolante.

[0026] Selon d'autres aspects, la structure proposée présente les différentes caractéristiques suivantes prises seules ou selon leurs combinaisons techniquement possibles :

- [0027] – la somme des épaisseurs de la première couche électriquement isolante, de la deuxième couche électriquement isolante, et de la troisième couche élec-

- triquement isolante est comprise entre 50 nm et 1500 nm ;
- la structure comprend en outre une couche de piégeage de charges agencée entre le substrat support et la première couche électriquement isolante ;
 - la couche de piégeage de charges est en silicium polycristallin ou en silicium poreux ;
 - la couche intercalaire semi-conductrice est en matériau cristallin ou polycristallin ;
 - la couche intercalaire semi-conductrice est en matériau amorphe ;
 - la première couche électriquement isolante est une couche d'oxyde de silicium ;
 - la deuxième couche électriquement isolante est une couche d'oxyde de silicium ;
 - la troisième couche électriquement isolante est une couche d'oxyde de silicium ;
 - la première couche électriquement isolante présente une épaisseur comprise entre 20 nm et 1000 nm ;
 - la deuxième couche électriquement isolante présente une épaisseur comprise entre 10 nm et 100 nm ;
 - la couche active semi-conductrice présente une épaisseur comprise entre 3 nm et 30 nm.

[0028] L'invention se rapporte aussi à un procédé de fabrication d'une structure multicouche de type semi-conducteur sur isolant, comprenant les étapes suivantes :

- [0029]
- fourniture d'un premier substrat donneur,
 - formation d'une zone de fragilisation dans ledit premier substrat donneur, de sorte à délimiter une première couche intercalaire semi-conductrice,
 - transfert de ladite première couche intercalaire semi-conductrice sur un substrat support semi-conducteur, une première couche électriquement isolante étant à l'interface entre le substrat donneur et le substrat support de sorte à former une structure intermédiaire comprenant le substrat support, la première couche électriquement isolante, et la première couche intercalaire semi-conductrice transférée,
 - retrait local d'une portion de la première couche intercalaire semi-conductrice jusqu'à la première couche électriquement isolante pour former une cavité,
 - dépôt d'une couche électriquement isolante, dite troisième couche électriquement isolante, dans la cavité,
 - fourniture d'un second substrat donneur,
 - formation d'une zone de fragilisation dans ledit second substrat donneur, de sorte à délimiter une deuxième couche active semi-conductrice,

- transfert de ladite deuxième couche active semi-conductrice sur la structure intermédiaire, une deuxième couche électriquement isolante étant à l'interface entre le second substrat donneur et la structure intermédiaire,
 - réalisation :
- [0030] • d'au moins un composant digital dans la deuxième couche active semi-conductrice à l'aplomb de la première couche intercalaire semi-conductrice, pour former une région de type FD-SOI, et
- d'au moins un composant radiofréquence à l'aplomb de la troisième couche électriquement isolante, pour former une région de type RF-SOI.
- [0031] L'invention se rapporte également à un procédé de fabrication d'une structure multicouche de type semi-conducteur sur isolant, comprenant les étapes suivantes :
- [0032] – formation d'une structure intermédiaire par dépôt d'une première couche intercalaire semi-conductrice sur un substrat support recouvert d'une première couche électriquement isolante,
- retrait local d'une portion de la première couche intercalaire semi-conductrice jusqu'à la première couche électriquement isolante pour former une cavité,
 - dépôt d'une couche électriquement isolante, dite troisième couche électriquement isolante, dans la cavité,
 - fourniture d'un substrat donneur,
 - formation d'une zone de fragilisation dans ledit substrat donneur, de sorte à délimiter une deuxième couche active semi-conductrice,
 - transfert de ladite deuxième couche active semi-conductrice sur la structure intermédiaire, une deuxième couche électriquement isolante étant à l'interface entre le substrat donneur et la structure intermédiaire,
 - réalisation :
- [0033] • d'au moins un composant digital dans la deuxième couche active semi-conductrice à l'aplomb de la première couche intercalaire semi-conductrice, pour former une région de type FD-SOI, et
- d'au moins un composant radiofréquence à l'aplomb de la troisième couche électriquement isolante, pour former une région de type RF-SOI.
- [0034] Selon d'autres aspects, les procédés proposés présentent les différentes caractéristiques suivantes prises seules ou selon leurs combinaisons techniquement possibles :
- [0035] – le composant radiofréquence est réalisé dans la deuxième couche active semi-conductrice ;
- le retrait local d'une portion de la première couche intercalaire semi-conductrice et le dépôt d'une troisième couche électriquement isolante dans la cavité sont réalisées après le transfert de la deuxième couche semi-conductrice sur la structure intermédiaire ;

- le procédé comprend en outre la formation d'une couche de piégeage de charges sur le substrat support, ladite couche de piégeage de charges étant agencée entre le substrat support et la première couche électriquement isolante ;
- le retrait local comprend le dépôt d'un masque par lithographie et la gravure de la première couche intercalaire semi-conductrice au travers d'au moins une ouverture dudit masque ;
- le procédé comprend en outre, avant le transfert de ladite deuxième couche semi-conductrice sur la structure intermédiaire, un traitement des surfaces libres de la première couche intercalaire semi-conductrice et de la troisième couche électriquement isolante pour en réduire la rugosité.

[0036] La structure multicouche de l'invention sert de support à la fabrication de transistors, en particulier des transistors à effet de champ de type MOSFET (« Metal Oxyde Semiconductor Field Effect Transistor » en anglais). Les transistors MOFSET sont des dispositifs semi-conducteurs à trois électrodes actives, dont une électrode d'entrée appelée grille, une électrode de sortie appelée drain, et une troisième électrode appelée source. Ces transistors permettent de contrôler une tension (ou un courant) de sortie sur le drain grâce à la grille.

[0037] Dans le présent texte, le terme « sur », qui se rapporte à la position d'une première couche par rapport à une deuxième couche, ou à la position d'un composant par rapport à une couche, n'implique pas nécessairement que la première couche soit directement au contact de la deuxième ou que le composant soit directement au contact de la couche. Sauf mention contraire, ce terme n'exclut pas qu'une ou plusieurs autres couches soient intercalées entre la première couche et la deuxième couche, ou entre le composant et la couche.

[0038] Les termes « à l'aplomb de » qui se rapportent à la position d'un composant par rapport à une couche au sein d'une structure, signifient que le composant et la couche se font face dans le sens de l'épaisseur de la structure. En d'autres termes, tout axe qui s'étend selon l'épaisseur de la structure et qui intercepte le composant, intercepte également la couche à l'aplomb de ce composant.

Brève description des dessins

[0039] D'autres avantages et caractéristiques de l'invention apparaîtront à la lecture de la description suivante donnée à titre d'exemple illustratif et non limitatif, en référence aux figures annexées suivantes :

[0040] [fig.1] est un schéma d'un mode de réalisation d'une structure multicouche selon l'invention, comprenant deux régions de type FD-SOI et une région de type RF-SOI ;

[0041] [fig.2] est un schéma d'une des régions de type FD-SOI de la structure illustrée sur la

figure 1 ;

[0042] [fig.3] est un schéma de la région de type RF-SOI de la structure illustrée sur la figure 1 ;

[0043] [fig.4] est un schéma d'une structure intermédiaire, comprenant une première couche intercalaire semi-conductrice sur un substrat support recouvert préalablement d'une première couche électriquement isolante ;

[0044] [fig.5] est un schéma de la structure intermédiaire de la figure 4, dans laquelle est réalisée une cavité ;

[0045] [fig.6] est un schéma de la structure intermédiaire de la figure 5, dans laquelle la cavité est comblée par une couche électriquement isolante ;

[0046] [fig.7] est un schéma d'une structure multicouche ;

[0047] [fig.8] est un schéma de la structure multicouche de la figure 7, dans laquelle est réalisée une tranchée ;

[0048] [fig.9] est un schéma de la structure multicouche de la figure 8, dans laquelle est réalisée une cavité latérale ;

[0049] [fig.10] est un schéma de la structure multicouche de la figure 9, dans laquelle la cavité est comblée par une couche électriquement isolante.

[0050] **DESCRIPTION DETAILLEE DE MODES DE REALISATION DE L'INVENTION**

[0051] Un premier objet de l'invention concerne une structure multicouche de type semi-conducteur sur isolant, utilisable à la fois pour des applications digitales et pour des applications radiofréquences.

[0052] La figure 1 illustre un mode de réalisation d'une telle structure multicouche 1 selon l'invention.

[0053] En référence à la figure 1, la structure multicouche 1 comprend successivement, depuis une face arrière vers une face avant de la structure, un substrat support semi-conducteur 2, une première couche électriquement isolante 3, une couche intercalaire I, une deuxième couche électriquement isolante 5, et une couche active 6 semi-conductrice .

[0054] Le substrat support semi-conducteur 2 est un substrat hautement résistif, c'est-à-dire qu'il présente une résistivité électrique comprise entre 500 Ω .cm et 30 k Ω .cm, et de préférence comprise entre 1 k Ω .cm et 10 k Ω .cm. Une résistivité élevée confère au substrat support la capacité de limiter les pertes électriques et d'améliorer les performances radiofréquences de la structure.

[0055] La première couche électriquement isolante 3 permet d'isoler le substrat support 2 de la couche intercalaire I et des couches sus-jacentes à ladite couche intercalaire.

[0056] La première couche électriquement isolante 3 est de préférence une couche d'oxyde. Cette couche étant enterrée dans la structure entre le substrat support et la couche in-

tercalaire, elle peut également être appelée « premier BOX ». Il s'agit de préférence d'une couche d'oxyde de silicium.

- [0057] L'épaisseur de la première couche électriquement isolante 3 est relativement élevée, et de préférence comprise entre 20 nm (nanomètres) et 1000 nm. Une épaisseur trop faible, en particulier inférieure à 20 nm, risque en effet d'aboutir à un claquage de la première couche électriquement isolante. En particulier, la première couche électriquement isolante 3 présente de préférence une épaisseur supérieure à celle de la couche active semi-conductrice 6.
- [0058] Optionnellement, la structure 1 comprend également une couche de piégeage de charges 8, préférentiellement en silicium polycristallin ou en silicium poreux agencée entre le substrat support 2 et la première couche électriquement isolante 3. Cette couche de piégeage de charges permet de piéger les charges électriques qui s'accumulent sous la première couche électriquement isolante 3.
- [0059] La deuxième couche électriquement isolante 5 permet d'isoler la couche active semi-conductrice 6 de la couche intercalaire I et des couches sous-jacentes à la couche intercalaire.
- [0060] La deuxième couche électriquement isolante 5 est de préférence une couche d'oxyde, de préférence une couche d'oxyde de silicium. Cette couche étant enterrée dans la structure entre la couche intercalaire et la couche active semi-conductrice, elle peut être appelée « deuxième BOX ».
- [0061] La deuxième couche électriquement isolante 5 présente une épaisseur relativement faible, et inférieure à celle de la première couche électriquement isolante 3. Cette faible épaisseur permet de pouvoir assurer un contrôle de la tension de seuil (« back bias voltage » en anglais) du transistor par une polarisation adaptée de la couche intercalaire sous-jacente. Une épaisseur de la deuxième couche électriquement isolante 5 de préférence comprise entre 10 nm et 100 nm est adaptée à cet effet.
- [0062] La couche active semi-conductrice 6 est destinée à la réalisation à la fois de composants digitaux 11 et éventuellement de composants radiofréquences 12, ceux-ci étant fonction des applications digitales et radiofréquences souhaitées pour la structure.
- [0063] La couche active semi-conductrice 6 est de préférence une couche de silicium monocristallin.
- [0064] L'épaisseur de la couche active semi-conductrice 6 est de préférence comprise entre 3 nm et 30 nm, et de manière davantage préférée entre 5 nm et 20 nm. On préférera que l'épaisseur de la couche active semi-conductrice soit homogène sur l'ensemble du matériau, c'est-à-dire qu'elle présente une variation d'épaisseur inférieure ou égale à 1 nm, afin d'optimiser le fonctionnement des régions FD-SOI, selon un mode totalement déplété. Les régions FD-SOI sont détaillées dans la suite du présent texte.
- [0065] La structure multicouche 1 comprend plusieurs régions destinées à des applications

différentes, dont au moins une région de type FD-SOI pour des applications digitales et au moins une région de type RF-SOI pour des applications radiofréquences.

[0066] Afin de pouvoir combiner une région de type FD-SOI et une région de type RF-SOI dans une seule et même structure, la couche intercalaire I est agencée entre la première et la deuxième couche électriquement isolante 3, 5, et la nature de cette couche intercalaire I est différente selon qu'elle se trouve dans une région de type FD-SOI ou dans une région de type RF-SOI.

[0067] Une des deux régions de type FD-SOI de la structure de la figure 1 est représentée sur la figure 2.

[0068] Dans une région de type FD-SOI, la couche intercalaire I est une couche semi-conductrice 4.

[0069] La couche intercalaire semi-conductrice 4 est avantageusement en matériau cristallin ou en matériau amorphe, éventuellement dopé. Ce matériau est choisi pour que la couche semi-conductrice puisse être polarisée pour contrôler la tension de seuil du transistor.

[0070] Le matériau de la couche intercalaire semi-conductrice 4 est avantageusement une couche semi-conductrice de préférence choisi parmi : le silicium monocristallin, le silicium polycristallin, , et l'alliage de Si et de Ge.

[0071] La région de type FD-SOI comprend au moins un composant digital 11 dans la couche active semi-conductrice 6. Sur la figure 1, le composant digital est ainsi positionné à l'aplomb de la couche semi-conductrice.

[0072] La région de type RF-SOI de la structure de la figure 1 est représentée sur la figure 3.

[0073] Dans une région de type RF-SOI, la couche intercalaire I est une couche électriquement isolante 7, appelée troisième couche électriquement isolante.

[0074] La troisième couche électriquement isolante 7 permet d'isoler davantage la couche active semi-conductrice 6 du substrat support 2, c'est-à-dire d'isoler électriquement la grille avant de la grille arrière du transistor.

[0075] La troisième couche électriquement isolante 7 est de préférence une couche d'oxyde. Cette couche étant enterrée dans la structure entre la première et la deuxième couche électriquement isolante, elle peut être appelée « troisième BOX ». Il s'agit de préférence d'une couche d'oxyde de silicium.

[0076] La région de type RF-SOI comprend au moins un composant radiofréquence 12 à l'aplomb de la troisième couche électriquement isolante 7, en particulier dans la couche active semi-conductrice 6. Le composant radiofréquence 12 peut également être formé dans l'une des couches électriquement isolantes 5, 7 ou 3, préférentiellement sur la couche électriquement isolante 5, pour bénéficier de l'effet d'un BOX composé des trois couches électriquement isolantes 5, 7 et 3. Sur la figure 3, le composant radiofréquence est ainsi positionné à l'aplomb de la troisième couche élec-

triquement isolante.

- [0077] Selon un mode de réalisation préférée, la somme des épaisseurs de la première couche électriquement isolante 3, de la deuxième couche électriquement isolante 5, et de la troisième couche électriquement isolante 7 est comprise entre 50 nm et 1500 nm. L'épaisseur de chacune des trois couches électriquement isolantes est donc ajustée pour obtenir l'épaisseur totale décrite. Une telle épaisseur permet d'optimiser la tension de claquage pour les composants radiofréquences.
- [0078] Un procédé de fabrication d'une structure multicouche 1 telle que décrite précédemment va maintenant être décrit selon trois modes de réalisation.
- [0079] Selon un premier mode de réalisation, on fournit initialement un premier substrat donneur.
- [0080] On forme dans ce substrat une zone de fragilisation, de manière à délimiter une première couche intercalaire semi-conductrice. La zone de fragilisation est formée dans le substrat donneur à une profondeur prédéterminée qui correspond sensiblement à l'épaisseur de la couche semi-conductrice à transférer. De préférence, la zone de fragilisation est créée par implantation d'atomes d'hydrogène et/ou d'hélium dans le substrat donneur.
- [0081] On transfère ensuite la première couche intercalaire semi-conductrice sur un substrat support semi-conducteur, qui est un substrat receveur, en collant le substrat donneur sur le substrat support par l'intermédiaire de la première couche électriquement isolante puis en détachant le substrat donneur le long de la zone de fragilisation (procédé Smart Cut™).
- [0082] De manière alternative, le transfert peut être réalisé en amincissant le substrat donneur par sa face opposée à la face collée sur le substrat support, jusqu'à l'obtention de l'épaisseur souhaitée pour la première couche intercalaire semi-conductrice.
- [0083] Optionnellement, avant l'étape de collage, on forme une couche de piégeage de charges sur le substrat support, entre le substrat support et la première couche électriquement isolante.
- [0084] On obtient alors, comme l'illustre la figure 4, une structure intermédiaire comprenant le substrat support 2, la couche de piégeage de charges 8 lorsque présente, la première couche électriquement isolante 3, et la première couche intercalaire semi-conductrice transférée I.
- [0085] En référence à la figure 5, on procède ensuite à un retrait local d'une portion de la première couche intercalaire semi-conductrice jusqu'à la première couche électriquement isolante pour former une cavité 9. Sur la figure 5, la cavité 9 est délimitée dans l'épaisseur de la structure par la première couche électriquement isolante 3, et latéralement par deux portions de la première couche intercalaire semi-conductrice 4.
- [0086] Le retrait local peut avantageusement être réalisé par gravure. A cet effet, un masque

de lithographie est déposé sur la première couche intercalaire semi-conductrice 4. Le masque est pourvu d'au moins une ouverture. La première couche intercalaire semi-conductrice est ensuite gravée au travers de l'ouverture du masque afin de former la cavité 9. Toute technique de gravure connue convenant à cet effet est utilisable, comme par exemple une gravure sèche.

- [0087] En référence à la figure 6, on dépose ensuite la troisième couche électriquement isolante 7 dans la cavité 9, afin de remplir la cavité. Après dépôt, la surface supérieure de la troisième couche électriquement isolante affleure la surface supérieure de la couche semi-conductrice.
- [0088] Par ailleurs, on fournit un second substrat donneur.
- [0089] On forme dans ce substrat une zone de fragilisation, de manière à délimiter une deuxième couche semi-conductrice 6. La zone de fragilisation peut être formée de la même manière que pour délimiter la première couche intercalaire semi-conductrice.
- [0090] On transfère ensuite la deuxième couche semi-conductrice 6 sur la structure intermédiaire, en collant le second substrat donneur sur la structure intermédiaire par l'intermédiaire de la deuxième couche électriquement isolante 5 (formée soit sur la structure intermédiaire soit sur ledit substrat donneur) puis en détachant le substrat donneur le long de la zone de fragilisation (procédé Smart Cut™).
- [0091] De manière alternative, le transfert peut être réalisé en amincissant le second substrat donneur par sa face opposée à la face collée sur la structure intermédiaire, jusqu'à l'obtention de l'épaisseur souhaitée pour la deuxième couche semi-conductrice 6.
- [0092] De manière optionnelle, avant l'étape de transfert, on peut procéder à un traitement des surfaces libres de la première couche intercalaire semi-conductrice et de la troisième couche électriquement isolante, afin d'en réduire la rugosité. Ce traitement de surface améliore le collage de la deuxième couche électriquement isolante sur la première couche intercalaire semi-conductrice et de la troisième couche électriquement isolante.
- [0093] On réalise ensuite un ou plusieurs composants digitaux 11 sur la deuxième couche semi-conductrice 6, qui est la couche active semi-conductrice. Les composants digitaux sont réalisés à l'aplomb de la première couche intercalaire semi-conductrice, c'est-à-dire en face de la première couche intercalaire semi-conductrice dans le sens de l'épaisseur de la structure. Ceci permet d'obtenir une région de type FD-SOI.
- [0094] On réalise également un ou plusieurs composants radiofréquences 12 sur la couche active semi-conductrice, à l'aplomb de la troisième couche électriquement isolante 7. Ceci permet d'obtenir une région de type RF-SOI.
- [0095] Le premier mode de réalisation qui vient d'être décrit comprend deux étapes de délimitation et de transfert d'une couche semi-conductrice. Ceci est tout particulièrement avantageux dans le cas où la première couche intercalaire semi-conductrice est

cristalline. Le transfert d'une telle couche depuis un substrat donneur permet de conserver sa qualité cristalline sur la structure finale.

- [0096] Lorsqu'une optimisation de la qualité cristalline de la première couche intercalaire semi-conductrice n'est pas requise, par exemple lorsque celle-ci est amorphe, il est possible de former la première intercalaire couche semi-conductrice par dépôt sur la première couche électriquement isolante. Ce procédé ne met donc en jeu qu'une seule étape de transfert, c'est-à-dire celui de la couche active semi-conductrice, et est donc plus économique.
- [0097] Ce procédé correspond à un deuxième mode de réalisation qui va maintenant être décrit.
- [0098] Selon un deuxième mode de réalisation, on forme une structure intermédiaire, comme l'illustre la figure 4, en déposant une première couche intercalaire semi-conductrice 4 sur un substrat support 2 recouvert préalablement d'une première couche électriquement isolante 3.
- [0099] La première couche intercalaire semi-conductrice 4 peut être formée par épitaxie sur le substrat support recouvert d'une première couche électriquement isolante, ou alternativement déposée sur ledit substrat support notamment par dépôt chimique en phase vapeur, communément appelé selon la terminologie anglaise « Chemical Vapor Deposition » et désigné sous l'acronyme CVD.
- [0100] Optionnellement, avant le dépôt de la première couche intercalaire semi-conductrice, on forme une couche de piégeage de charges 8 sur le substrat support 2, entre le substrat support et la première couche électriquement isolante 3.
- [0101] En référence à la figure 5, on procède ensuite à un retrait local d'une portion de la première couche intercalaire semi-conductrice 4 jusqu'à la première couche électriquement isolante 3 pour former une cavité 9. Sur la figure 5, la cavité 9 est délimitée dans l'épaisseur de la structure par la première couche électriquement isolante 3, et latéralement par deux portions de la première couche intercalaire semi-conductrice 4.
- [0102] Le retrait local peut avantageusement être réalisé par gravure, de manière similaire au premier mode de réalisation.
- [0103] En référence à la figure 6, on dépose ensuite une couche électriquement isolante 5, dite troisième couche électriquement isolante, dans la cavité 9, afin de remplir la cavité. Après dépôt, la surface supérieure de la troisième couche électriquement isolante 7 affleure la surface supérieure de la couche intercalaire semi-conductrice 4.
- [0104] Par ailleurs, on fournit un substrat donneur.
- [0105] On forme dans ce substrat une zone de fragilisation, de manière à délimiter une deuxième couche semi-conductrice 6. La zone de fragilisation peut être formée de la même manière que pour le premier mode de réalisation.
- [0106] On transfère ensuite la deuxième couche semi-conductrice 6 sur la structure inter-

médiaire, en collant le substrat donneur sur la structure intermédiaire par l'intermédiaire de la deuxième couche électriquement isolante 5 puis en détachant le substrat donneur le long de la zone de fragilisation (procédé Smart Cut™).

- [0107] De manière alternative, le transfert peut être réalisé en amincissant le substrat donneur par sa face opposée à la face collée sur la structure intermédiaire, jusqu'à l'obtention de l'épaisseur souhaitée pour la deuxième couche semi-conductrice 6.
- [0108] De manière optionnelle, avant l'étape de transfert, on peut procéder à un traitement des surfaces libres de la première couche intercalaire semi-conductrice 4 et de la troisième couche électriquement isolante 7, afin d'en réduire la rugosité. Ce traitement de surface améliore le collage de la deuxième couche électriquement isolante sur la première couche intercalaire semi-conductrice et de la troisième couche électriquement isolante.
- [0109] On réalise ensuite un ou plusieurs composants digitaux 11 sur la deuxième couche semi-conductrice 6, qui est la couche active semi-conductrice. Les composants digitaux 11 sont réalisés à l'aplomb de la première couche intercalaire semi-conductrice 4. Ceci permet d'obtenir une région de type FD-SOI.
- [0110] On réalise également un ou plusieurs composants radiofréquences 12 sur la couche active semi-conductrice, à l'aplomb de la troisième couche électriquement isolante 7. Ceci permet d'obtenir une région de type RF-SOI.
- [0111] Selon un troisième mode de réalisation, le procédé de fabrication comprend les mêmes étapes que celles du premier mode de réalisation ou celles du deuxième mode de réalisation. Cependant, contrairement à ces derniers où le retrait local d'une portion de la première couche intercalaire semi-conductrice 4 et le dépôt de la troisième couche électriquement isolante 7 dans la cavité 9 sont réalisées avant le transfert de la deuxième couche semi-conductrice 6 sur la structure intermédiaire, les étapes de retrait et de dépôt sont réalisées après l'étape de transfert.
- [0112] En particulier, les étapes de retrait et de dépôt selon le troisième mode de réalisation sont réalisées sur une structure dans laquelle une troisième couche électriquement isolante 7 a été préalablement formée selon le premier ou le deuxième mode de réalisation décrit précédemment.
- [0113] Les étapes de retrait et de dépôt de la troisième couche électriquement isolante 7 peuvent être réalisées avant la réalisation des composants digitaux 11 et radiofréquences 12, ou bien après la réalisation des composants digitaux et radiofréquences c'est-à-dire pendant la fabrication du transistor. Il peut s'agir notamment d'un transistor de type MOS tel qu'un CMOS.
- [0114] Selon ce troisième mode de réalisation, en référence aux figures 7 et 8, on creuse une tranchée 10 à une distance déterminée du bord de la structure, de sorte que la tranchée s'étend depuis la surface libre de la couche active semi-conductrice 6, à travers la

deuxième couche électriquement isolante 5 et la première couche intercalaire semi-conductrice 4, jusqu'au moins la première couche électriquement isolante 3. Ceci permet d'isoler physiquement la portion latérale délimitée par la tranchée 10 du reste de la structure.

- [0115] En référence à la figure 9, on procède ensuite à un retrait local de la première couche intercalaire semi-conductrice 4 dans la portion latérale, afin de former une cavité 9.
- [0116] Comme le montre la figure 9, ladite cavité 9 est une cavité latérale, située en bord de zone utile, et est ouverte sur l'extérieur de la structure. Elle est délimitée dans l'épaisseur de la structure par la première couche électriquement isolante 3 et la deuxième couche électriquement isolante 5, et latéralement par la ou les tranchée(s) 10.
- [0117] En référence à la figure 10, on dépose ensuite la troisième couche électriquement isolante 7 dans la cavité 9, afin de remplir la cavité.
- [0118] On peut ensuite réaliser un ou plusieurs composants radiofréquences 12 sur la couche active semi-conductrice 6, à l'aplomb de la troisième couche électriquement isolante 7. On obtient alors une région de type RF-SOI en bord de structure.
- [0119] L'avantage de réaliser la troisième couche électriquement isolante durant le procédé de fabrication du transistor permet d'utiliser les masques de gravure de ce procédé, et donc de bénéficier d'un alignement optimal des différentes couches de la structure.

Revendications

- [Revendication 1] Structure multicouche (1) de type semi-conducteur sur isolant, comprenant successivement depuis une face arrière vers une face avant de la structure :
- un substrat support semi-conducteur (2) présentant une résistivité électrique comprise entre 500 Ω .cm et 30 k Ω .cm,
 - une première couche électriquement isolante (3),
 - une couche intercalaire (I),
 - une deuxième couche électriquement isolante (5), qui présente une épaisseur inférieure à celle de la première couche électriquement isolante (3),
 - une couche active (6) semi-conductrice,
- la structure multicouche étant caractérisée en ce qu'elle comprend :
- au moins une région de type FD-SOI, dans laquelle la couche intercalaire (I) est une couche semi-conductrice (4),
 - au moins une région de type RF-SOI, adjacente à la région de type FD-SOI, dans laquelle la couche intercalaire (I) est une troisième couche électriquement isolante (7), ladite région de type RF-SOI comprenant au moins un composant radiofréquence à l'aplomb de la troisième couche électriquement isolante (7).
- [Revendication 2] Structure (1) selon la revendication 1, dans laquelle la somme des épaisseurs de la première couche électriquement isolante (3), de la deuxième couche électriquement isolante (5), et de la troisième couche électriquement isolante (7) est comprise entre 50 nm et 1500 nm.
- [Revendication 3] Structure (1) selon la revendication 1 ou la revendication 2, comprenant en outre une couche de piégeage de charges (8) agencée entre le substrat support (2) et la première couche électriquement isolante (3).
- [Revendication 4] Structure (1) selon la revendication 3, dans laquelle la couche de piégeage de charges (8) est en silicium polycristallin ou en silicium poreux.
- [Revendication 5] Structure (1) selon l'une des revendications 1 à 4, dans laquelle la couche intercalaire (4) semi-conductrice est en matériau cristallin ou polycristallin.
- [Revendication 6] Structure (1) selon l'une des revendications 1 à 4, dans laquelle la couche intercalaire (4) semi-conductrice est en matériau amorphe.
- [Revendication 7] Structure (1) selon l'une des revendications précédentes, dans laquelle la première couche électriquement isolante (3) est une couche d'oxyde de

- silicium.
- [Revendication 8] Structure (1) selon l'une des revendications précédentes, dans laquelle la deuxième couche électriquement isolante (5) est une couche d'oxyde de silicium.
- [Revendication 9] Structure (1) selon l'une des revendications précédentes, dans laquelle la troisième couche électriquement isolante (7) est une couche d'oxyde de silicium.
- [Revendication 10] Structure (1) selon l'une des revendications précédentes, dans laquelle la première couche électriquement isolante (3) présente une épaisseur comprise entre 20 nm et 1000 nm.
- [Revendication 11] Structure (1) selon l'une des revendications précédentes, dans laquelle la deuxième couche électriquement isolante (5) présente une épaisseur comprise entre 10 nm et 100 nm.
- [Revendication 12] Structure (1) selon l'une des revendications précédentes, dans laquelle la couche active (6) semi-conductrice présente une épaisseur comprise entre 3 nm et 30 nm.
- [Revendication 13] Procédé de fabrication d'une structure multicouche (1) de type semi-conducteur sur isolant, comprenant les étapes suivantes :
- fourniture d'un premier substrat donneur,
 - formation d'une zone de fragilisation dans ledit premier substrat donneur, de sorte à délimiter une première couche intercalaire semi-conductrice (4),
 - transfert de ladite première couche intercalaire semi-conductrice (4) sur un substrat support semi-conducteur (2), une première couche électriquement isolante (3) étant à l'interface entre le substrat donneur et le substrat support (2) de sorte à former une structure intermédiaire comprenant le substrat support (2), la première couche électriquement isolante (3), et la première couche intercalaire semi-conductrice (4) transférée,
 - retrait local d'une portion de la première couche intercalaire semi-conductrice (4) jusqu'à la première couche électriquement isolante (3) pour former une cavité,
 - dépôt d'une couche électriquement isolante, dite troisième couche électriquement isolante (7), dans la cavité,
 - fourniture d'un second substrat donneur,
 - formation d'une zone de fragilisation dans ledit second substrat donneur, de sorte à délimiter une deuxième couche active semi-conductrice (6),

- transfert de ladite deuxième couche active semi-conductrice (6) sur la structure intermédiaire, une deuxième couche électriquement isolante (5) étant à l'interface entre le second substrat donneur et la structure intermédiaire,

- réalisation :

d'au moins un composant digital (11) dans la deuxième couche active semi-conductrice (6) à l'aplomb de la première couche intercalaire semi-conductrice (4), pour former une région de type FD-SOI, et d'au moins un composant radiofréquence (12) à l'aplomb de la troisième couche électriquement isolante (7), pour former une région de type RF-SOI.

[Revendication 14]

Procédé de fabrication d'une structure multicouche (1) de type semi-conducteur sur isolant, comprenant les étapes suivantes :

- formation d'une structure intermédiaire par dépôt d'une première couche intercalaire semi-conductrice (4) sur un substrat support (2) recouvert d'une première couche électriquement isolante (3),

- retrait local d'une portion de la première couche intercalaire semi-conductrice (4) jusqu'à la première couche électriquement isolante (3) pour former une cavité,

- dépôt d'une couche électriquement isolante, dite troisième couche électriquement isolante (7), dans la cavité,

- fourniture d'un substrat donneur,

- formation d'une zone de fragilisation dans ledit substrat donneur, de sorte à délimiter une deuxième couche active semi-conductrice (6),

- transfert de ladite deuxième couche active semi-conductrice (6) sur la structure intermédiaire, une deuxième couche électriquement isolante (5) étant à l'interface entre le substrat donneur et la structure intermédiaire,

- réalisation :

d'au moins un composant digital (11) dans la deuxième couche active semi-conductrice (6) à l'aplomb de la première couche intercalaire semi-conductrice (4), pour former une région de type FD-SOI, et d'au moins un composant radiofréquence (12) à l'aplomb de la troisième couche électriquement isolante (7), pour former une région de type RF-SOI.

[Revendication 15]

Procédé selon la revendication 13 ou la revendication 14, dans lequel le retrait local d'une portion de la première couche intercalaire semi-conductrice (4) et le dépôt d'une troisième couche électriquement

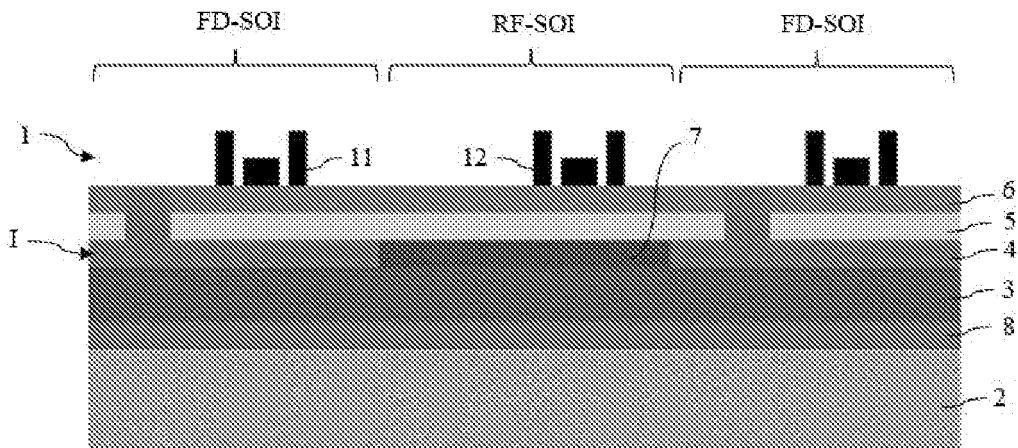
isolante (7) dans la cavité sont réalisées après le transfert de la deuxième couche active semi-conductrice (6) sur la structure intermédiaire.

[Revendication 16] Procédé selon l'une des revendications 13 à 15, comprenant en outre la formation d'une couche de piégeage de charges (8) sur le substrat support (2), ladite couche de piégeage de charges étant agencée entre le substrat support (2) et la première couche électriquement isolante (3).

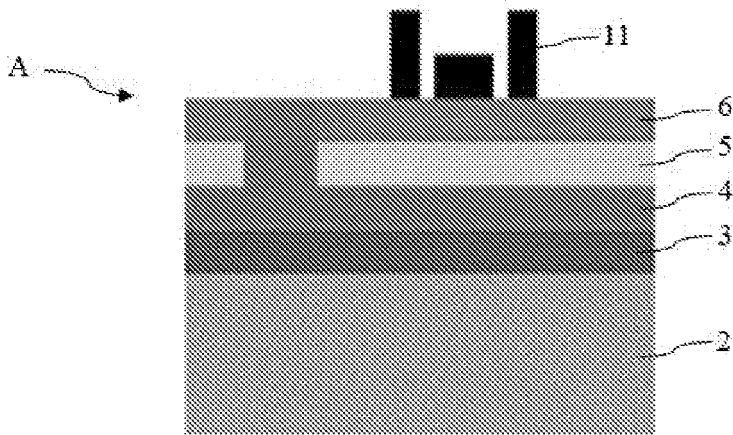
[Revendication 17] Procédé selon l'une des revendications 13 à 15, dans lequel le retrait local comprend le dépôt d'un masque par lithographie et la gravure de la première couche intercalaire semi-conductrice (4) au travers d'au moins une ouverture dudit masque.

[Revendication 18] Procédé selon l'une des revendications 13 à 15, comprenant en outre, avant le transfert de ladite deuxième couche active semi-conductrice (6) sur la structure intermédiaire, un traitement des surfaces libres de la première couche intercalaire semi-conductrice (4) et de la troisième couche électriquement isolante (7) pour en réduire la rugosité.

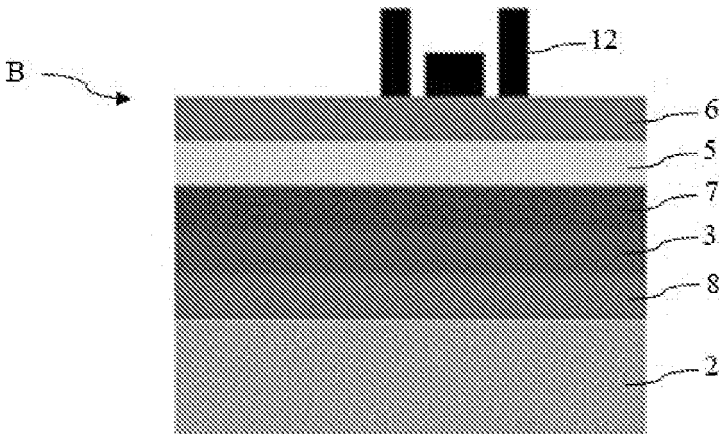
[Fig. 1]



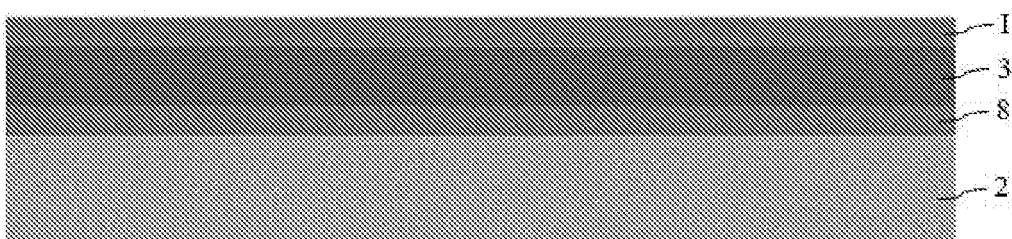
[Fig. 2]



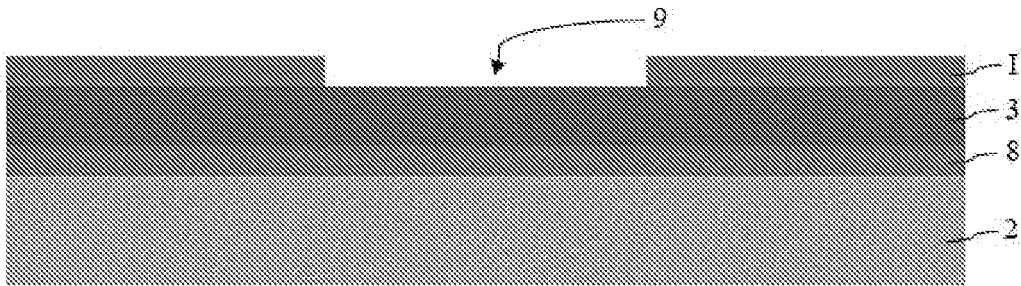
[Fig. 3]



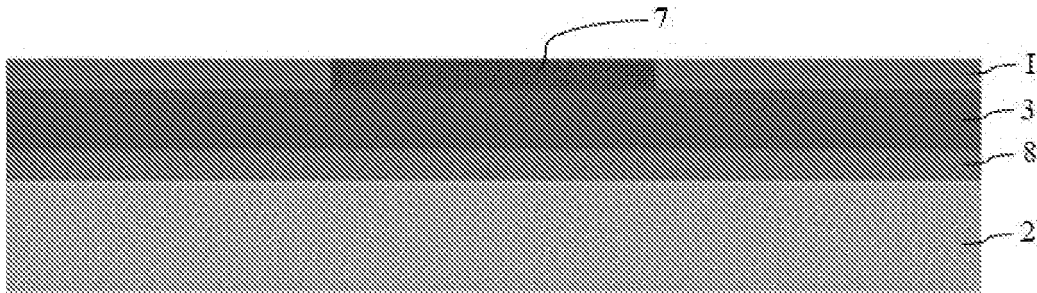
[Fig. 4]



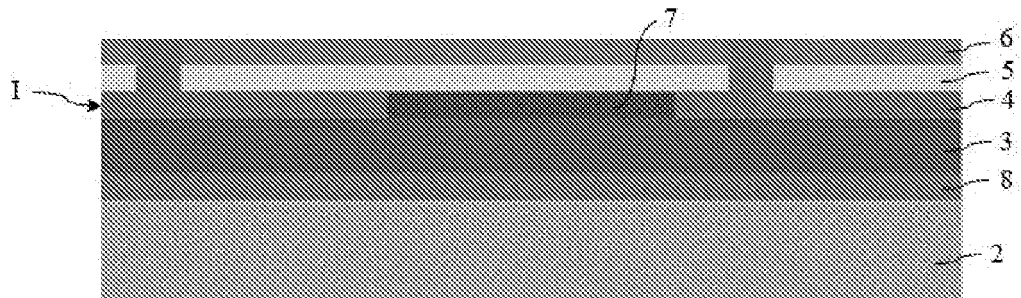
[Fig. 5]



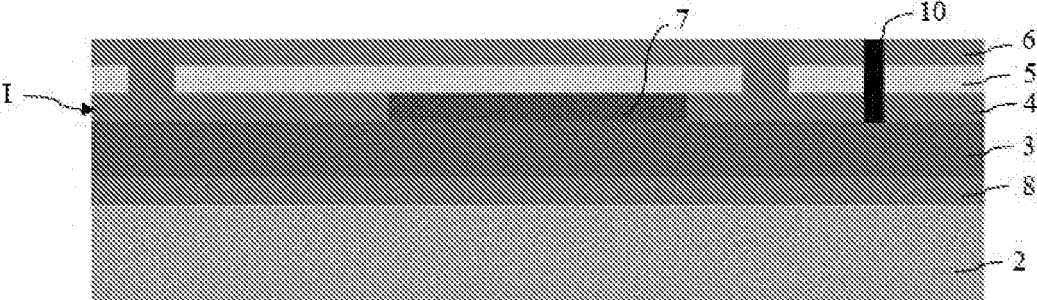
[Fig. 6]



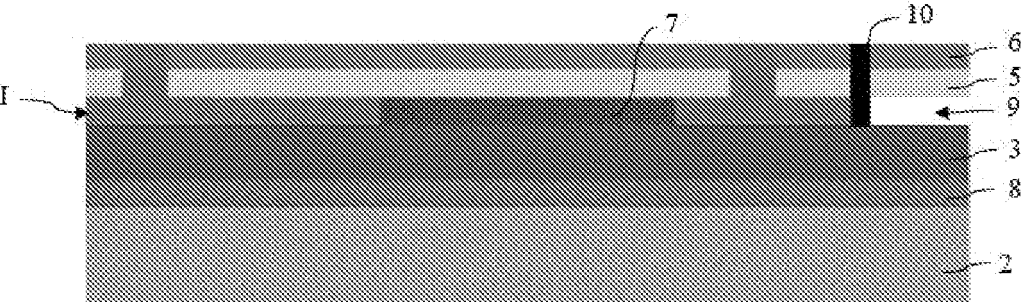
[Fig. 7]



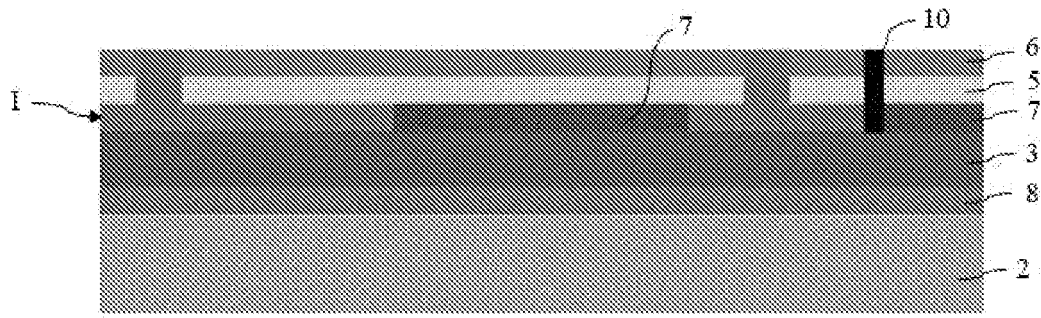
[Fig. 8]



[Fig. 9]



[Fig. 10]



RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2002/094629 A1 (BELLEVILLE MARC [FR] ET
AL) 18 juillet 2002 (2002-07-18)

US 2006/261410 A1 (OHGURO TATSUYA [JP])
23 novembre 2006 (2006-11-23)

US 2018/337043 A1 (ENGLEKIRK ROBERT MARK
[US] ET AL) 22 novembre 2018 (2018-11-22)

US 9 824 891 B1 (SUN WEI [CN])
21 novembre 2017 (2017-11-21)

US 2006/017137 A1 (IWAMATSU TOSHIAKI [JP])
26 janvier 2006 (2006-01-26)

US 2007/099372 A1 (CHITTIPEDDI SAILESH
[US] ET AL) 3 mai 2007 (2007-05-03)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN
TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND
DE LA VALIDITE DES PRIORITES**

NEANT