

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月26日(26.01.2017)



(10) 国際公開番号
WO 2017/013769 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) H01L 25/00 (2006.01)
H01F 17/00 (2006.01) H04B 5/02 (2006.01)
- (21) 国際出願番号: PCT/JP2015/070836
- (22) 国際出願日: 2015年7月22日(22.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: サンケン電気株式会社(SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者: 朴 孝静(PARK, Hyo-jeong); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP). 田島 一修(TAJIMA, Kazunao); 〒3528666 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内 Saitama (JP).
- (74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

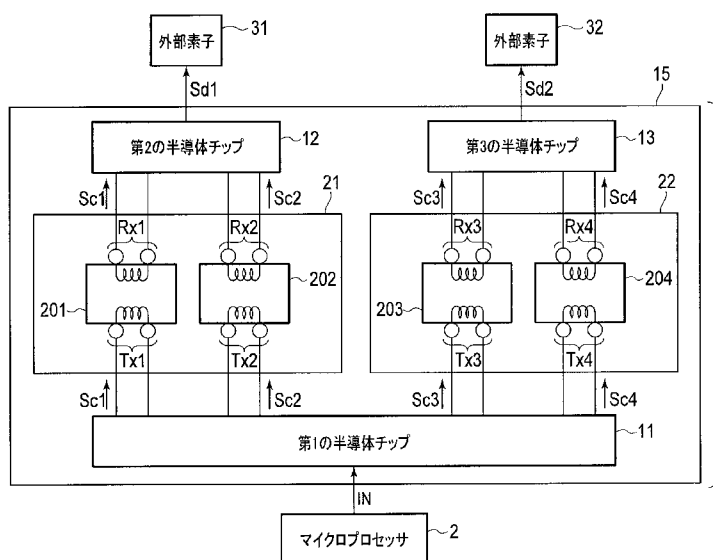
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



- 2 Microprocessor
11 First semiconductor chip
12 Second semiconductor chip
13 Third semiconductor chip
31, 32 External element

(57) Abstract: This semiconductor device is provided with: a first semiconductor chip and a second semiconductor chip, which are disposed by being electrically insulated from each other; and a first signal path and a second signal path, which transmit signals from the first semiconductor chip to the second semiconductor chip by means of magnetic field coupling in a chip transformer wherein a conductor layer and an insulating layer are laminated. Operations of the second semiconductor chip are controlled by means of first control signals transmitted via the first signal path, and second control signals transmitted via the second signal path.

(57) 要約: 互いに電氣的に絶縁して配置された第1の半導体チップ及び第2の半導体チップと、導電体層と絶縁層が積層されたチップトランスにおける磁界結合によって第1の半導体チップから第2の半導体チップに信号を送信する第1の信号経路及び第2の信号経路とを備え、第1の信号経路を介して送信される第1の制御信号と第2の信号経路を介して送信される第2の制御信号とによって、第2の半導体チップの動作が制御される。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、互いに絶縁分離された複数の半導体チップを有する半導体装置に関する。

背景技術

[0002] 例えば、高い電源電圧で駆動される高電圧系の半導体チップと低い電源電圧で駆動される低電圧系の半導体チップとを1つの半導体装置に搭載することにより、部品数の低減や省スペース化を実現できる。また、高電圧系の半導体チップと高電圧系の半導体チップの動作を制御する半導体チップとを1つの半導体装置に搭載することも、省スペース化などに有効である。

[0003] これらの場合、安全性や安定動作のために、半導体チップを互いに電氣的に絶縁分離することが好ましい。半導体チップ間の絶縁分離には、信号伝達にオプティカルデバイスやトランスを使用することが有効である。例えば、基板トランスを用いることによって信号の伝播速度を高速化する方法が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2013／027454号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、トランスを使用して高速な信号の伝播を行う技術については、十分な検討がなされていない。本発明は、絶縁分離された半導体チップ間の信号伝播速度が向上された半導体装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様によれば、互いに電氣的に絶縁して配置された第1の半導体チップ及び第2の半導体チップと、導電体層と絶縁層が積層されたチップ

トランスにおける磁界結合によって第1の半導体チップから第2の半導体チップに信号を送信する第1の信号経路及び第2の信号経路とを備え、第1の信号経路を介して送信される第1の制御信号と第2の信号経路を介して送信される第2の制御信号とによって、第2の半導体チップの動作が制御される半導体装置が提供される。

発明の効果

[0007] 本発明によれば、絶縁分離された半導体チップ間の信号伝播速度が向上された半導体装置を提供できる。

図面の簡単な説明

[0008] [図1]本発明の実施形態に係る半導体装置の構造例を示す模式図である。

[図2]本発明の実施形態に係る半導体装置の動作例を説明するためのタイミングチャートである。

[図3]本発明の実施形態に係る半導体装置に使用されるチップトランスの構造例を示す模式的な断面図である。

[図4]本発明の実施形態に係る半導体装置に使用されるチップトランスの第1のインダクタを示す模式的な斜視図である。

[図5]本発明の実施形態に係る半導体装置に使用されるチップトランスの第2のインダクタを示す模式的な斜視図である。

[図6]本発明の実施形態に係る半導体装置に使用されるチップトランスのシールドを示す模式的な斜視図である。

[図7]本発明の実施形態に係る半導体装置の送信トランスに使用される第1のインダクタ及び第2のインダクタを示す模式的な斜視図である。

[図8]本発明の実施形態に係る半導体装置の送信トランスの構造例を示す模式的な断面図である。

[図9]本発明の実施形態に係る半導体装置の送信トランスのパッド配置を示す模式的な平面図である。

[図10]本発明の実施形態に係る半導体装置のレイアウト例を示す模式図である。

発明を実施するための形態

[0009] 次に、図面を参照して、本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各部の長さの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0010] また、以下に示す実施形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の形状、構造、配置等を下記のものに特定するものでない。この発明の実施形態は、請求の範囲において、種々の変更を加えることができる。

[0011] 本発明の実施形態に係る半導体装置 1 は、図 1 に示すように、第 1 の半導体チップ 1 1、第 2 の半導体チップ 1 2、第 3 の半導体チップ 1 3、第 1 の送信トランス 2 1、及び第 2 の送信トランス 2 2 を備える。第 1 の半導体チップ 1 1、第 2 の半導体チップ 1 2 及び第 3 の半導体チップ 1 3 は、互いに電氣的に絶縁して配置されている。

[0012] 第 1 の送信トランス 2 1 及び第 2 の送信トランス 2 2 は、導電体層と絶縁層が積層された構造を有するチップトランスである。第 1 の送信トランス 2 1 は、チップトランスにおける磁界結合により信号が伝播する第 1 の信号経路 2 0 1 と第 2 の信号経路 2 0 2 を有する。第 2 の送信トランス 2 2 は、チップトランスにおける磁界結合により信号が伝播する第 3 の信号経路 2 0 3 と第 4 の信号経路 2 0 4 を有する。チップトランスの構造の詳細については後述する。

[0013] 第 1 の半導体チップ 1 1、第 2 の半導体チップ 1 2、第 3 の半導体チップ 1 3、第 1 の送信トランス 2 1 及び第 2 の送信トランス 2 2 は、絶縁性樹脂などのモールド材 1 5 によってモールド封止されて、1 つのパッケージに搭載されている。

[0014] 第1の半導体チップ11は、第2の半導体チップ12の動作を制御する第1の制御信号Sc1及び第2の制御信号Sc2を出力する。更に、第1の半導体チップ11は、第3の半導体チップ13の動作を制御する第3の制御信号Sc3及び第4の制御信号Sc4を出力する。第1の半導体チップ11の動作は、例えばマイクロプロセッサ2によって制御される。

[0015] 第1の制御信号Sc1及び第2の制御信号Sc2は、第1の送信トランス21を介して、第1の半導体チップ11から第2の半導体チップ12に送信される。即ち、第1の送信トランス21の第1の信号経路201の送信側端子Tx1及び第2の信号経路202の送信側端子Tx2が、第1の半導体チップ11に接続する。また、第1の送信トランス21の第1の信号経路201の受信側端子Rx1及び第2の信号経路202の受信側端子Rx2が、第2の半導体チップ12に接続する。ここで、チップトランスを伝播する信号が外部から入力する端子を「送信側端子」、外部に信号が出力される端子を「受信側端子」という。上記接続により、第1の信号経路201を介して、第1の制御信号Sc1が第1の半導体チップ11から第2の半導体チップ12に送信される。そして、第2の信号経路202を介して、第2の制御信号Sc2が第1の半導体チップ11から第2の半導体チップ12に送信される。

[0016] また、第3の制御信号Sc3及び第4の制御信号Sc4は、第2の送信トランス22を介して、第1の半導体チップ11から第3の半導体チップ13に送信される。即ち、第2の送信トランス22の第3の信号経路203の送信側端子Tx3及び第4の信号経路204の送信側端子Tx4が、第1の半導体チップ11に接続する。また、第2の送信トランス22の第3の信号経路203の受信側端子Rx3及び第4の信号経路204の受信側端子Rx4が、第3の半導体チップ13に接続する。これにより、第3の信号経路203を介して、第3の制御信号Sc3が第1の半導体チップ11から第3の半導体チップ13に送信される。そして、第4の信号経路204を介して、第4の制御信号Sc4が第1の半導体チップ11から第3の半導体チップ13

に送信される。

[0017] 以下において、送信側端子 $T \times 1$ 、送信側端子 $T \times 2$ 、送信側端子 $T \times 3$ 及び送信側端子 $T \times 4$ を総称して「送信側端子 $T \times$ 」という。また、受信側端子 $R \times 1$ 、受信側端子 $R \times 2$ 、受信側端子 $R \times 3$ 及び受信側端子 $R \times 4$ を総称して「受信側端子 $R \times$ 」という。

[0018] 上記のように、第1の制御信号 $S c 1$ 及び第2の制御信号 $S c 2$ が第1の半導体チップ11から第2の半導体チップ12に伝播するチャンネルは、第1の送信トランス21を用いた絶縁構造である。また、第3の制御信号 $S c 3$ 及び第4の制御信号 $S c 4$ が第1の半導体チップ11から第3の半導体チップ13に伝播するチャンネルは、第2の送信トランス22を用いた絶縁構造である。したがって、第1の半導体チップ11、第2の半導体チップ12及び第3の半導体チップ13を、互いに電氣的に絶縁することができる。このため、半導体装置1の安全性や動作の安定性が向上する。

[0019] 第2の半導体チップ12及び第3の半導体チップ13には、外部素子を駆動する駆動回路が形成されている。第2の半導体チップ12から、外部素子31を駆動する駆動信号 $S d 1$ が外部素子31に出力される。第3の半導体チップ13から、外部素子32を駆動する駆動信号 $S d 2$ が外部素子32に出力される。外部素子31、32は、例えばパワーMOSFETなどである。このとき、第2の半導体チップ12と第3の半導体チップ13の駆動能力は同等でもよいし、異なってもよい。

[0020] パワーICを駆動する駆動チップとして第2の半導体チップ12や第3の半導体チップを使用する場合は、第1の半導体チップ11は駆動チップを制御する制御チップである。例えば、第2の半導体チップ12によって外部素子31をオン状態にさせるセット信号として、第1の制御信号 $S c 1$ が第2の半導体チップ12に送信される。また、第2の半導体チップ12によって外部素子31をオフ状態にさせるリセット信号として、第2の制御信号 $S c 2$ が第2の半導体チップ12に送信される。つまり、半導体装置1は、セット信号とリセット信号とを異なる信号経路によって送信するセットリセット

(S R) 方式を採用している。

[0021] 上記動作のタイミングチャートを、図2を参照して以下に説明する。図2は、第1の送信トランス21の動作例である。

[0022] まず、第1の半導体チップ11に入力信号INが入力される。入力信号INの立ち上がりに対応して、第1の半導体チップ11が、第2の半導体チップ12に第1の制御信号Sc1を送信する。即ち、第1の半導体チップ11が、第1の送信トランス21の第1の信号経路201の送信側端子Tx1にパルス信号を出力する。これにより、第1の信号経路201の受信側端子Rx1にパルス信号が出力される。第1の信号経路201を伝播するこのパルス信号がセット信号として第2の半導体チップ12に入力され、第2の半導体チップ12が外部素子31をオン状態にする。例えば、駆動信号Sd1が高レベルになって外部素子31がオンする。

[0023] その後、入力信号INの立ち下がりに対応して、第1の半導体チップ11が、第2の半導体チップ12に第2の制御信号Sc2を送信する。即ち、第1の半導体チップ11が、第1の送信トランス21の第2の信号経路202の送信側端子Tx2にパルス信号を出力する。これにより、第2の信号経路202の受信側端子Rx2にパルス信号が出力される。第2の信号経路202を伝播するこのパルス信号がリセット信号として第2の半導体チップ12に入力され、第2の半導体チップ12が外部素子31をオフ状態にする。例えば、駆動信号Sd1がローレベルになって外部素子31がオフする。

[0024] 上記のように、第1の信号経路201がセット信号を送信する信号経路として使用され、第2の信号経路202がリセット信号を送信する信号経路として使用される。このようにセット信号とリセット信号を異なる信号経路で送信するSR方式によって、外部素子31の高速動作が可能である。例えば、入出力遅延時間が短縮される。本発明者らの検討によれば、同一の信号経路でセット信号とリセット信号を送信する従来方式の場合には入出力遅延時間が400ナノ秒程度であるのに対し、セット信号とリセット信号を異なる信号経路で送信する場合には入出力遅延時間は80ナノ秒程度である。

[0025] 第3の信号経路203と第4の信号経路204についても、セット信号とリセット信号を送信する信号経路として使用できる。例えば、第3の制御信号Sc3が、第3の半導体チップ13によって外部素子32をオン状態にさせるセット信号として、第3の半導体チップ13に送信される。また、第4の制御信号Sc4が、第3の半導体チップ13によって外部素子32をオフ状態にさせるリセット信号として、第3の半導体チップ13に送信される。

[0026] 以下に、チップトランスの構造例について説明する。半導体装置1に使用されるチップトランスには、例えば図3に示すような構造を採用可能である。

[0027] 図3に示すチップトランス100は、複数の導電体層が絶縁層を挟んで積層された積層構造である。例えばシリコン基板などの半導体基板110上に、酸化シリコン膜などの絶縁膜120を介して、複数の導電体層を含む積層体130が配置されている。積層体130は、第1の導電体層1M、第2の導電体層2M、第3の導電体層3M、及び第4の導電体層4Mが、絶縁層135を介して積層された構造である。例えば、半導体基板110の膜厚は400 μ m程度、積層体130の膜厚は10～30 μ m程度である。

[0028] 第2の導電体層2Mは、図4に示すような渦巻き状の導電性パターンを有する第1のインダクタL1が形成された第1のインダクタ層である。導電性パターンの中心部に位置する第1のインダクタL1の一方の端部が、絶縁層135に配置されたプラグ101によって第1の導電体層1Mと電氣的に接続する。「プラグ」は、絶縁層135に形成されたスルーホールに導電性材料を埋め込んだ構造である。

[0029] 第1の導電体層1Mは、プラグ102を介して、チップトランス100の上面に配置されたパッドP1aと電氣的に接続されている。つまり、第1の導電体層1Mは、第1のインダクタL1とパッドP1aとを電氣的に接続する配線の一部として使用される。一方、第1のインダクタL1の外縁部に位置する他方の端部は、プラグ103を介して、チップトランス100の上面に配置されたパッドP1bと電氣的に接続されている。

- [0030] 第4の導電体層4Mは、積層体130表面に露出してチップトランス100の上面に配置されている。第4の導電体層4Mは、図5に示すような渦巻き状の導電性パターンを有する第2のインダクタL2が形成された第2のインダクタ層である。導電性パターンの中心部に位置する第2のインダクタL2の一方の端部が、チップトランス100の上面で導電性パターンの内側に配置されたパッドP2aと電氣的に接続されている。第2のインダクタL2の外縁部に位置する他方の端部は、チップトランス100の上面で導電性パターンの外側に配置されたパッドP2bと電氣的に接続されている。
- [0031] チップトランス100では、第1のインダクタ層と第2のインダクタ層とが絶縁層を介して積層された上記構造によって、パッドP1a、P1bとパッドP2a、P2bとの間で磁界結合による信号の伝播が行われる。それぞれの中心位置が平面視で一致するように、第1のインダクタL1と第2のインダクタL2とを形成することが好ましい。チップトランス100によれば、パルス幅が数ナノ秒程度の高速なパルス信号通信が可能である。
- [0032] なお、チップトランス100では、第1のインダクタL1と第2のインダクタL2との間に、図6に示すような導電性のシールド136を配置することが好ましい。シールド136は、第3の導電体層3Mに形成される。これは、以下の理由による。
- [0033] チップトランス100では、第1のインダクタL1と第2のインダクタL2の間に寄生容量が形成される。寄生容量に蓄積された電荷が外部回路に移動して、異常な電圧や電流が発生するおそれがある。第1のインダクタL1と第2のインダクタL2の間にシールド136を配置することによって、寄生容量の電荷がシールド136を介して放出される。これにより、半導体装置1の出力にノイズが発生することを抑制できる。
- [0034] シールド136は、チップトランス100での磁界通信を妨害しないように形成される。例えば図6に示すようなU字形状の板状導電体のシールド136を使用し、第1のインダクタL1と第2のインダクタL2の中心間をシールド136によって遮蔽しないようする。シールド136は、プラグ10

6を介してチップトランス100の上面に配置されたパッドP_sと電氣的に接続される。パッドP_sは、例えばチップトランス100の受信側端子R_xが接続される半導体チップを介して接地される。

[0035] ところで、積層体130の下層側である第2の導電体層2Mの膜厚を厚くすると、平坦性が悪くなり、第2の導電体層2M以降の工程で不良が生じるなどの問題が起こる。このため、第4の導電体層4Mの膜厚を厚くすることは比較的容易であるが、第2の導電体層2Mの膜厚を厚くすることは難しい。例えば、第2の導電体層2Mの膜厚を1 μ m程度、第4の導電体層4Mの膜厚を4 μ m程度に設定する。

[0036] チップトランス100を用いて磁界結合による信号伝播を行う場合、安定して高周波の信号伝播を行うためには受信側よりも送信側のオン抵抗が小さいことが好ましい。このため、膜厚が厚い第4の導電体層4Mに形成された第2のインダクタL₂に接続するパッドP_{2a}及びパッドP_{2b}を送信側端子T_xとする。そして、膜厚が薄い第2の導電体層2Mに形成された第1のインダクタL₁に接続するパッドP_{1a}及びパッドP_{1b}を受信側端子R_xとする。これにより、平坦性の良いチップトランス100の製造が容易になる。

[0037] なお、平坦性が確保できる場合や平坦性が問題にならない場合には、第2の導電体層2Mの膜厚を第4の導電体層4Mの膜厚と同程度にしてもよい。或いは第2の導電体層2Mの膜厚を第4の導電体層4Mの膜厚よりも厚くしてもよい。その場合、第2の導電体層2Mに形成される第1のインダクタL₁を送信側のインダクタとし、第4の導電体層4Mに形成される第2のインダクタL₂を受信側のインダクタとすることができる。

[0038] 第1の導電体層1M、第2の導電体層2M、第3の導電体層3M及び第4の導電体層4Mの材料には、例えばアルミニウム（Al）、銅（Cu）、AlCuなどの導電性材料を使用可能である。また、絶縁層135に埋め込まれるプラグにも上記の導電性材料を使用可能である。

[0039] なお、第1の送信トランス21は、第1の信号経路201を構成するチッ

プトランスと第2の信号経路202を構成するチップトランスを、同一の半導体基板110上に形成した構造である。この場合、図7に示すように、第1の信号経路201を構成する第1のインダクタL1（以下において「インダクタL11」という。）と第2の信号経路202を構成する第1のインダクタL1（以下において「インダクタL12」という。）を、同一の第1のインダクタ層（第2の導電体層2M）に形成する。そして、第1の信号経路201を構成する第2のインダクタL2（以下において「インダクタL21」という。）と第2の信号経路202を構成する第2のインダクタL2（以下において「インダクタL22」という。）を、同一の第2のインダクタ層（第4の導電体層4M）に形成する。

[0040] なお、図7に示すように、第4の導電体層4Mにおいて、インダクタL21とインダクタL22のそれぞれ外縁部に位置する端部を連結することが好ましい。この連結箇所は、第1の送信トランス21の上面で導電性パターンの外側に配置されたパッドP20bと電氣的に接続される。

[0041] 一方、インダクタL21の中心部に位置する端部は、第1の送信トランス21の上面でインダクタL21の内側に配置されたパッドP21aと電氣的に接続される。また、インダクタL22の中心部に位置する端部は、第1の送信トランス21の上面でインダクタL22の内側に配置されたパッドP22aと電氣的に接続される。なお、図7では、インダクタL11とインダクタL12に接続するプラグ、及び第1の導電体層1M、第3の導電体層3Mは図示を省略している。

[0042] 図8に示すように、インダクタL11の中心部に位置する端部は、プラグ1011、第1の導電体層1M及びプラグ1021を介して、第1の送信トランス21の上面に配置されたパッドP11aと電氣的に接続される。インダクタL11の外縁部に位置する端部は、プラグ1031を介して、第1の送信トランス21の上面に配置されたパッドP11bと電氣的に接続される。

[0043] また、インダクタL12の中心部に位置する端部は、プラグ1012、第

1の導電体層1M及びプラグ1022を介して、第1の送信トランス21の上面に配置されたパッドP12aと電氣的に接続される。インダクタL12の外縁部に位置する端部は、プラグ1032を介して、第1の送信トランス21の上面に配置されたパッドP12bと電氣的に接続される。

[0044] 図7及び図8に示したように、インダクタL21とインダクタL22のそれぞれの一方の端部を共通のパッドP20bに接続することによって、パッドの個数を減らすことができる。更に、図8に示すように、第1の信号経路201を構成するチップトランスと第2の信号経路202を構成するチップトランスのシールドを連結することにより、シールド用のパッドPsを共通にできる。

[0045] 第1の信号経路201では、インダクタL11とインダクタL21とが絶縁層を介して積層された構造によって、パッドP11a、P11bとパッドP21a、P20bとの間で磁界結合による信号の伝播が行われる。第2の信号経路202では、インダクタL12とインダクタL22とが絶縁層を介して積層された構造によって、パッドP12a、P12bとパッドP22a、P20bとの間で磁界結合による信号の伝播が行われる。

[0046] 図8に示したように共通のパッドを使用することによって、第1の送信トランス21のパッド数を、チップトランス100を2つ並べた場合よりも少なくできる。図9に、第1の送信トランス21のパッド配置例を示す。また、2つのチップトランスを含む第1の送信トランス21を使用することにより、2つのチップトランス100を並べて配置する場合よりも、チップトランスの配置に必要な面積を小さくすることができる。

[0047] 第2の送信トランス22についても、第3の信号経路203を構成するチップトランスと第4の信号経路204を構成するチップトランスを同一の半導体基板110上に形成した構造を採用可能である。この場合、第2の送信トランス22の構造を、図7から図9に示した第1の送信トランス21の構造と同様にできる。即ち、第3の信号経路203を構成するインダクタL11と第4の信号経路204を構成するインダクタL12を、同一の第1のイ

ンダクタ層に形成する。そして、第3の信号経路203を構成するインダクタL21と第4の信号経路204を構成するインダクタL22を、同一の第2のインダクタ層に形成する。

[0048] 半導体装置1に対する信号の入出力は、例えば図10に示すようにモールド材15を貫通する外部リード16を介して行われる。即ち、第1の半導体チップ11とマイクロプロセッサ2との接続、第2の半導体チップ12と外部素子31との接続、及び、第3の半導体チップ13と外部素子32との接続は、外部リード16を介して行われる。第1の半導体チップ11、第2の半導体チップ及び第3の半導体チップと外部リード16との接続には、例えばボンディングワイヤが使用される。また、第1の半導体チップ11と第1の送信トランス21及び第2の送信トランス22との接続、第1の送信トランス21と第2の半導体チップ12との接続、及び、第2の送信トランス22と第3の半導体チップ13との接続に、例えばボンディングワイヤが使用される。

[0049] 図10に示すように、第2の半導体チップ12が配置された領域と第3の半導体チップ13が配置された領域とは、第1の半導体チップ11、第1の送信トランス21及び第2の送信トランス22を挟んで対向するように配置されている。このため、半導体装置1においては、第2の半導体チップ12又は第3の半導体チップ13において生じる電磁ノイズが他方の半導体チップに干渉することが抑制される。

[0050] なお、半導体装置1に銅合金材料などの金属フレームを使用する場合には、金属フレームの半導体チップ搭載部であるダイパッドを3分割して、第1の半導体チップ11、第2の半導体チップ12、第3の半導体チップ13をそれぞれ別個のダイパッドに搭載する。これにより、各半導体チップは、電氣的電磁的に互いに絶縁分離される。なお、第1の送信トランス21は第2の半導体チップ12の搭載されたダイパッドに搭載可能である。また、第2の送信トランス22は第3の半導体チップ13の搭載されたダイパッドに搭載可能である。

- [0051] 半導体装置 1 は、ハイブリッド車の車載電子回路システムの一部などに使用することができる。例えば、第 2 の半導体チップ 1 2 と第 3 の半導体チップ 1 3 をハイブリッド車の高電圧系回路を駆動する駆動装置として使用し、第 1 の半導体チップ 1 1 をハイブリッド車の低電圧系回路を駆動する駆動装置として使用する。ここで、低電圧系回路は、車載電子回路、ヘッドライトやウィンカーなどの灯光類、ガソリンエンジンやディーゼルエンジンなどの内燃機関の発火装置などの、12V 系若しくは 24V 系バッテリーによって電源が供給される回路である。高電圧系回路は、電気モータを駆動する回路などである。電気モータを駆動するためには、例えば 200V 系バッテリーの出力を 500V～900V の高電圧に昇圧する。
- [0052] 以上に説明したように、本発明の実施形態に係る半導体装置 1 によれば、信号が伝播する経路にチップトランスを使用することにより、絶縁分離された半導体チップ間の信号伝播速度を向上することができる。
- [0053] 本発明の実施形態と異なり、信号伝播経路にオプティカルデバイスを使用した場合には、発光ダイオードなどの発光素子の輝度が劣化することにより受光素子の受光特性が低下し、信号伝達応答性が低くなる。更に、オプティカルデバイスが高温環境下に置かれると発光素子の輝度の劣化や受光素子の受光特性の低下が速くなり、耐用年数が短くなる。
- [0054] これに対し、本発明の実施形態に係る半導体装置 1 では、信号伝播経路にオプティカルデバイスではなくチップトランスを使用するため、信号の伝達応答性が低下することなく、且つ耐用年数が短くなることもない。例えば、環境温度が高温になる車載用としても、実施形態に係る半導体装置 1 は好適である。
- [0055] 更に、チップトランスは基板トランスよりもサイズが小さく、結合容量が小さい。このため、チップトランスを使用することにより、信号の伝播速度を向上できる。また、チップトランスを使用することによって、半導体装置 1 全体のサイズを小さくすることができる。更に、チップトランスのサイズが小さいことにより、半導体装置 1 が受ける外部磁界の影響を抑制すること

ができる。例えば素子電流の大きな外部素子が半導体装置 1 の周囲に配置された場合などに、外部素子の動作に起因して発生する磁界によって第 1 の送信トランス 2 1 や第 2 の送信トランス 2 2 が受ける影響を抑制できる。

[0056] (その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0057] 既に述べた実施形態の説明においては、第 1 の信号経路 2 0 1 と第 2 の信号経路 2 0 2 からなる一对の信号経路と、第 3 の信号経路 2 0 3 と第 4 の信号経路 2 0 4 からなる一对の信号経路とを有する、2 チャンネルの半導体装置 1 を示した。しかし、一对の信号経路を有する 1 チャンネルの半導体装置 1 にも本発明は適用可能である。

[0058] このように、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な請求の範囲に係る発明特定事項によってのみ定められるものである。

産業上の利用可能性

[0059] 本発明の半導体装置は、複数の半導体チップが互いに絶縁分離されて配置された半導体装置の用途に利用可能である。

請求の範囲

- [請求項1] 互いに電氣的に絶縁して配置された第1の半導体チップ及び第2の半導体チップと、
- 導電体層と絶縁層が積層されたチップトランスにおける磁界結合によって前記第1の半導体チップから前記第2の半導体チップに信号を送信する第1の信号経路及び第2の信号経路と
- を備え、
- 前記第1の信号経路を介して送信される第1の制御信号と前記第2の信号経路を介して送信される第2の制御信号とによって、前記第2の半導体チップの動作が制御されることを特徴とする半導体装置。
- [請求項2] 前記第1の信号経路及び前記第2の信号経路を有する送信トランスを備えることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2の半導体チップが外部素子を駆動する駆動回路を有し、
- 前記第1の制御信号が、前記第2の半導体チップによって前記外部素子をオン状態にさせるセット信号であり、
- 前記第2の制御信号が、前記第2の半導体チップによって前記外部素子をオフ状態にさせるリセット信号である
- ことを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記チップトランスが、
- 渦巻き状の導電性パターンを有する第1のインダクタが形成された第1のインダクタ層と、
- 渦巻き状の導電性パターンを有する第2のインダクタが形成された第2のインダクタ層と、
- 前記第1のインダクタ層と前記第2のインダクタ層との間に配置された絶縁層と
- を備えることを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記第1のインダクタ層の上方に配置される前記第2のインダクタ層の膜厚が前記第1のインダクタ層の膜厚よりも厚く、

前記第 1 のインダクタが前記第 2 の半導体チップに接続し、
前記第 2 のインダクタが前記第 1 の半導体チップに接続する
ことを特徴とする請求項 4 に記載の半導体装置。

[請求項 6] 前記第 1 のインダクタと前記第 2 のインダクタとの間で前記絶縁層の内部に配置された導電性のシールドを更に備えることを特徴とする請求項 4 に記載の半導体装置。

[請求項 7] 2 つの前記第 1 のインダクタが互いに離間して前記第 1 のインダクタ層に形成され、

2 つの前記第 2 のインダクタが互いに離間し、且つそれぞれの一方の端子同士が接続して、前記第 2 のインダクタ層に形成され、

前記第 1 のインダクタ、前記絶縁層及び前記第 2 のインダクタが積層された構造をそれぞれ有する前記第 1 の信号経路と前記第 2 の信号経路が、同一の半導体基板に形成されていることを特徴とする請求項 4 に記載の半導体装置。

[請求項 8] 前記第 1 の半導体チップ及び前記第 2 の半導体チップと電氣的に絶縁して配置された第 3 の半導体チップと、

導電体層と絶縁層が積層されたチップトランスにおける磁界結合によって前記第 1 の半導体チップから前記第 3 の半導体チップに信号を送信する第 3 の信号経路及び第 4 の信号経路と

を更に備え、

前記第 3 の信号経路を介して送信される第 3 の制御信号と前記第 4 の信号経路を介して送信される第 4 の制御信号とによって、前記第 3 の半導体チップの動作が制御されることを特徴とする請求項 1 に記載の半導体装置。

[請求項 9] 前記第 3 の信号経路及び前記第 4 の信号経路を有する送信トランスを備えることを特徴とする請求項 8 に記載の半導体装置。

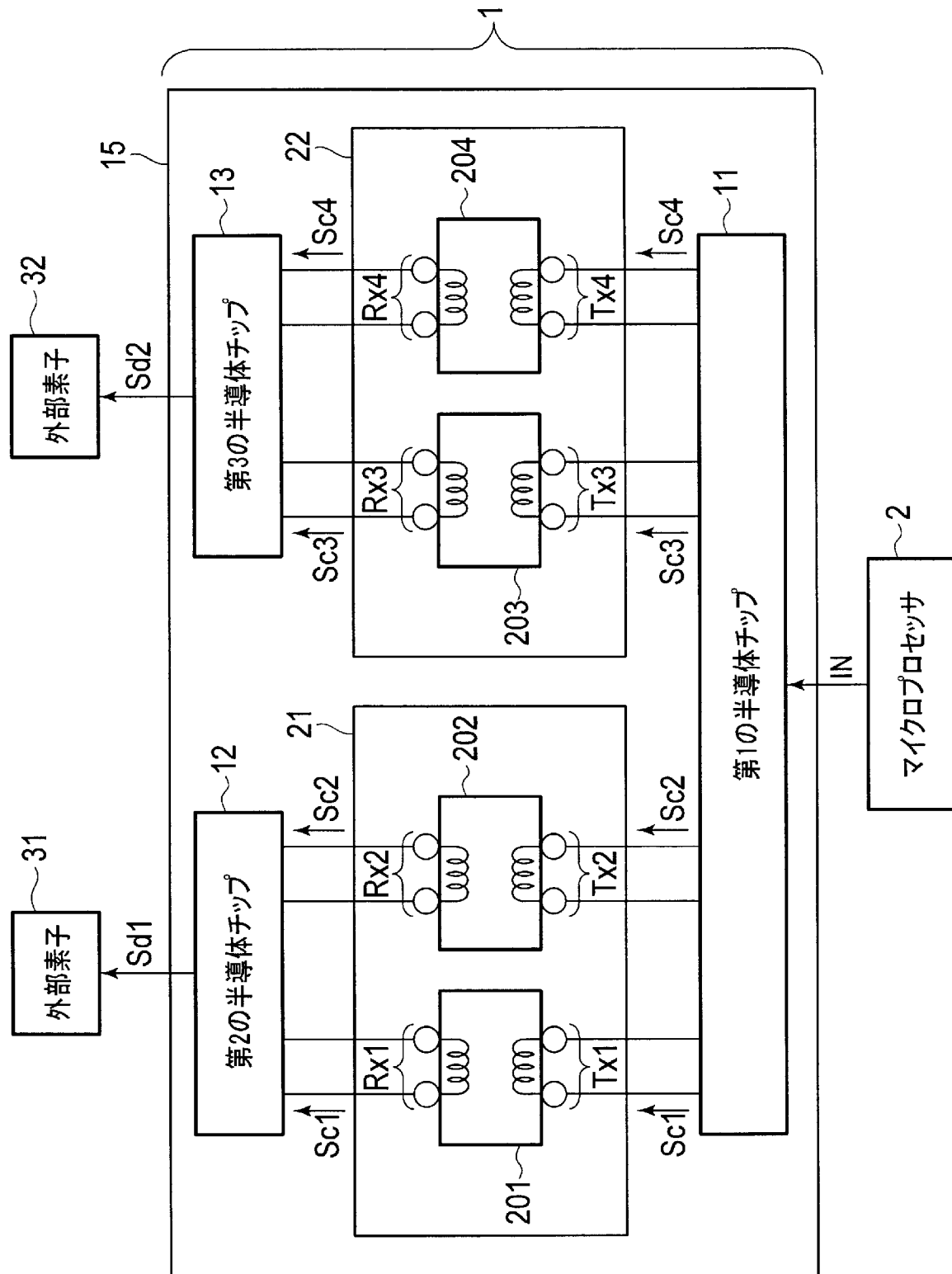
[請求項 10] 前記第 3 の半導体チップが外部素子を駆動する駆動回路を有し、前記第 3 の制御信号が、前記第 3 の半導体チップによって前記外部

素子をオン状態にさせるセット信号であり、

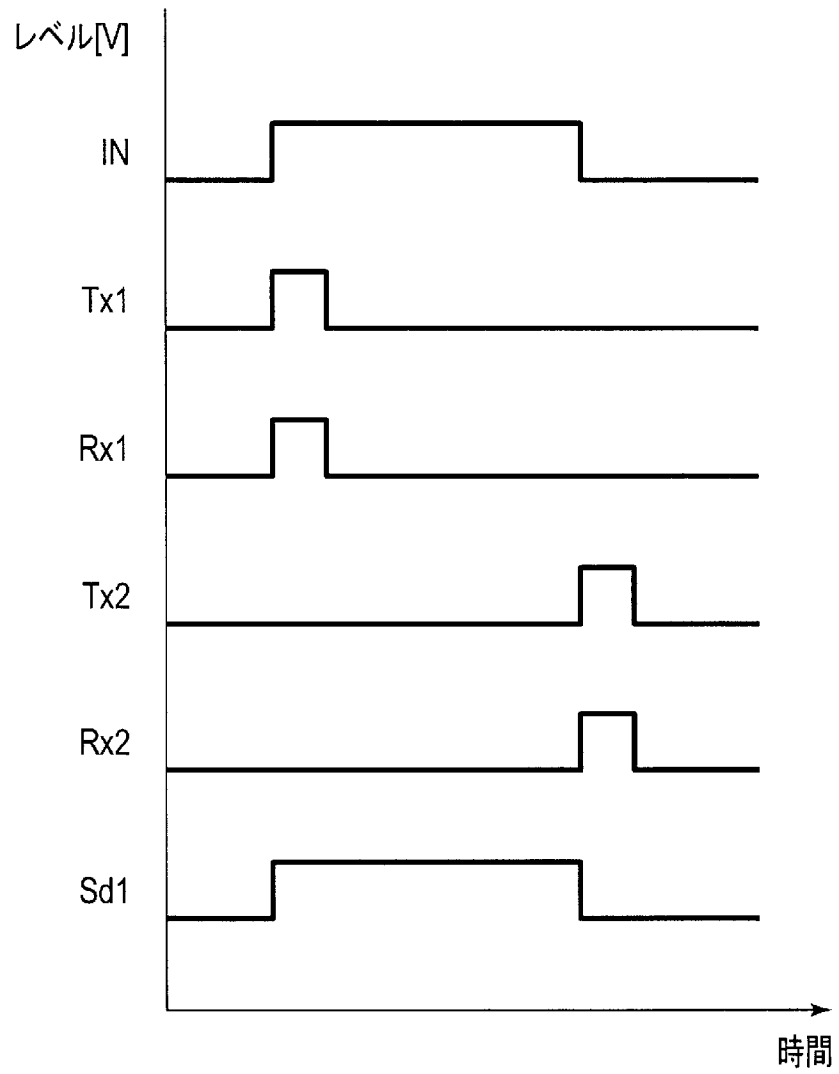
前記第４の制御信号が、前記第３の半導体チップによって前記外部素子をオフ状態にさせるリセット信号である

ことを特徴とする請求項８に記載の半導体装置。

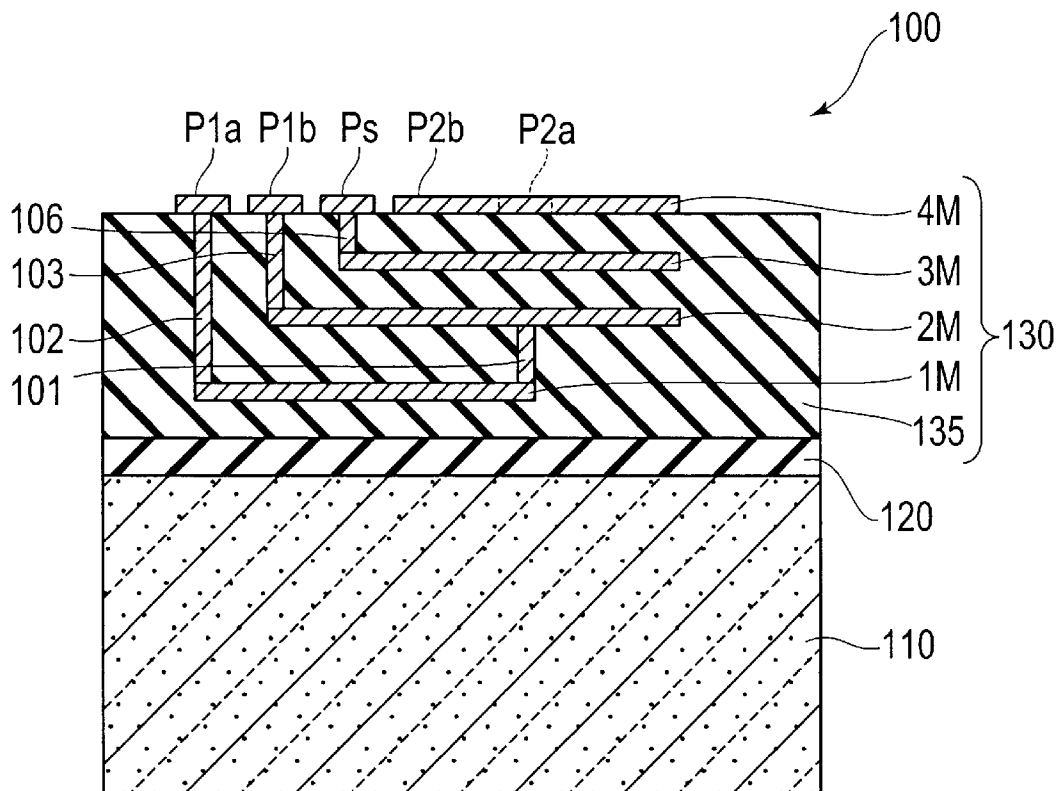
[図1]



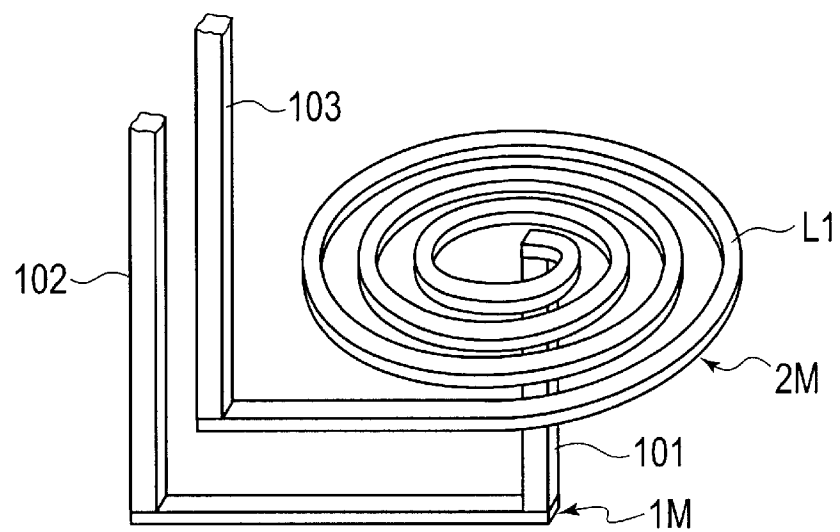
[図2]



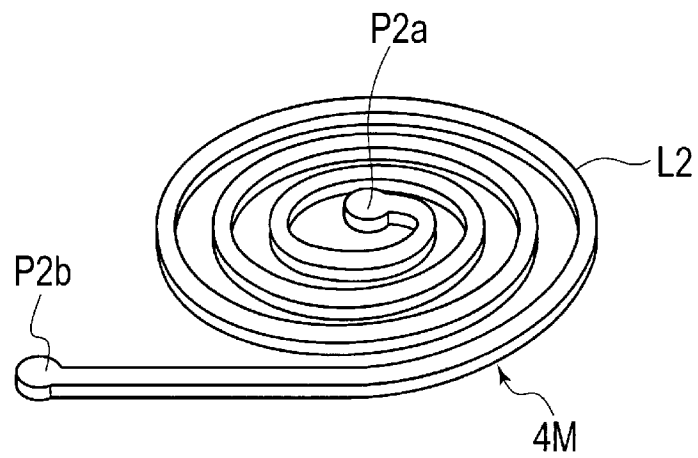
[図3]



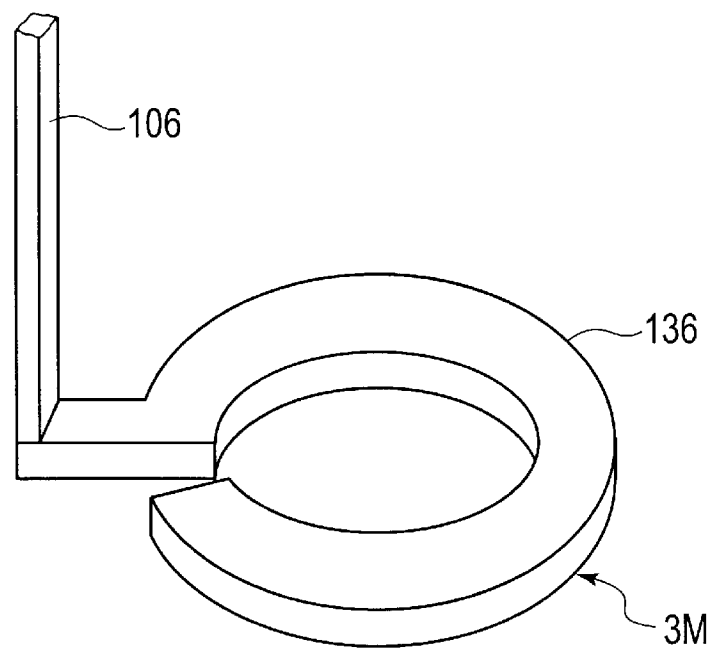
[図4]



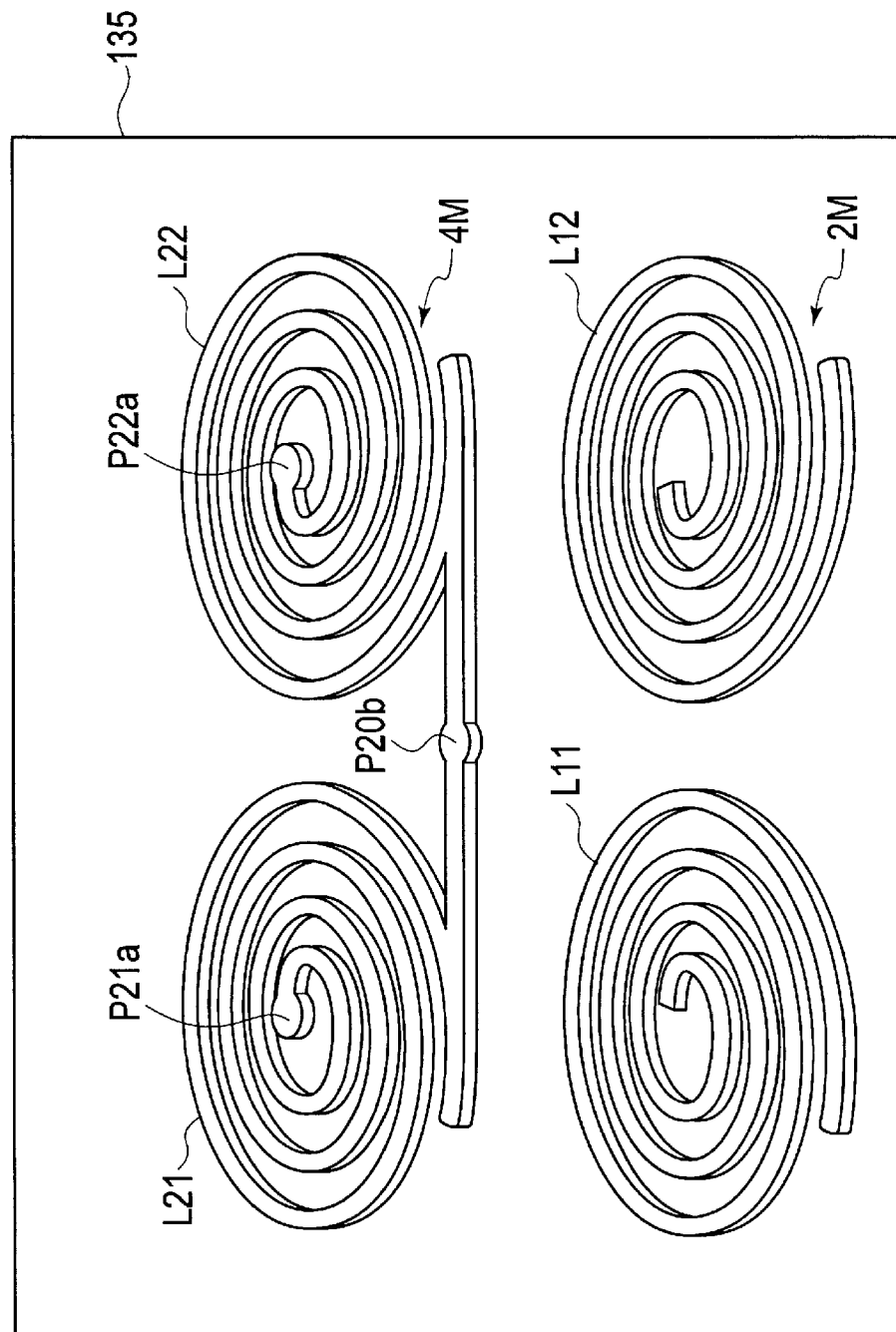
[図5]



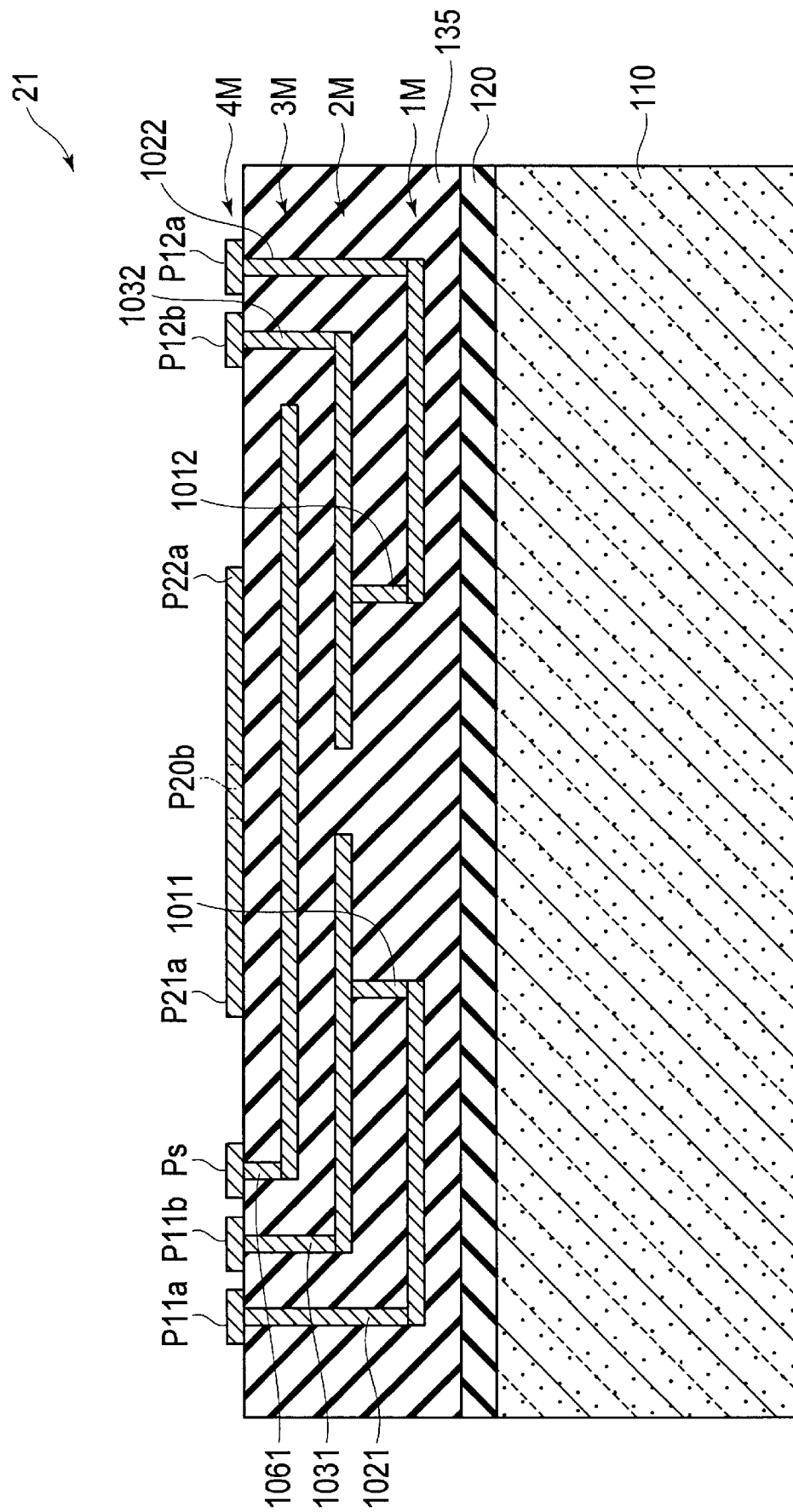
[図6]



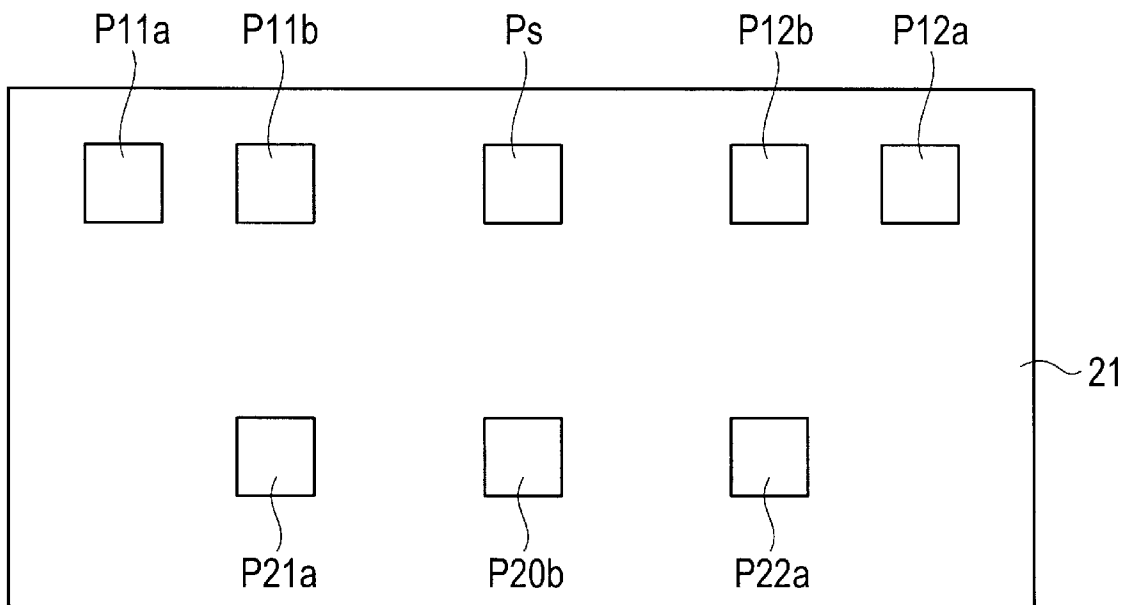
[図7]



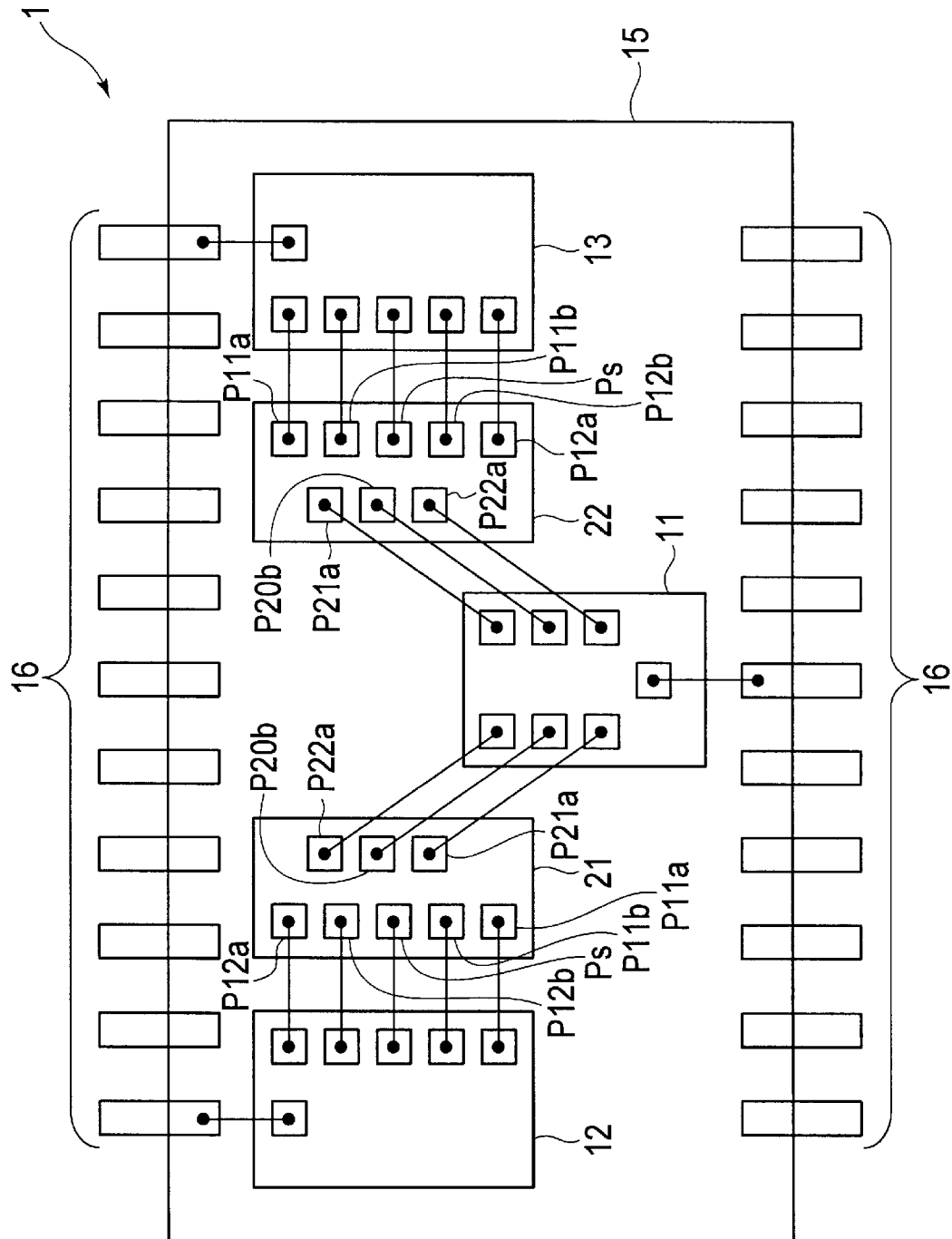
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070836

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01)i, H01F17/00(2006.01)i, H01L25/00(2006.01)i, H04B5/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/02, H01F17/00, H01L25/00, H04B5/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-15697 A (Rohm Co., Ltd.), 22 January 2015 (22.01.2015), paragraphs [0026] to [0039]; fig. 1, 2 & US 2014/0361810 A1	1-10
Y	JP 2013-229812 A (Renesas Electronics Corp.), 07 November 2013 (07.11.2013), paragraphs [0198] to [0204], [0210]; fig. 28 to 30 & US 2013/0285465 A1	1-10
Y A	JP 4-133408 A (Toshiba Lighting & Technology Corp.), 07 May 1992 (07.05.1992), page 2, upper right column, line 3 to lower right column, line 7; fig. 1 (Family: none)	4-7 1-3, 8-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 September 2015 (16.09.15)

Date of mailing of the international search report
06 October 2015 (06.10.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070836

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/027454 A1 (Sanken Electric Co., Ltd.), 28 February 2013 (28.02.2013), fig. 1, 4 & JP 2013-46285 A & US 2014/0210047 A1 & CN 103748680 A & KR 10-2014-0058596 A	8-10 1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L25/02(2006.01)i, H01F17/00(2006.01)i, H01L25/00(2006.01)i, H04B5/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L25/02, H01F17/00, H01L25/00, H04B5/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-15697 A（ローム株式会社）2015.01.22, 段落[0026]－[0039], 第1, 2 図 & US 2014/0361810 A1	1－10
Y	JP 2013-229812 A（ルネサスエレクトロニクス株式会社） 2013.11.07, 段落[0198]－[0204], [0210], 第28－30 図 & US 2013/0285465 A1	1－10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 9 . 2 0 1 5

国際調査報告の発送日

0 6 . 1 0 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9 3 8 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 4-133408 A (東芝ライテック株式会社) 1992. 05. 07,	4-7
A	第2 ページ右上欄第3 行-右下欄第7 行, 第1 図 (ファミリーなし)	1-3, 8-10
Y	WO 2013/027454 A1 (サンケン電気株式会社) 2013. 02. 28,	8-10
A	第1, 4 図 & JP 2013-46285 A & US 2014/0210047 A1 & CN 103748680 A & KR 10-2014-0058596 A	1-7