

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 1 月 7 日(07.01.2016)



(10) 国際公開番号
WO 2016/002683 A1

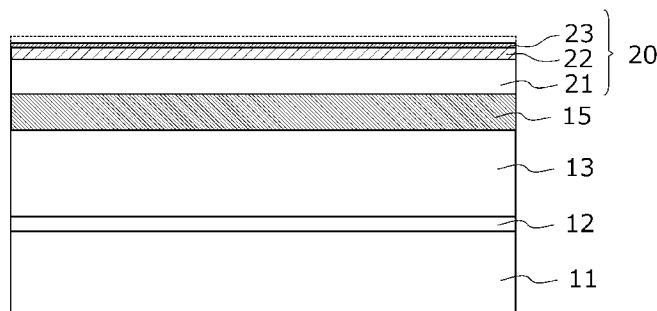
- (51) 国際特許分類:
H01L 33/32 (2010.01)
- (21) 国際出願番号: PCT/JP2015/068607
- (22) 国際出願日: 2015 年 6 月 29 日(29.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-136937 2014 年 7 月 2 日(02.07.2014) JP
- (71) 出願人: ウシオ電機株式会社(USHIO DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008150 東京都千代田区大手町 2 丁目 6 番 1 号 Tokyo (JP).
- (72) 発明者: 月原 政志(TSUKIHARA, Masashi); 〒6710224 兵庫県姫路市別所町佐土 1 1 9 4 番地 ウシオ電機株式会社内 Hyogo (JP). 中村 薫(NAKAMURA, Kaoru); 〒6018034 京都府京都市南区東九条南河辺町 6 6 - 3 株式会社エピテックス内 Kyoto (JP).
- (74) 代理人: 特許業務法人 ユニウス国際特許事務所 (UNIUS PATENT ATTORNEYS OFFICE); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 1 3 - 9 新大阪MTビル 1 号館 2 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体発光素子及びその製造方法

[図1]



1

(57) Abstract: Provided are: a semiconductor light-emitting element having a lower operating voltage than conventional semiconductor light-emitting elements and capable of obtaining a high optical output; and a production method therefor. This semiconductor light-emitting element production method has: a step (a) in which a substrate is prepared; a step (b) in which an n-type first semiconductor layer comprising $n\text{-Al}_{x1}\text{Ga}_{y1}\text{In}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) is formed upon the substrate; a step (c) in which an active layer is formed upon an upper layer of the first semiconductor layer; a step (d) in which a p-type second semiconductor layer comprising $p\text{-Al}_{x2}\text{Ga}_{y2}\text{In}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) is formed upon the active layer at an internal furnace temperature of at least 800°C; a step (e) in which a p-type third semiconductor layer comprising p-GaN is formed upon the upper layer of the second semiconductor layer at an internal furnace temperature of at least 800°C; and a step (f) in which the internal furnace temperature is reduced after step (e).

(57) 要約:

[続葉有]



WO 2016/002683 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲及び説明書 (条約第 19 条(1))

動作電圧を従来よりも低下させながらも高い光出力を得ることのできる半導体発光素子及びその製造方法を実現する。本発明に係る半導体発光素子の製造方法は、基板を準備する工程 (a)、基板上に、 $n\text{-Al}_{x_1}\text{Ga}_{y_1}\text{In}_{1-x_1-y_1}\text{N}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) よりなる n 型の第一半導体層を形成する工程 (b)、第一半導体層の上層に活性層を形成する工程 (c)、活性層の上層に、炉内の温度を 800°C 以上として $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ ($0 < x_2 \leq 1$, $0 \leq y_2 < 1$) よりなる p 型の第二半導体層を形成する工程 (d)、第二半導体層の上層に、前記炉内の温度を 800°C 以上として $p\text{-GaIn}$ よりなる p 型の第三半導体層を形成する工程 (e)、及び、工程 (e) の後に炉内温度を低下させる工程 (f) を有する。

明 細 書

発明の名称：半導体発光素子及びその製造方法

技術分野

[0001] 本発明は半導体発光素子及びその製造方法に関する。

背景技術

[0002] 窒化物半導体を用いた発光素子として、下記特許文献１の構造が知られている。図６は、同文献に開示されている半導体発光素子の構造を模式的に示す断面図である。

[0003] 図６に示す従来の半導体発光素子１００は、基板１０１、バッファ層１０２、ｎ型コンタクト層１０３、ｎ型クラッド層１０４、活性層１０５、ｐ型クラッド層１０６、第一のｐ型コンタクト層１０７、第二のｐ型コンタクト層１０８を備える。また、半導体発光素子１００は、ｎ型コンタクト層１０３の上面にｎ側電極１０９を有し、第二のｐ型コンタクト層１０８の上面にｐ側電極１１０を有する。

[0004] 特許文献１によれば、ｐ側電極１１０と接触する第二のｐ型コンタクト層１０８はｐ型不純物濃度が高くＡＩ組成比の低い半導体層で構成され、第一のｐ型コンタクト層１０７は第二のｐ型コンタクト層１０８と比較してｐ型不純物濃度が低くＡＩ組成比の高い半導体層で構成されたと記載されている。同文献によれば、このようにｐ型不純物濃度とＡＩ組成比が異なる２種類の層でｐ型コンタクト層（１０７，１０８）を形成することにより、ｐ側電極１１０とのオーミック接触を実現しながらも、自己吸収を防止しながら素子特性を維持できる程度にコンタクト層の膜厚を確保することができると記載されている。

先行技術文献

特許文献

[0005] 特許文献１：特許第３６１４０７０号明細書

発明の概要

発明が解決しようとする課題

- [0006] 特許文献1によれば、図6に示す従来の半導体発光素子100は以下の手順で作製される。
- [0007] 基板101の上層にGa_{0.94}Nよりなるバッファ層102を510℃で成長させた後、n型Al_{0.04}Ga_{0.96}Nよりなるn型コンタクト層103を1050℃で成長させる。次に、n型コンタクト層103の上層にn型Al_{0.18}Ga_{0.82}Nよりなるn型クラッド層104を1050℃で成長させ、その後に700℃でアンドープInGa_{0.49}Nよりなる活性層105を成長させる。なお、本明細書において、InGa_{0.49}Nとの記載は、In_{a1}Ga_{1-a1}N（0<a1<1）という意味であり、InとGaの組成比が1：1であることを表すものではない。AlGa_{0.49}N等の記載も同趣旨である。
- [0008] 次に、1050℃で、Al_{0.2}Ga_{0.8}Nよりなるp型クラッド層106を成長させる。次に、p型クラッド層106上にMgを $1 \times 10^{19} / \text{cm}^3$ ドーピングしたAl_{0.04}Ga_{0.96}Nよりなる第一のp型コンタクト層107を0.1μmの膜厚で成長させた後、ガスの流量を調整してMgを $2 \times 10^{21} / \text{cm}^3$ ドーピングしたAl_{0.01}Ga_{0.99}Nよりなる第二のp型コンタクト層108を0.02μmの膜厚で成長させる。
- [0009] その後、ウェハを反応容器内において、700℃でアニーリングを行い、p型半導体層を低抵抗化した後、ウェハを反応容器から取り出す。そして、最上層に位置する第二のp型コンタクト層108の表面に所定の形状のマスクを形成し、RIE（反応性イオンエッチング）装置で第二のp型コンタクト層108側から半導体層をエッチングして、図6に示すようにn型コンタクト層103の表面を露出させる。そして、露出したn型コンタクト層103の上面にn側電極109を形成し、第二のp型コンタクト層108の上面にp側電極110を形成する。
- [0010] ここで、上述したように、p型クラッド層106、第一のp型コンタクト層107、及び第二のp型コンタクト層108は、いずれも炉内を1000℃以上の高温状態としてエピタキシャル成長させることで形成される。その

後、炉内の温度は低下される。上記の方法では、700℃程度まで低下されてアニール処理が施された後、ウェハは炉外へと出される。

[0011] しかし、本発明者の鋭意研究によれば、上述した方法によって製造された半導体発光素子は、動作電圧が高くなることを見出した。

[0012] 本発明は、上記の課題に鑑み、動作電圧を従来よりも低下させながらも高い光出力を得ることのできる半導体発光素子及びその製造方法を実現することを目的とする。

課題を解決するための手段

[0013] 本発明者は、鋭意研究により、特許文献1に記載された半導体発光素子の動作電圧が高くなる理由を以下のように考えている。

[0014] 特許文献1に記載された半導体発光素子100の半導体層のうち最上面に位置する半導体層、すなわちp側電極110と接触する半導体層（第二のp型コンタクト層108）は、 $\text{Al}_{0.01}\text{Ga}_{0.99}\text{N}$ で構成されている。そして、この層は、炉内の温度を1050℃という高温にした状態でエピタキシャル成長することで形成された層である。

[0015] ところで、 AlGaIn は GaIn と AlIn の混晶であり、 AlIn の形成温度は GaIn の形成温度よりも高い。つまり、1050℃という高温下でTMG（トリメチルガリウム）、TMA（トリメチルアルミニウム）、アンモニア等の原料ガスを供給しながら AlGaIn からなる第二のp型コンタクト層108を成長させた後、ガスの供給を停止しても、炉内はしばらくの間、極めて高い温度下に晒される。このとき、第二のp型コンタクト層108を構成する AlGaIn のうちの GaIn が選択的に蒸発してしまい、 AlGaIn のAl組成比が高まる。

[0016] つまり、成長条件としては、 $\text{Al}_{0.01}\text{Ga}_{0.99}\text{N}$ が形成されるように各原料ガスの流量比を設定していたとしても、ガスの供給を停止してから、 GaIn が蒸発しない程度に炉内が低温になるまでの間、特に第二のp型コンタクト層108の上面から GaIn が蒸発してしまう。このため、第二のp型コンタクト層108の上面にはAlリッチの層が形成される。

[0017] このように第二のp型コンタクト層108の上面にAlリッチの層が存在すると、当該層のバンドギャップが広がり、キャリア濃度が下がってしまう。また、Alリッチの層が酸化して Al_2O_3 等の高抵抗層が表面に形成される場合がある。これらの理由により、p側電極110と第二のp型コンタクト層108との間のコンタクト抵抗が高くなり、半導体発光素子100の動作電圧が上昇してしまう。

[0018] かかる考察の下、本発明に係る半導体発光素子の製造方法は、
 基板を準備する工程(a)、
 前記基板上に、 $n-AI_{x1}Ga_{y1}In_{1-x1-y1}N$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) よりなるn型の第一半導体層を形成する工程(b)、
 前記第一半導体層の上層に活性層を形成する工程(c)、
 前記活性層の上層に、炉内の温度を800℃以上として $p-AI_{x2}Ga_{y2}In_{1-x2-y2}N$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) よりなるp型の第二半導体層を形成する工程(d)、
 前記第二半導体層の上層に、前記炉内の温度を800℃以上としてp-GaNよりなるp型の第三半導体層を形成する工程(e)、
 及び、前記工程(e)の後に炉内温度を低下させる工程(f)を有することを特徴とする。

[0019] 上記の方法とすることで、炉内の温度が低下する直前の状態、すなわち工程(f)の直前の状態で、 $p-AI_{x2}Ga_{y2}In_{1-x2-y2}N$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) よりなるp型の第二半導体層の上面にはp-GaNよりなるp型の第三半導体層が形成されている。つまり、炉内の温度が高温の状態でもガスの供給を停止しても、Alを含む混晶で構成される第二半導体層は最上面に位置していないため、この第二半導体層からGaNが蒸発して第二半導体層の上面がAlリッチになるということはない。また、ガスの供給を停止した時点で最上面に位置している第三半導体層はp-GaNで構成されているため、炉内の温度を低下させている工程中に第三半導体層からGaNが蒸発したとしても、Alリッチな層が第三半導体層の最上面に形成されると

いうことはない。

[0020] 従って、従来のように、p側電極と接触するp型半導体層の上面にAlリッチな層が形成されていないため、炉内温度を低下させる工程(f)の後に第三半導体層の上面にp側電極を形成しても、p側電極と第三半導体層の間のコンタクト抵抗が高くなるということがない。よって、従来よりも動作電圧の低い半導体発光素子の実現される。この結果は、「発明を実施するための形態」の項で実施例を参照して後述される。

[0021] なお、第三半導体層は、ドーピングされているp型不純物濃度が高い（例えば $1 \times 10^{19} / \text{cm}^3$ 以上）層としても構わない。

[0022] また、第二半導体層についても、ドーピングされているp型不純物濃度が高い（例えば $1 \times 10^{19} / \text{cm}^3$ 以上）層としても構わない。この場合、工程(f)の過程において、第三半導体層が全て蒸発してしまっても構わない。このとき、第三半導体層は、第二半導体層を構成するAlを含む混晶からGaNの蒸発を防ぐための保護層としてのみ機能する。そして、工程(f)の後、第二半導体層の上面にp側電極が形成される。この場合、p側電極と接触する半導体層は、 $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ からなる第二半導体層である。この第二半導体層がAlGaN層である場合には、 $p\text{-AlGaN}$ 層の上層にp側電極が形成されている点に関しては、図6を参照して上述した従来の構造と同様である。しかし、上述したように、第二半導体層は、工程(f)の後、特に炉内温度が高い初期段階においては、その上面に保護層としての第三半導体層が形成されているため、従来構成とは異なり、 $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ からなる第二半導体層の上面にはAlリッチな層が形成されない。よって、従来の構成よりも動作電圧の低い半導体発光素子の実現される。

[0023] なお、工程(d)は、 $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ ($0 < x_2 \leq 1$, $0 \leq y_2 < 1$) を成長することのできる温度以上の温度で形成するものとして構わない。同様に、工程(e)は、 $p\text{-GaN}$ を成長することのできる温度以上の温度で形成するものとして構わない。

[0024] また、本発明の半導体発光素子の製造方法は、前記工程（f）の後に前記第三半導体層の上層に電極を形成する工程（g）を更に有するものとして構わない。

[0025] また、前記工程（e）は、前記工程（d）と比べて、前記炉内に供給される原料ガスの流量のみが変更されて実行される工程とすることもできる。すなわち、工程（d）と工程（e）とで成長温度をほぼ同じとしても構わない。

[0026] このとき、工程（e）は工程（d）に引き続き炉内を高い温度として半導体層を成長させる工程であるため、工程（d）によって形成された $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ ($0 < x_2 \leq 1$, $0 \leq y_2 < 1$) よりなる第二半導体層の上面から GaN が蒸発して Al リッチの層が上面に形成されるということではなく、第二半導体層の上面に第三半導体層が形成される。

[0027] また、前記工程（f）の実行後、前記第三半導体層の膜厚が 5 nm 以下となっても構わない。

[0028] 特に、半導体発光素子をピーク波長が 400 nm 以下の紫外光を放射する素子として実現する場合には、吸収端が AlN よりも長波長側に位置する GaN からなる半導体層はできるだけ薄くするのが好ましい。上述したように、第三半導体層は、第二半導体層の上面に Al リッチな層を形成しないようにするための保護層として機能させる目的で設けられているため、工程（e）の実行後、炉内の温度がまだ高い状態の下で第二半導体層の上面を覆っていればよい。

[0029] そして、工程（e）の実行後、工程（f）を開始する初期段階では、ガスの供給が停止された状態で炉内の温度が高いため、 $p\text{-GaN}$ で構成された第三半導体層の一部が蒸発する。このため、工程（f）の実行後における第三半導体層の膜厚は、工程（e）で形成された膜厚よりは薄膜化される。工程（e）において、工程（f）の実行後に $p\text{-GaN}$ からなる第三半導体層の膜厚が 5 nm 以下となるように、前記第三半導体層の成長膜厚を設定することで、光出力の高い紫外光発光素子を実現することができる。

[0030] また、前記工程（c）の後、前記活性層の上層に、炉内の温度を800℃以上として $p\text{-Al}_{x3}\text{Ga}_{y3}\text{In}_{1-x3-y3}\text{N}$ （ $0 < x3 \leq 1$ ， $0 \leq y3 < 1$ ）よりなるp型の第四半導体層を形成する工程（h）を有し、

前記工程（d）は、前記工程（h）の後に実行され、前記第四半導体層よりもp型不純物濃度が高濃度である前記第二半導体層を形成する工程であるものとしても構わない。

[0031] この場合、第四半導体層がp型クラッド層を構成し、第二半導体層がp型コンタクト層を構成するものとすることができる。なお、工程（f）の実行後において第三半導体層が残存している場合には、第二半導体層及び第三半導体層がp型コンタクト層を構成するものとすることができる。

[0032] 本発明は、基板上に、n型半導体層と、p型半導体層と、前記n型半導体層及び前記p型半導体層の間に挟持された活性層とを有し、ピーク波長が400nm以下の紫外光を放射する半導体発光素子であって、

前記p型半導体層は、 $p\text{-Al}_{x2}\text{Ga}_{y2}\text{In}_{1-x2-y2}\text{N}$ （ $0 < x2 \leq 1$ ， $0 \leq y2 < 1$ ）よりなるp型の第二半導体層と、膜厚5nm以下の $p\text{-Ga}\text{N}$ よりなるp型の第三半導体層とを含み、

前記第三半導体層は、前記p型半導体層の面のうち、前記活性層とは反対側の面の最上層であることを特徴とする。

[0033] 第三半導体層は $p\text{-Ga}\text{N}$ で構成されているが、膜厚5nm以下であるため、ピーク波長が400nm以下の紫外光発光素子として実現した場合においても、第三半導体層内において吸収される光の量を極めて少なくすることができる。

[0034] 窒化物半導体を用いて、ピーク波長が400nm以下の紫外光発光素子を実現しようとする場合、吸収端が AlN より長波長側に位置する GaN は極力利用しないのが好ましいとされているため、 Al を含む窒化物半導体層で全ての半導体層を構成することが通常考えられる。

[0035] しかし、上記構成に係る半導体発光素子は、p型半導体層の最上面に位置する層に敢えて $p\text{-Ga}\text{N}$ からなる第三半導体層を備えている。より具体的

に言えば、p側電極と接触する位置に形成される層をp-GaNからなる第三半導体層とすることができることを意味している。

[0036] 上述したように、p側電極と接触する位置に形成される半導体層、例えばp型コンタクト層を、AlGaInNやAlInGaInN等のAlを含む半導体層で構成した場合、炉内において各半導体層を形成させるためのエピタキシャル成長工程が完了して原料ガスの供給を停止してから、炉内温度が低下する過程の間にGaNが蒸発し、その上面にAlリッチな層が形成されてしまう。この結果、当該層とp側電極との間のコンタクト抵抗が上昇してしまう。上記構成によれば、p型半導体層の最上面がp-GaNからなる第三半導体層であるため、当該層の上面にAlリッチの層が形成されず、p側電極との間のコンタクト抵抗を低抵抗化することができる。これにより、従来の半導体発光素子よりも動作電圧を低下させることができる。

[0037] また、本発明の半導体発光素子は、前記第三半導体層の上層に電極を有しているものとしても構わない。より詳細には、前記第三半導体層の面のうち、前記活性層とは反対側の面上に電極を有する構成とすることができる。

[0038] また、前記p型半導体層は、 $p\text{-Al}_{x3}\text{Ga}_{y3}\text{In}_{1-x3-y3}\text{N}$ ($0 < x3 \leq 1$, $0 \leq y3 < 1$) よりなるp型の第四半導体層と、前記第四半導体層の上層に形成された前記第二半導体層と、前記第二半導体層の上層に形成された前記第三半導体層とを有するものとすることもできる。

[0039] 上記構成において、第二半導体層及び第三半導体層は、第四半導体層よりもp型不純物濃度を高濃度にするものとしても構わない。この場合、第四半導体層がp型クラッド層を構成し、第二半導体層がp型コンタクト層を構成するものとすることができる。

[0040] また、前記n型半導体層は、 $n\text{-Al}_{x1}\text{Ga}_{y1}\text{In}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) よりなるn型の第一半導体層で構成されているものとしても構わない。

発明の効果

[0041] 本発明によれば、従来よりも動作電圧を低下させながらも高い光出力を得

ることのできる半導体発光素子を実現することができる。

図面の簡単な説明

[0042] [図1]本発明の半導体発光素子の一実施形態の構成を模式的に示す断面図である。

[図2A]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2B]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2C]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2D]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2E]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2F]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2G]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図2H]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図3A]比較例 1 の発光素子の構造を模式的に示す断面図である。

[図3B]比較例 2 の発光素子の構造を模式的に示す断面図である。

[図3C]比較例 3 の発光素子の構造を模式的に示す断面図である。

[図4]実施例 1、比較例 1、及び比較例 2 の各発光素子に対して同量の電流を注入したときの入力電圧及び光出力の値を比較した表である。

[図5A]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5B]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図であ

る。

[図5C]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5D]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5E]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5F]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5G]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5H]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図5I]本発明の半導体発光素子の製造工程の一部を模式的に示す断面図である。

[図6]従来の半導体発光素子の構造を模式的に示す断面図である。

発明を実施するための形態

[0043] 本発明の半導体発光素子及びその製造方法につき、図面を参照して説明する。なお、各図において図面の寸法比と実際の寸法比は必ずしも一致しない。

[0044] まず、以下では、本発明の半導体発光素子の構造について説明をした後、その製造方法について説明する。その後、実施例を参照して、本発明の半導体発光素子と従来の半導体発光素子との性能を比較する。

[0045] [構造]

図1は、本発明の半導体発光素子の一実施形態の構成を模式的に示す断面図である。半導体発光素子1は、成長基板11上に、n型半導体層13と、p型半導体層20と、n型半導体層13及びp型半導体層20の間に挟持された活性層15とを有する。より詳細な半導体発光素子1の構成について、

以下説明する。

[0046] 図1に示す半導体発光素子1は、成長基板11上にアンドープ層12を有し、アンドープ層の上層にn型半導体層13を有する。そして、半導体発光素子1は、n型半導体層13の上層に活性層15を有し、活性層15の上層にp型半導体層20を有する。図1に示す半導体発光素子1においては、p型半導体層20が、p型半導体層21、p型半導体層22、及びp型半導体層23を有して構成されている。

[0047] なお、n型半導体層13が「第一半導体層」に対応し、p型半導体層21が「第四半導体層」に対応し、p型半導体層22が「第二半導体層」に対応し、p型半導体層23が「第三半導体層」に対応する。以下では、n型半導体層13を「第一半導体層13」と称し、p型半導体層21を「第四半導体層21」と称し、p型半導体層22を「第二半導体層22」と称し、p型半導体層23を「第三半導体層23」と称する。

[0048] つまり、半導体発光素子1においては、第三半導体層23が、p型半導体層20の面のうち、活性層15とは反対側の面の最上層を構成している。

[0049] (成長基板11)

成長基板11は一例としてサファイア基板で構成される。なお、成長基板11は、サファイアその他、Si、SiC、AlN、AlGa_{y1}N、Ga_{y1}N、YAGなどで構成しても構わない。

[0050] (アンドープ層12)

アンドープ層12は、Ga_{y1}Nにて形成される。より具体的には、Ga_{y1}Nよりなる低温バッファ層と、その上層にGa_{y1}Nよりなる下地層によって形成される。このアンドープ層12は、例えばサファイアで構成される成長基板11の上層に、第一半導体層13等を良好な状態でエピタキシャル成長させるために設けられているものである。

[0051] (第一半導体層13)

第一半導体層13は $n\text{-Al}_{x1}\text{Ga}_{y1}\text{In}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) によって構成される。第一半導体層13は、Si, Ge, S,

Se, Sn, Teなどのn型不純物がドーピングされており、特にSiがドーピングされているのが好ましい。本実施形態では、一例として第一半導体層13を $n\text{-Al}_{0.06}\text{Ga}_{0.94}\text{N}$ で形成している。

[0052] (活性層15)

活性層15は、例えばInGa₂Nからなる発光層とAlGa₂Nからなる障壁層が周期的に繰り返されて構成される。これらの層はアンドープでもp型又はn型にドーピングされていても構わない。

[0053] なお、活性層15は、上記の材料に限らず、第一の窒化物半導体層と、この第一の窒化物半導体層よりもバンドギャップの大きい第二の窒化物半導体層とを有し、第一の窒化物半導体層が2つの第二の窒化物半導体層で挟持される構成を有していればよい。この場合、第一の窒化物半導体層が発光層を構成し、第二の窒化物半導体層が障壁層を構成する。活性層15を構成する各材料は、取り出したい光のピーク波長に応じて適宜選択される。

[0054] (第四半導体層21)

第四半導体層21は $p\text{-Al}_{x3}\text{Ga}_{y3}\text{In}_{1-x3-y3}\text{N}$ ($0 < x3 \leq 1$, $0 \leq y3 < 1$) によって構成される。第四半導体層21は、Mg、Be、Zn、又はCなどのp型不純物がドーピングされており、特にMgがドーピングされているのが好ましい。本実施形態では、一例として第四半導体層21を $p\text{-Al}_{0.3}\text{Ga}_{0.7}\text{N}$ と $p\text{-Al}_{0.13}\text{Ga}_{0.87}\text{N}$ の積層構造で形成している。

[0055] (第二半導体層22)

第二半導体層22は $p\text{-Al}_{x2}\text{Ga}_{y2}\text{In}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) によって構成される。第二半導体層22は、Mg、Be、Zn、又はCなどのp型不純物がドーピングされており、特にMgがドーピングされているのが好ましい。本実施形態では、一例として第二半導体層22を $p\text{-Al}_{0.13}\text{Ga}_{0.87}\text{N}$ で形成している。また、本実施形態では、第二半導体層22のp型不純物濃度は、第四半導体層21のp型不純物濃度よりも高濃度である。

[0056] (第三半導体層23)

第三半導体層 2 3 は膜厚が 5 nm 以下の p-GaN によって構成される。

第三半導体層 2 3 は、Mg、Be、Zn、又は C などの p 型不純物がドーピングされており、特に Mg がドーピングされているのが好ましい。

[0057] 本実施形態では、第三半導体層 2 3 の p 型不純物濃度は、第四半導体層 2 1 の p 型不純物濃度よりも高濃度である。一例として、第四半導体層 2 1 の p 型不純物濃度は $3 \times 10^{19} / \text{cm}^3$ 程度であり、第二半導体層 2 2 及び第三半導体層 2 3 の p 型不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 程度である。

[0058] なお、製造方法の項で後述するように、ステップ S 7 に係る工程において第三半導体層 2 3 を所定の膜厚だけ形成した後、ステップ S 8 に係る冷却工程を経ることで、第三半導体層 2 3 の一部が蒸発して膜厚が薄くなる。図 1 において、第三半導体層 2 3 の上層を破線で示しているのは、第三半導体層 2 3 を形成した後に膜厚が減少していることを表すためである。すなわち、図 1 では、ステップ S 8 の工程において、破線部分に相当する第三半導体層 2 3 が蒸発したことを表している。

[0059] なお、上述した実施形態では、半導体発光素子 1 が図 1 に示すような構造である場合について説明したが、半導体発光素子 1 は必ずしも第四半導体層 2 1 を備えなくても構わない。すなわち、半導体発光素子 1 は、活性層 1 5 の上面に第二半導体層 2 2 を備える構成であっても構わない。

[0060] また、半導体発光素子 1 が第四半導体層 2 1 を備える場合において、必ずしも第二半導体層 2 2 の p 型不純物濃度を第四半導体層 2 1 の p 型不純物濃度より高くしなければならないものでもない。

[0061] [製造方法]

次に、半導体発光素子 1 の製造方法について説明する。なお、以下で説明する製造条件や膜厚等の寸法はあくまで一例であって、これらの数値に限定されるものではない。

[0062] (ステップ S 1)

成長基板 1 1 を準備する。より具体的には、成長基板 1 1 として c 面サファイア基板を準備して、これに対してクリーニングを行う。このクリーニン

グは、より具体的には、例えばMOCVD (Metal Organic Chemical Vapor Deposition: 有機金属化学気相蒸着) 装置の処理炉内に成長基板11 (c面サファイア基板) を配置し、処理炉内に流量が10slmの水素ガスを流しながら、炉内温度を例えば1150℃に昇温することにより行われる。

[0063] 本ステップS1が工程(a)に対応する。

[0064] (ステップS2)

成長基板11の表面に、GaNよりなる低温バッファ層を形成し、更なる上層にGaNよりなる下地層を形成する。これらの低温バッファ層及び下地層がアンドープ層12に対応する。

[0065] 具体的なアンドープ層12の形成方法は、例えば以下の通りである。まず、MOCVD装置の炉内圧力を100kPa、炉内温度を480℃とする。そして、処理炉内にキャリアガスとして流量がそれぞれ5slmの窒素ガス及び水素ガスを流しながら、原料ガスとして、流量が50μmol/minのTMG及び流量が250000μmol/minのアンモニアを処理炉内に68秒間供給する。これにより、成長基板11の表面に、厚みが20nmのGaNよりなる低温バッファ層を形成する。

[0066] 次に、MOCVD装置の炉内温度を1150℃に昇温する。そして、処理炉内にキャリアガスとして流量が20slmの窒素ガス及び流量が15slmの水素ガスを流しながら、原料ガスとして、流量が100μmol/minのTMG及び流量が250000μmol/minのアンモニアを処理炉内に30分間供給する。これにより、低温バッファ層の表面に、厚みが1.7μmのGaNよりなる下地層を形成する。

[0067] 本ステップS2により、図2Aに示すように、成長基板11上にアンドープ層12が形成される。

[0068] (ステップS3)

次に、図2Bに示すように、アンドープ層12の上層にn型の第一半導体層13を形成する。第一半導体層13の具体的な形成方法は、例えば以下の通りである。

[0069] まず、引き続き炉内温度を 1150°C とした状態で、MOCVD装置の炉内圧力を 30 kPa とする。そして、処理炉内にキャリアガスとして流量が 20 slm の窒素ガス及び流量が 15 slm の水素ガスを流しながら、原料ガスとして、流量が $94\text{ }\mu\text{mol/min}$ のTMG、流量が $6\text{ }\mu\text{mol/min}$ のTMA、流量が $250000\text{ }\mu\text{mol/min}$ のアンモニア及び流量が $0.013\text{ }\mu\text{mol/min}$ のテトラエチルシランを処理炉内に60分間供給する。これにより、例えば $n\text{-Al}_{0.06}\text{Ga}_{0.94}\text{N}$ の組成を有し、Si濃度が $5\times 10^{19}/\text{cm}^3$ で、厚みが $2\text{ }\mu\text{m}$ の第一半導体層13がアンドープ層12の上層に形成される。

[0070] ここでは、第一半導体層13にドーパされるn型不純物をSiとする場合について説明したが、n型不純物としては、Si以外にGe、S、Se、Sn又はTe等を用いることができる。

[0071] なお、この後、TMAの供給を停止すると共に、それ以外の原料ガスを6秒間供給することにより、第一半導体層13の上層に厚みが 5 nm 程度の $n\text{-Ga}\text{N}$ を形成しても構わない。

[0072] 本ステップS3が工程(b)に対応する。

[0073] (ステップS4)

次に、図2Cに示すように、n型の第一半導体層13の上層に、例えば InGaN で構成される発光層及び $n\text{-AlGa}\text{N}$ で構成される障壁層が周期的に繰り返されてなる活性層15を形成する。

[0074] 具体的には、まずMOCVD装置の炉内圧力を 100 kPa 、炉内温度を 830°C とする。そして、処理炉内にキャリアガスとして流量が 15 slm の窒素ガス及び流量が 1 slm の水素ガスを流しながら、原料ガスとして、流量が $10\text{ }\mu\text{mol/min}$ のTMG、流量が $12\text{ }\mu\text{mol/min}$ のトリメチルインジウム(TMI)及び流量が $300000\text{ }\mu\text{mol/min}$ のアンモニアを処理炉内に48秒間供給するステップを行う。その後、流量が $10\text{ }\mu\text{mol/min}$ のTMG、流量が $1.6\text{ }\mu\text{mol/min}$ のTMA、 $0.002\text{ }\mu\text{mol/min}$ のテトラエチルシラン及び流量が $300000\text{ }\mu$

mol/min のアンモニアを処理炉内に120秒間供給するステップを行う。以下、これらの2つのステップを繰り返すことにより、厚みが2 nmのInGa_{0.13}Nよりなる発光層及び厚みが7 nmのn-AlGa_{0.13}Nよりなる障壁層が15周期繰り返されてなる活性層15が、第一半導体層13の上層に形成される。

[0075] 本ステップS4が工程(c)に対応する。

[0076] (ステップS5)

次に、図2Dに示すように、活性層15の上層にp型の第四半導体層21を形成する。第四半導体層21の具体的な形成方法は、例えば以下の通りである。

[0077] MOCVD装置の炉内圧力を100 kPaに維持し、処理炉内にキャリアガスとして流量が15 s l mの窒素ガス及び流量が25 s l mの水素ガスを流しながら、炉内温度を1025℃に昇温する。その後、原料ガスとして、流量が35 $\mu\text{mol/min}$ のTMG、流量が20 $\mu\text{mol/min}$ のTMA、流量が250000 $\mu\text{mol/min}$ のアンモニア及びp型不純物をドーピングするための流量が0.1 $\mu\text{mol/min}$ のビスシクロペンタジエニルマグネシウム(Cp₂Mg)を処理炉内に60秒間供給する。これにより、活性層15の表面に、厚みが20 nmのAl_{0.3}Ga_{0.7}Nの組成を有する正孔供給層を形成する。その後、TMAの流量を4 $\mu\text{mol/min}$ に変更して原料ガスを360秒間供給することにより、厚みが120 nmのAl_{0.13}Ga_{0.87}Nの組成を有する正孔供給層を形成する。これらの正孔供給層により第四半導体層21が形成される。この第四半導体層21のp型不純物濃度は、例えば $3 \times 10^{19}/\text{cm}^3$ 程度である。

[0078] なお、ここでは炉内の温度を1025℃として第四半導体層21を形成したが、p型不純物をドーピングしながらAlGa_{0.13}Nを成長できる下限温度以上(例えば800℃以上)の温度であれば1025℃に限定されるものではない。ただし、成長温度は900℃以上であれば好ましく、1000℃以上であればより好ましい。

[0079] 本ステップS 5が工程（h）に対応する。

[0080] （ステップS 6）

次に、図2 Eに示すように、p型の第四半導体層2 1の上層にp型の第二半導体層2 2を形成する。第二半導体層2 2の具体的な形成方法は、例えば以下の通りである。

[0081] ステップS 5から引き続き炉内の温度及びキャリアガスの流量を維持したまま、原料ガスとして、流量が $20\mu\text{mol}/\text{min}$ のTMG、流量が $4\mu\text{mol}/\text{min}$ のTMA、流量が $250000\mu\text{mol}/\text{min}$ のアンモニア及びp型不純物をドーピングするための流量が $0.2\mu\text{mol}/\text{min}$ の Cp_2Mg を処理炉内に40秒間供給する。これにより、第四半導体層2 1の上層に、厚みが10nmの $\text{p-Al}_{0.13}\text{Ga}_{0.87}\text{N}$ の組成を有する第二半導体層2 2が形成される。この第二半導体層2 2のp型不純物濃度は、例えば $1\times 10^{20}/\text{cm}^3$ 程度である。

[0082] 本ステップS 6が工程（d）に対応する。

[0083] （ステップS 7）

次に、図2 Fに示すように、p型の第二半導体層2 2の上層にp型の第三半導体層2 3を形成する。第三半導体層2 3の具体的な形成方法は、例えば以下の通りである。

[0084] ステップS 6から引き続き炉内の温度を維持した状態で、TMAの供給を停止すると共に、 Cp_2Mg の流量を $0.2\mu\text{mol}/\text{min}$ に変更して原料ガスを20秒間供給する。これにより、第二半導体層2 2の上層に、厚みが5nm程度の p-GaN からなる第三半導体層2 3が形成される。この第三半導体層2 3のp型不純物濃度は、例えば $1\times 10^{20}/\text{cm}^3$ 程度である。

[0085] 本ステップS 7が工程（e）に対応する。

[0086] （ステップS 8）

次に、所定の原料ガスの供給を停止して炉内の温度を低下させる。本ステップS 8が工程（f）に対応する。

[0087] 炉内の温度を低下させる本ステップS 8の開始直前の状態では、 p-Al

GaNで構成された第二半導体層22の上面にはp-GaNよりなるp型の第三半導体層23が形成されている。つまり、炉内の温度が高温の状態ではガスの供給を停止しても、Alを含む混晶で構成される第二半導体層22は最上面に位置していないため、この第二半導体層22からGaNが蒸発して第二半導体層22の上面がAlリッチになるということはない。

[0088] また、原料ガスの供給を停止した時点でp型半導体層20の最上面に位置している第三半導体層23はp-GaNで構成されているため、炉内の温度を低下させている工程中に第三半導体層23からGaNが蒸発したとしても、Alリッチな層が第三半導体層23の最上面に形成されるということはない。

[0089] ステップS7の完了後、原料ガスの供給を停止して炉内温度を低下させる過程において、第三半導体層23を構成するp-GaNの少なくとも一部が蒸発し、第三半導体層23の膜厚は薄くなる。一例では、本ステップS8の完了時点において、第三半導体層23の膜厚が1nm以下となる。上述したように、第三半導体層23の膜厚は、ステップS8の完了時点において、ステップS7の完了時点よりも薄くなっており、図1では破線によってこのことを表している。

[0090] なお、このステップS8において、炉内の温度が700℃程度に低下するまでの間はアンモニアを流し、700℃程度まで低下した後は、炉内の温度が室温程度に低下するまでの間窒素ガスのみを炉内に供給するものとしても構わない。このようにすることで、炉内の冷却工程において、ウェハの活性化処理を行うことができる。

[0091] (以後の工程)

ステップS8の後、処理炉からウェハを取り出し、通電のための電極を形成する工程(工程(g)に対応する。)を行う。具体的には以下の方法で行われる。

[0092] (ステップS9)

図2Gに示すように、第一半導体層13の一部上面が露出するまで、一部

領域の p 型半導体層 20（第三半導体層 23、第二半導体層 22、及び第四半導体層 21）及び活性層 15 を、ICP 装置を用いたドライエッチングによって除去する。なお、本ステップ S9 において、第一半導体層 13 についても一部エッチング除去しても構わない。

[0093] (ステップ S10)

図 2H に示すように、第一半導体層 13 の上面に n 側電極 31 を形成し、p 型半導体層 20 の上面、より詳細には第三半導体層 23 の上面に p 側電極 32 を形成する。具体的な形成方法は、例えば以下の通りである。

[0094] 第一半導体層 13 の上面の少なくとも一部の領域に、例えば膜厚 100 nm の Cr と膜厚 0.5 ~ 3 μ m の Au を蒸着した後、窒素雰囲気中で 250 °C、1 分間程度のアニール処理を行う。これにより、第一半導体層 13 の上面に n 側電極 31 が形成される。

[0095] また、第三半導体層 23 の少なくとも一部の上面に導電性材料で構成された材料膜を成膜する。例えばスパッタ装置にて第三半導体層 23 の上面の所定の領域に膜厚 150 nm の Ag 及び膜厚 30 nm の Ni を成膜する。なお、この材料膜として、第三半導体層 23 との密着性を高めるために、Ag 層の下層に膜厚 1.5 nm 程度の Ni を成膜しても構わない。その後、RTA 装置等を用いてドライエア又は不活性ガス雰囲気中で 400 °C ~ 550 °C、60 秒 ~ 300 秒間のコンタクトアニール処理を行う。これにより、第三半導体層 23 の上面に p 側電極 32 が形成される。

[0096] [検証]

以下、実施例及び比較例を用いて検証を行う。

[0097] (実施例 1) 上記ステップ S1 ~ S10 を経て製造された半導体発光素子 1 を実施例 1 の発光素子とした。実施例 1 では、ステップ S6 において膜厚 10 nm の第二半導体層 22 を形成し、ステップ S7 において膜厚 5 nm の第三半導体層 23 を形成した。なお、ステップ S7 の終了後、ステップ S8 を経て、第三半導体層 23 の膜厚は 1 nm 以下に低下していた。

[0098] これは、上述したように、ステップ S7 の終了後、高温下に晒されている

炉内において、第三半導体層 23 を構成する p-GaN の一部が蒸発したことで膜厚が薄くなったものと考えられる。

[0099] (比較例 1) 上記ステップ S1～S6、及び S8～S10 を経て製造された半導体発光素子を比較例 1 の発光素子とした。比較例 1 においては、実施例 1 と比較して、第三半導体層 23 を備えていない点が異なる。比較例 1 では、ステップ S6 において膜厚 10 nm の p-AlGaN からなる第二半導体層 22 を形成した後、第三半導体層 23 を形成せずに、ステップ S8 に係る冷却工程を実行した。

[0100] つまり、冷却工程を実行する直前の状態における p 型半導体層の最上面が p-AlGaN からなる第二半導体層 22 である。なお、ステップ S8 を経て、第二半導体層 22 の膜厚は 6 nm 以下に低下しており、第二半導体層 22 の最上面には膜厚 2 nm 程度の Al リッチな層 35 が形成されていた (図 3A 参照)。

[0101] (比較例 2) 上記ステップ S1～S5、及び S7～S10 を経て製造された半導体発光素子を比較例 2 の発光素子とした。比較例 2 においては、実施例 1 と比較して、第二半導体層 22 を備えていない点が異なる。比較例 2 では、ステップ S5 の終了後、第二半導体層 22 を形成せず、ステップ S7 において膜厚 10 nm の p-GaN からなる第三半導体層 23 を形成した後、ステップ S8 に係る冷却工程を実行した。

[0102] つまり、比較例 2 の素子において、冷却工程を実行する直前の状態における p 型半導体層の最上面は、実施例 1 と同様に p-GaN からなる第三半導体層 23 であるが、その下層には p-AlGaN からなる第二半導体層 22 を備えていない。なお、ステップ S8 を経て、第三半導体層 23 の膜厚は 6 nm 程度に低下していた (図 3B 参照)。第三半導体層 23 の膜厚が、ステップ S8 の完了時点において、ステップ S7 の完了時点よりも薄くなる点については、実施例 1 と同様であり、図 1 と同様に図 3B においても破線によってこのことを表している。

[0103] (比較例 3) 上記ステップ S1～S10 を経て製造された半導体発光

素子であって、ステップS 7において膜厚10nmのp-GaNからなる第三半導体層23を成長させた素子を比較例3の発光素子とした。すなわち、比較例3は、実施例1と比較して、ステップS 7における第三半導体層23の成長膜厚を厚くしている点が異なっている。

[0104] 比較例3は、ステップS 8に係る冷却工程を実行する直前の時点において、p型半導体層の最上面には実施例1と同様にp-GaNからなる第三半導体層23が形成されており、第三半導体層23の下層にはp-AlGaNからなる第二半導体層22が形成されている。そして、比較例3では、ステップS 8に係る冷却工程を経て、第三半導体層23の膜厚は6nm程度に低下していた(図3C参照)。第三半導体層23の膜厚がステップS 8の完了時点において、ステップS 7の完了時点よりも薄くなる点については、実施例1と同様であり、図1と同様に図3Cにおいても破線によってこのことを表している。

[0105] (結果) 実施例1、比較例1、比較例2、及び比較例3の各発光素子に対して、n側電極31及びp側電極32の間に電圧を印加して20mAを注入したときの、入力電圧及び光出力を図4に示す。図4によれば、実施例1は、比較例1と比べると、光出力は同等であるが、入力電圧が低下している。また、実施例1は、比較例2及び比較例3と比べると、入力電圧は同等であるが、光出力が高い。

[0106] 上述したように、比較例1の発光素子は、ステップS 8を経て、p型半導体層20の最上層に位置する第二半導体層22の最上面には膜厚2nm程度のAlリッチな層35が形成されていた。実施例1と比べて、比較例1の動作電圧が高くなっているのは、比較例1においてAlリッチな層35とp側電極32との間のコンタクト抵抗が高くなっていることを示唆している。

[0107] 逆にいえば、実施例1の発光素子によれば、p型半導体層の最上層に位置するのは第三半導体層23であり、この最上面にはAlリッチな層が形成されていないため、比較例1の発光素子と比べてp側電極32との間のコンタクト抵抗を低抵抗化できていることが分かる。このことは、ステップS 8に

係る冷却工程の開始直前の時点において、 p -型半導体層の最上層が p -Ga N で構成された第三半導体層23である比較例2の発光素子が、実施例1の発光素子と同様に、比較例1の発光素子よりも入力電圧が低いことから理解できる。

[0108] 比較例2の発光素子は、ステップS8に係る冷却工程を経て、第三半導体層23の一部が蒸発したとしても、依然として膜厚6nm程度の p -Ga N からなる第三半導体層23が残存することとなる。

[0109] つまり、比較例2の発光素子は、実施例1の発光素子が備えるGa N 層よりも膜厚の厚いGa N 層を備えることになる。この結果、Ga N はAlGa N よりも吸収端が長波長側にあるため、活性層15から放射された光のうち、Ga N で吸収される割合が、比較例2の素子は実施例1よりも高くなったことで、実施例1よりも光出力が低下していると考えられる。

[0110] この点は比較例3の結果にも現れている。上述したように、比較例3においては、比較例2とは異なり、第三半導体層23の下層に p -AlGa N からなる第二半導体層22が形成されている。しかし、比較例3の素子は、ステップS8に係る冷却工程を経て、膜厚6nm程度の第三半導体層23を有している。この結果は、比較例2と同様に、比較例3は、実施例1が備えるGa N 層よりも膜厚の厚いGa N 層を備えているため、活性層15から放射された光のうち、Ga N で吸収される割合が実施例1よりも高くなったことで、実施例1よりも光出力が低下したものと考えられる。

[0111] なお、ピーク波長が400nm以下の紫外光を放射する半導体発光素子を実現するに際しては、吸収端がAlGa N より長波長側に位置するGa N はできるだけ薄くするのが好ましい。このことは、実施例1と比較例2、及び実施例1と比較例3の対比結果からも理解される。 p -Ga N からなる第三半導体層23は、ステップS8に係る冷却工程の開始直後、すなわち原料ガスの供給を停止した直後であって、炉内の温度が依然として高温下にある時点において、 p -AlGa N からなる第二半導体層22を上面に晒さないようにすることを目的として設けられている。このため、第三半導体層23は

、Ga₂Nが蒸発しない程度にまで炉内の温度が低下する迄の間、第二半導体層22を上面に露出させない範囲内で、できる限り薄い膜厚とするのがより好ましい。

[0112] 以上に鑑みれば、p-AlGa₂Nからなる第二半導体層22の上面をp-Ga₂Nからなる第三半導体層23で覆った後に、冷却工程を行うことで、高い光出力を確保しながら動作電圧の低い半導体発光素子の実現できることが分かる。

[0113] [別実施形態]

以下、別実施形態について説明する。

[0114] 〈1〉 上述した実施形態では、ステップS9～S10を経てn側電極31及びp側電極32を形成するものとして説明した。これは、成長基板11をそのまま素子基板として利用すると共に、当該成長基板11の2面のうち、同一の面側にn側電極31及びp側電極32が形成される半導体発光素子を製造する場合の一例について説明したものである。このような半導体発光素子は、「横型構造」と呼ばれることがある。しかし、本発明は、このような横型構造の半導体発光素子に限定されるものではない。

[0115] 以下、ステップS8以後の別のステップを経て製造される半導体発光素子の製造方法の一例について説明する。なお、ステップS1～S8については、上述した製造方法と同一であるため説明を割愛する。

[0116] (ステップS11)

図5Aに示すように、第三半導体層23の上面の所定箇所に反射電極49を形成する。ここでは、第三半導体層23の形成領域よりも内側において、第三半導体層23のほぼ全域に反射電極49を形成する場合を示している。

[0117] 反射電極49は、一例として、スパッタ装置にて第三半導体層23の上面に膜厚0.7nmのNi及び膜厚150nmのAgを成膜した後、RTA装置を用いてドライエア雰囲気中で400℃、2分間のコンタクトアニールを行うことで形成される。なお、ここでは、反射電極49の材料としてNiとAgの合金を採用しているが、AlやRhによって反射電極49を形成する

こともできる。

[0118] (ステップS 1 2)

次に、図5 Bに示すように、反射電極4 9の上層の所定箇所に絶縁層5 1を形成する。このとき、図5 Bに示すように、絶縁層5 1の一部が反射電極4 9の側面を覆うように形成することができる。

[0119] より具体的には、絶縁層5 1の非形成領域に係る反射電極4 9の上層をマスクしておき、例えば SiO_2 をスパッタリング法によって膜厚200 nm程度成膜する。なお成膜する材料は絶縁性材料であればよく、例えば SiN 、 Al_2O_3 でも良い。

[0120] (ステップS 1 3)

図5 Cに示すように、反射電極4 9及び絶縁層5 1の上面を覆うようにハンダ拡散防止層4 7及びハンダ層4 5を形成する。

[0121] より詳細には、電子線蒸着装置 (EB装置) にて反射電極4 9及び絶縁層5 1の上面を覆うように、膜厚100 nmの Ti と膜厚200 nmの Pt を3周期成膜することで、ハンダ拡散防止層4 7を形成する。更にその後、ハンダ拡散防止層4 7の上面 (Pt 表面) に、膜厚10 nmの Ti を蒸着させた後、 $\text{Au}80\%\text{Sn}20\%$ で構成される Au-Sn ハンダを膜厚3 μm 蒸着させることで、ハンダ層4 5を形成する。

[0122] なお、このハンダ層4 5の形成ステップにおいて、成長基板1 1とは別に準備された支持基板9の上面にもハンダ層4 3を形成するものとして構わない (図5 D参照)。このハンダ層4 3は、ハンダ層4 5と同一の材料で構成されるものとしてよく、次のステップにおいてハンダ層4 3と接合されることで、成長基板1 1と支持基板9が貼り合わせられる。この支持基板9としては、構造の項で前述したように、例えば CuW が用いられる。

[0123] 更に、この図5 Dにおいて、支持基板9上にハンダ拡散防止層4 7を形成し、このハンダ拡散防止層4 7の上層にハンダ層4 3を形成するものとしても構わない。

[0124] (ステップS 1 4)

次に、図 5 E に示すように、成長基板 11 と支持基板 9 とを貼り合わせる。より具体的には、280℃の温度、0.2 MPa の圧力下で、成長基板 11 の上層に形成されたハンダ層 47 と、支持基板 9 の上層に形成されたハンダ層 43 とを貼り合わせる。

[0125] (ステップ S 15)

次に、図 5 F に示すように、成長基板 11 を剥離する。より具体的には、成長基板 11 を上に、支持基板 9 を下に向けた状態で、成長基板 11 側から KrF エキシマレーザを照射して、成長基板 11 と半導体層（アンドープ層 12）の界面を分解させることで成長基板 11 の剥離を行う。成長基板 11 はレーザが通過する一方、その下層の GaN（アンドープ層 12）はレーザを吸収するため、この界面が高温化して GaN が分解される。これによって成長基板 11 が剥離される。

[0126] その後、図 5 G に示すように、ウェハ上に残存している GaN（アンドープ層 12）を、塩酸等を用いたウェットエッチング、又は ICP 装置を用いたドライエッチングによって除去し、第一半導体層 13 を露出させる。

[0127] (ステップ S 16)

次に、図 5 H に示すように、隣接する素子同士を分離する。具体的には、隣接素子との境界領域に対し、ICP 装置を用いて絶縁層 51 の上面が露出するまで半導体層（第一半導体層 13、活性層 15、第四半導体層 21、第二半導体層 22、第三半導体層 23）をエッチングする。このとき、絶縁層 51 はエッチング時のストッパーとしても機能する。

[0128] (ステップ S 17)

次に、図 5 I に示すように、第一半導体層 13 の上面のうち、支持基板 9 の面に直交する方向に対して絶縁層 51 と対向する位置に n 側電極（72、73）を形成する。具体的には、膜厚 100 nm の Cr と膜厚 3 μm の Au からなる電極を形成した後、窒素雰囲気中で 250℃、1 分間のシンタリングを行う。

[0129] そして、各素子同士を例えばレーザダイシング装置によって分離し、支持

基板 9 の裏面を例えば A g ペーストにてパッケージと接合し、給電端子としての n 側電極 7 3 に対してワイヤボンディングを行う。例えば、50 g の荷重で $\Phi 100 \mu\text{m}$ のボンディング領域に A u からなるワイヤ 4 5 を連結させることで、ワイヤボンディングを行う。

[0130] かかる構成においても、p-GaN からなる第三半導体層 2 3 を有するため、p-AlGaIn からなる第二半導体層 2 2 の上面（反射電極 4 9 側の面）に Al リッチな層が形成されない。よって、この Al リッチな層と反射電極 4 9 が接触することによる接触抵抗の上昇は生じない。また、p-GaN からなる第三半導体層 2 3 は、極めて薄膜で構成できるため、ピーク波長が 400 nm 以下の紫外光を放射する半導体発光素子を実現する場合においても、第三半導体層 2 3 で吸収される光の量を最小限に抑制することが可能であり、高い光出力が実現される。

[0131] なお、ステップ S 1 1 ~ S 1 7 の方法は、いわゆる「縦型構造」を有する半導体発光素子の製造方法の一例であって、本発明はこの方法を適用して製造される半導体発光素子に限定されるものではない。

[0132] 〈2〉 上述した実施形態では、第一半導体層 1 3 を n-AlGaIn で構成したが、 $n\text{-Al}_{x_1}\text{Ga}_{y_1}\text{In}_{1-x_1-y_1}\text{N}$ ($0 \leq x_1 \leq 1$, $0 \leq y_1 \leq 1$) で構成しても構わない。

[0133] また、上述した実施形態では、第二半導体層 2 2 を p-AlGaIn で構成したが、 $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ ($0 < x_2 \leq 1$, $0 \leq y_2 < 1$) で構成しても構わない。同様に、上述した実施形態では、第四半導体層 2 1 を p-AlGaIn で構成したが、 $p\text{-Al}_{x_3}\text{Ga}_{y_3}\text{In}_{1-x_3-y_3}\text{N}$ ($0 < x_3 \leq 1$, $0 \leq y_3 < 1$) で構成しても構わない。

[0134] 〈3〉 ステップ S 7 によって p-GaN からなる第三半導体層 2 3 を形成した後、ステップ S 8 に係る冷却工程を経て、第三半導体層 2 3 が完全に蒸発されてしまっても構わない。この場合、ステップ S 8 に係る冷却工程の間に、 $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ ($0 < x_2 \leq 1$, $0 \leq y_2 < 1$) からなる第二半導体層 2 2 が露出されるが、従来の発光素子と比べて、この第

二半導体層 2 2 が露出するタイミングを第三半導体層 2 3 が完全に蒸発するのに要する時間だけ遅らせることができるので、第二半導体層 2 2 に含まれる GaN の蒸発量を抑制することができる。

[0135] よって、第二半導体層 2 2 の上面に形成される Al リッチな層を、従来の発光素子よりも極めて少なくすることができるので、従来の発光素子よりも低い動作電圧を実現することができる。

[0136] 〈4〉 上記実施形態では、ステップ S 5 ～ S 7 にわたって炉内の温度を維持していたが、この方法はあくまで一例であり、各ステップ間において炉内の温度を多少変更しながら各 p 型半導体層 (2 1 , 2 2 , 2 3) を形成する方法を本発明の範囲から排除する趣旨ではない。

符号の説明

[0137]	1	:	本発明の半導体発光素子
	9	:	支持基板
	1 1	:	成長基板
	1 2	:	アンドープ層
	1 3	:	第一半導体層 (n 型半導体層)
	1 5	:	活性層
	2 0	:	p 型半導体層
	2 1	:	第四半導体層 (p 型半導体層)
	2 2	:	第二半導体層 (p 型半導体層)
	2 3	:	第三半導体層 (p 型半導体層)
	3 1	:	n 側電極
	3 2	:	p 側電極
	3 5	:	Al リッチな層
	4 3 , 4 5	:	ハンダ層
	4 7	:	ハンダ拡散防止層
	4 9	:	反射電極
	5 1	:	絶縁層

7 2, 7 3	:	n 側電極
1 0 0	:	従来の半導体発光素子
1 0 1	:	基板
1 0 2	:	バッファ層
1 0 3	:	n 型コンタクト層
1 0 4	:	n 型クラッド層
1 0 5	:	活性層
1 0 6	:	p 型クラッド層
1 0 7	:	第一の p 型コンタクト層
1 0 8	:	第二の p 型コンタクト層
1 0 9	:	n 側電極
1 1 0	:	p 側電極

請求の範囲

- [請求項1] 基板を準備する工程（a）、
前記基板上に、 $n\text{-Al}_{x_1}\text{Ga}_{y_1}\text{In}_{1-x_1-y_1}\text{N}$ （ $0 \leq x_1 \leq 1$ ， $0 \leq y_1 \leq 1$ ）よりなるn型の第一半導体層を形成する工程（b）、
、
前記第一半導体層の上層に活性層を形成する工程（c）、
前記活性層の上層に、炉内の温度を800℃以上として $p\text{-Al}_{x_2}\text{Ga}_{y_2}\text{In}_{1-x_2-y_2}\text{N}$ （ $0 < x_2 \leq 1$ ， $0 \leq y_2 < 1$ ）よりなるp型の第二半導体層を形成する工程（d）、
前記第二半導体層の上層に、前記炉内の温度を800℃以上として $p\text{-GaN}$ よりなるp型の第三半導体層を形成する工程（e）、
及び、前記工程（e）の後に炉内温度を低下させる工程（f）を有することを特徴とする半導体発光素子の製造方法。
- [請求項2] 前記工程（f）の後に、前記第三半導体層の上層に電極を形成する工程（g）を有することを特徴とする請求項1に記載の半導体発光素子の製造方法。
- [請求項3] 前記工程（e）は、前記工程（d）と比べて、前記炉内に供給される原料ガスの流量のみが変更されて実行される工程であることを特徴とする請求項1又は2に記載の半導体発光素子の製造方法。
- [請求項4] 前記工程（f）の実行後、前記第三半導体層の膜厚が5nm以下であることを特徴とする請求項1～3のいずれか1項に記載の半導体発光素子の製造方法。
- [請求項5] 前記工程（c）の後、前記活性層の上層に、炉内の温度を800℃以上として $p\text{-Al}_{x_3}\text{Ga}_{y_3}\text{In}_{1-x_3-y_3}\text{N}$ （ $0 < x_3 \leq 1$ ， $0 \leq y_3 < 1$ ）よりなるp型の第四半導体層を形成する工程（h）を有し、
、
前記工程（d）は、前記工程（h）の後に実行され、前記第四半導体層よりもp型不純物濃度が高濃度である前記第二半導体層を形成す

る工程であることを特徴とする請求項1～4のいずれか1項に記載の半導体発光素子の製造方法。

[請求項6] 基板上に、 n 型半導体層と、 p 型半導体層と、前記 n 型半導体層及び前記 p 型半導体層の間に挟持された活性層とを有し、ピーク波長が400nm以下の紫外光を放射する半導体発光素子であって、

前記 p 型半導体層は、 $p\text{-Al}_{x2}\text{Ga}_{y2}\text{In}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) よりなる p 型の第二半導体層と、膜厚5nm以下の $p\text{-GaIn}$ よりなる p 型の第三半導体層とを含み、

前記第三半導体層は、前記 p 型半導体層の面のうち、前記活性層とは反対側の面の最上層であることを特徴とする半導体発光素子。

[請求項7] 前記第三半導体層の上層に電極を有していることを特徴とする請求項6に記載の半導体発光素子。

[請求項8] 前記 p 型半導体層は、 $p\text{-Al}_{x3}\text{Ga}_{y3}\text{In}_{1-x3-y3}\text{N}$ ($0 < x3 \leq 1$, $0 \leq y3 < 1$) よりなる p 型の第四半導体層と、前記第四半導体層の上層に形成された前記第二半導体層と、前記第二半導体層の上層に形成された前記第三半導体層とを有することを特徴とする請求項6又は7に記載の半導体発光素子。

[請求項9] 前記 n 型半導体層は、 $n\text{-Al}_{x1}\text{Ga}_{y1}\text{In}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) よりなる n 型の第一半導体層で構成されていることを特徴とする請求項6～8のいずれか1項に記載の半導体発光素子。

補正された請求の範囲
[2015年10月30日 (30.10.2015) 国際事務局受理]

[請求項 1] (補正後)

基板を準備する工程 (a)、

前記基板上に、 $n\text{-Al}_{x1}\text{Ga}_{y1}\text{In}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$)

よりなる n 型の第一半導体層を形成する工程 (b)、

前記第一半導体層の上層に活性層を形成する工程 (c)、

前記活性層の上層に、炉内の温度を 800°C 以上として $p\text{-Al}_{x2}\text{Ga}_{y2}\text{In}_{1-x2-y2}\text{N}$ ($0 < x2 \leq 1$, $0 \leq y2 < 1$) よりなる p 型の第二半導体層を形成する工程 (d)、

前記第二半導体層の上層に、前記炉内の温度を 800°C 以上として $p\text{-GaN}$ よりなる p 型の第三半導体層を形成する工程 (e)、

及び、前記工程 (e) の後に炉内温度を低下させる工程 (f) を有し、

前記工程 (c) の後、前記活性層の上層に、炉内の温度を 800°C 以上として $p\text{-Al}_{x3}\text{Ga}_{y3}\text{In}_{1-x3-y3}\text{N}$ ($0 < x3 \leq 1$, $0 \leq y3 < 1$) よりなる p 型の第四半導体層を形成する工程 (h) を有し、

前記工程 (d) は、前記工程 (h) の後に実行され、前記第四半導体層よりも p 型不純物濃度が高濃度である前記第二半導体層を形成する工程であり、

前記工程 (e) は、前記第四半導体層よりも p 型不純物濃度が高濃度である前記第三半導体層を形成する工程であり、

前記工程 (f) の実行後、前記第三半導体層の膜厚が 5 nm 以下であることを特徴とする半導体発光素子の製造方法。

[請求項 2]

前記工程 (f) の後に、前記第三半導体層の上層に電極を形成する工程 (g) を有することを特徴とする請求項 1 に記載の半導体発光素子の製造方法。

[請求項 3]

前記工程（e）は、前記工程（d）と比べて、前記炉内に供給される原料ガスの流量のみが変更されて実行される工程であることを特徴とする請求項1又は2に記載の半導体発光素子の製造方法。

[請求項4]（削除）

[請求項5]（削除）

[請求項6]

基板上に、n型半導体層と、p型半導体層と、前記n型半導体層及び前記p型半導体層の間に挟持された活性層とを有し、ピーク波長が400nm以下の紫外光を放射する半導体発光素子であって、

前記p型半導体層は、 $\text{p-Al}_{x2}\text{Ga}_{y2}\text{In}_{1-x2-y2}\text{N}$ （ $0 < x2 \leq 1$ ， $0 \leq y2 < 1$ ）よりなるp型の第二半導体層と、膜厚5nm以下のp-GaNよりなるp型の第三半導体層とを含み、

前記第三半導体層は、前記p型半導体層の面のうち、前記活性層とは反対側の面の最上層であることを特徴とする半導体発光素子。

[請求項7]

前記第三半導体層の上層に電極を有していることを特徴とする請求項6に記載の半導体発光素子。

[請求項8]（補正後）

前記p型半導体層は、 $\text{p-Al}_{x3}\text{Ga}_{y3}\text{In}_{1-x3-y3}\text{N}$ （ $0 < x3 \leq 1$ ， $0 \leq y3 < 1$ ）よりなるp型の第四半導体層と、前記第四半導体層の上層に形成された前記第二半導体層と、前記第二半導体層の上層に形成された前記第三半導体層とを有し、

前記第二半導体層及び前記第三半導体層は、前記第四半導体層よりもp型不純物濃度が高濃度であることを特徴とする請求項6又は7に記載の半導体発光素子。

[請求項9]

前記 n 型半導体層は、 $n - \text{Al}_{x1}\text{Ga}_{y1}\text{In}_{1-x1-y1}\text{N}$ ($0 \leq x1 \leq 1$, $0 \leq y1 \leq 1$) よりなる n 型の第一半導体層で構成されていることを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載の半導体発光素子。

条約第19条(1)に基づく説明書

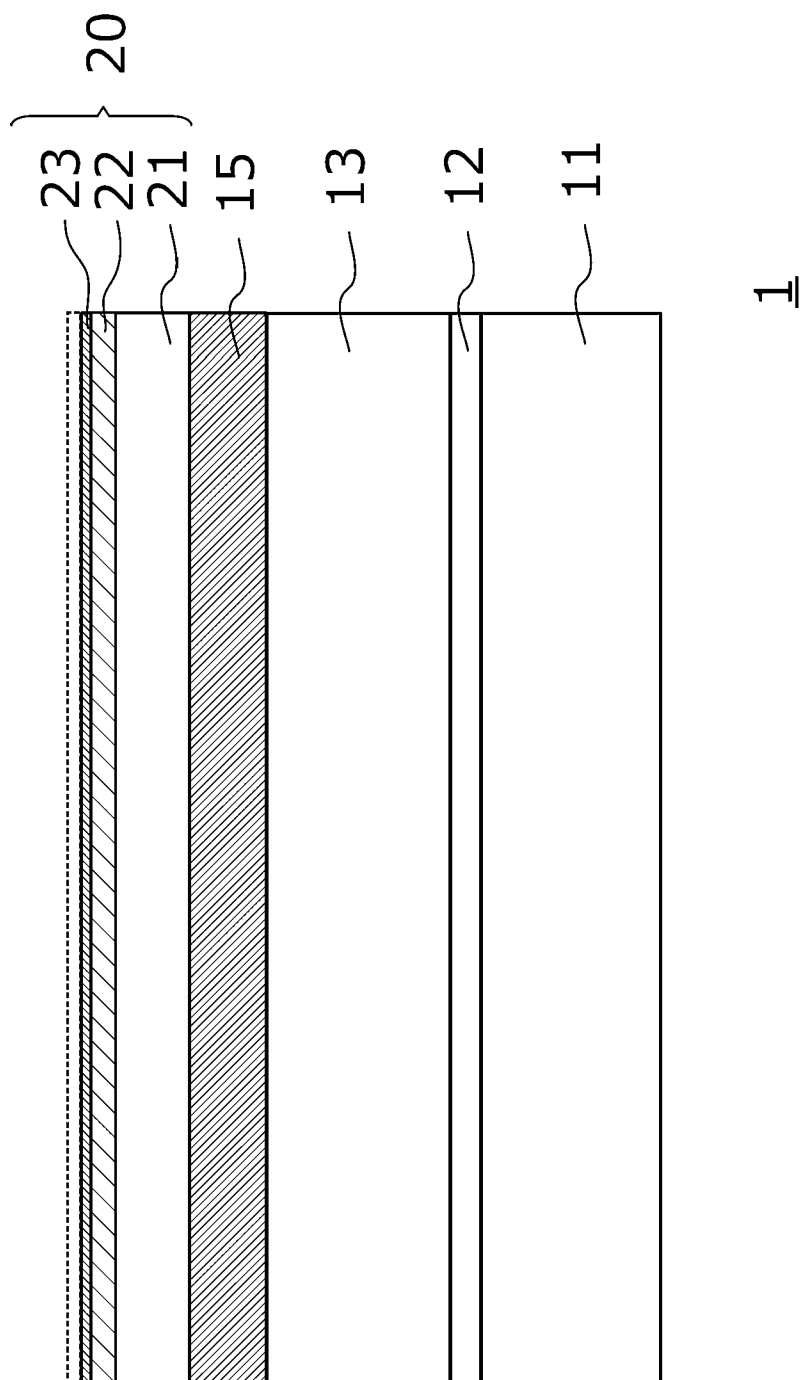
請求項1に対し、請求項4、及び請求項5の内容を組み入れた、更に、明細書の段落[0055]－[0056]、[0076]－[0085]の記載に基づき、工程(e)が、前記第四半導体層よりもp型不純物濃度が高濃度である前記第三半導体層を形成する工程である点を限定した。

請求項4及び請求項5を削除した。

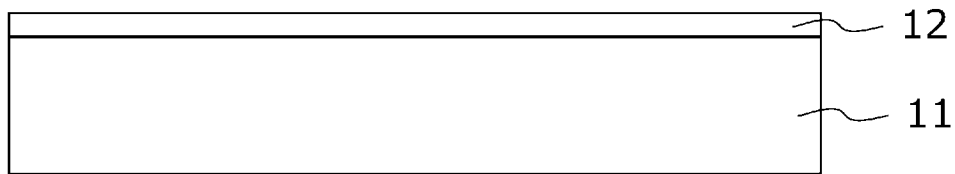
請求項8に対し、明細書の段落[0055]－[0056]の記載に基づき、第二半導体層及び第三半導体層が、第四半導体層よりもp型不純物濃度が高濃度である点を限定した。

請求項2－3，請求項6－7，及び請求項9は補正されていない。

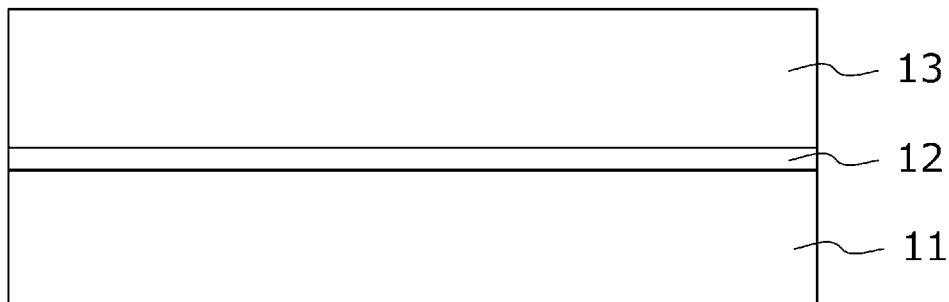
[図1]



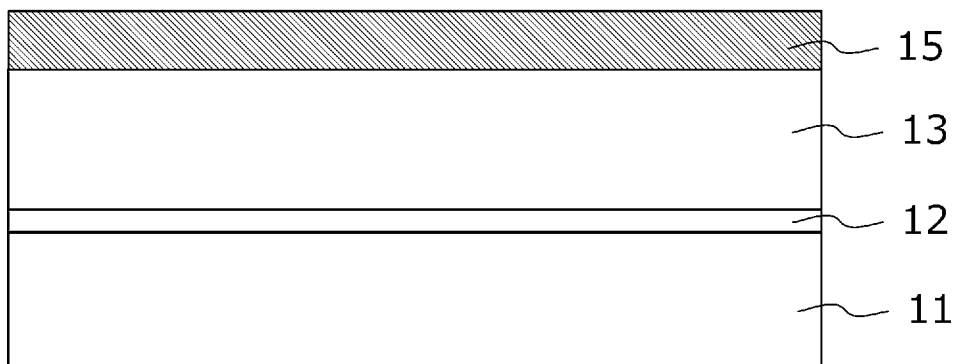
[図2A]



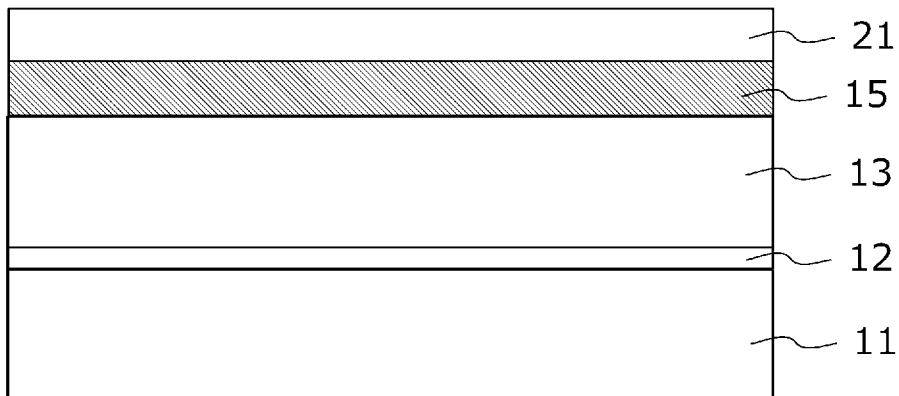
[図2B]



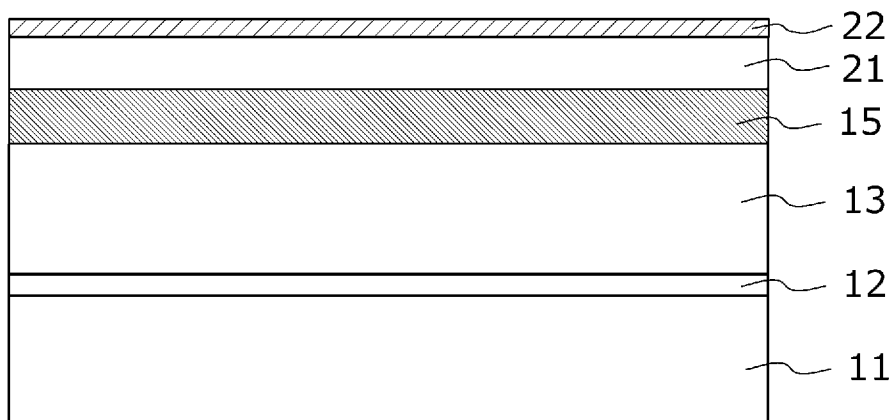
[図2C]



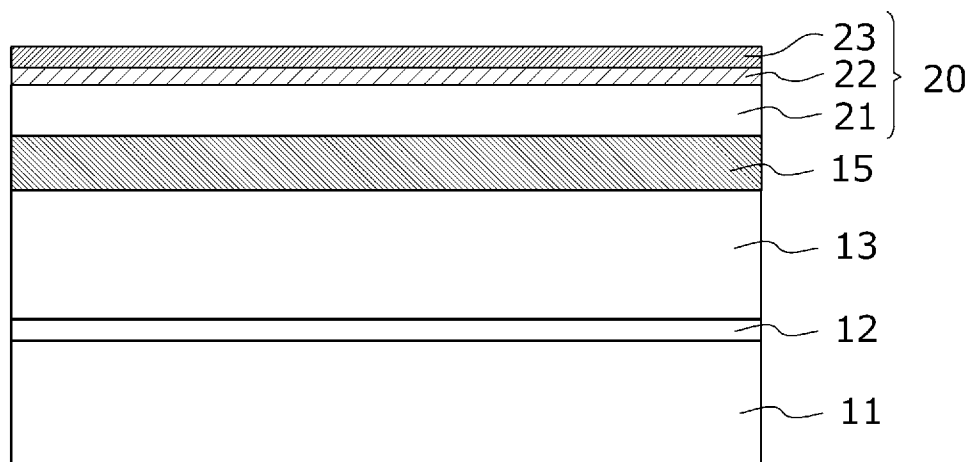
[図2D]



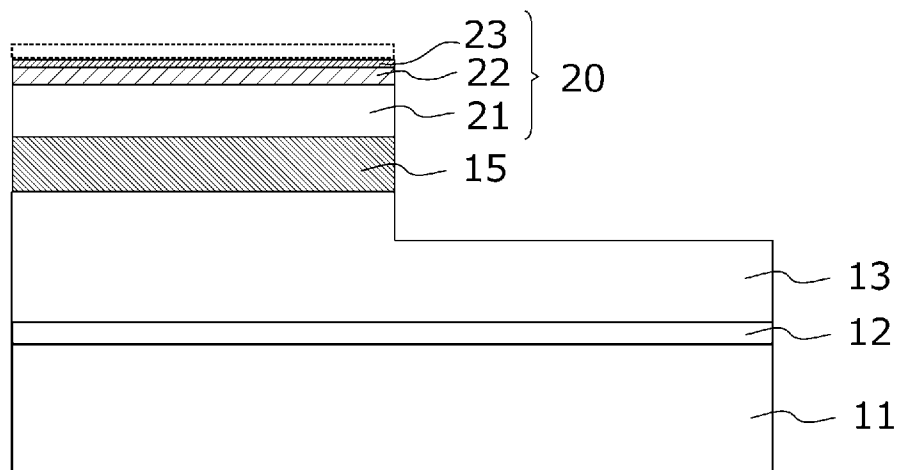
[図2E]



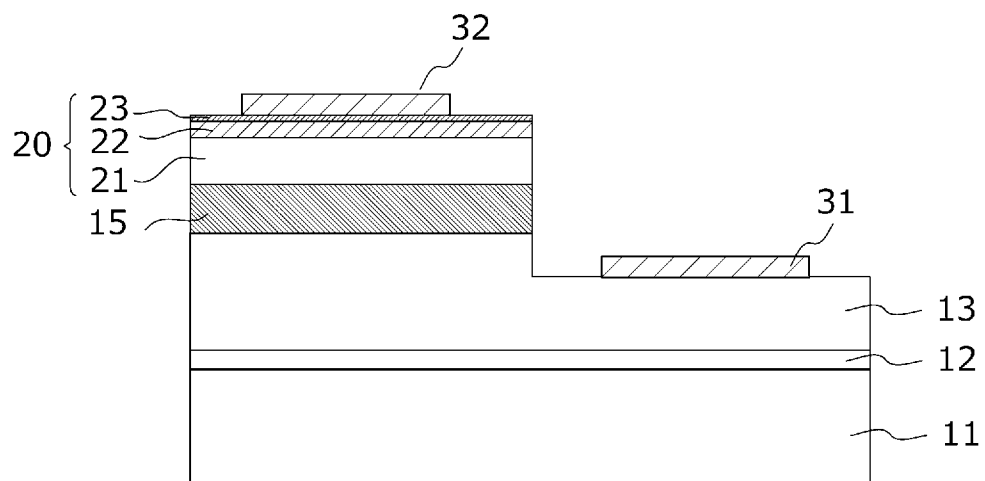
[図2F]



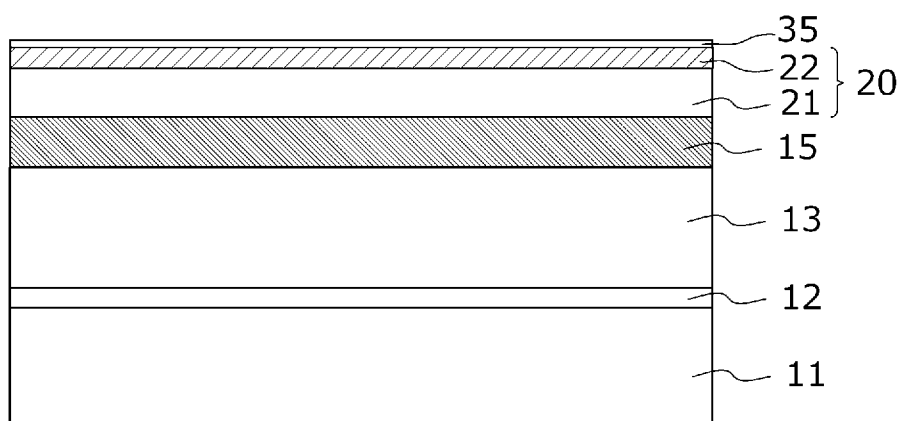
[図2G]



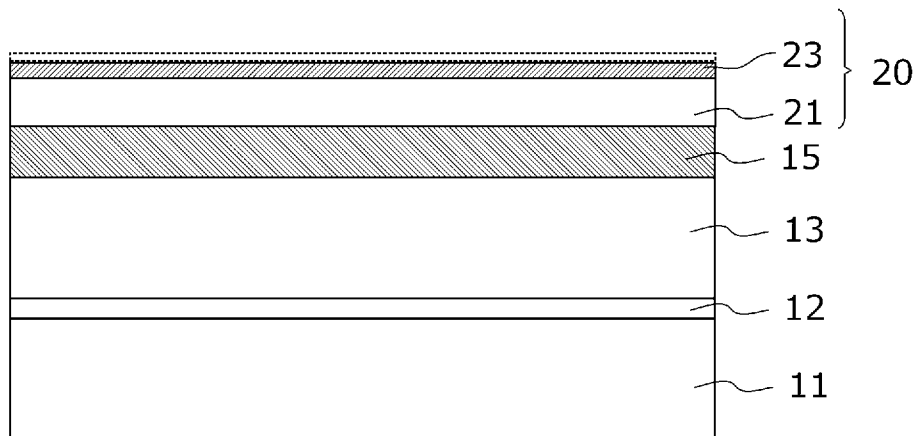
[図2H]



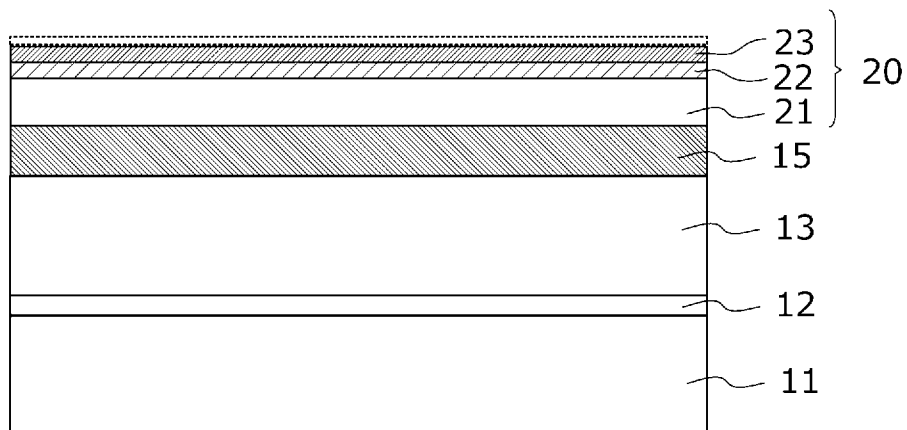
[図3A]



[図3B]



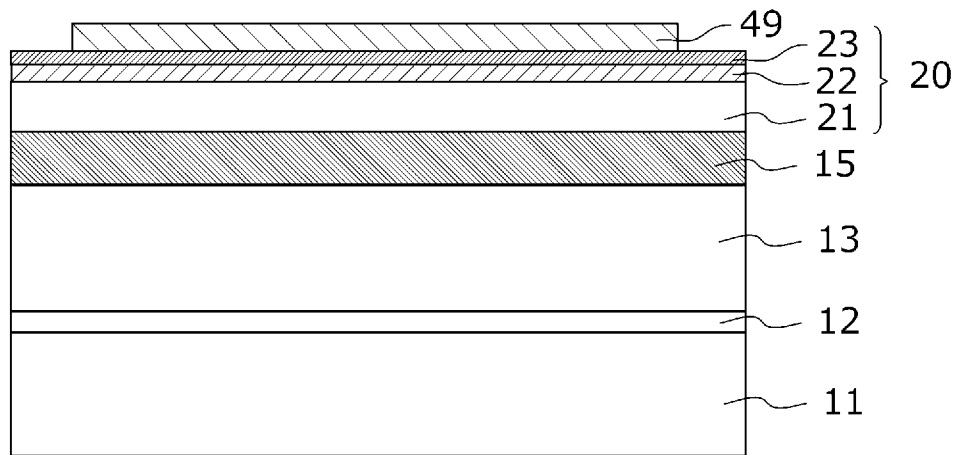
[図3C]



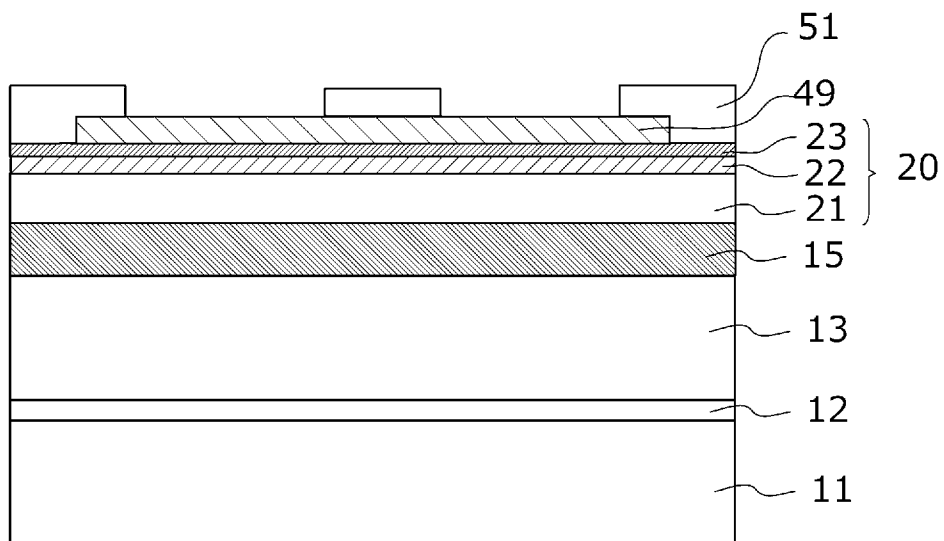
[図4]

	実施例 1	比較例 1	比較例 2	比較例 3
入力電圧	3.4V	3.6V	3.4V	3.4V
光出力	3.0mW	3.0mW	2.9mW	2.9mW

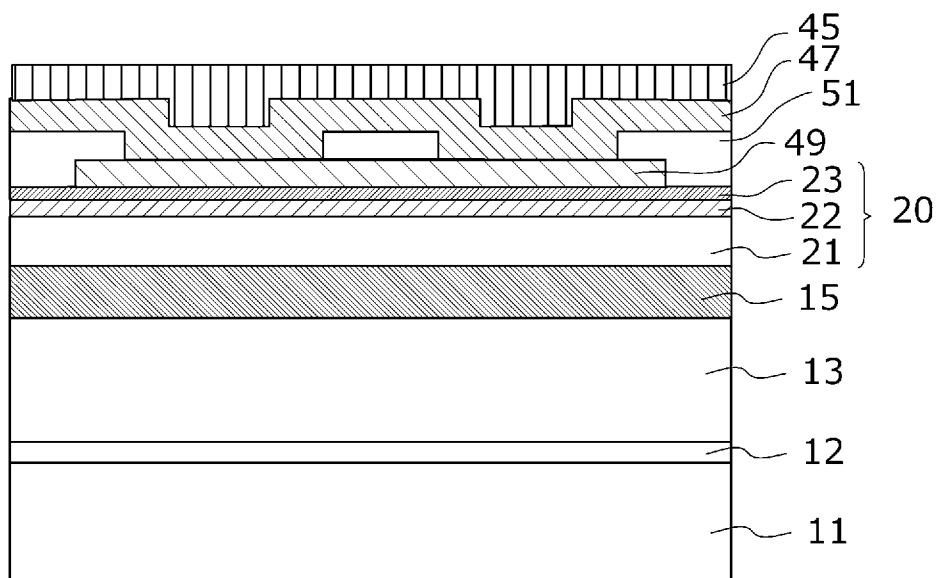
[図5A]



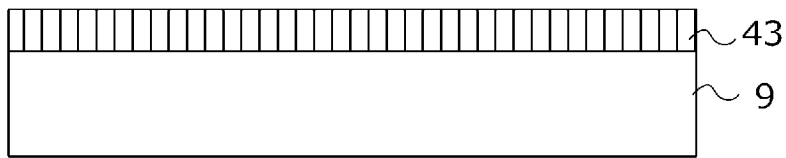
[図5B]



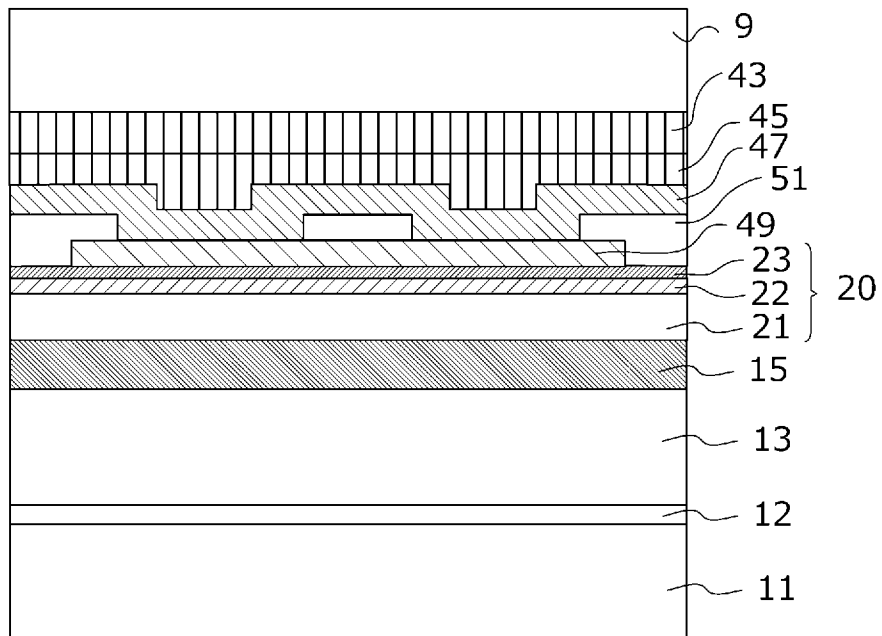
[図5C]



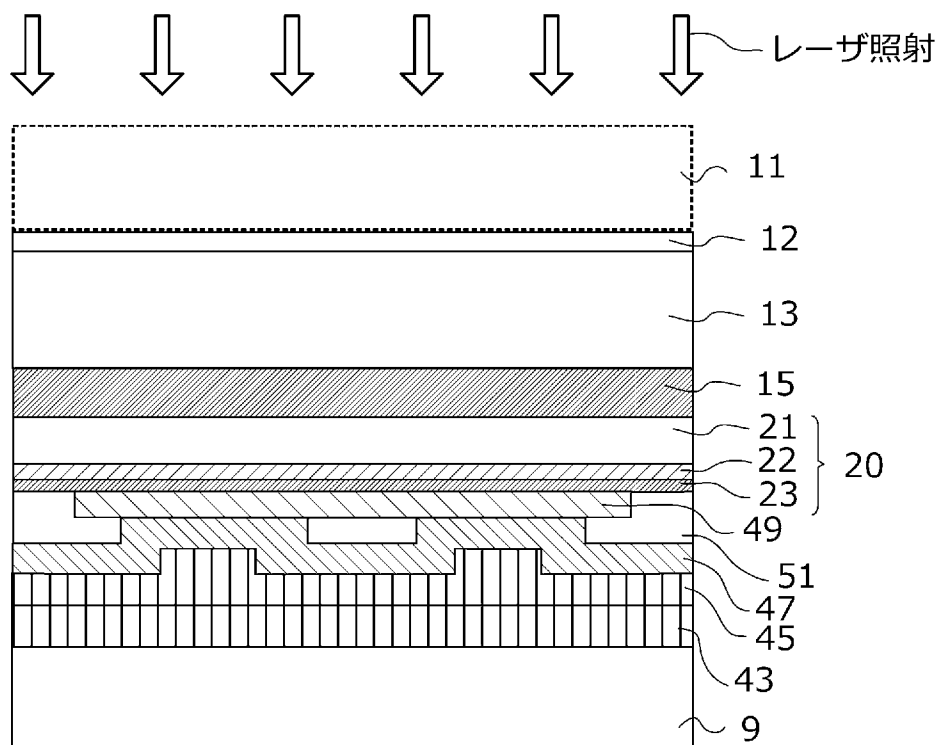
[図5D]



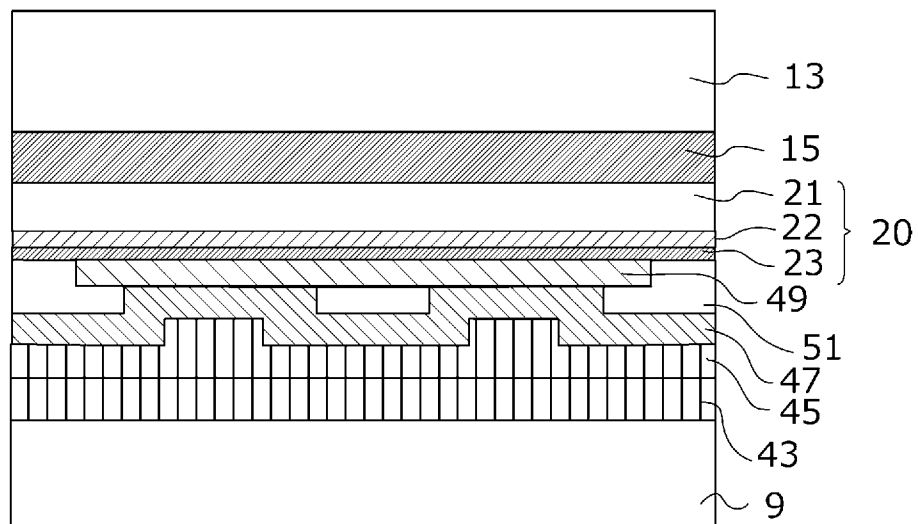
[図5E]



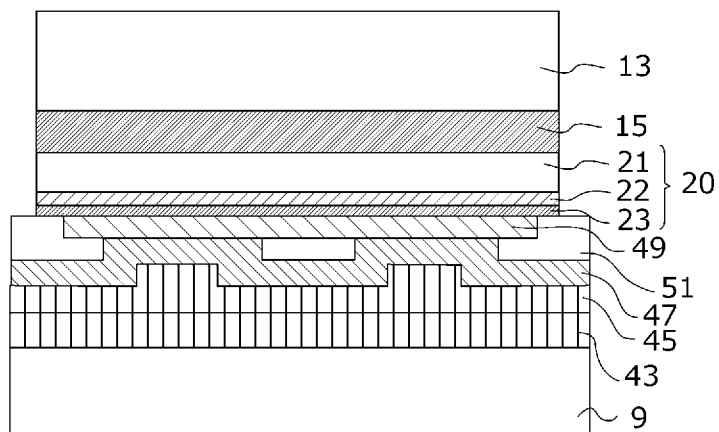
[図5F]



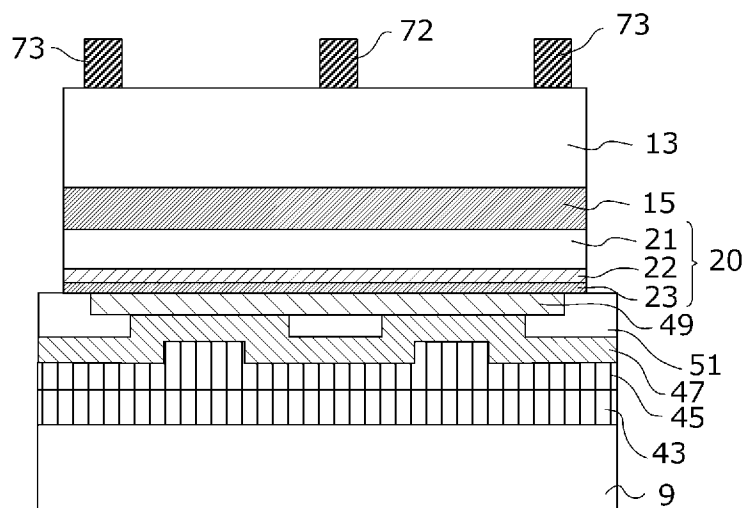
[図5G]



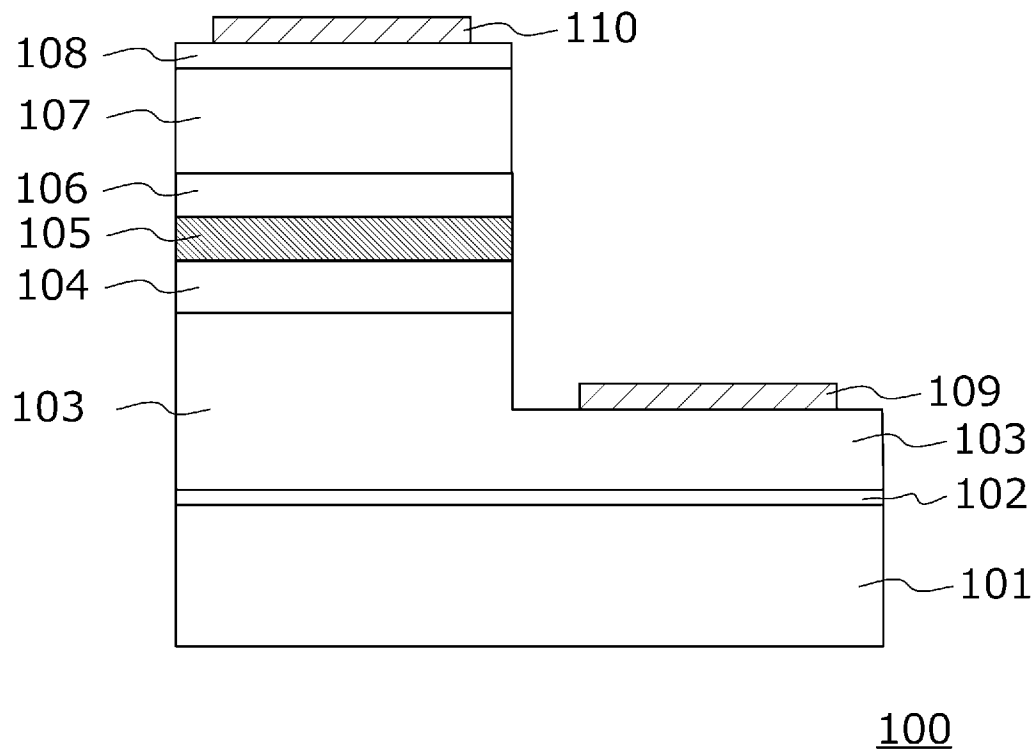
[図5H]



[図5I]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068607

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/32(2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2014-057033 A (Panasonic Corp.), 27 March 2014 (27.03.2014), paragraphs [0044], [0068] to [0084], [0093] to [0100]; fig. 15 to 17 & WO 2014/041719 A	1-4, 6-9 5
Y	JP 2005-203520 A (Sumitomo Electric Industries, Ltd.), 28 July 2005 (28.07.2005), paragraphs [0034] to [0035]; fig. 6 & US 2005/0151154 A1 & EP 1555697 A2 & KR 10-2005-0074918 A & CN 1641900 A	5
A	JP 2012-114389 A (Toshiba Corp.), 14 June 2012 (14.06.2012), paragraph [0113] & US 2012/0132943 A1	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 July 2015 (08.07.15)

Date of mailing of the international search report
21 July 2015 (21.07.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068607

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-004210 A (Toyoda Gosei Co., Ltd.), 06 January 1998 (06.01.1998), paragraph [0013] (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L33/32(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00 -33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2014-057033 A（パナソニック株式会社）2014. 03. 27, [0044], [0068]-[0084], [0093]-[0100]、図 15-17 & WO 2014/041719 A	1-4, 6-9 5
Y	JP 2005-203520 A（住友電気工業株式会社）2005. 07. 28, [0034]-[0035]、図 6 & US 2005/0151154 A1 & EP 1555697 A2 & KR 10-2005-0074918 A & CN 1641900 A	5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 7 . 2 0 1 5

国際調査報告の発送日

2 1 . 0 7 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小林 謙仁

2 K

3 4 1 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-114389 A (株式会社東芝) 2012.06.14, [0113] & US 2012/0132943 A1	1-9
A	JP 10-004210 A (豊田合成株式会社) 1998.01.06, [0013] (ファミリーなし)	1-9