

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/525 (2006.01)

H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710149665.9

[45] 授权公告日 2009 年 9 月 9 日

[11] 授权公告号 CN 100539115C

[22] 申请日 2007.9.10

[21] 申请号 200710149665.9

[30] 优先权

[32] 2006.9.8 [33] JP [31] 2006-244726

[73] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川县

[72] 发明人 黑柳一诚 小山昌司

[56] 参考文献

CN1747099A 2006.3.15

US6404055B1 2002.6.11

JP2004-128363A 2004.4.22

US6716679B2 2004.4.6

US6346738B1 2002.2.12

审查员 孟 超

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 陈瑞丰

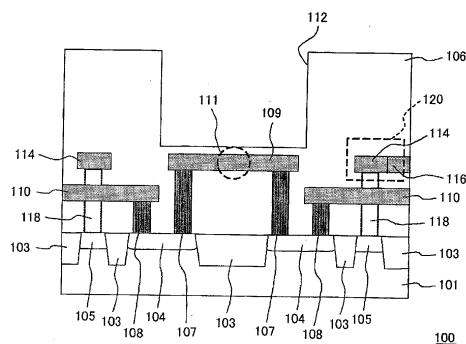
权利要求书 2 页 说明书 9 页 附图 7 页

[54] 发明名称

半导体器件

[57] 摘要

一种半导体器件具有多个熔丝元件部分，它们中的每一个都包括：具有被切割的熔丝部分的第一熔丝内连线，与内部电路相连的第二熔丝内连线；用以与第一熔丝内连线及第二熔丝内连线电连接的第一杂质扩散层，以及第二杂质扩散层。所述第一熔丝内连线、第二熔丝内连线，以及多个熔丝元件部分中每一个的第一杂质扩散层按预定的熔丝间距彼此近乎平行地排列。



1. 一种半导体器件，它具有：

掺杂第一导电类型杂质的半导体衬底；和

多个熔丝元件部分，它们中的每一个都包括：具有被切割之熔丝部分的第一熔丝内连线，与第一熔丝内连线分离形成并与内部电路相连的第二熔丝内连线；第二导电类型的第一杂质扩散层形成于半导体衬底表面上，与第一熔丝内连线和第二熔丝内连线电连接；以及第二导电类型的第二杂质扩散层形成于半导体衬底表面上，而且是与所述第一杂质扩散层分开配置的；其中，

所述第一熔丝内连线、第二熔丝内连线，以及多个熔丝元件部分中每个的第一杂质扩散层按预定的熔丝间距彼此平行地排列；并且

每个熔丝元件部分都具有静电保护，所述静电保护包括所述第一杂质扩散层、第二杂质扩散层和半导体衬底。

2. 如权利要求 1 所述的半导体器件，其中，在所述每个熔丝元件部分中，第一熔丝内连线、第二熔丝内连线、第一杂质扩散层和第二杂质扩散层在平面视图中形成一条单一的直线。

3. 如权利要求 1 所述的半导体器件，其中，在所述每个熔丝元件部分中，第一杂质扩散层和第二杂质扩散层在平面视图中沿第一熔丝内连线的纵长方向形成直线状。

4. 如权利要求 2 所述的半导体器件，其中，在所述每个熔丝元件部分中，第一杂质扩散层和第二杂质扩散层在平面视图中沿第一熔丝内连线的纵长方向形成直线状。

5. 如权利要求 1 所述的半导体器件，其中，向着其它熔丝元件部分相邻的第二杂质扩散层延伸形成所述每个熔丝元件部分的第二杂质扩散层，并与其它熔丝元件部分相邻的第二杂质扩散层连接。

6. 如权利要求 1 所述的半导体器件，其中，在所述每个熔丝元件部分中，在所述第一熔丝内连线的一端和另一端处，分别设置一对第二熔丝内连线、一对第一熔丝内连线和一对第二杂质扩散层，并且，所述各第二杂质扩散层围绕着形成所述多个熔丝元件部分的区域形成环状，并共同设在所

述多个熔丝元件部分中间。

7. 如权利要求 5 所述的半导体器件，其中，在所述每个熔丝元件部分中，在所述第一熔丝内连线的一端和另一端处，分别设置一对第二熔丝内连线、一对第一杂质扩散层和一对第二杂质扩散层，并且，所述各第二杂质扩散层围绕着形成所述多个熔丝元件部分的区域形成环状，并共同设在所述多个熔丝元件部分中间。

8. 如权利要求 1 所述的半导体器件，其中，在所述每个熔丝元件部分中，第一杂质扩散层和第二杂质扩散层与所述半导体衬底一起，形成双极晶体管。

9. 如权利要求 1 所述的半导体器件，其中，在所述每个熔丝元件部分中，在第一杂质扩散层与第二杂质扩散层之间，设置由所述半导体衬底形成的第一导电类型的杂质扩散区；在所述第一导电类型的杂质扩散区上形成栅电极；并且，所述第一杂质扩散层和第二杂质扩散层与所述半导体衬底和所述栅极一起，形成 MOS 晶体管。

10. 如权利要求 1 所述的半导体器件，其中，在所述第二杂质扩散层上方的位置处，布置有通过接点与所述第二杂质扩散层相连的金属内连线。

11. 如权利要求 1 所述的半导体器件，其中，对于每个所述熔丝元件部分中，所述第一熔丝内连线层与所述第二熔丝内连线层不同，并且，所述第一熔丝内连线和第二熔丝内连线，在所述第一杂质扩散层处，分别与第一部分及与第一部分不同的第二部分耦接。

半导体器件

本申请基于日本专利申请 No. 2006-244726，本文将其内容引为参考。

技术领域

本发明涉及半导体器件，具体地说，涉及一种包含熔丝的半导体器件。

背景技术

为了避免因半导体器件的微型化和高集成密度化的增长引起的生产效率下降，已将半导体器件设计成使电路能够改型，并且在利用熔丝电路测试过程之后，能在重复的电路之间切换。作为一种举例，由穿过为在熔丝元件上切割熔丝用的开口所照射的激光引起的熔融和蒸发使熔丝元件受到切割。在为切割熔丝所用的开口中，在熔丝元件上所覆盖的绝缘膜比其它部分的薄。另外，在熔融并蒸发所述熔丝时，熔丝元件受到切割的那部分内的绝缘膜被吹散，露出熔丝元件。如上所述，在熔丝元件受到切割的那部分内，半导体器件表面与层间绝缘膜内的熔丝元件之间的距离较近，或者熔丝元件在表面处露出。从而，比如在半导体器件的装配过程中半导体器件表面带电的情况下，容易向着熔丝内连线发生静电放电，引起熔丝元件自身的损坏，或者因为与熔丝元件连接的内部电路的栅极绝缘膜的静电放电而受到损毁。由此而使可靠性降低。

迄今存在的一个问题在于，当用离子束切割形成于半导体衬底上的熔丝时，带电粒子会照射在半导体器件上，引起半导体荷电，由此而使绝缘膜受到损害，引起半导体器件的故障。为了解决上面的问题，日本未审专利公开 No. 平 2(1990)-244740 曾公开过一种半导体器件，其中，在要由离子束切割的内连线附近的位置，至少形成两个彼此间隔的 pn 结，并且，这两个 pn 结和所述内连线互相电连接。

图 7 是表示上述半导体器件结构的截面图。熔丝内连线 3 作为要受到

切割的内连线，在熔丝被切割的预定部分 2 的两端，通过接点 6a 和 6b 与多个 n-型掺杂扩散层 4 连接。这里，由元件隔离绝缘膜 11 使各掺杂扩散层 4 隔开。各掺杂扩散层 4 与 p-型半导体衬底 9 形成 pn 结。在上述结构中，当熔丝内连线 3 的熔丝待切割部分 2，由于受到离子束从层间绝缘膜 8 上方的照射，而使熔丝内连线 3 的电位升高时，造成两个 pn 结的非破坏性击穿，熔丝内连线 3 上所荷带的电荷就对 p-型半导体衬底 9 放电。于是，为避免绝缘膜的受损，就要防止半导体器件荷电。

日本未审专利公开 No. 2006-073937 公开了一种半导体器件，它包括：掺杂有第一导电类型杂质的半导体衬底；在所述半导体衬底表面上形成的绝缘膜；在所述绝缘膜上形成的熔丝；第一扩散层，该层与所述熔丝电连接，并通过掺杂第二导电型杂质而形成于半导体衬底上；与衬底电位相连的第二扩散层，它通过使第一导电类型杂质掺杂的浓度比掺杂到半导体衬底的第一种杂质的浓度高，而形成于上述半导体衬底的表面上，并与第一扩散层和半导体衬底一起形成二极管；以及一个与第一扩散层电连接的晶体管。采用这种结构，设想能够保护内部电路中的晶体管免受半导体器件冗余的熔丝切割面上所产生的 ESD 冲击。

日本未审专利公开 No. 平 1(1989)-081341 和日本未审专利公开 No. 平 2(1990)-033949 公开了一种半导体器件，按照它的结构，与熔丝内部电路中的元件连接的内连线被分成两段，这两段通过扩散层彼此相连。采用这种结构，即使与熔丝连接的内连线受到浸水等腐蚀，与内部电路等的元件相连的内连线也能够免受侵蚀。

日本未审专利公开 No. 平 7(1995)-078872 公开了一种技术，这种技术通过在作为熔丝的金属内连线与交点之间设置由非金属导电材料制成的连接单元，显示出金属内连线的防止侵蚀的优点。

迄今，所存在的问题是，有如日本未审专利公开 No. 平 2(1990)-244740 以及日本未审专利公开 No. 2006-73937 中所描述的那样，为了保护内部电路中的晶体管免受 ESD(静电放电)冲击而设置保护元件时，会因为布置所述保护元件，而使可利用的面积减小。

发明内容

作为一种具体实施方式，本发明提供一种半导体器件，它具有：掺杂有第一导电类型杂质的半导体衬底；和多个熔丝元件部分，它们中的每一个都包括：具有被切割之熔丝部分的第一熔丝内连线，与第一熔丝内连线分离形成并与内部电路相连的第二熔丝内连线；第二导电类型的第一杂质扩散层，形成于半导体衬底表面上，与第一熔丝内连线和第二熔丝内连线电连接；以及第二导电类型的第二杂质扩散层，形成于半导体衬底表面上，而且是与第一杂质扩散层分开配置的，其中，第一熔丝内连线、第二熔丝内连线，以及多个熔丝元件部分中每一个的第一杂质扩散层按预定的熔丝间距彼此近乎平行地排列，并且每一个熔丝元件部分都具有静电保护，所述静电保护包括第一杂质扩散层、第二杂质扩散层和半导体衬底。

按照上述结构，可使内部电路被保护免受 ESD 冲击，同时，防止增大包含熔丝元件的半导体器件的利用面积。

作为另一种具体实施方式，本发明提供一种半导体器件，它包括：第一导电类型的半导体衬底；第二导电类型的第一杂质扩散层；具有切割的熔丝部分的第一熔丝内连线；以及与第一熔丝内连线分离形成并与内部电路相连的第二熔丝内连线。其中，第一熔丝内连线层与第二熔丝内连线层不同，并且，在第一杂质扩散层处，第一和第二熔丝内连线分别与第一部分和不同于第一部分的第二部分连接。

按照本发明，内部电路被保护免受 ESD 冲击，同时，防止增大包含熔丝元件的半导体器件的利用面积。

附图说明

从下面结合附图对特定优选实施例的描述，将使本发明上面所说的以及其他的目的、优点及特点变得愈为清晰，其中：

图 1 是表示本发明一种优选实施例半导体器件结构的截面图；

图 2 是图 1 所示半导体器件的平面图；

图 3 是表示图 1 和图 2 所示半导体器件的电路结构示意图；

图 4 是表示本发明一种优选实施例半导体器件结构的截面图；

图 5 是图 4 所示半导体器件的平面图；

图 6 是表示图 4 和图 5 所示半导体器件的电路结构示意图；

图 7 是表示普通半导体器件结构的截面图。

具体实施方式

下面将参照说明性的实施例描述本发明。熟悉本领域的人将能理解，利用本发明的技术，可以得到许多可供选择的实施方式，本发明并不限于为了说明的目的所表述的这些实施例。

以下就参照附图说明本发明的一些优选实施例。文内各图中将以同样的参考标号表示类似的部件，并因此而不再重复详细的叙述。

第一实施例

图 1 是表示本发明一种优选实施例半导体器件 100 的结构截面图。图 2 是图 1 所示半导体器件 100 的平面图。图 1 是沿图 2 中的 A-A' 线所取的截面图。

半导体器件 100 具有：半导体衬底 101，第一杂质扩散层 104，第二杂质扩散层 105，以及形成于半导体衬底 101 表面部分上的元件隔离绝缘膜 103 和形成于半导体衬底 101 上方的层间绝缘膜 106。由上述元件隔离绝缘膜 103 使所述第一杂质扩散层 104 和第二杂质扩散层 105 彼此电绝缘。这里的第一杂质扩散层 104 和第二杂质扩散层 105 可为 n-型扩散层。半导体衬底 101 中扩散有 p-型杂质。

半导体器件 100 还包括：第一接点 107、第二接点 108、第一熔丝内连线 109 和第二熔丝内连线 110，所有这些都形成于半导体衬底 101 上的层间绝缘膜 106 中。第一熔丝内连线 109 上设置熔丝预定切割部分 111。本实施例中，第一熔丝内连线 109 所在的层与第二熔丝内连线 110 所在的层不同，并且，在第一杂质扩散层 104 处，所述第一和第二熔丝内连线 109、110 分别与第一部分和不同于第一部分的第二部分相连。这里的第一熔丝内连线 109 形成得比第二熔丝内连线 110 高。

在层间绝缘膜 106 中，在熔丝待切割部分 111 上形成熔丝切割开口 112。于是，可以很容易地切割第一熔丝内连线 109 的熔丝待切割部分 111。虽然各图中并未示出，但第二熔丝内连线 110 与半导体器件 100 中的内部电路相连，在与另一端相对的一端的侧面，与第二接点 108 相连。

第一熔丝内连线 109 通过第一接点 107、第一杂质扩散层 104 及第二接点 108，与第二熔丝内连线 110 电连接。可以防止从第一熔丝内连线 109 的熔丝待切割部分 111 侵入的水通过内连线侵入到内部电路一侧，这里所述的内连线的结构有如上述那样，是通过第一杂质扩散层 104 而互相连接的第一熔丝内连线 109 和第二熔丝内连线 110 构成的。

半导体器件 100 还包括：第三接点 118、内连线 114，以及 Vss 配线 116，所有这些都形成于半导体衬底 101 上的层间绝缘膜中。第二杂质扩散层 105 通过第三接点 118 及内连线 114 与 Vss 配线 116 相连。

在上述结构中，第一熔丝内连线 109、一条第二熔丝内连线 110、一层第一杂质扩散层 104，以及一层第二杂质扩散层 105 形成熔丝元件部分。半导体器件 100 包括多个上述这样的熔丝元件部分。另外，图 1 中所示半导体器件 100 的结构左右对称。也就是说，每个第一接点 107、每一层杂质扩散层 104、每个第二接点 108 和每条第二熔丝内连线 110 都按如此顺序连接到第一熔丝内连线 109 的两端。另外，第二杂质扩散层 105 布置在每一层杂质扩散层 104 外边。

参照图 2，在平面视图中，每个熔丝元件部分的第一熔丝内连线 109、第二熔丝内连线 110、第一杂质扩散层 104 和第二杂质扩散层 105 形成一条单一的直线。这里，每个熔丝元件部分的第一熔丝内连线 109 和第二熔丝内连线 110 都形成直线状。至于每个熔丝元件部分，在平面视图中，第一杂质扩散层 104 和第二杂质扩散层 105 都沿第一熔丝内连线 109 的纵长方向形成于一条线上。另外，至于每个熔丝元件部分，第一熔丝内连线 109 和第二熔丝内连线 110 实际上都具有相等的内连线宽度。

按照本实施例，第一熔丝内连线 109 和第二熔丝内连线 110 的多种组合按预定的熔丝间距 P1 近似彼此平行地布置。这里的熔丝间距 P1 指的是这样一个距离，按照这个距离，当用激光等切割一个特定的熔丝元件部分中的第一熔丝内连线 109 时，不会在相邻的熔丝元件部分上造成影响。这里所说的影响，意思是比如由于激光的热量而使第一熔丝内连线 109 中所包含的材料分散到周围，从而造成第一熔丝内连线 109 与另一个熔丝元件部分的另一个第一熔丝内连线 109 之间的短路。与此同时，还可以考虑激光照射时未对准的范围而确定所述熔丝间距 P1。另外，多个第一杂质扩

散层 104 也是按所述预定的熔丝间距 P1 近似彼此平行地布置。而且，第二杂质扩散层 105 通常设在所述多个熔丝元件部分中间。按照本实施例，在形成各第一杂质扩散层 104 的区域周围形成所述第二杂质扩散层 105。内连线 114(金属内连线)通过第三接点 118 与第二杂质扩散层 105 相连，并布置在第二杂质扩散层 105 上方的位置处。本实施例中，在第二杂质扩散层 105 上方形成的内连线 114 也形成与所述第二杂质扩散层 105 同形状的环形。第三接点 118 和内连线 114 围绕的区域内形成各第一熔丝内连线 109 和各第一杂质扩散层 104，并用作为对衬底排除表面层附近产生之静电的防护环层 120(见图 1)的功能。

在第三接点 118 不与第二熔丝内连线 110 平面地重叠的那部分中，第二杂质扩散层 105 和内连线 114 通过第三接点 118 彼此互连。这里，半导体衬底 101、第一杂质扩散层 104 和第二杂质扩散层 105 形成 NPN 双极器件的静电保护元件。内连线 114 与接地的 Vss 配 116 相连。这就是说，将电位地加给第二杂质扩散层 105。第一杂质扩散层 104 被加给熔丝电路电位。

考虑到第一熔丝内连线 109 和第二熔丝内连线 110 的熔丝间距 P1 以及静电保护元件所需的能力，就可以确定彼此相邻的各熔丝元件部分的第一杂质扩散层 104 之间的距离 S1。然而，在本实施例中，所说的距离 S1 被确定在不致对上述方法确定的熔丝间距 P1 造成影响的范围内。这就是说，按照本实施例，首先，类似于上面所述的那样，在考虑当以激光等切割第一熔丝内连线 109 时所需要的边界(margin)的情况下，确定熔丝间距 P1。紧接着，把第一杂质扩散层 104 的宽度和距离 S1 确定于不致造成已确定之熔丝间距 P1 发生变化的范围内。

通过适当地控制第一杂质扩散层 104 和第二杂质扩散层 105 之间距离 S2，可以得到具有所需能力的双极晶体管。对于每一个熔丝元件部分而言，在考虑由上述各层组成的静电保护元件所需能力的情况下，可以确定第一杂质扩散层 104 和第二杂质扩散层 105 之间距离 S2。这里的距离 S2 对应于 NPN 双极元件的基本长度。通过在第一熔丝内连线 109 与第二熔丝内连线 110 之间设置上述静电保护元件，即使在作为熔丝元件所第一熔丝内连线 109 荷电时，也可以防止熔丝元件自身和内部电路元件受到损毁。

图3是表示图1和图2所示半导体器件的电路结构示意图。

半导体器件100包括由杂质扩散层104、半导体衬底101及第二杂质扩散层105组成的保护元件150。这里的保护元件150为一NPN型双极晶体管。另外，半导体器件100还包括形成内部电路的晶体管152。晶体管152形成预定功能电路。按照上述结构，当使第一熔丝内连线109负荷电至半导体衬底101的衬底电位时，形成保护元件150的第一杂质扩散层104(图3中的集电极)与半导体衬底101之间的寄生二极管引起电流。另一方面，当使第一熔丝内连线109正荷电至所述衬底电位时，保护元件150导通并有电流流过。从而，可以避免第一熔丝内连线109与半导体衬底101之间的电位差，而与第一熔丝内连线109对衬底电位正或负无关系。相应地，也可以避免与第一熔丝内连线109相连的晶体管152的栅极与半导体衬底101之间的电位差，因此可以防止栅极绝缘膜受到损坏。

按照本实施例的半导体器件100，多个熔丝元件部分的第一杂质扩散层104都以熔丝间距P1而彼此平行地布置，省去了除熔丝元件部分之外再设置特定保护元件区域的必要性。因此，可使熔丝电路利用面积的增大最小化。

此外，通过设置在多个熔丝元件部分中间共同使用的第二杂质扩散层105，可以形成上述静电保护元件，而无需附加的占有面积。再有，第二杂质扩散层105形成环状，而且在第二杂质扩散层105上方由内连线114等形成保护环。因而，可以避免在熔丝元件部分与内部电路中形成的扩散层之间形成寄生元件。

第二实施例

图4是表示本发明一种优选实施例半导体器件结构的截面图。图5是图4所示半导体器件的平面图。图4是沿图5的C-C'线所取的截面图。

下面将只说明与图1所示第一实施例半导体器件100不同的结构。本实施例中，在第一杂质扩散层104与第二杂质扩散层105之间不再设置元件隔离绝缘膜103，而改为由半导体衬底101提供一个p型杂质区。在所述p型杂质区上形成由栅极绝缘膜130和栅极电极132构成的栅极134。

第一杂质扩散层 104、栅极 134 以及第二杂质扩散层 105 形成 NMOS 晶体管的静电保护元件。本实施例中，第一杂质扩散层 104 与第二杂质扩散层 105 之间的距离 S2 对应于 NMOS 晶体管的沟道长度。因此，通过控制这一距离 S2，可使 NMOS 晶体管具有所需的能力。

所述半导体器件 100 还包括：与内连线 114 相连的接点 136、内连线 137、接点 138 和内连线 139。以与第二杂质扩散层 105 相似的环状，形成内连线 114、接点 136、内连线 137、接点 138 和内连线 139，并用作防护环层 120。例如，通过在第一熔丝内连线 109 附近并在更接近半导体器件 100 表面的第一熔丝内连线 109 那侧(即图 4 所示的第一熔丝内连线 109 上方)设置与扩散层相连的另一个电极，即使在第一熔丝内连线 109 由于水等影响下而被荷电的情况下，也能使第一熔丝内连线 109 荷电很少。另外，当设置上述另一个电极时，在装配处理时所用的夹头等外部设备与所述外部设备之间发生放电，以便防止在第一熔丝内连线 109 和所述外部设备之间的放电。

图 6 是表示图 4 和图 5 所示半导体器件的电路结构示意图。

所示半导体器件 100 包括上述 NMOS 晶体管的保护元件 154。按照上述结构，当第一熔丝内连线 109 负荷电至半导体衬底 101 的衬底电位时，在第一杂质扩散层 104 与半导体衬底 101 之间形成保护元件 154 的寄生二极管引起电流。另一方面，当第一熔丝内连线 109 正荷电至所述保衬底电位时，保护元件 154 接通，并有电流流过。从而，可以防止第一熔丝内连线 109 与半导体衬底 101 之间的电位差，而与第一熔丝内连线 109 正荷电或者负荷电至衬底电位无关紧要。相应地，也能防止与第一熔丝内连线 109 相连的晶体管 152 的栅极和半导体衬底 101 之间的电位差，并因此可以防止栅极绝缘膜受损。有如本实施例所述者，采用将保护元件 154 的栅极电压设定成地电位的结构，使保护元件 154 可以按比图 3 所示 NPN 保护元件 154 所需箝位电压低的箝位电压而工作。

如上所述，按照本实施例的半导体器件 100，为使电路小型化而保持增大可利用面积的同时，可以确保与熔丝元件电连接的电路的可靠性，或与熔丝元件相邻的内部电路的可靠性。

虽然上面已经参照附图描述了本发明的一些实施例，但上面的实施例

都被认为是作为本发明的说明，除上述之外的各种结构都是适用的。

这里，在上述各实施例中，熔丝切割开口 112 通常设在多个熔丝元件部分中间。不过，在另外的一些实施例中，可以对每一个熔丝元件部分提供所述熔丝切割开口(熔丝窗口)。在这种情况下，可以根据险丝切割开口的大小，决定第一熔丝内连线 109 的熔丝间距 P1。

很清楚，本发明并不限于上述各实施例，而是可以改型和变化，都不致脱离本发明的范围和精髓。

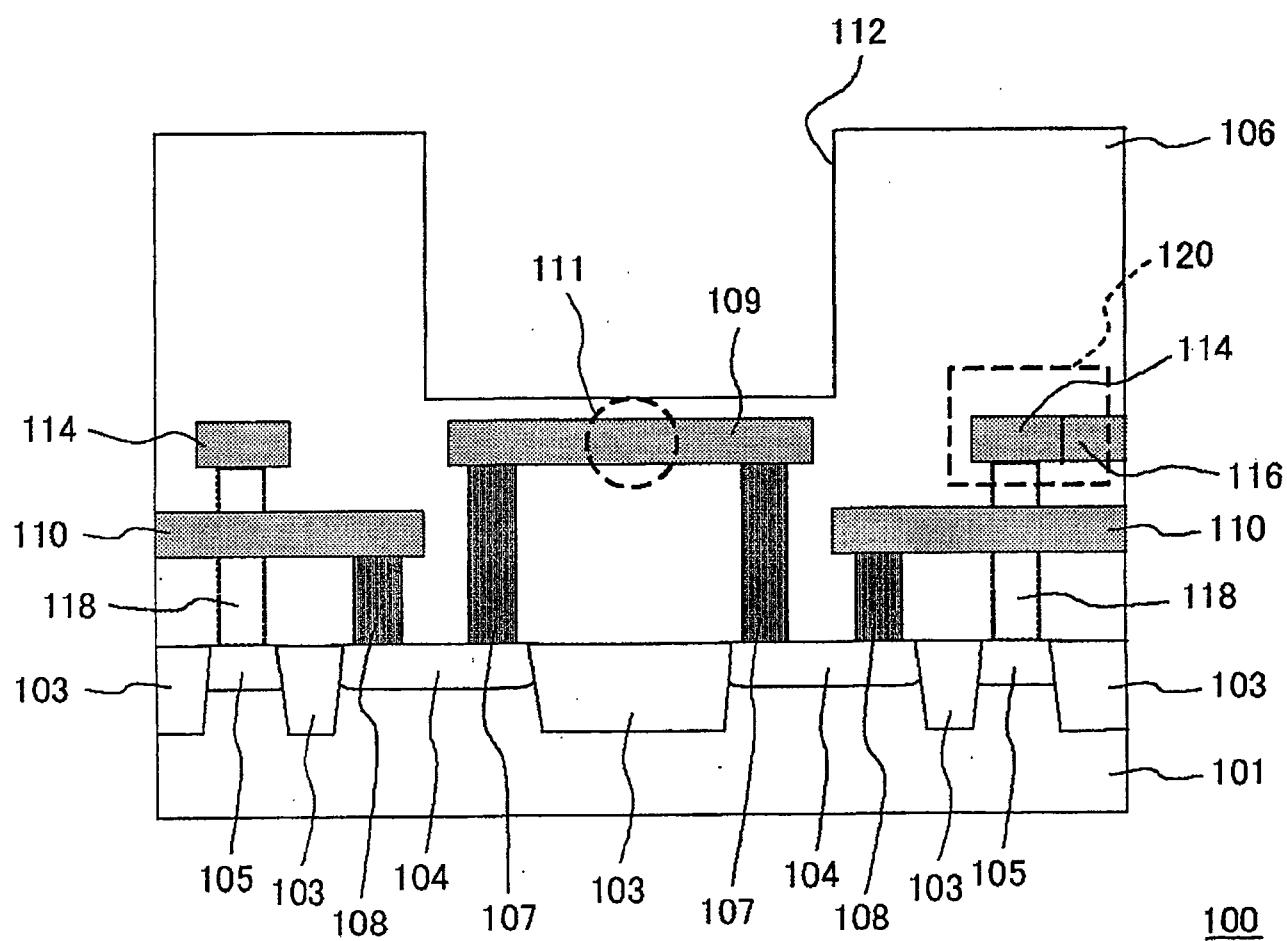


图 1

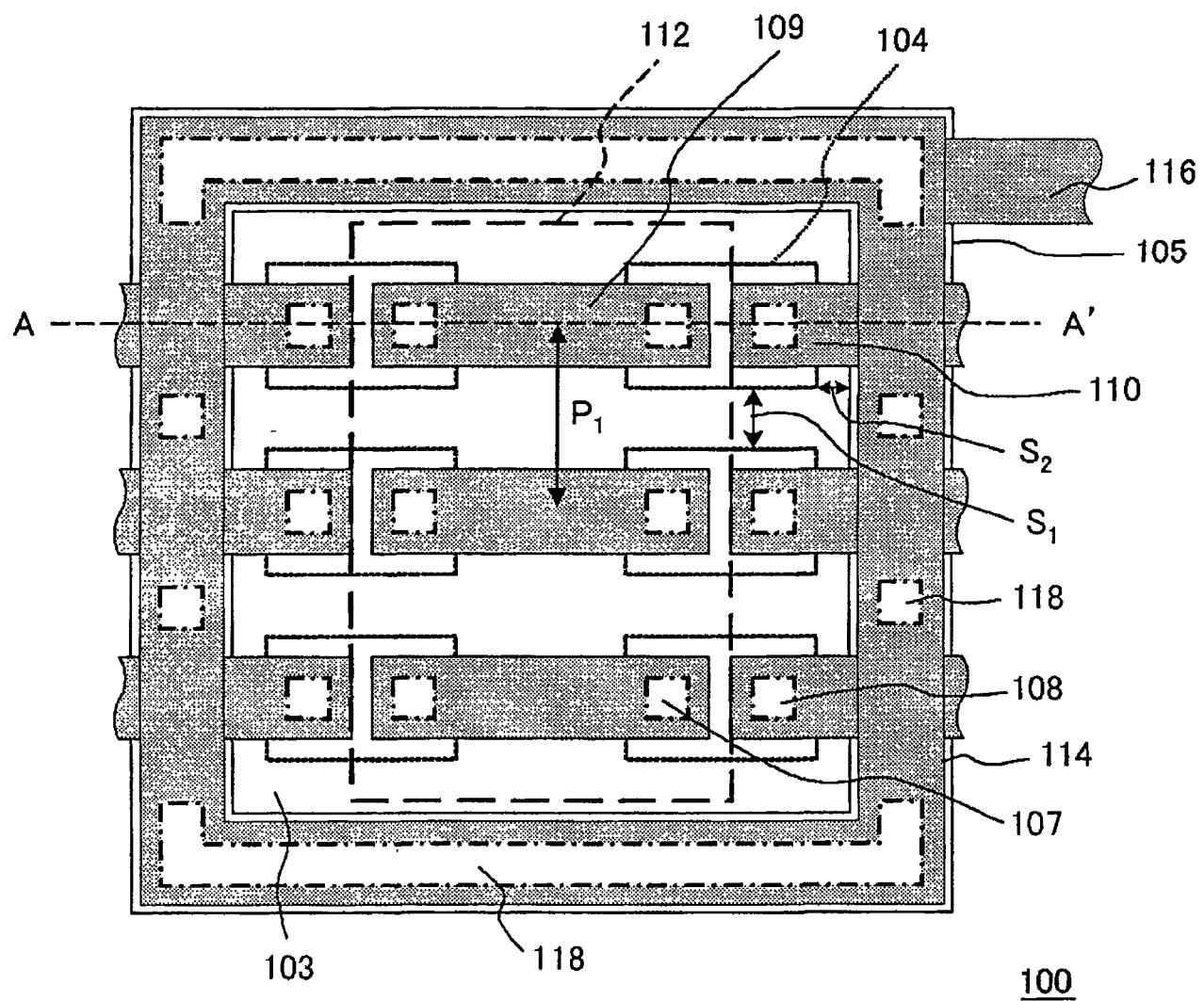


图 2

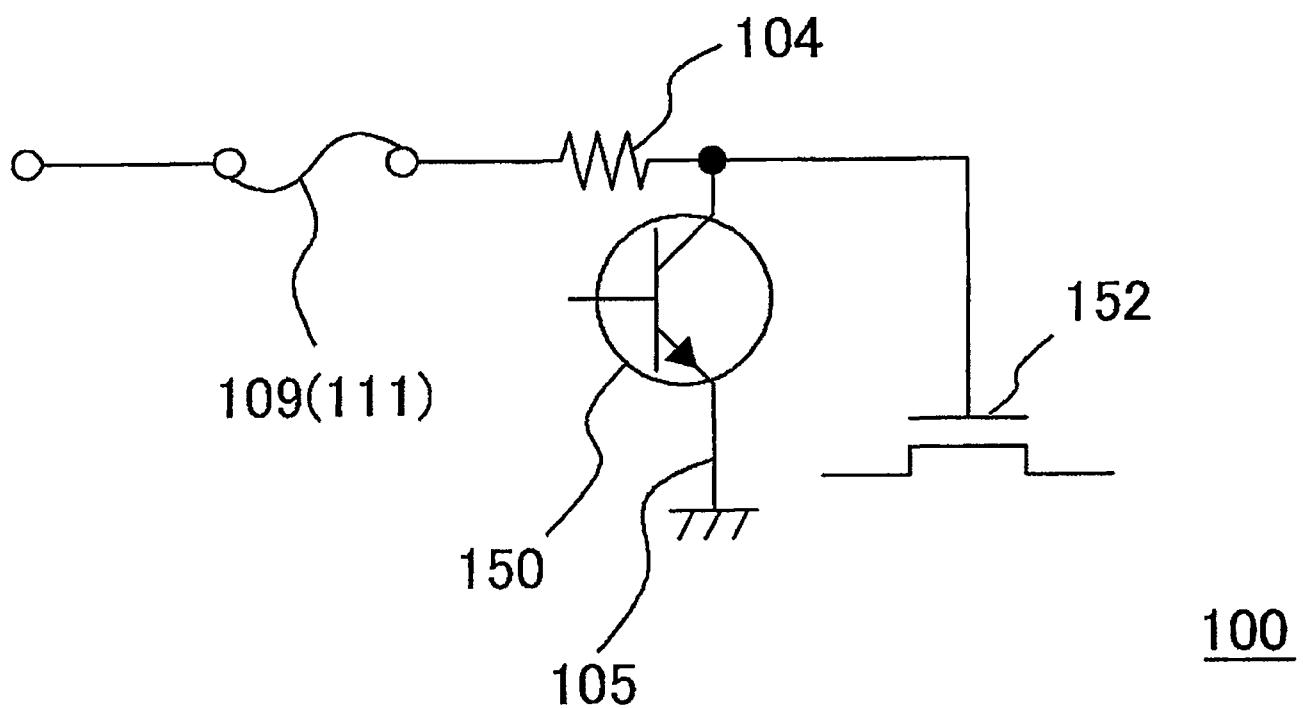


图 3

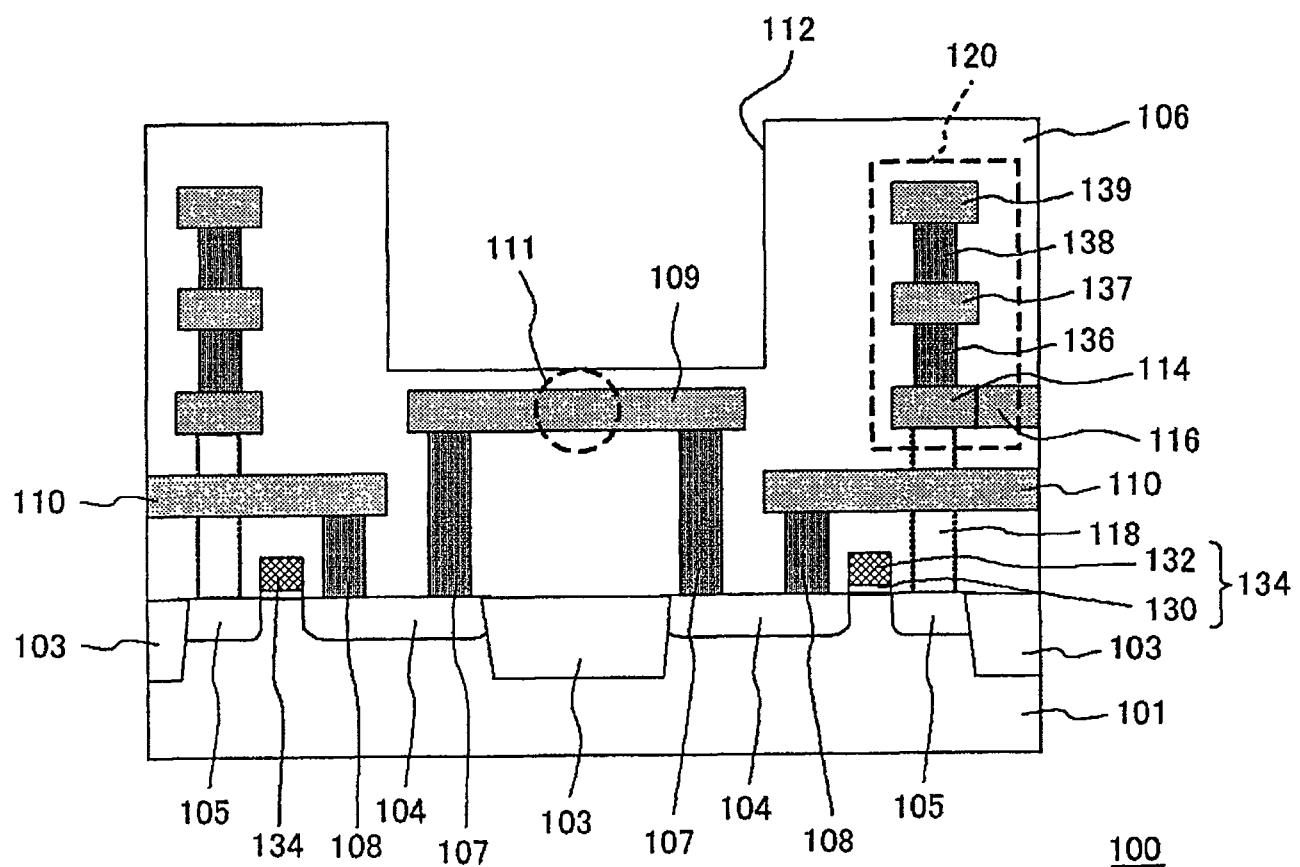


图 4

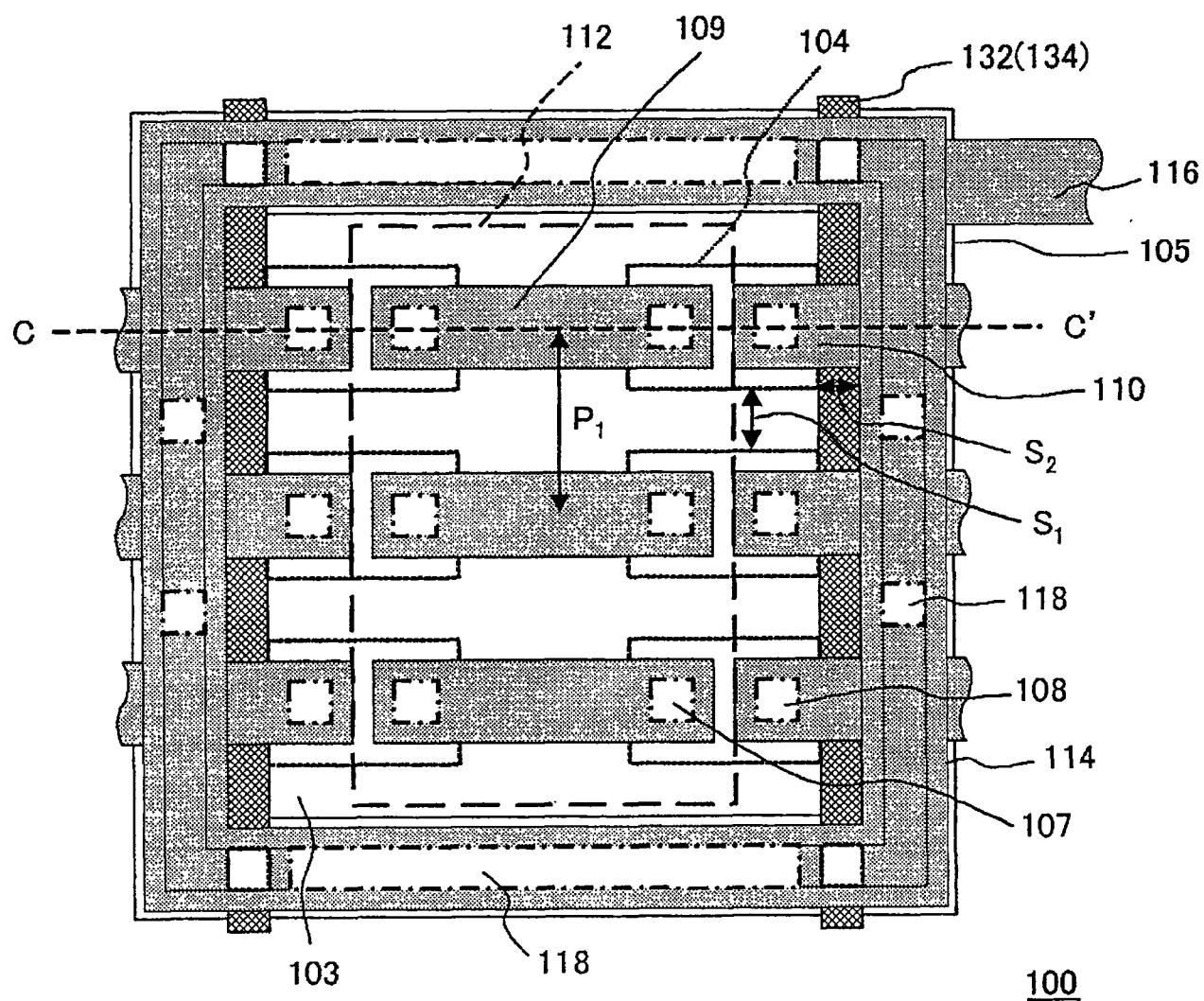
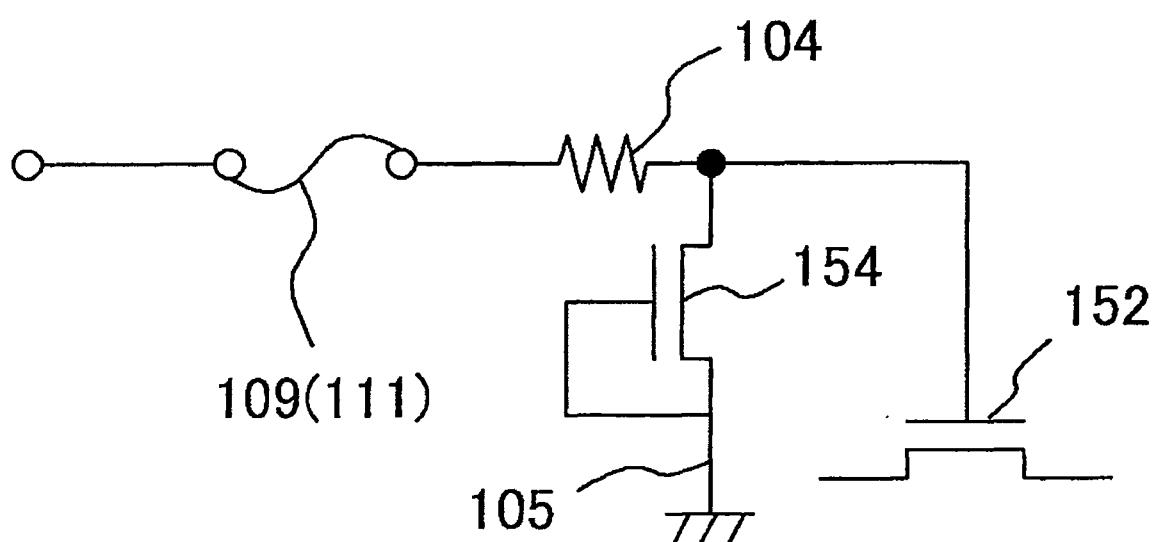


图 5



100

图 6

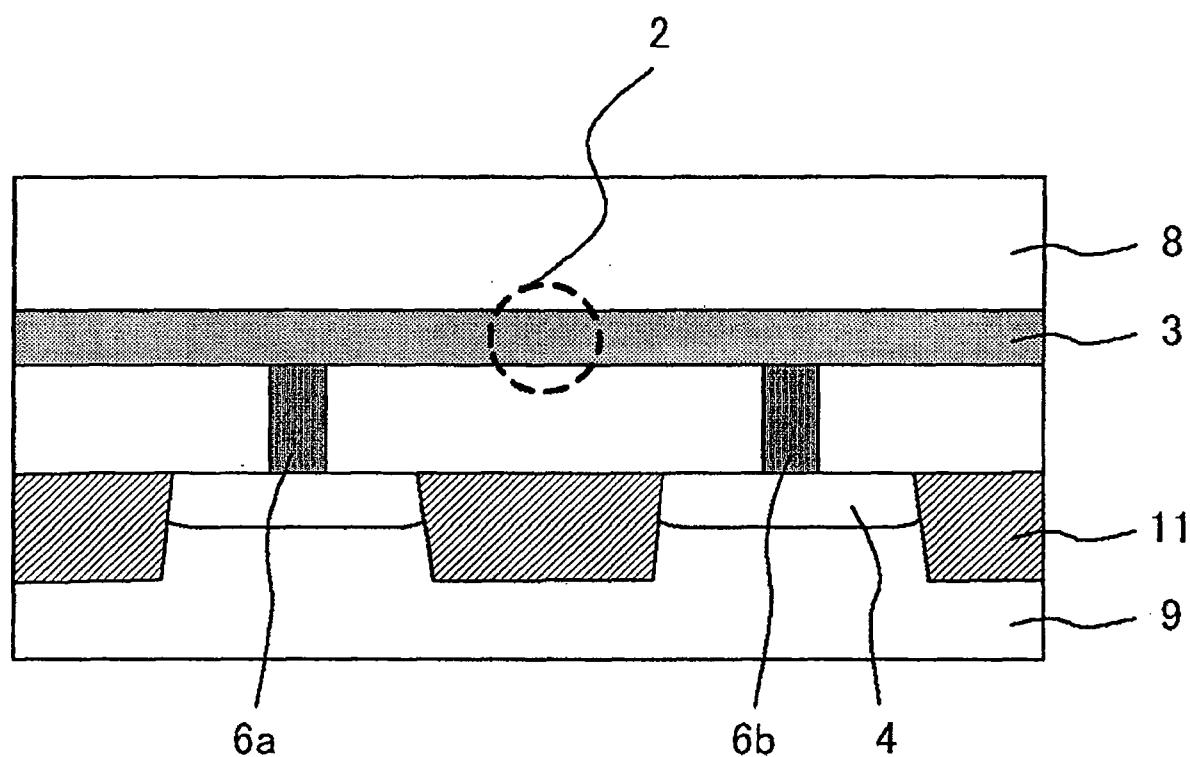


图 7