

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2021年10月28日 (28.10.2021)

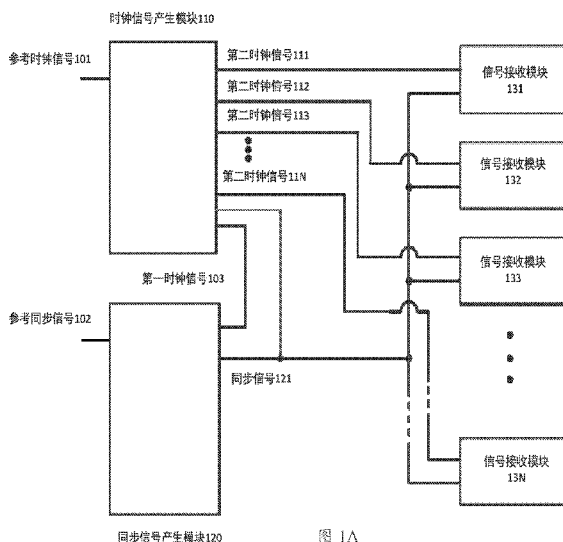


(10) 国际公布号  
**WO 2021/213237 A1**

- (51) 国际专利分类号:  
*H04L 7/00* (2006.01)
- (21) 国际申请号: PCT/CN2021/087347
- (22) 国际申请日: 2021年4月15日 (15.04.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202010315258.6 2020年4月21日 (21.04.2020) CN
- (71) 申请人: 普源精电科技股份有限公司  
(RIGOL TECHNOLOGIES CO., LTD.) [CN/CN]; 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。
- (72) 发明人: 罗浚洲(LUO, Junzhou); 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。方超敏(FANG, Chaomin); 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。严波(YAN, Bo); 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。王悦(WANG, Yue); 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。王铁军(WANG, Tiejun); 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。李维森(LI, Weisen); 中国江苏省苏州市高新区科灵路8号, Jiangsu 215163 (CN)。
- (74) 代理人: 北京品源专利代理有限公司(BEYOND ATTORNEYS AT LAW); 中国北京市海淀区莲花池东路39号西金大厦6层, Beijing 100036 (CN)。

(54) Title: MULTI-CHANNEL SIGNAL SYNCHRONIZATION SYSTEM, CIRCUIT, AND METHOD

(54) 发明名称: 多通道信号同步系统、电路及方法



- 101 Reference clock signal  
102 Reference synchronization signal  
103 First clock signal  
110 Clock signal generation module  
111, 112, 113, 11N Second clock signal  
120 Synchronization signal generation module  
121 Synchronization signal  
131, 132, 133, 13N Signal receiving module

(57) Abstract: Embodiments of the present application provide a multi-channel signal synchronization system, circuit, and method. The multi-channel signal synchronization system comprises a clock signal generation module, a synchronization signal generation module, and signal receiving modules; the clock signal generation module is configured to generate a first clock signal; the synchronization signal generation module is configured to generate a synchronization signal on the basis of the first clock signal and transmit the synchronization signal to the clock signal generation module; the clock signal generation module generates second clock signals on the

WO 2021/213237 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

---

basis of the synchronization signal and transmits the second clock signals to the signal receiving modules; the synchronization signal generation module transmits the synchronization signal to the signal receiving modules.

(57) 摘要: 本申请实施例提供一种多通道信号同步系统、电路及方法。多通道信号同步系统包括时钟信号产生模块、同步信号产生模块和信号接收模块; 时钟信号产生模块设置为生成第一时钟信号; 同步信号产生模块设置为基于第一时钟信号生成同步信号, 并将同步信号传输至时钟信号产生模块; 时钟信号产生模块基于同步信号生成第二时钟信号, 并将第二时钟信号传输至信号接收模块; 同步信号产生模块将同步信号传输至信号接收模块。

## 多通道信号同步系统、电路及方法

本公开要求在2020年04月21日提交中国专利局、申请号为202010315258.6的中国专利申请的优先权，以上申请的全部内容通过引用结合在本公开中。

### 技术领域

本申请实施例涉及信号技术领域，例如涉及一种多通道信号同步系统、电路及方法。

### 背景技术

在通信领域中，时钟信号是具有时序逻辑的电路执行相应操作的基础。在一些多通道系统中，需要传输时钟信号至系统中多个通道所对应的元件，使得多通道系统能够基于对应的时钟信号实现系统所对应的工作。例如，可以生成时钟信号并输出至每个通道所对应的模数转换器，以实现数据的采集。相应的，为了保证上述系统的正常工作，还需要利用同步信号对不同通道中对应于时钟信号的计数进行同步。但是，同步操作可能失败。

### 发明内容

本申请实施例的目的是提供一种多通道信号同步系统、电路及方法，以解决如何方便有效地实现多通道系统中的信号同步的问题。

本申请实施例提供一种多通道信号同步系统，包括时钟信号产生模块、同步信号产生模块和至少两个信号接收模块；

所述时钟信号产生模块设置为生成第一时钟信号并将所述第一时钟信号传输至所述同步信号产生模块；

所述同步信号产生模块设置为基于所述时钟信号产生模块输出的所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块还设置为基于所述同步信号产生模块反馈的所述同步信号生成第二时钟信号，并将所述第二时钟信号传输至所述至少两个信号接收模块；

所述同步信号产生模块还设置为将所述同步信号传输至所述至少两个信号接收模块。

本申请实施例提供一种多通道信号同步系统，包括时钟信号产生模块、同步信号产生模块和至少两个信号接收模块；

所述时钟信号产生模块设置为生成第一时钟信号并将所述第一时钟信号传输至所述同步信号产生模块；

所述同步信号产生模块设置为基于所述时钟信号产生模块输出的所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块还设置为基于所述同步信号产生模块反馈的同步信号生成第二时钟信号，并将所述同步信号和所述第二时钟信号传输至所述至少两个信号接收模块。

本申请实施例提供一种多通道信号同步电路，包括时钟信号产生模块、同步信号产生模块和信号输出端口；

所述时钟信号产生模块与所述同步信号产生模块之间设置有第一时钟信号传输支路和同步信号传输第一支路，所述第一时钟信号传输支路被设置为由所述时钟信号产生模块传输第一时钟信号至所述同步信号产生模块，以及，所述同步信号传输第一支路被设置为由所述同步信号产生模块传输同步信号至所述时钟信号产生模块；所述同步信号产生模块设置为基于接收到的第一时钟信号生成所述同步信号；

所述时钟信号产生模块与所述信号输出端口之间设置有第二时钟信号传输支路，所述第二时钟信号传输支路被设置为由所述时钟信号产生模块传输第二时钟信号至所述信号输出端口；所述时钟信号产生模块设置为基于接收到的所述同步信号和所述第一时钟信号生成所述第二时钟信号；

所述同步信号产生模块与所述信号输出端口之间设置有同步信号传输第二支路，所述同步信号传输第二支路被设置为由所述同步信号产生模块传输所述同步信号至所述信号输出端口。

本申请实施例提供一种多通道信号同步电路，包括时钟信号产生模块、同步信号产生模块和信号输出端口；

所述时钟信号产生模块与所述同步信号产生模块之间设置有第一时钟信号传输支路和同步信号传输支路，所述第一时钟信号传输支路被设置为由所述时钟信号产生模块传输第一时钟信号至所述同步信号产生模块，以及，所述同步信号传输支路被设置为由所述同步信号产生模块传输同步信号至所述时钟信号产生模块；所述同步信号产生模块设置为基于接收到的所述第一时钟信号生成所述同步信号；

所述时钟信号产生模块与所述信号输出端口之间设置有混合信号传输支路，所述混合信号传输支路被配置为由所述时钟信号产生模块传输第二时钟信

号和所述同步信号至所述信号输出端口；所述时钟信号产生模块设置为基于接收到的所述同步信号生成所述第二时钟信号。

本申请实施例提供一种多通道信号同步方法，包括：

时钟信号产生模块生成第一时钟信号并将所述第一时钟信号输出至同步信号产生模块；

所述同步信号产生模块基于所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块基于所述同步信号生成第二时钟信号并将所述第二时钟信号传输至至少两个信号接收模块；

所述同步信号产生模块将所述同步信号传输至所述至少两个信号接收模块，以实现所述至少两个信号接收模块的同步。

本申请实施例提供一种多通道信号同步方法，包括：

时钟信号产生模块生成第一时钟信号并将所述第一时钟信号输出至同步信号产生模块；

所述同步信号产生模块基于所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块基于所述同步信号生成第二时钟信号；

所述时钟信号产生模块将所述同步信号和所述第二时钟信号传输至至少两个信号接收模块，以实现所述至少两个信号接收模块的同步。

## 附图说明

为了说明本申请实施例或相关技术中的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍。

图 1A 为本申请实施例一种多通道信号同步系统的示意图；

图 1B 为本申请实施例一种信号同步时序图的示意图；

图 2 为本申请实施例一种时钟信号产生模块的示意图；

图 3A 为本申请实施例一种延时单元的示意图；

图 3B 为本申请实施例一种延时单元的示意图；

图 3C 为本申请实施例一种延时单元的示意图；

图 4A 为本申请实施例一种多通道信号同步系统的示意图；

图 4B 为本申请实施例一种信号同步时序图的示意图；

图 5 为本申请实施例一种多通道信号同步电路的示意图；

图 6 为本申请实施例一种多通道信号同步方法的流程图；  
图 7 为本申请实施例一种多通道信号同步系统的示意图；  
图 8 为本申请实施例一种多通道信号同步电路的示意图；  
图 9 为本申请实施例一种多通道信号同步方法的流程图。

## 具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。

在相关技术中，由于系统中的不同通道接收到的时钟信号可能存在不同的时延，在输入同步信号时，同步信号可能不能满足部分时钟信号的对于建立时间和保持时间的要求，从而导致同步失败。因此，亟需一种方便有效地对多通道系统进行同步的手段。

多通道系统指需要利用信号产生模块通过多个通道分别传输相应的信号至其他模块的系统。例如，在数据采集系统中，往往包含有多个模数转换器设置为实现数据采集。而时钟信号往往是实现时序逻辑的电路的基础，一般需要向每个通道传输相应的时钟信号。相应的，为了保证上述系统中每个通道所对应的模块的正常工作，还需要利用同步信号对不同模块中对应于时钟信号的计数进行同步。例如，可以是利用同步信号对各个模块的寄存器中的计数进行清零，从而完成系统中各个通道所对应的模块的同步。

如图 1A 所示，本申请实施例提出一种多通道信号同步系统。所述多通道信号同步系统包括时钟信号产生模块 110、同步信号产生模块 120 和至少两个信号接收模块。

在一实施例中，图 1A 中记录有，参考时钟信号 101，第二时钟信号 111、112、113 至 11N，N 表示大于 1 的正整数，例如，11N 可为 115。还记录有，信号接收模块 131、132、133 至 13N。

所述时钟信号产生模块 110 可以生成第一时钟信号 103。所述第一时钟信号 103 为具有特定时钟周期的时钟信号。所述时钟信号产生模块 110 例如可以利用自身所设置的振荡器来产生第一时钟信号 103。

在一些实施方式中，所述时钟信号产生模块 110 可以接收参考时钟信号 101 作为输入信号。参考时钟信号 101 为一个时钟信号。所述时钟信号产生模块 110 可以根据所述参考时钟信号 101 生成第一时钟信号 103。在一实施例中，所述时钟信号产生模块 110 可以是将所述参考时钟信号 101 进行延时处理生成第一时

钟信号 103, 也可以是调整所述参考时钟信号 101 的时钟周期进而生成第一时钟信号 103。

在一些实施方式中, 在所述时钟信号产生模块 110 接收参考时钟信号 101 作为输入信号时, 可以对所述参考时钟信号 101 进行处理得到中间时钟信号。在一实施例中, 例如可以是对所述参考时钟信号 101 进行分频得到中间时钟信号。在获取到中间时钟信号后, 可以基于所述中间时钟信号得到第一时钟信号 103。所述第一时钟信号 103 的特定时钟周期可以基于所述中间时钟信号的周期进行确定, 例如, 可以在保证所述第一时钟信号 103 的频率是所述中间时钟信号的整数倍的情况下, 确定所述第一时钟信号 103 的特定时钟周期。基于此, 能够保证基于所述第一时钟信号 103 生成的同步信号 121 的信号沿与所述中间时钟信号的信号沿对齐, 便于后续步骤中的数据处理。

所述时钟信号产生模块 110 在生成第一时钟信号 103 之后, 可以通过所述时钟信号产生模块 110 和所述同步信号产生模块 120 之间所连接的第一时钟信号传输支路, 将所述第一时钟信号传输至所述同步信号产生模块 120。

所述同步信号产生模块 120 在接收到所述第一时钟信号 103 后, 可以根据所述第一时钟信号 103 来生成同步信号 121。所述同步信号 121, 是具有有限长度的有效信号段的信号。所述同步信号 121 可以传输至系统中的各个信号接收模块, 并在所述同步信号 121 为有效信号段时, 实现对各个信号接收模块的同步。在一实施例中, 例如可以是在基于所述同步信号 121 输入有效信号后将各个信号接收模块中的寄存器中的计数清零, 从而实现各个信号接收模块的同步。在所述同步信号 121 的有效信号段经过后, 系统恢复正常工作, 各个信号接收模块再根据时钟信号执行相应的工作。

在一实施例中, 所述同步信号产生模块 120 可以根据所述第一时钟信号 103 的时钟周期来生成同步信号 121。时钟周期是时钟信号的信号频率的倒数, 在一实施例中, 所述时钟周期还可以是时钟信号的一个上升沿到下一个上升沿的时间。

在一实施例中, 所述同步信号产生模块 120 可以接收到参考同步信号 102。为了方便后续步骤中的数据处理, 所述同步信号产生模块 120 可以基于第一时钟信号对所述参考同步信号 102 进行处理得到同步信号 121。在一实施例中, 例如可以是将所述参考同步信号 102 的边沿与所述第一时钟信号的边沿对齐得到同步信号 121。实际应用中可以是将参考同步信号 102 与所述第一时钟信号的上升沿对齐, 也可以是将参考同步信号 102 与所述第一时钟信号 103 的下降沿对

齐。

在一实施例中，在所述同步信号产生模块 120 根据所述第一时钟信号 103 的时钟周期生成同步信号 121 时，可以是生成信号有效时长大于或等于两倍的时钟周期的同步信号 121。所述信号有效时长为所述同步信号 121 在系统中起作用时对应的信号段的持续时长。例如，当所述同步信号 121 为高电平有效时，可以是所述同步信号 121 的高电平所持续的时长。

所述同步信号产生模块 120 与各个信号接收模块之间连接有同步信号传输第一支路，使得所述同步信号产生模块 120 能够基于所述同步信号传输第一支路将所述同步信号 121 发送至各个信号接收模块中，从而实现信号接收模块的同步。

图 1A 所对应的系统中只是通过各个信号线所起的功能对所述同步信号传输第一支路和所述第一时钟信号传输支路进行区分，实际应用中可以使用同一个信号线来实现第一时钟信号和同步信号 121 的传输，也可以使用两根信号线来实现第一时钟信号和同步信号 121 的传输。

所述时钟信号产生模块 110 在接收到所述同步信号 121 后，可以基于所述同步信号 121 生成第二时钟信号。

在一实施例中，时钟信号产生模块 110 生成第二时钟信号的方式可以是根据接收到的参考时钟信号 101 生成中间时钟信号，并根据所述同步信号 121 和所述中间时钟信号生成第二时钟信号。

在一实施例中，所述时钟信号产生模块 110 根据所述同步信号 121 和所述中间时钟信号生成第二时钟信号的方式可以是将所述同步信号 121 和所述中间时钟信号输入门控时钟单元得到第二时钟信号。所述门控时钟单元设置为根据同步信号 121 关闭中间时钟信号的输出，进而得到一段低电平时长为所述同步信号 121 的高电平时长的时钟信号，作为第二时钟信号。

在一实施例中，时钟信号产生模块 110 可以对所述同步信号 121 进行延时，并根据所述延时后的同步信号 121 生成第二时钟信号。

实际应用中，为了不影响生成的第二时钟信号的正常波形，在利用同步信号生成第二时钟信号之前，可以先将所述同步信号进行延时，再根据所述延时后的同步信号生成第二时钟信号。在一实施例中，可以基于所述第一时钟信号的下一周期的边沿对所述同步信号进行延时，再将利用延时后的同步信号对所述第一时钟信号进行延时，所述第一时钟信号的下一周期的边沿可以是上升沿，也可以是下降沿。

在一实施例中，所述第二时钟信号的下一周期，指的是在同步信号 121 的高电平起点对应的时刻，将所述第二时钟信号所处的周期作为所述第二时钟信号的当前周期，将所述当前周期的下一个周期作为所述第二时钟信号的下一周期。

结合附图 1B 对上述生成第二时钟信号的过程进行解释。在一实施例中，在附图 1B 中，T100、T101、T102 至 T111 表示不同的时刻。

假设所述第二时钟信号 111 为中间时钟信号未做时延而生成的时钟信号，可以看出，所述同步信号 121 的高电平起点正好对应于所述第二时钟信号 111 的下降沿，则在所述第二时钟信号 111 的下一个下降沿的终点，将所述第二时钟信号 111 延时，使所述第二时钟信号 111 的下一周期的下降沿至下一上升沿的低电平持续时间的长度等同于所述同步信号 121 的高电平持续时间  $T_{sync}$  的时间长度。

基于附图 1B，将第二时钟信号的高电平结束点与同步信号 121 高电平结束点之间的时间作为 T3，将同步信号 121 高电平结束点与第二时钟信号在所述同步信号 121 高电平结束点后的下一个上升沿起点作为 T2。T2 和 T3 的时间长度之和即为所述同步信号 121 的高电平持续时间  $T_{sync}$ 。在所述高电平持续时间  $T_{sync}$  大于或等于两个时钟周期 T 的情况下，使得 T2 和 T3 的长度均大于或等于时钟周期 T。在 T3 的长度大于或等于时钟周期的情况下，使得所述同步信号 121 在 T3 对应的时间段内不会存在有效的时钟信号的干扰，保证了同步信号 121 的有效性，使得同步信号 121 所对应的数据能够正确读入信号接收模块的寄存器中。在 T2 的长度大于或等于时钟周期的情况下，不仅为时钟信号预留了充足的建立时间，也能够保证在同步信号 121 结束高电平后，时钟信号不会处于高电平有效期，从而保证了对各个信号接收模块中的信号的同步，避免了部分信号接收模块根据时钟信号进行提前计数的情况。

下面结合图 2 对所述时钟信号产生模块的一个实施方式进行介绍。在所述时钟信号产生模块中，首先可以将所述同步信号 121 和中间时钟信号 212 输入延迟单元 201 实现对所述同步信号 121 的延时，再将延时后的同步信号 121 输入由 D 类型触发器 DFF202 和与门电路 AND203 共同组成的门控时钟电路，中间时钟信号在通过该时钟信号产生模块之后，会得到存在一段延时的时钟信号，从而将实现所述同步信号 121 与中间时钟信号 212 进行结合得到第二时钟信号。

图 3A 是对应于图 2 中的延时单元的一个具体的实施方式。所述延时单元由多个 D 类触发器 (DFF, delay flip-flop) 组成了一个延时链。每个 DFF 能够将

同步信号 121 延时一个时钟周期。根据对所述同步信号 121 的延时需求可以选择相应数量的 DFF，从而将所述同步信号 121 延时相应的时间。

在一实施例中，图 3A 中，CLK 表示时钟接口，DFF301、DFF302 及 DFF303 表示 DFF，313 表示延时后的同步信号。

为了获取对同步信号 121 更为精确的延时操作，可以将输入的中间时钟信号 212 替换为时钟周期较小的时钟信号，从而获取更好的延时效果。

图 3B 是另一种对同步信号 121 进行延时的延时单元的实施方式。在该实施方式中，其中，BUF321 为信号驱动电路，BUF322 为波形整形电路，将这两个电路与电阻 R323 和电容 C324 进行组成可以获取 RC 延迟单元。将同步信号 121 通过所述 RC 延迟单元后，可以对所述同步信号 121 进行延时处理。通过调整电阻和电容的参数，可以对同步信号 121 的延时时长进行相应的调整，从而满足具体的对同步信号 121 进行延时的要求。

图 3C 是另一种对同步信号 121 进行延时的延时单元的实施方式。所述延时单元由若干个缓冲器 (BUF, buffer) 组成。由于各个 BUF 具有固定的延时长，串联多个 BUF 后可以实现对所述同步信号 121 的相应时长的延时。

在一实施例中，图 3C 中，BUF341、BUF342 及 BUF34N 均表示 BUF，N 为正整数，例如，345、347 等。

上述实施方式中所介绍的延时单元均可对同步信号 121 进行延时。

在另一实施方式中，所述时钟信号产生模块 110 也可以根据参考时钟信号 101 和同步信号 121 来生成第二时钟信号。具体的实现过程可以参考上述利用中间时钟信号和同步信号来生成第二时钟信号的过程，在此不做赘述。

所述时钟信号产生模块 110 与信号接收模块之间连接有信息线，使得所述时钟信号产生模块 110 能够通过所述信息线将第二时钟信号传输至各个信号接收模块中。所述信号接收模块在接收到所述第二时钟信号后，能够基于所述第二时钟信号实现时序电路的有效进行，从而完成相应的数据采样工作。

实际应用中，各个信号接收模块中可能对时钟信号存在不同的需求，如图 1B 所示，不同的第二时钟信号之间也存在有一定的延时，即，不同的信号接收模块可能会对应有不同的延时长。在这种情况下，所述时钟信号产生模块 110 在生成第二时钟信号之后，可以对传输至不同信号接收模块的第二时钟信号进行对应的延时处理，具体的可以根据信号接收模块所对应的延时长对第二时钟信号进行延时处理。相应的，时钟信号产生模块 110 将延时后的第二时钟信号传输至各个信号接收模块，从而满足信号接收模块对时钟信号的不同需求。

在一实施例中，所述时钟信号产生模块 110 在生成第二时钟信号后，可以直接将所述第二时钟信号分别传输至信号接收模块，由各个信号接收模块对第二时钟信号进行延时处理。具体的延时长度可以根据不同的信号接收模块所对应的延时长度而确定。

如图 4A 所示，通过信号接收模块对第二时钟信号进行延时处理。可以看出，时钟信号产生模块 110 传输至各个信号接收模块的为相同的第二时钟信号，由各个信号接收模块自行对第二时钟信号进行延时。

如图 4B 所示，为在该实施方式中第二时钟信号与同步信号 121 之间的时序图。具体的第二时钟信号与同步信号 121 的特征可以参照附图 1B 所对应的实施方式中的介绍，在此不做赘述。

在一实施例中，图 4B 中，T400、T401、T402 及 T411 表示不同的时刻。

所述信号接收模块是基于时钟信号进行数据采样或数据运算等操作的模块。例如，所述信号接收模块可以包括模数转换器。所述信号接收模块在接收到所述同步信号 121 后，可以对自身寄存器所对应的计数进行清零。在传输同步信号 121 至各个信号接收模块的情况下，可以实现各个信号接收模块的同步。

基于上述多通道信号同步系统，使得生成同步信号 121 后，时钟信号产生模块 110 会基于所述同步信号 121 生成相应的时钟信号，从而保证了在利用同步信号 121 对各个信号接收模块进行同步时不会受到干扰，也保证了同步后各个信号接收模块的正常工作。此外，在未产生有效的同步信号 121 的情况下，第二时钟信号也不会出现偏差，从而保证了正常工作状态下信号接收模块能够根据所述第二时钟信号进行正常的工作。因此，上述多通道信号同步系统实现了方便有效地对系统中的信号接收模块进行同步。

基于上述多通道信号同步系统，如图 5 所示，介绍本申请实施例一种多通道信号同步电路。所述多通道信号同步电路包括时钟信号产生模块 110、同步信号产生模块 120 和信号输出端口。

在一实施例中，图 5 中，531、532、533 及 53N 均表示信号输出端口，N 为正整数，例如，534、535 等。

对于所述时钟信号产生模块 110、同步信号产生模块 120 和信号输出端口的介绍可以参照图 1A 所对应的实施例中对于时钟信号产生模块 110、同步信号产生模块 120 和信号接收模块的介绍，在此不做赘述。

所述时钟信号产生模块可以生成第一时钟信号 103。所述时钟信号产生模块 110 与所述同步信号产生模块 120 之间可以设置有第一时钟信号传输支路，以使

所述时钟信号产生模块 110 能够传输第一时钟信号 103 至所述同步信号产生模块 120。

所述第一时钟信号 103 的产生的过程可以参照图 1A 所对应的实施例中对于生成第一时钟信号 103 的介绍，在此也不做赘述。

所述时钟信号产生模块 110 与所述同步信号产生模块 120 之间还可以设置有同步信号传输第一支路，以使所述同步信号产生模块 120 传输同步信号 121 至所述时钟信号产生模块 110。所述同步信号 121 的产生过程可以参照图 1A 所对应的实施例中生成同步信号 121 的过程的介绍，在此也不做赘述。

在一实施例中，所述同步信号传输第一支路和所述第一时钟信号传输支路只是从功能性的角度上进行区分，实际应用中，所述同步信号传输第一支路和所述第一时钟信号传输支路可以是同一根信号线，也可以是不同的信号线。

所述时钟信号产生模块 110 在接收到所述同步信号 121 后，可以基于所述同步信号 121 生成第二时钟信号。

在一实施例中，时钟信号产生模块 110 生成第二时钟信号的方式可以是根据接收到的参考时钟信号 101 生成中间时钟信号，并根据所述同步信号 121 和所述中间时钟信号生成第二时钟信号。

生成第二时钟信号的过程可以参照图 1A 对应的实施例中对于生成第二时钟信号的过程的介绍，在此不做赘述。

所述时钟信号产生模块 110 与所述信号输出端口之间可以设置有第二时钟信号传输支路，以使所述时钟信号产生模块 110 传输第二时钟信号至所述信号输出端口。

所述同步信号产生模块 120 与所述信号输出端口之间还可以设置有同步信号传输第二支路，以使所述同步信号产生模块 120 传输同步信号 121 至所述信号输出端口。

所述信号输出端口，可以将所述第二时钟信号和所述同步信号 121 传输至电路外与所述信号输出端口相连接的模块。例如，在所述信号输出端口与模数转换器连接的情况下，可以将所述第二时钟信号传输至模数转换器实现模数转换器的正常数据采样操作；也可以通过所述信号输出端口将所述同步信号 121 传输至模数转换器以使得不同的信号输出端口所对应的模数转换器能够实现同步。实际应用中，任何基于时钟信号进行工作并且需要进行同步的模块均可以与所述信号输出端口相连接。

基于上述多通道信号同步系统，如图 6 所示，介绍本申请实施例一种多通

道信号同步方法。所述多通道信号同步方法可以包括以下步骤。

S610: 时钟信号产生模块生成第一时钟信号并输出至同步信号产生模块。

对于所述时钟信号产生模块 110 的介绍以及生成和传输所述第一时钟信号 103 的过程的说明可以参照图 1A 所对应的实施例中对于所述时钟信号产生模块 110 和第一时钟信号 103 的介绍, 在此不做赘述。

S620: 同步信号产生模块基于所述第一时钟信号生成同步信号, 并将所述同步信号传输至所述时钟信号产生模块。

对于所述同步信号产生模块 120 的介绍以及生成和传输所述同步信号 121 的过程可以参照图 1A 所对应的实施例中对于所述同步信号产生模块 120 和同步信号 121 的介绍, 在此不做赘述。

S630: 所述时钟信号产生模块根据所述同步信号生成第二时钟信号并将所述第二时钟信号传输至信号接收模块。

生成所述第二时钟信号的过程可以参照图 1A 所对应的实施例中对于生成所述第二时钟信号的介绍, 在此不做赘述。

所述时钟信号产生模块与信号接收模块之间连接有同步信号传输线, 使得所述时钟信号产生模块能够通过所述同步信号传输线将第二时钟信号传输至各个信号接收模块中。所述信号接收模块在接收到所述第二时钟信号后, 能够基于所述第二时钟信号实现时序电路的有效进行, 从而完成相应的数据采样工作。

在另一个实施方式中, 所述时钟信号产生模块在生成第二时钟信号后, 可以直接将所述第二时钟信号分别传输至信号接收模块, 由各个信号接收模块对第二时钟信号进行延时处理。具体的延时长度可以根据不同的信号接收模块所对应的延时长度而确定。

如图 4A 所示, 为利用信号接收模块对第二时钟信号进行延时处理的具体示例。可以看出, 时钟信号产生模块传输至各个信号接收模块的信号为相同的第二时钟信号, 由各个信号接收模块自行对第二时钟信号进行延时。

S640: 所述同步信号产生模块将所述同步信号传输至所述信号接收模块以实现所述信号接收模块的同步。

对于所述信号接收模块的介绍和所述信号接收模块的同步过程的介绍可以参照图 1A 所对应的实施例中对于信号接收模块的说明, 在此不做赘述。

在上述多通道信号同步方法中, 对于步骤 S630 和步骤 S640 的执行顺序可前后调换, 也可同时执行。实际应用中, 可以是先由时钟信号产生模块将第二时钟信号传输至信号接收模块, 再由同步信号产生模块将同步信号传输至信号

接收模块，也可以是先由同步信号产生模块将同步信号传输至信号接收模块，再由时钟信号产生模块将第二时钟信号传输至信号接收模块。

基于上述多通道信号同步系统、电路及方法的实施例，在向多通道系统中的信号接收模块传输同步信号以实现同步时，会基于所述同步信号对向信号接收模块传输的时钟信号进行调整，使得所述同步信号在高电平有效时能够在不受时钟信号干扰的情况下传输至信号接收模块中，相应的，调整后的时钟信号在同步结束时的时序余量也能够满足时钟信号对于建立时间的需求，从而能够在信号接收模块中正常响应，保证了对信号接收模块的同步的有效性和准确性。

下面结合附图 7 介绍本申请实施例另一种多通道信号同步系统。所述多通道信号同步系统包括时钟信号产生模块 110、同步信号产生模块 120 和至少两个信号接收模块。

对于所述时钟信号产生模块 110、同步信号产生模块 120 和信号输出端口的介绍可以参照图 1A 所对应的实施例中对于时钟信号产生模块 110、同步信号产生模块 120 和信号接收模块的介绍，在此不做赘述。

所述时钟信号产生模块 110 可以生成第一时钟信号 103，并将所述第一时钟信号传输至同步信号产生模块 120。所述同步信号产生模块 120 在接收到所述第一时钟信号 103 后，可以生成同步信号 121，并将所述同步信号 121 传输至时钟信号产生模块。所述时钟信号产生模块在接收到所述同步信号 121 后可以生成第二时钟信号 111。对于上述过程中各个信号的产生以及传输的过程可以参照图 1A 所对应的实施例中对于生成第一时钟信号 103、同步信号 121、第二时钟信号以及传输所述第一时钟信号 103、同步信号 121 的过程的介绍，在此不做赘述。

在该实施例中，所述同步信号产生模块 120 与信号接收模块之间并未连接有同步信号传输线，而是直接通过时钟信号产生模块 110 向各个信号接收模块传输同步信号 121。在一些实施方式中，可以直接利用混合信号传输支路 812 传输同步信号 121 和第二时钟信号 111。

当利用所述混合信号传输支路传输同步信号 121 和第二时钟信号 111 时，可以是先利用时钟信号产生模块 110 基于预设规则将所述第二时钟信号 111 和所述同步信号 121 进行复合，例如使所述第二时钟信号 111 与所述同步信号 121 具有不同的时钟周期。所述信号接收模块在接收到复合后的信号后，可以基于预设规则从所述复合信号中区分出第二时钟信号 111 和同步信号 121。例如在所述同步信号 121 的周期大于所述第二时钟信号 111 的周期的情况下，复合后的信号在所述同步信号 121 对应的上升沿和下降沿处会表现出非周期信号具有的

特征，从而可以确定同步信号 121 的有效信号段。

基于上述多通道信号同步系统，取消了同步信号产生模块与各个信号接收模块之间所连接的同步信号线，直接利用时钟信号产生模块利用同一信号线实现时钟信号和同步信号的传输，简化了系统的设计难度。

基于上述多通道信号同步系统，结合图 8，介绍本申请实施例一种多通道信号同步电路。所述多通道信号同步电路包括时钟信号产生模块 110、同步信号产生模块 120 和信号输出端口。

在一实施例中，图 8 中，还存在时钟信号输入端口 801 与同步信号输入端口 802。

在一些实施方式中，在所述同步信号产生模块 120 根据所述第一时钟信号的时钟周期生成同步信号时，可以是生成信号有效时长大于或等于两倍的时钟周期的同步信号。所述信号有效时长为所述同步信号在系统中起作用时对应的信号段的持续时长。例如，当所述同步信号为高电平有效时，可以是所述同步信号的高电平所持续的时长。

所述时钟信号产生模块 110 与所述同步信号产生模块 120 之间还可以设置有同步信号传输支路，此同步信号传输支路也可记为同步信号传输第三支路 821，以使所述同步信号产生模块 120 传输同步信号至所述时钟信号产生模块 110。

所述同步信号传输第三支路 821 和所述第一时钟信号传输支路 811 只是从功能性的角度上进行区分，实际应用中，所述同步信号传输第三支路 821 和所述第一时钟信号传输支路 811 可以是同一根信号线，也可以是不同的信号线。

所述时钟信号产生模块 110 在接收到所述同步信号后，可以基于所述同步信号生成第二时钟信号。

在一些实施方式中，时钟信号产生模块 110 生成第二时钟信号的方式可以是根据接收到的参考时钟信号生成中间时钟信号，并根据所述同步信号和所述中间时钟信号生成第二时钟信号。

所述时钟信号产生模块 110 与所述信号输出端口之间可以设置有混合信号传输支路 812，以使所述时钟信号产生模块 110 传输第二时钟信号和所述同步信号至所述信号输出端口。

所述信号输出端口，可以将所述第二时钟信号和所述同步信号传输至电路外与所述信号输出端口相连接的模块。例如，在所述信号输出端口与模数转换器连接的情况下，可以将所述第二时钟信号传输至模数转换器实现模数转换器

的正常数据采样操作；也可以通过所述信号输出端口将所述同步信号传输至模数转换器以使得不同的信号输出端口所对应的模数转换器能够实现同步。实际应用中，任何基于时钟信号进行工作并且需要进行同步的模块均可以与所述信号输出端口相连接。

基于图 7 所对应的多通道信号同步系统，如图 9 所示，介绍本申请实施例一种多通道信号同步方法。所述多通道信号同步方法可以包括以下步骤。

S910: 时钟信号产生模块生成第一时钟信号并输出至同步信号产生模块。

对于所述时钟信号产生模块 110 的介绍以及生成和传输所述第一时钟信号 103 的过程的说明可以参照图 7 所对应的实施例中对于所述时钟信号产生模块 110 和第一时钟信号 103 的介绍，在此不做赘述。

S920: 同步信号产生模块基于所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块。

对于所述同步信号产生模块 120 的介绍以及生成和传输所述同步信号 121 的过程可以参照图 7 所对应的实施例中对于所述同步信号产生模块 120 和同步信号 121 的介绍，在此不做赘述。

S930: 所述时钟信号产生模块根据所述同步信号生成第二时钟信号。

生成所述第二时钟信号 111 的过程可以参照图 7 所对应的实施例中对于生成所述第二时钟信号 111 的介绍，在此不做赘述。

所述时钟信号产生模块与信号接收模块之间连接有同步信号传输线，使得所述时钟信号产生模块能够通过所述同步信号传输线将第二时钟信号传输至各个信号接收模块中。所述信号接收模块在接收到所述第二时钟信号后，能够基于所述第二时钟信号实现时序电路的有效进行，从而完成相应的数据采样工作。

在另一个实施方式中，所述时钟信号产生模块在生成第二时钟信号后，可以直接将所述第二时钟信号分别传输至信号接收模块，由各个信号接收模块对第二时钟信号进行延时处理。具体的延时长度的可以根据不同的信号接收模块所对应的延时长度的确定。

S940: 所述时钟信号产生模块将所述同步信号和所述第二时钟信号传输至所述信号接收模块以实现所述信号接收模块的同步。

对于所述信号接收模块的介绍和传输所述同步信号和所述第二时钟信号的过程的介绍可以参照图 7 所对应的实施例中相应的说明，在此不做赘述。

所述时钟信号产生模块可以直接将之前所接收到的同步信号传输至所述信号接收模块，不需要所述同步信号产生模块传输同步信号至信号接收模块，进

而无需在同步信号产生模块和信号接收模块之间设置信号线。在一个实施方式中，可以直接利用同一根混合信号传输支路传输同步信号和第二时钟信号。

基于上述多通道信号同步系统，取消了同步信号产生模块与各个信号接收模块之间所连接的同步信号第二传输支路，直接利用时钟信号产生模块利用混合信号传输支路实现时钟信号和同步信号的传输，简化了系统的设计难度。

在一些实施方式中，所述信号接收模块包括模数转换器。

在一些实施方式中，所述时钟信号产生模块设置为根据接收到的参考时钟信号生成第一时钟信号。

在一些实施方式中，所述第一时钟信号对应有时钟周期；所述同步信号的信号有效时长大于或等于两倍的时钟周期。

在一些实施方式中，所述时钟信号产生模块设置为根据接收到的参考时钟信号生成中间时钟信号，并根据所述中间时钟信号和所述同步信号生成第二时钟信号。

在一些实施方式中，所述时钟信号产生模块设置为将所述同步信号和所述中间时钟信号输入门控时钟单元得到第二时钟信号。

在一些实施方式中，所述时钟信号产生模块设置为对所述同步信号进行延时，并根据延时后的同步信号和所述中间时钟信号生成第二时钟信号。

在一些实施方式中，所述时钟信号产生模块利用所述第一时钟信号对所述同步信号进行延时；

和/或，

所述时钟信号产生模块利用电阻电容延迟单元对所述同步信号进行延时；

和/或，

所述时钟信号产生模块利用缓冲器对所述同步信号进行延时。

在一些实施方式中，所述同步信号产生模块设置为基于所述第一时钟信号和接收到的参考同步信号生成同步信号。

在一些实施方式中，所述信号接收模块对应有指定的延时长度；

所述时钟信号产生模块设置为在生成第二时钟信号后，对所述第二时钟信号进行对应于信号接收模块的延时长度的延时处理，并将延时后的第二时钟信号传输至所述信号接收模块。

在一些实施方式中，所述信号接收模块对应有指定的延时长度；

所述时钟信号产生模块设置为在生成第二时钟信号后，将所述第二时钟信号分别传输至所述信号接收模块；

所述信号接收模块设置为对接收到的所述第二时钟信号进行对应的延时长度的延时处理。

在一些实施方式中，所述第一时钟信号传输支路与所述同步信号传输第一支路为同一条支路。

基于上述多通道信号同步系统、电路及方法的实施例，向多通道系统中的信号接收模块传输同步信号以实现同步时，会基于所述同步信号对向信号接收模块传输的时钟信号进行调整，使得所述同步信号在高电平有效时能够在不受时钟信号干扰的情况下被传输至信号接收模块中，相应的，所述时钟信号在调整后，同步结束时的时序余量也能够满足建立时间的需求，从而能够在信号接收模块中正常响应。此外，利用混合信号传输支路同时实现时钟信号和同步信号的传输也减少了设计中的线路，降低了设计难度。因此，所述多通道信号同步系统、电路及方法方便准确地实现了对多通道系统中的信号接收模块的同步。

由以上本申请实施例提供的技术方案可见，本申请实施例所介绍的多通道信号同步系统根据同步信号来生成第二时钟信号，从而使得所述第二时钟信号与所述同步信号之间存在关联性。在利用同步信号对信号接收模块进行同步时，使得所述信号接收模块所接收到的第二时钟信号不会对同步信号造成干扰，同步过程完成后之后各通道中的时钟信号也都能正常生效，从而保证了信号接收模块的工作的正确进行，减轻了对多通道系统进行信号同步的难度，方便有效地实现了多通道信号同步。

本申请中的各个实施例之间相同相似的部分互相参见即可，每个实施例重点说明的都是与其他实施例的不同之处。尤其，对于系统实施例而言，由于其基本类似于方法实施例，所以描述的比较简单，相关之处参见方法实施例的部分说明即可。

## 权利要求书

1.一种多通道信号同步系统，包括时钟信号产生模块、同步信号产生模块和至少两个信号接收模块；

所述时钟信号产生模块设置为生成第一时钟信号并将所述第一时钟信号传输至所述同步信号产生模块；

所述同步信号产生模块设置为基于所述时钟信号产生模块输出的所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块还设置为基于所述同步信号产生模块反馈的所述同步信号生成第二时钟信号，并将所述第二时钟信号传输至所述至少两个信号接收模块；

所述同步信号产生模块还设置为将所述同步信号传输至所述至少两个信号接收模块。

2.如权利要求1所述的系统，其中，所述时钟信号产生模块是设置为根据接收到的参考时钟信号生成中间时钟信号，并根据所述中间时钟信号和所述同步信号生成第二时钟信号。

3.如权利要求2所述的系统，其中，所述时钟信号产生模块是设置为将所述同步信号和所述中间时钟信号输入门控时钟单元得到第二时钟信号。

4.如权利要求2所述的系统，其中，所述时钟信号产生模块是设置为对所述同步信号进行延时，并根据延时后的同步信号和所述中间时钟信号生成第二时钟信号。

5.如权利要求1所述的系统，其中，所述同步信号产生模块是设置为基于所述第一时钟信号和接收到的参考同步信号生成同步信号。

6.一种多通道信号同步系统，包括时钟信号产生模块、同步信号产生模块和至少两个信号接收模块；

所述时钟信号产生模块设置为生成第一时钟信号并将所述第一时钟信号传输至所述同步信号产生模块；

所述同步信号产生模块设置为基于所述时钟信号产生模块输出的所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块还设置为基于所述同步信号产生模块反馈的同步信号生成第二时钟信号，并将所述同步信号和所述第二时钟信号传输至所述至少两个信号接收模块。

7.如权利要求6所述的系统，其中，所述时钟信号产生模块是设置为根据接收到的参考时钟信号生成中间时钟信号，并根据所述中间时钟信号和所述同步信号生成第二时钟信号。

8.如权利要求7所述的系统，其中，所述时钟信号产生模块是设置为将所述同步信号和所述中间时钟信号输入门控时钟单元得到第二时钟信号。

9.如权利要求7所述的系统，其中，所述时钟信号产生模块是设置为对所述同步信号进行延时，并根据延时后的同步信号和所述中间时钟信号生成第二时钟信号。

10.如权利要求6所述的系统，其中，所述同步信号产生模块是设置为基于所述第一时钟信号和接收到的参考同步信号生成同步信号。

11.一种多通道信号同步电路，包括时钟信号产生模块、同步信号产生模块和信号输出端口；

所述时钟信号产生模块与所述同步信号产生模块之间设置有第一时钟信号传输支路和同步信号传输第一支路，所述第一时钟信号传输支路被设置为由所述时钟信号产生模块传输第一时钟信号至所述同步信号产生模块，以及，所述同步信号传输第一支路被设置为由所述同步信号产生模块传输同步信号至所述时钟信号产生模块；所述同步信号产生模块设置为基于接收到的第一时钟信号生成所述同步信号；

所述时钟信号产生模块与所述信号输出端口之间设置有第二时钟信号传输支路，所述第二时钟信号传输支路被设置为由所述时钟信号产生模块传输第二时钟信号至所述信号输出端口；所述时钟信号产生模块设置为基于接收到的所述同步信号和所述第一时钟信号生成所述第二时钟信号；

所述同步信号产生模块与所述信号输出端口之间设置有同步信号传输第二支路，所述同步信号传输第二支路被设置为由所述同步信号产生模块传输所述

同步信号至所述信号输出端口。

12.一种多通道信号同步电路，包括时钟信号产生模块、同步信号产生模块和信号输出端口；

所述时钟信号产生模块与所述同步信号产生模块之间设置有第一时钟信号传输支路和同步信号传输支路，所述第一时钟信号传输支路被设置为由所述时钟信号产生模块传输第一时钟信号至所述同步信号产生模块，以及，所述同步信号传输支路被设置为由所述同步信号产生模块传输同步信号至所述时钟信号产生模块；所述同步信号产生模块设置为基于接收到的所述第一时钟信号生成所述同步信号；

所述时钟信号产生模块与所述信号输出端口之间设置有混合信号传输支路，所述混合信号传输支路被配置为由所述时钟信号产生模块传输第二时钟信号和所述同步信号至所述信号输出端口；所述时钟信号产生模块设置为基于接收到的所述同步信号生成所述第二时钟信号。

13.一种多通道信号同步方法，包括：

时钟信号产生模块生成第一时钟信号并将所述第一时钟信号输出至同步信号产生模块；

所述同步信号产生模块基于所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块基于所述同步信号生成第二时钟信号并将所述第二时钟信号传输至至少两个信号接收模块；

所述同步信号产生模块将所述同步信号传输至所述至少两个信号接收模块，以实现所述至少两个信号接收模块的同步。

14.一种多通道信号同步方法，包括：

时钟信号产生模块生成第一时钟信号并将所述第一时钟信号输出至同步信号产生模块；

所述同步信号产生模块基于所述第一时钟信号生成同步信号，并将所述同步信号传输至所述时钟信号产生模块；

所述时钟信号产生模块基于所述同步信号生成第二时钟信号；

所述时钟信号产生模块将所述同步信号和所述第二时钟信号传输至至少两

个信号接收模块，以实现所述至少两个信号接收模块的同步。

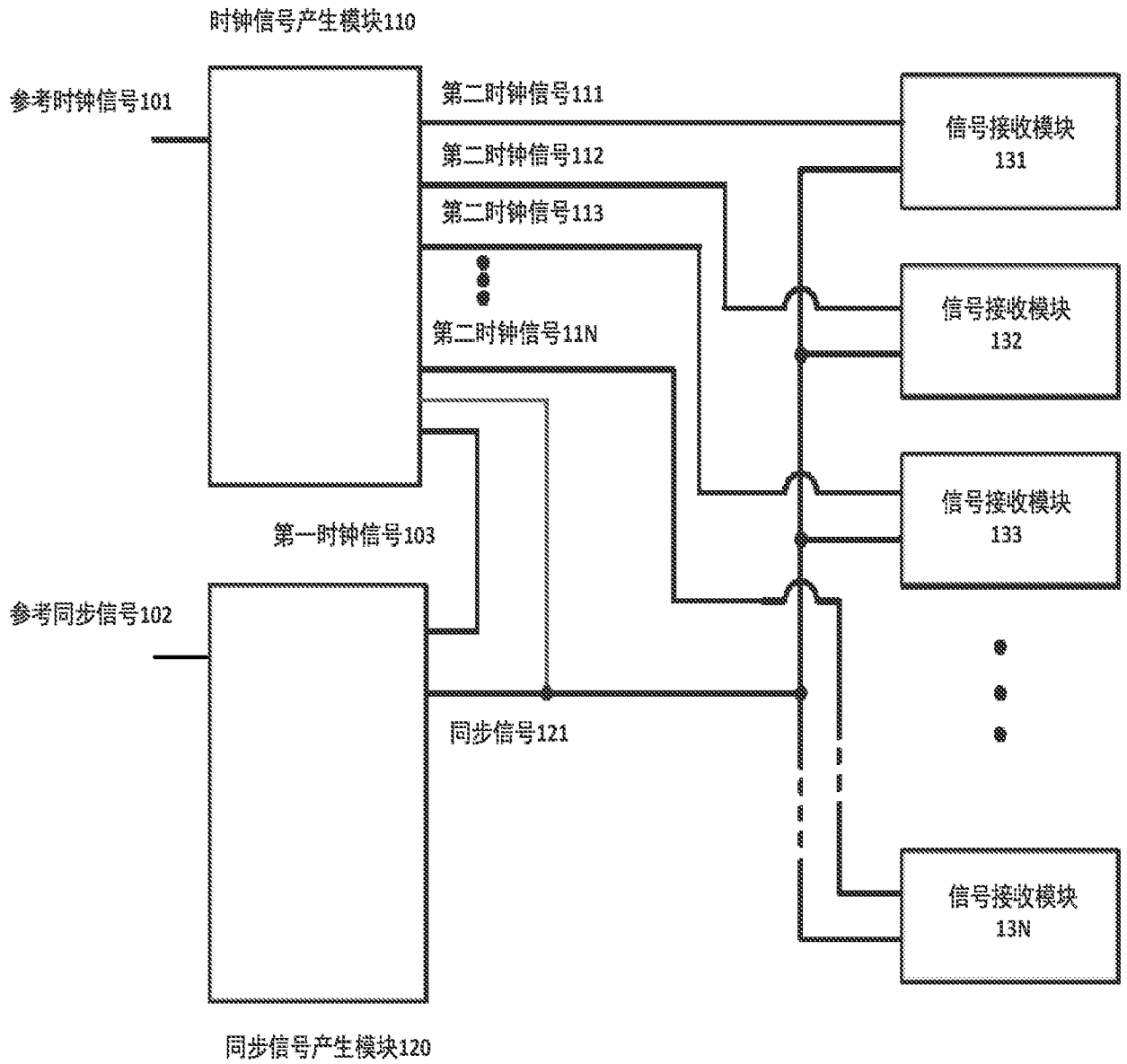


图 1A

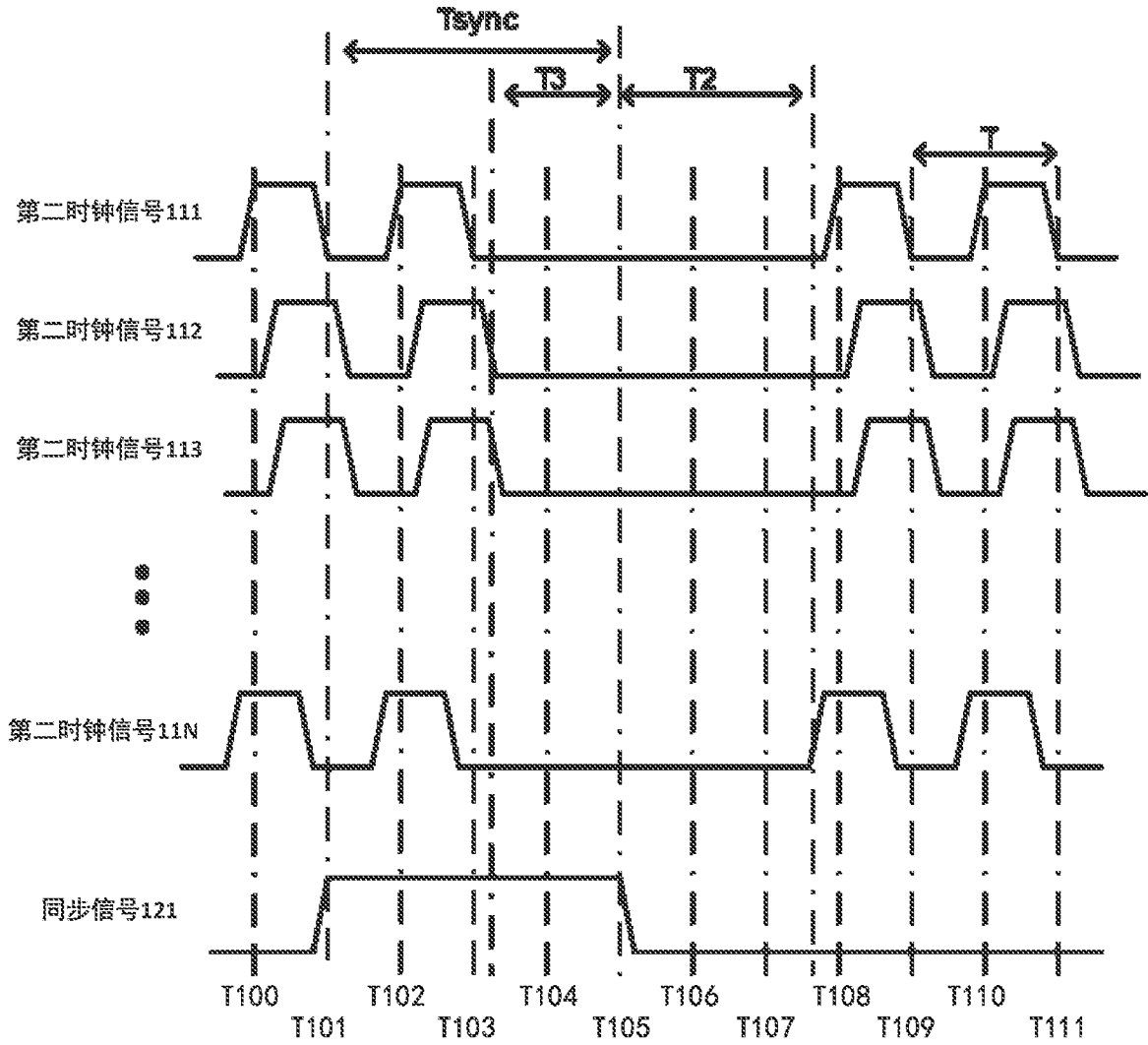


图 1B

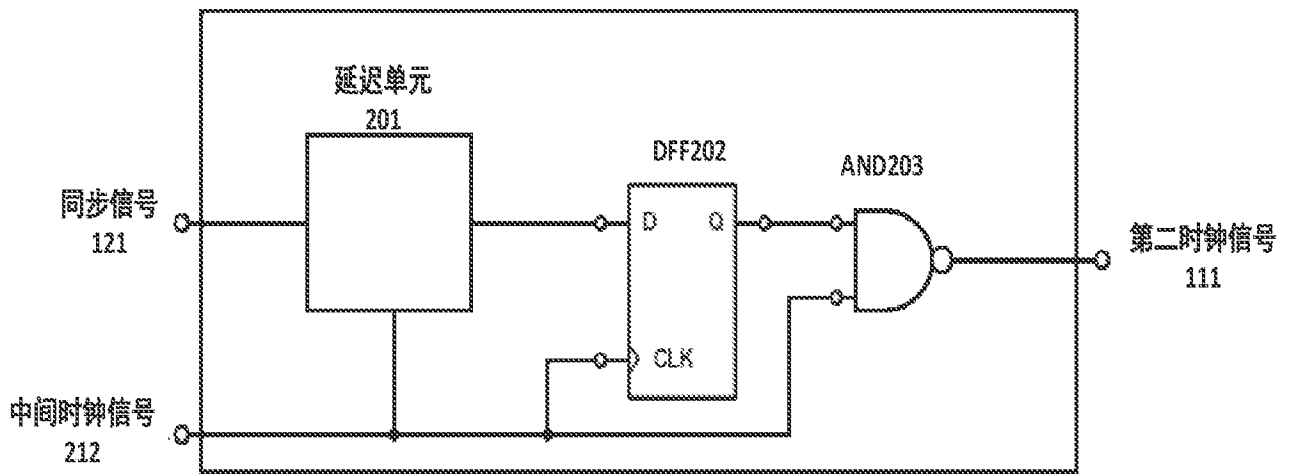


图 2

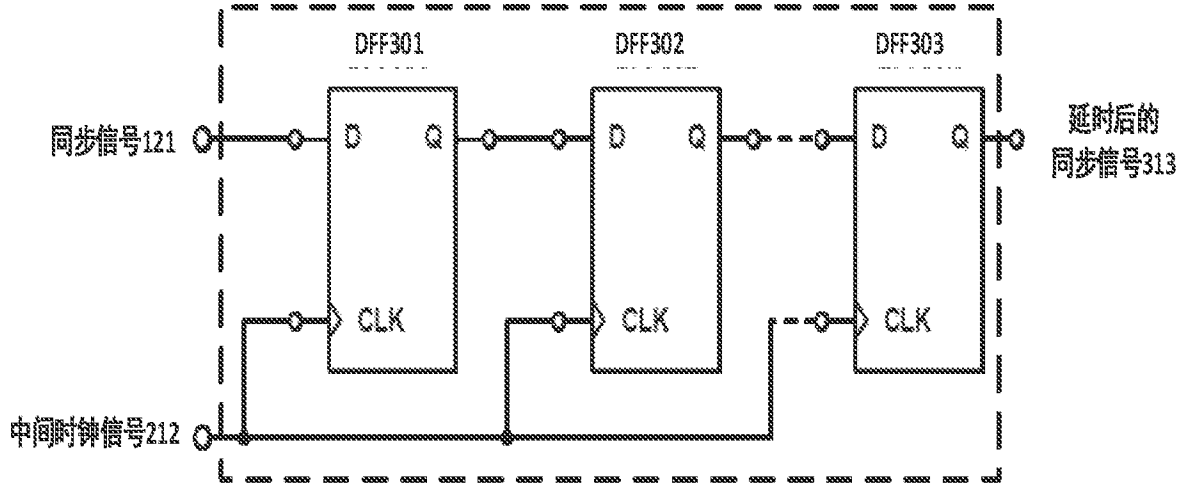


图 3A

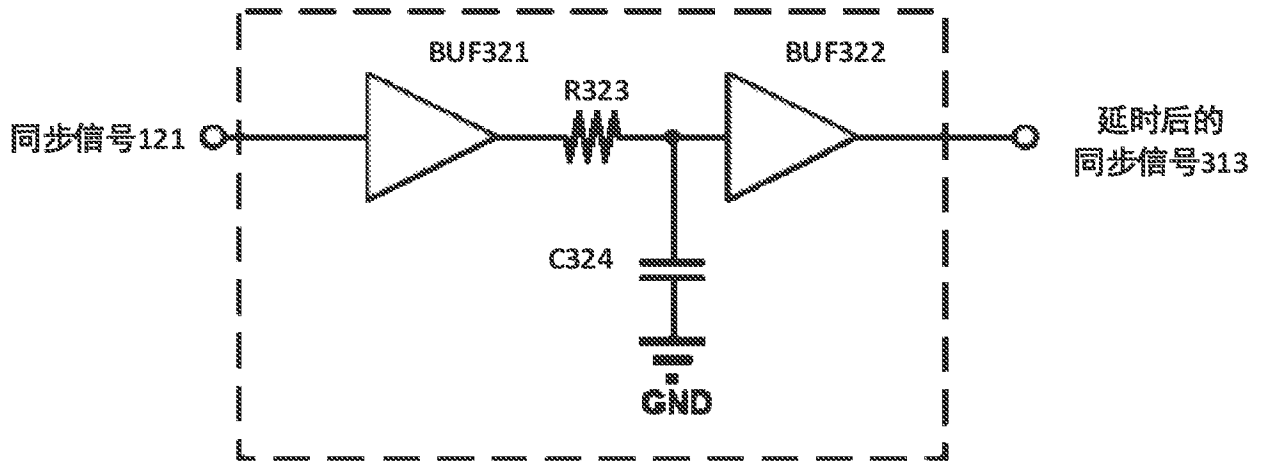


图 3B

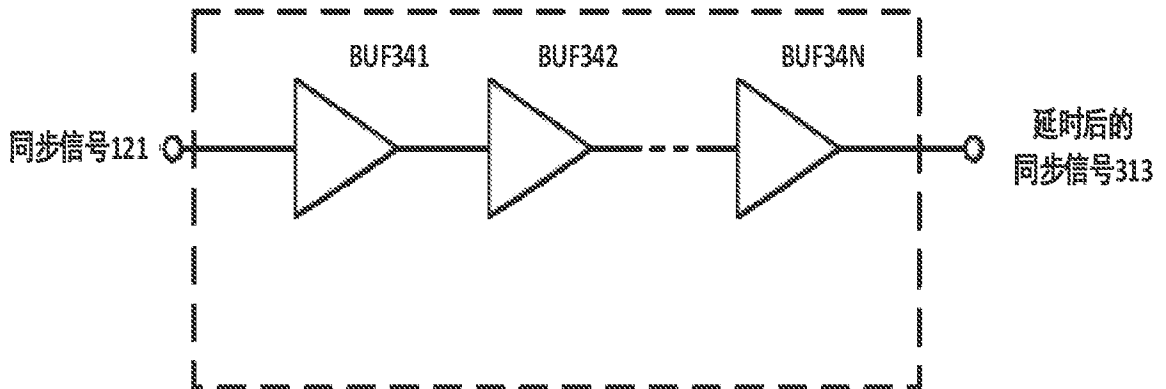


图 3C

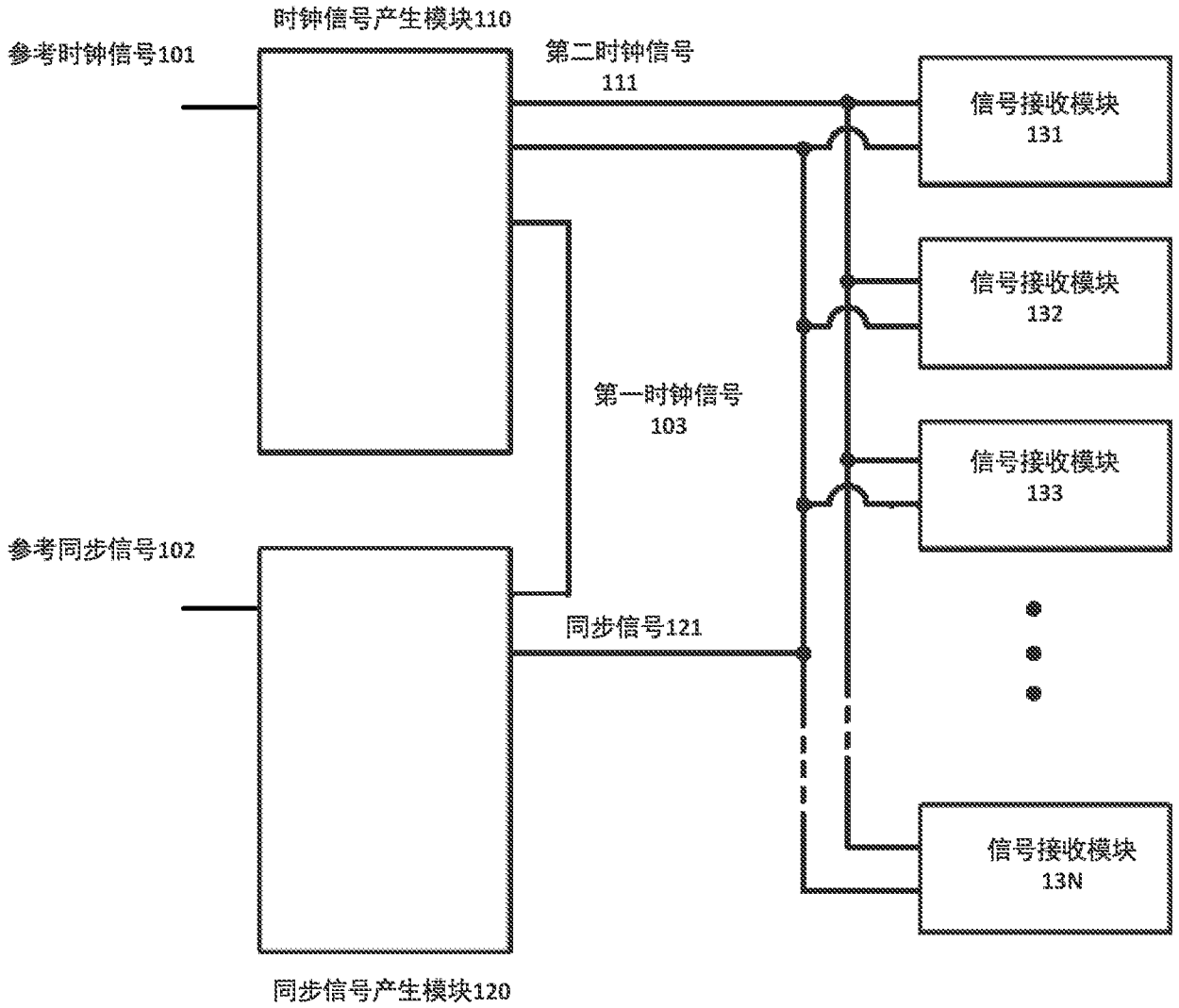


图 4A

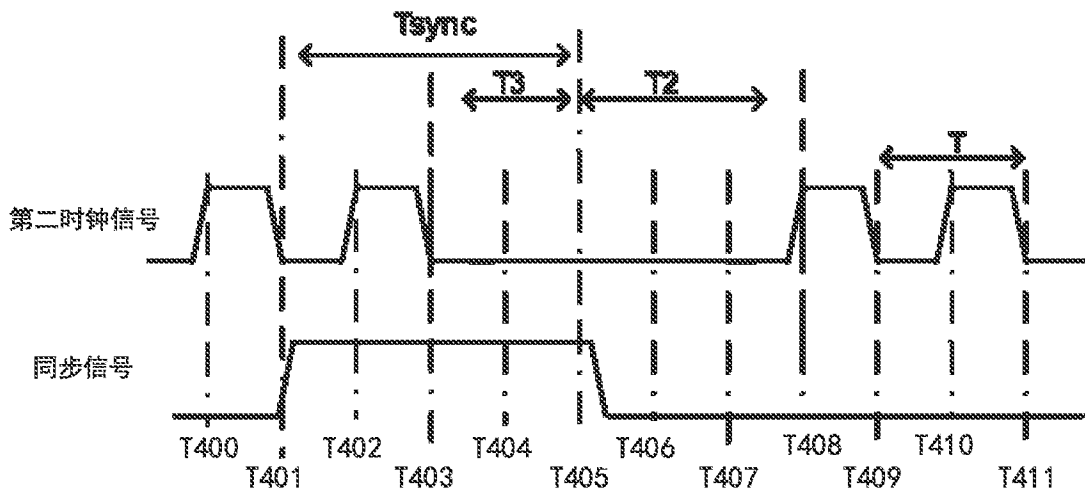


图 4B

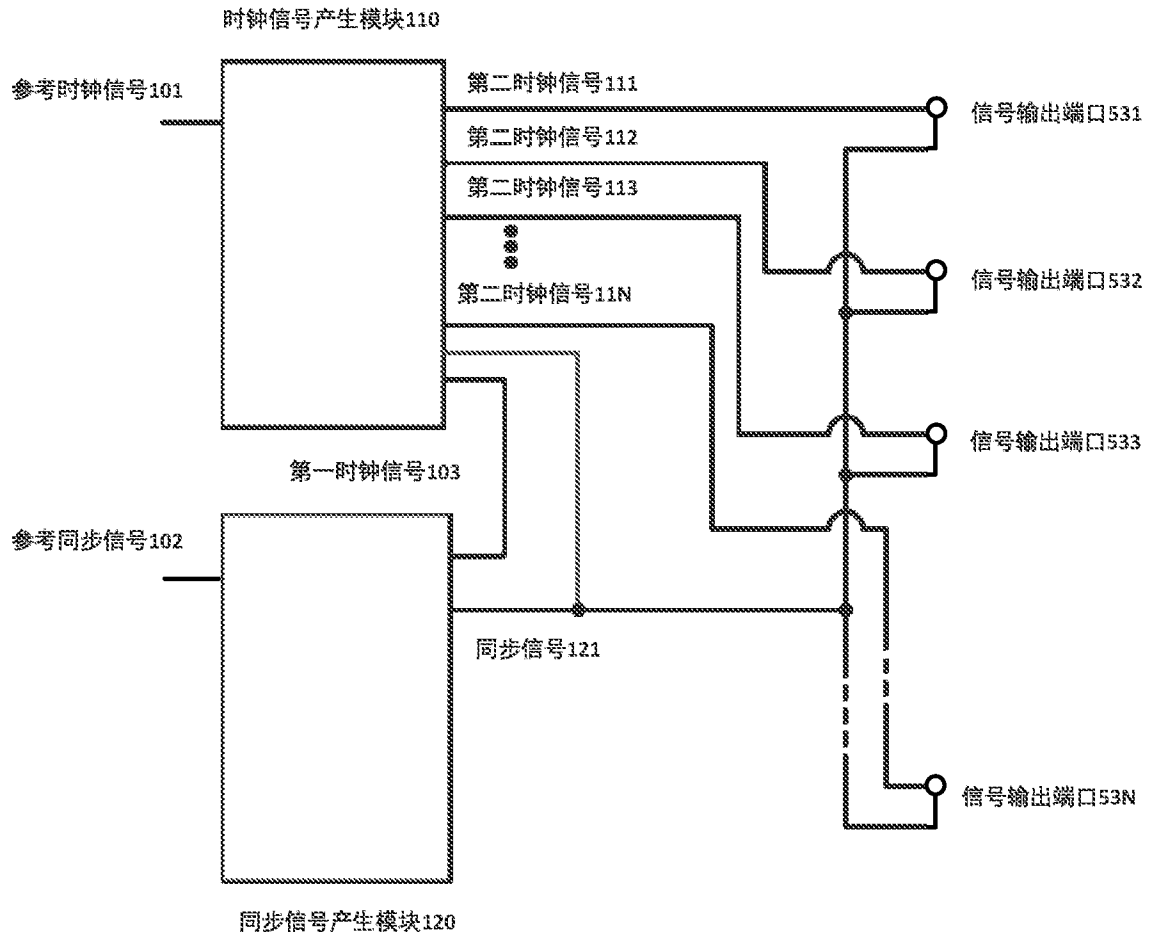


图 5

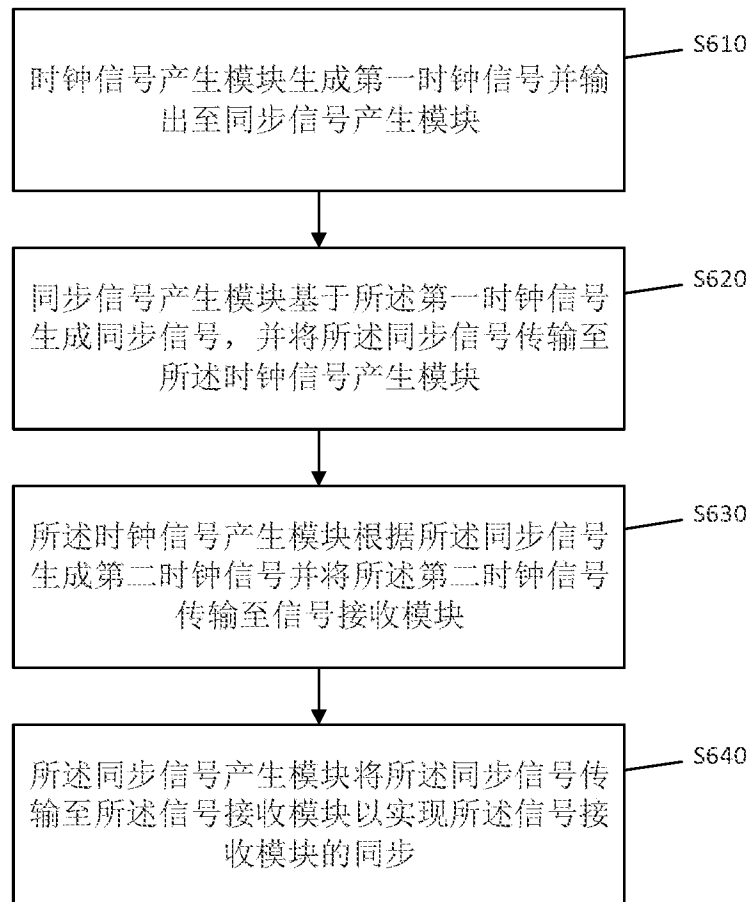


图 6

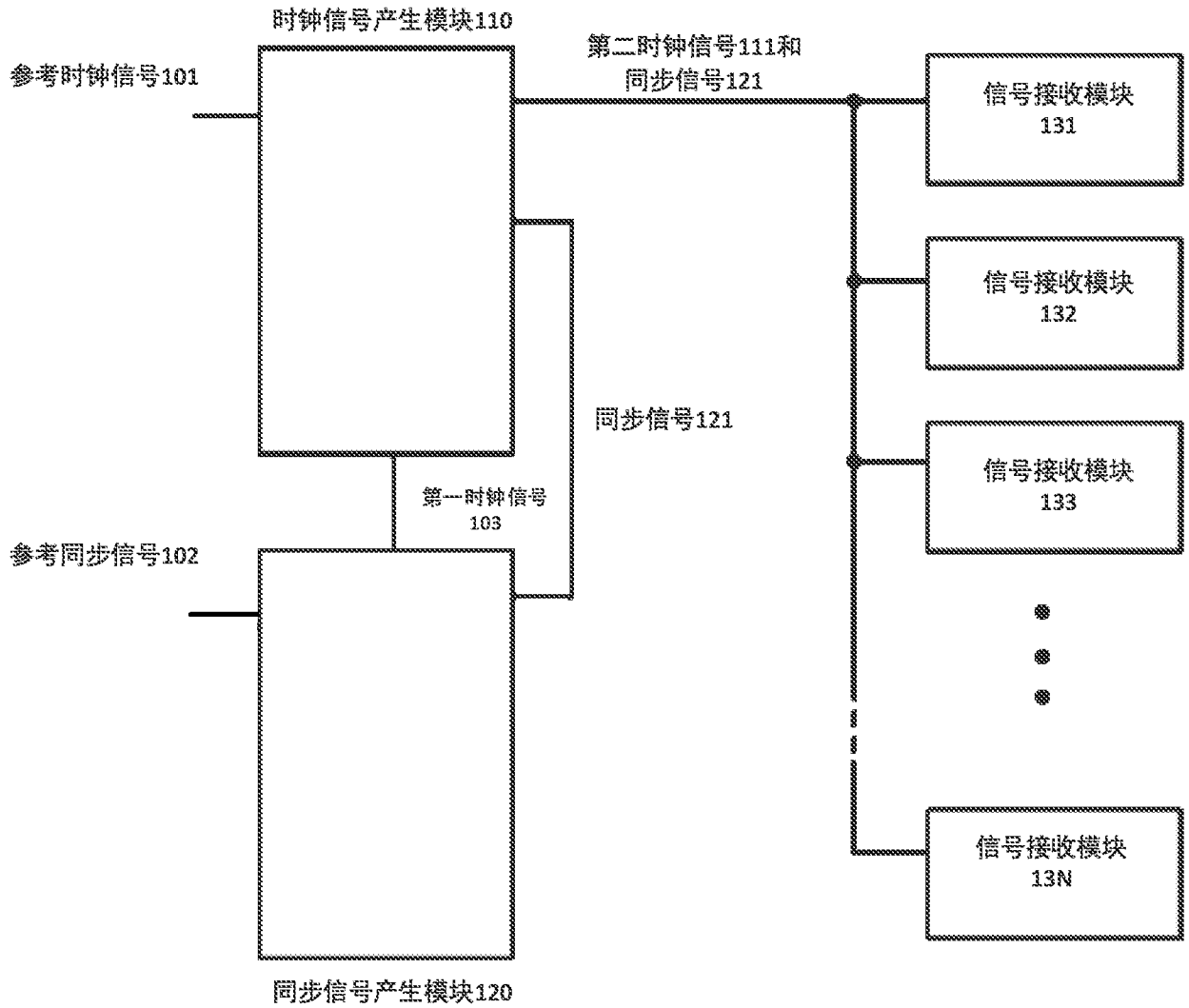


图 7

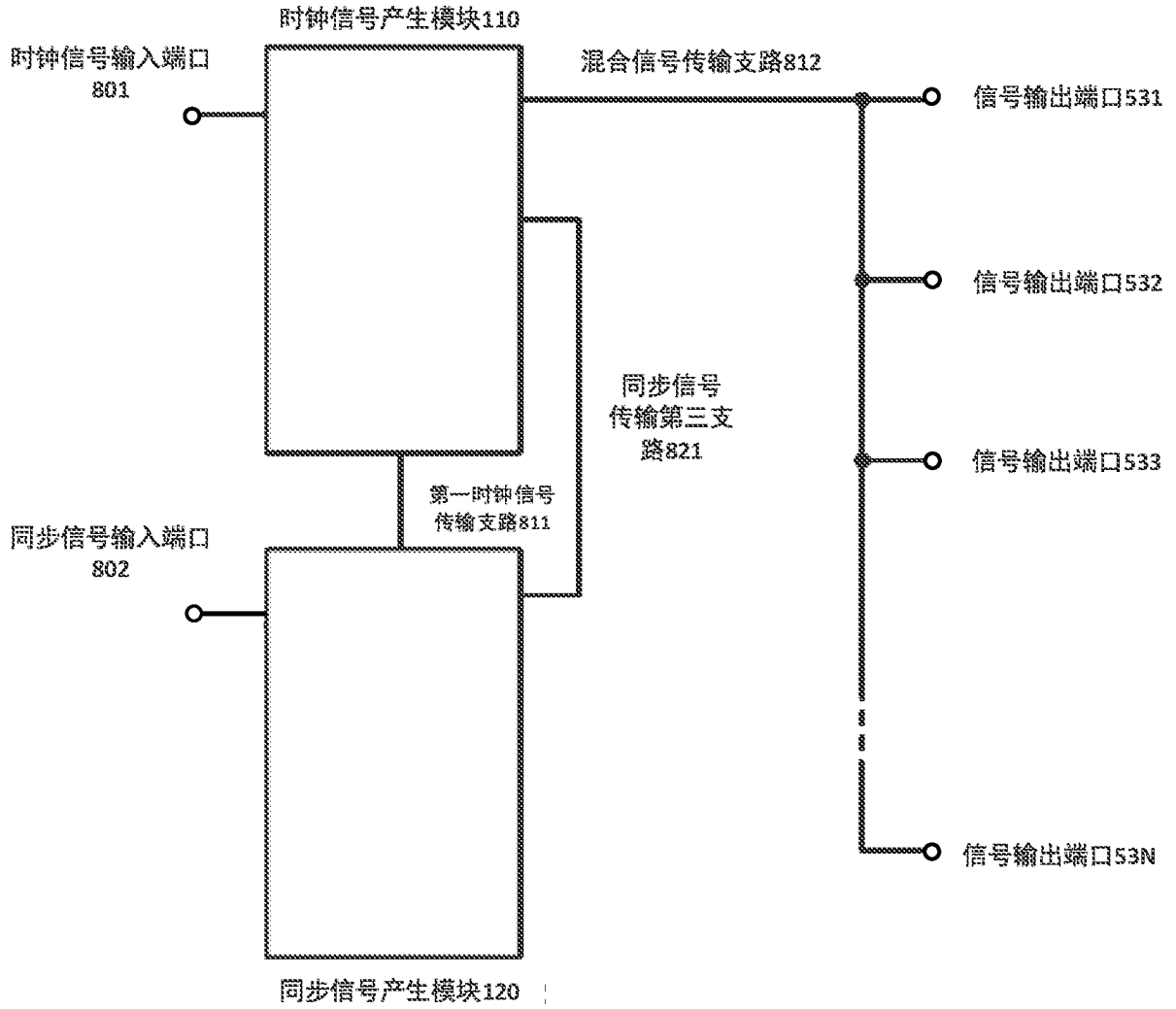


图 8

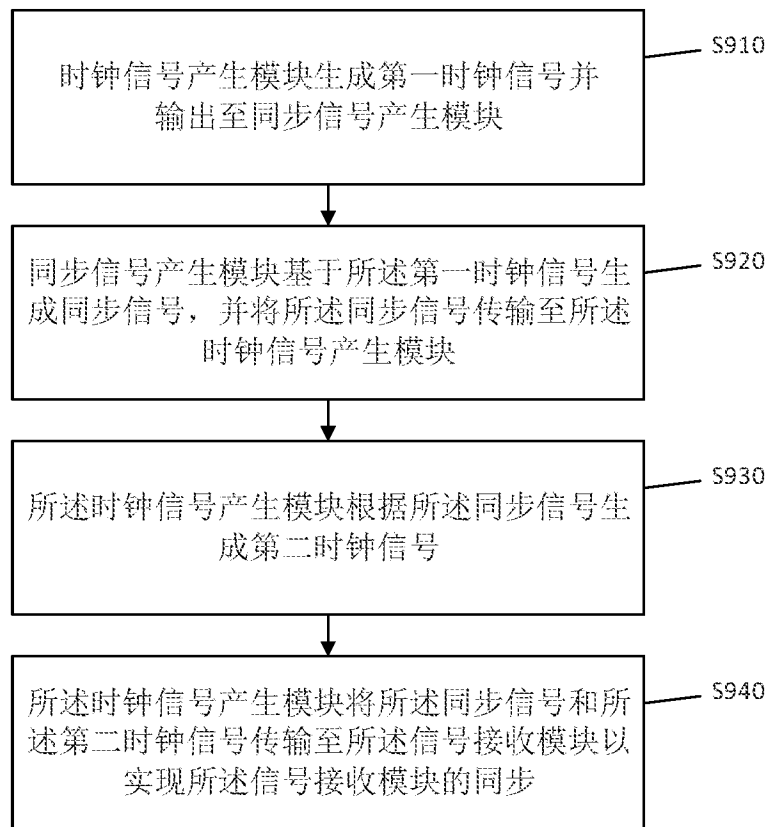


图 9

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/087347

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H04L 7/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
H04L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS; CNTXT; CNKI; VEN; EPTXT; WOTXT; USTXT: 多通道, 时钟, 同步, 信号, 参考, 中间, 延迟, 延时, 高电平, 上升沿, 下降沿, 周期, 触发器, DFF, multi-channel, clock, synchronization, signal, reference, intermediate, high, level, rising edge, falling edge, period, flip-flop, DFF		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 111510277 A (RIGOL TECHNOLOGY CO., LTD.) 07 August 2020 (2020-08-07) claims 1-14	1-14
A	CN 102129269 A (BEIJING RIGOL TECHNOLOGIES, INC.) 20 July 2011 (2011-07-20) entire document	1-14
A	CN 104767607 A (TERADYNE, INC) 08 July 2015 (2015-07-08) entire document	1-14
A	US 2016142066 A1 (CAVIUM INC.) 19 May 2016 (2016-05-19) entire document	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
28 June 2021		07 July 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/087347**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)		
CN	111510277	A	07 August 2020	None			
CN	102129269	A	20 July 2011	CN	102129269	B	26 December 2012
CN	104767607	A	08 July 2015	US	7593497	B2	22 September 2009
				TW	200723694	A	16 June 2007
				JP	4944894	B2	06 June 2012
				DE	112006003101	T5	09 October 2008
				US	2007098127	A1	03 May 2007
				JP	2009514361	A	02 April 2009
				KR	101297683	B1	21 August 2013
				KR	20080060227	A	01 July 2008
				WO	2007053414	A2	10 May 2007
				WO	2007053414	A3	13 September 2007
				TW	1345880	B	21 July 2011
				CN	101300772	A	05 November 2008
US	2016142066	A1	19 May 2016	TW	1642277	B	21 November 2018
				US	9417655	B2	16 August 2016
				TW	201618465	A	16 May 2016

<p><b>A. 主题的分类</b></p> <p>H04L 7/00 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H04L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS;CNTXT;CNKI;VEN;EPTXT;WOTXT;USTXT:多通道, 时钟, 同步, 信号, 参考, 中间, 延迟, 延时, 高电平, 上升沿, 下降沿, 周期, 触发器, DFF, multi-channel, clock, synchronization, signal, reference, intermediate, high, level, rising edge, falling edge, period, flip-flop, DFF</p>																	
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 111510277 A (普源精电科技股份有限公司) 2020年 8月 7日 (2020 - 08 - 07) 权利要求1-14</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 102129269 A (北京普源精电科技有限公司) 2011年 7月 20日 (2011 - 07 - 20) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104767607 A (泰瑞达公司) 2015年 7月 8日 (2015 - 07 - 08) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2016142066 A1 (CAVIUM INC.) 2016年 5月 19日 (2016 - 05 - 19) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 111510277 A (普源精电科技股份有限公司) 2020年 8月 7日 (2020 - 08 - 07) 权利要求1-14	1-14	A	CN 102129269 A (北京普源精电科技有限公司) 2011年 7月 20日 (2011 - 07 - 20) 全文	1-14	A	CN 104767607 A (泰瑞达公司) 2015年 7月 8日 (2015 - 07 - 08) 全文	1-14	A	US 2016142066 A1 (CAVIUM INC.) 2016年 5月 19日 (2016 - 05 - 19) 全文	1-14
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 111510277 A (普源精电科技股份有限公司) 2020年 8月 7日 (2020 - 08 - 07) 权利要求1-14	1-14															
A	CN 102129269 A (北京普源精电科技有限公司) 2011年 7月 20日 (2011 - 07 - 20) 全文	1-14															
A	CN 104767607 A (泰瑞达公司) 2015年 7月 8日 (2015 - 07 - 08) 全文	1-14															
A	US 2016142066 A1 (CAVIUM INC.) 2016年 5月 19日 (2016 - 05 - 19) 全文	1-14															
<input type="checkbox"/> 其余文件在C栏的续页中列出。		<input checked="" type="checkbox"/> 见同族专利附件。															
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>		<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>															
<p>国际检索实际完成的日期</p> <p>2021年 6月 28日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 7月 7日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>周丹</p> <p>电话号码 62412011</p>															

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/087347

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111510277	A	2020年 8月 7日	无			
CN	102129269	A	2011年 7月 20日	CN	102129269	B	2012年 12月 26日
CN	104767607	A	2015年 7月 8日	US	7593497	B2	2009年 9月 22日
				TW	200723694	A	2007年 6月 16日
				JP	4944894	B2	2012年 6月 6日
				DE	112006003101	T5	2008年 10月 9日
				US	2007098127	A1	2007年 5月 3日
				JP	2009514361	A	2009年 4月 2日
				KR	101297683	B1	2013年 8月 21日
				KR	20080060227	A	2008年 7月 1日
				WO	2007053414	A2	2007年 5月 10日
				WO	2007053414	A3	2007年 9月 13日
				TW	1345880	B	2011年 7月 21日
				CN	101300772	A	2008年 11月 5日
US	2016142066	A1	2016年 5月 19日	TW	1642277	B	2018年 11月 21日
				US	9417655	B2	2016年 8月 16日
				TW	201618465	A	2016年 5月 16日