(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 29 日(29.09.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/151857 A1

(51) 国際特許分類:
H01L 21/822 (2006.01) *H01L 27/144* (2006.01)
G01T 1/24 (2006.01) *H01L 29/78* (2006.01)
H01L 21/336 (2006.01) *H01L 31/00* (2006.01)
H01L 27/04 (2006.01) *H04N 5/369* (2011.01)

(21) 国際出願番号: PCT/JP2015/059473

(22) 国際出願日: 2015 年 3 月 26 日(26.03.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: パイオニア株式会社(PIONEER CORPORATION) [JP/JP]; 〒2120031 神奈川県川崎市幸区新小倉１番１号 Kanagawa (JP).

(72) 発明者: 中田 智成(NAKADA Tomonari); 〒2120031 神奈川県川崎市幸区新小倉１番１号 パイオニア株式会社内 Kanagawa (JP).

(74) 代理人: 速水 進治, 外(HAYAMI Shinji et al.); 〒1410031 東京都品川区西五反田７丁目９番２号 五反田ＴＧビル９階 Tokyo (JP).

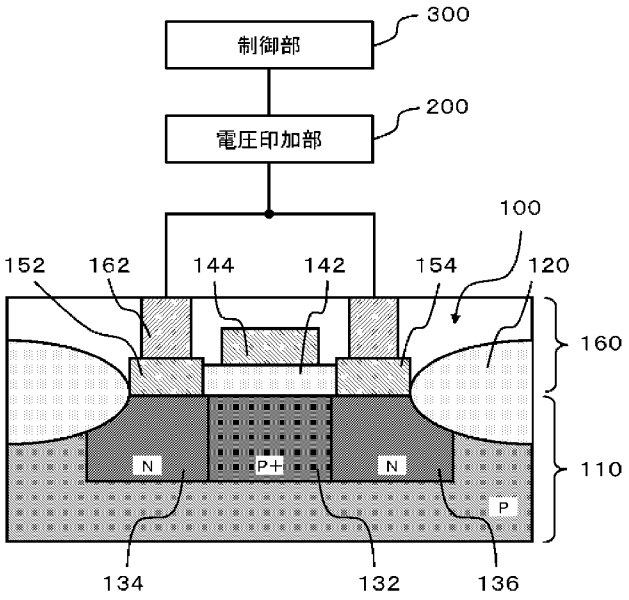
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND IMAGE PICKUP DEVICE

(54) 発明の名称 : 半導体装置及び撮像装置



200 Voltage applying unit
300 Control unit

(57) **Abstract**: This semiconductor device is provided with a MOSFET (100) and a voltage applying unit (200). The voltage applying unit (200) is capable of applying a voltage between a drain electrode (152) and a source electrode (154) in a timing when a gate voltage equal to or higher than the threshold value of the MOSFET (100) is applied to a gate electrode (144). The voltage generates hot carriers between a drain region (134) and a source region (136).

(57) 要約: 半導体装置は、ＭＯＳＦＥＴ（１００）及び電圧印加部（２００）を備える。電圧印加部（２００）は、ＭＯＳＦＥＴ（１００）の閾値以上のゲート電圧がゲート電極（１４４）に印加されているタイミングでドレイン電極（１５２）とソース電極（１５４）の間に電圧を印加可能である。この電圧は、ドレイン領域（１３４）とソース領域（１３６）の間にホットキャリアを発生させる電圧である。

WO 2016/151857 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置及び撮像装置

技術分野

[0001] 本発明は、半導体装置及び撮像装置に関する。

背景技術

[0002] 一部の半導体装置は、線量の高い環境で用いられる。この場合、トータルドーズ効果による影響を考慮する必要がある。ここで、トータルドーズ効果とは、多量の放射線が半導体装置に照射されることによって、半導体装置の動作特性や信頼性に悪影響が生じる現象である。

[0003] 具体的には、ＭＯＳＦＥＴに放射線が入射すると、その電離作用により電子正孔対が発生する。中でも酸化膜中で発生した電子正孔対のうち、電子は移動度が高いため近くの金属もしくは半導体層に吸収されるが、移動度が低い正孔は、SiO_2／Ｓｉ界面に多く存在する正孔トラップに捕獲され、酸化膜中での固定電荷（正電荷）として働くため、ＭＯＳＦＥＴの閾値が変動し、リーク電流の増加やスイッチング特性の劣化を引き起こす。

[0004] 酸化膜中での電子正孔対の発生量はその体積に比例するため、厚い酸化膜ではトータルドーズ効果の影響が大きくなる。通常のＭＯＳＦＥＴにおけるフィールド酸化膜やＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板を用いたＭＯＳＦＥＴにおけるＢＯＸ（Ｂｕｒｉｅｄ　ＯＸｉｄｅ）層は、その厚い酸化膜の例である。

[0005] 特許文献１には、ＳＯＩ基板のＢＯＸ層で発生するトータルドーズ効果により、ＢＯＸ層に正孔が蓄積し、蓄積した正孔によってバックチャネルが形成されるため、バックチャネル電流が流れて消費電流が増大する事が記載されている。このようなバックチャネルが形成されることを防止するために、特許文献１では、時間とともに低下する負電圧を支持基板に印加するようにしている。

先行技術文献

特許文献

[0006] 特許文献1：特開２００３－６９０３１号公報

発明の概要

発明が解決しようとする課題

[0007] 一方で、上記したように、ＭＯＳＦＥＴに放射線が入射すると、上述した厚い酸化膜であるフィールド酸化膜やＳＯＩ基板を用いた際のＢＯＸ層以外に、ゲート酸化膜でもトータルドーズ効果が発生する。通常は、上述した厚い酸化膜でのトータルドーズ効果の影響が支配的なため問題として顕在化しないが、その厚い酸化膜でのトータルドーズ効果の影響が無視できる場合は、薄い酸化膜であるゲート酸化膜でのトータルドーズ効果が顕在化する。このゲート酸化膜で発生するトータルドーズ効果の影響については、ＭＯＳＦＥＴがゲートと基板間の電界で動作するという原理上、特許文献１のように基板電位を変化させるだけでは対策することができない。例えば、トータルドーズ効果によって形成されたチャネルを打ち消すように、基板に正電圧を印加したとしても、基板と各電極間の電位差が小さくなり、素子の駆動能力が低下するだけで、上述したトータルドーズ効果への対策とはならない。

[0008] 本発明が解決しようとする課題としては、半導体装置において、放射線によってＭＯＳＦＥＴで発生するトータルドーズ効果による影響（閾値の変動、リーク電流の増大、スイッチング特性の劣化等）を、抑制することが一例として挙げられる。

課題を解決するための手段

[0009] 請求項１に記載の発明は、

ＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴのドレイン領域とソース領域の間にホットキャリアを発生させる第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備える半導体装置である。

[0010] 請求項３に記載の発明は、

ＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴの閾値以上のゲート電圧が前記ＭＯＳＦＥＴのゲート電極に印加されているタイミングで第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備え、

前記第１電圧をＶ１とし、前記ＭＯＳＦＥＴのドレイン領域とソース領域の間のブレークダウン電圧をＶＢとしたとき、

０．７５≦Ｖ１／ＶＢ≦０．９５を満たす半導体装置である。

[0011] 請求項６に記載の発明は、

電磁波又は粒子線を電荷に変換する変換膜と、

前記変換膜に対向する電子放射源と、

前記電子放射源を駆動する半導体装置と、

を備え、

前記半導体装置は、

前記電子放射源に電気的に接続するＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴのドレイン領域とソース領域の間にホットキャリアを発生させる第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備える撮像装置である。

[0012] 請求項７に記載の発明は、

電磁波又は粒子線を電荷に変換する変換膜と、

前記変換膜に対向する電子放射源と、

前記電子放射源を駆動する半導体装置と、

を備え、

前記半導体装置は、

前記電子放射源に電気的に接続するＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴの閾値以上のゲート電圧が前記ＭＯＳＦＥＴのゲート

電極に印加されているタイミングで第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備え、

前記第１電圧をＶ１とし、前記ＭＯＳＦＥＴのドレイン領域とソース領域の間のブレークダウン電圧をＶＢとしたとき、

０．７５≦Ｖ１／ＶＢ≦０．９５を満たす撮像装置である。

図面の簡単な説明

[0013] 上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。

[0014] [図1]実施形態１に係る半導体装置の構成を示す図である。

[図2]図１に示したＭＯＳＦＥＴのI_{DS}－V_{GS}特性の測定結果を示すグラフである。

[図3]図１の変形例を示す図である。

[図4]実施形態２に係る半導体装置の構成を示す図である。

[図5]実施例１に係る撮像装置の構成を示す図である。

[図6]図５に示した電子放射層の構成を示す平面図である。

[図7]図５に示した撮像装置が行う動作の一例を示すフローチャートである。

[図8]実施例２に係る撮像装置の構成を示す図である。

[図9]実施例３に係る撮像装置の構成を示す図である。

[図10]実施例４に係る撮像装置の構成を示す図である。

発明を実施するための形態

[0015] 以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

[0016] なお、以下に示す説明において、制御部３００は、ハードウエア単位の構成ではなく、機能単位のブロックを示している。制御部３００は、任意のコンピュータのＣＰＵ、メモリ、メモリにロードされたプログラム、そのプロ

グラムを格納するハードディスクなどの記憶メディア、ネットワーク接続用インタフェースを中心にハードウエアとソフトウエアの任意の組合せによって実現される。そして、その実現方法、装置には様々な変形例がある。

[0017] （実施形態１）

図１は、実施形態１に係る半導体装置の構成を示す図である。この半導体装置は、ＭＯＳＦＥＴ１００、電圧印加部２００、及び制御部３００を備える。本図に示す例において、ＭＯＳＦＥＴ１００は、ＮチャネルＭＯＳＦＥＴである。ただし、ＭＯＳＦＥＴ１００は、ＰチャネルＭＯＳＦＥＴであってもよい。以下、ＭＯＳＦＥＴ１００がＮチャネルＭＯＳＦＥＴして説明を行う。

[0018] ＭＯＳＦＥＴ１００は、第１導電型（Ｐ型）の半導体層１１０を用いて形成される。半導体層１１０は、例えば、半導体基板（例えば、シリコン基板）である。他の例として、ＭＯＳＦＥＴ１００は、例えば、半導体基板上に形成されたエピタキシャル層であってもよい。

[0019] 半導体層１１０の表層には、素子分離膜１２０が形成されている。素子分離膜１２０は、例えば、ＬＯＣＯＳ（ＬＯＣａｌ Ｏｘｉｄａｔｉｏｎ ｏｆ Ｓｉｌｉｃｏｎ）又はＳＴＩ（Ｓｈａｌｌｏｗ Ｔｒｅｎｃｈ Ｉｓｏｌａｔｉｏｎ）を用いて形成されている。平面視において、素子分離膜１２０は、ＭＯＳＦＥＴ１００が形成される領域（素子形成領域）を囲んでいる。

[0020] 上記した素子形成領域において、半導体層１１０の表層には、第１導電型領域１３２が形成されている。第１導電型領域１３２は、不純物濃度が半導体層１１０よりも高い。さらに、上記した素子形成領域において、半導体層１１０の表層には、ドレイン領域１３４及びソース領域１３６が形成されている。ドレイン領域１３４及びソース領域１３６は、第１導電型領域１３２を介して互いに逆側に位置する。ドレイン領域１３４及びソース領域１３６それぞれは、第２導電型（Ｎ型）領域である。

[0021] 上記した素子形成領域において、半導体層１１０上には、ゲート絶縁膜１

４２が形成されている。ゲート絶縁膜１４２は、第１導電型領域１３２を覆っている。本図に示す例において、ゲート絶縁膜１４２は、シリコン酸化膜である。ゲート絶縁膜１４２上には、ゲート電極１４４が形成されている。ゲート電極１４４は、例えば、ポリシリコンを用いて形成されている。さらに、上記した素子形成領域において、半導体層１１０上には、ドレイン電極１５２及びソース電極１５４が形成されている。ドレイン電極１５２及びソース電極１５４は、ドレイン領域１３４及びソース領域１３６にそれぞれ接続している。ドレイン電極１５２及びソース電極１５４は、例えば、ポリシリコンを用いて形成されている。

[0022] 素子分離膜１２０、ゲート電極１４４、ドレイン電極１５２、及びソース電極１５４は、絶縁層１６０に覆われている。絶縁層１６０は、例えば、シリコン酸化膜を用いて形成されている。絶縁層１６０には、コンタクト１６２が埋め込まれている。本図に示す例では、ドレイン電極１５２に接続するコンタクト１６２及びソース電極１５４に接続するコンタクト１６２が絶縁層１６０に埋め込まれている。コンタクト１６２は、例えば、金属（例えば、Ａｌ）を用いて形成されている。

[0023] ドレイン電極１５２とソース電極１５４の間には、電圧印加部２００によって電圧が印加可能である。詳細を後述するように、この電圧は、半導体層１１０にホットキャリアを発生させる電圧である。電圧印加部２００は、制御部３００によって制御されている。

[0024] 次に、本図を用いて、本実施形態に係る半導体装置の動作を説明する。まず、ＭＯＳＦＥＴ１００に放射線（例えば、γ線）が入射すると、トータルドーズ効果によって、半導体層１１０に電子正孔対が発生する。この場合に発生する正孔は、移動度が低い。これにより、この正孔は、半導体層１１０とゲート絶縁膜１４２の界面（例えば、SiO_2／Ｓｉ界面）に生じる準位に捕獲されやすい。上記した準位に捕獲された正孔は、上記した界面の近傍においてゲート絶縁膜１４２に位置するようになる。このような正孔は、固定電荷（正電荷）として機能する。このような固定電荷が存在する場合、ＭＯ

ＳＦＥＴ１００は、閾値が下がる。

[0025] 本図に示す例において、電圧印加部２００は、ＭＯＳＦＥＴ１００の閾値以上のゲート電圧がゲート電極１４４に印加されている（言い換えると、ＭＯＳＦＥＴ１００がオン状態にある）タイミングで、ドレイン電極１５２とソース電極１５４の間に電圧Ｖ１を印加する。なお、この場合、ソース電極１５４は接地されている。ドレイン領域１３４とソース領域１３６の間のブレークダウン電圧をＶＢとしたとき、０．７５≦Ｖ１／ＶＢ≦０．９５、好ましくは０．８０≦Ｖ１／ＶＢ≦０．９０を満たす。言い換えると、ドレイン領域１３４とソース領域１３６の間の耐圧よりも低く、かつこの耐圧に近い電圧を電圧印加部２００によってドレイン電極１５２とソース電極１５４の間に印加する。これにより、ドレイン領域１３４とソース領域１３６の間には、高電界が発生する。そしてこの高電界によってホットキャリアが発生する。そして一部のホットキャリアは、ゲート絶縁膜１４２に注入される。この場合、ホットキャリアが上記した固定電荷（正孔）と結合すると、上記した固定電荷（正孔）を消滅させることができる。これにより、ＭＯＳＦＥＴ１００の閾値の変動が打ち消される。

[0026] さらに、本図に示す例では、上記したゲート電圧をＶＧとしたとき、上記した電圧Ｖ１は、０．９５≦Ｖ１／ＶＧを満たす。言い換えると、上記した電圧Ｖ１は、ゲート電極１４４のゲート電圧ＶＧとほぼ等しく、又はゲート電圧ＶＧよりも大きくなっている。この場合、ゲート絶縁膜１４２の下方のチャネルが縮退する。これにより、半導体層１１０の表層では、ドレイン領域１３４とゲート絶縁膜１４２の間に空乏層が形成される。そしてこの空乏層では、高電界が発生する。そしてこの高電界によって加速された電子によってインパクトイオン化が生じる。このインパクトイオン化によって高エネルギーを有する電子（ホットキャリア）が生ずる。そして一部のホットキャリアは、ゲート絶縁膜１４２に注入される。この場合、ホットキャリアが上記した固定電荷（正孔）と結合すると、上記した固定電荷（正孔）を消滅させることができる。

[0027] 図２は、図１に示したＭＯＳＦＥＴ１００のI_{DS}－V_{GS}特性の測定結果を示すグラフである。なお、I_{DS}はドレイン電極１５２とソース電極１５４の間の電流を示し、V_{GS}はゲート電極１４４とソース電極１５４の間の電圧を示す。本図に示す例では、放射線をＭＯＳＦＥＴ１００に照射する前、及び放射線をＭＯＳＦＥＴ１００に照射した後それぞれについて、ＭＯＳＦＥＴ１００のI_{DS}－V_{GS}特性を測定した。本図に示すように、ＭＯＳＦＥＴ１００の閾値は、放射線が照射された後、低くなった。

[0028] 図３は、図１の変形例を示す図である。本図に示すように、ＭＯＳＦＥＴ１００は、ＳＯＩ（Ｓｉｌｉｃｏｎ Ｏｎ Ｉｎｓｕｌｔｏｒ）基板１１６の半導体層１１０を用いて形成されていてもよい。ＳＯＩ基板１１６は、基板１１２、絶縁層１１４、及び半導体層１１０を有する。基板１１２、絶縁層１１４、及び半導体層１１０は、この順で積層されている。基板１１２は、例えば、シリコン基板である。絶縁層１１４は、ＢＯＸ（Ｂｕｒｉｅｄ ＯＸｉｄｅ）層であり、例えば、シリコン酸化膜である。そして絶縁層１１４は、第１導電型領域１３２、ドレイン領域１３４、及びソース領域１３６に接している。

[0029] 本図に示す例では、ＭＯＳＦＥＴ１００に放射線（例えば、γ線）が入射すると、上記したトータルドーズ効果によって、ＳＯＩ基板１１６に電子正孔対が発生する。この場合に発生する正孔は、半導体層１１０と絶縁層１１４の界面（例えば、Ｓｉ／SiO_2界面）に生じる準位に捕獲される場合がある。上記した準位に捕獲された正孔は、上記した界面の近傍において絶縁層１１４に位置するようになる。この場合、バックチャネルが発生しバックチャネル電流がリーク電流として流れることで消費電流が増大する。

[0030] ここで、上述した特許文献１のように、蓄積する正孔による固定電荷が増えるに従い、基板側のマイナス電位を低下させてバックチャネルが形成しない電位分布を相対的に形成するようにした場合は、正孔が蓄積するにつれ必要なマイナス電位も増大することとなり、素子そのものの寿命のみではなくこのマイナス電位の供給能力によっても素子の寿命が決まってしまう。また

マイナス電位が増加するにつれて、各電極と基板間の電位差が大きくなることから、基板と各電極間の耐圧も素子の寿命を決める要因となってしまう。

[0031] 一方で、本図に示す例においては、正孔が蓄積しバックチャネルが形成された場合においても、図１に示した例と同様に電圧印加部２００によってドレイン電極１５２とソース電極１５４の間に電圧Ｖ１を印加するとともに、基板１１２に基板電圧Ｖｓを印加することによって、半導体層１１０にホットキャリアを発生させることができる。この場合、一部のホットキャリアが上記した正孔と結合する。これにより、上記した正孔を消滅させることができ、バックチャネルの形成を打ち消すことができる。このような構成とすることにより、素子の寿命に影響を与えることなく、トータルドーズ効果による影響を低減させることが可能となる。

[0032] 以上、本実施形態によれば、電圧印加部２００は、ドレイン領域１３４とソース領域１３６の間に高電界を発生させる。そしてこの高電界によってホットキャリアを発生させることができる。ＭＯＳＦＥＴ１００に放射線が入射すると、この放射線によって発生した正孔によってＭＯＳＦＥＴ１００の閾値が変動することがある。上記したホットキャリアは、上記した正孔と結合する。これにより、上記した正孔を消滅させることができる。このようにして、ＭＯＳＦＥＴ１００の閾値の変動を打ち消すことができる。

[0033]（実施形態２）

図４は、実施形態２に係る半導体装置の構成を示す図である。本実施形態に係る半導体装置は、以下の点を除いて、実施形態１に係る半導体装置と同様の構成である。

[0034] 本図に示す例では、電圧印加部２００は、ゲート電極１４４と半導体層１１０の間に電圧を印加可能である。詳細を後述するように、この電圧は、ゲート絶縁膜１４２にトンネル電流を発生させる電圧である。電圧印加部２００は、制御部３００によって制御されている。

[0035] 次に、本図を用いて、本実施形態に係る半導体装置の動作を説明する。まず、ＭＯＳＦＥＴ１００に放射線（例えば、γ線）が入射すると、実施形態

１と同様にして、半導体層１１０とゲート絶縁膜１４２の界面の近傍においてゲート絶縁膜１４２に正孔が位置するようになる場合がある。この場合、ＭＯＳＦＥＴ１００の閾値が下がる。

[0036] 本図に示す例において、電圧印加部２００は、ドレイン電極１５２とソース電極１５４の間に電圧が印加されていない（言い換えると、ＭＯＳＦＥＴ１００に電流を流していない）タイミングで、ゲート電極１４４と半導体層１１０の間に電圧Ｖ１を印加する。なお、この場合、半導体層１１０、ドレイン電極１５２、及びソース電極１５４は接地されている。ゲート電極１４４と半導体層１１０の間（つまり、ゲート絶縁膜１４２）のブレークダウン電圧をＶＢとしたとき、０．６５≦Ｖ１／ＶＢ≦０．８５、好ましくは０．６８≦Ｖ１／ＶＢ≦０．７６を満たす。言い換えると、ゲート電極１４４と半導体層１１０の間の耐圧よりも低く、かつこの耐圧に近い電圧を半導体層１１０とゲート絶縁膜１４２の間に電圧印加部２００によって印加する。これにより、ゲート絶縁膜１４２にトンネル電流が発生する。そしてトンネル電流の中の一部の電子は、上記した正孔と結合する。これにより、上記した正孔は消滅する。これにより、ＭＯＳＦＥＴ１００の閾値の変動を打ち消すことができる。

実施例

[0037] （実施例１）

図５は、実施例１に係る撮像装置の構成を示す図である。図６は、図５に示した電子放射層３２の構成を示す平面図である。この撮像装置は、容器１０、透明基板２０、電子源３０、及び加速電極４０を備える。さらに、この撮像装置は、電圧印加部２００、制御部３００、及び走査部４００、及び電流測定部５１０を備える。本図に示す例において、電圧印加部２００、制御部３００、走査部４００、及び電流測定部５１０は、容器１０の外側に位置している。ただし、電圧印加部２００、制御部３００、走査部４００、及び電流測定部５１０は、容器１０の内側に設けられていてもよい。本実施例において、電圧印加部２００は、実施形態１又は２に係る電圧印加部２００と

同様の構成である。

[0038] 容器１０は、内側に空間を有し、かつこの空間に繋がる開口を有している。容器１０は、例えば、ガラスを用いて形成されている。容器１０のこの開口は、透明基板２０によって塞がれている。透明基板２０は、例えば、ガラスを用いて形成されている。

[0039] 透明基板２０のうち容器１０の上記した空間側を向いている面には、透明電極２２及び変換膜２４がこの順で積層されている。透明電極２２は、例えば、ＩＴＯ（酸化インジウムスズ）を用いて形成されている。変換膜２４は、電磁波（例えば、赤外線、可視光線、紫外線、γ線、又はＸ線）を電荷に変換する。ただし、変換膜２４は、粒子線（例えば、中性子線）を電荷に変換してもよい。変換膜２４は、例えば、アモルファスセレンを用いて形成されている。

[0040] 変換膜２４と対向する領域には、電子源３０が配置されている。電子源３０は、変換膜２４と対向する面に電子放射層３２を有している。電子放射層３２は、２次元的に配列された複数の電子放射源３４を有している。本図に示す例において、複数の電子放射源３４のそれぞれは、ｍ行ｎ列（ｍ及びｎそれぞれは２以上の整数）の複数の格子点のいずれかに配置されている。これらの電子放射源３４それぞれは、撮像装置の画素となっており、電子放射源３４それぞれの画素は、画素（Ｘｉ，Ｙｊ）（１≦ｉ≦ｎ，１≦ｊ≦ｍ）と示すことができる。さらに、本図に示す例では、各電子放射源３４は、３行３列に配置された複数のエミッションサイト３６を有している。電子は、各エミッションサイト３６から放射される。なお、電子放射層３２は、例えば、ＨＥＥＤ（Ｈｉｇｈ－ｅｆｆｉｃｉｅｎｃｙ　Ｅｌｅｃｔｒｏｎ　Ｅｍｉｓｓｉｏｎ　Ｄｅｖｉｃｅ）を用いて形成されている。

[0041] 複数の電子放射源３４それぞれは、互いに異なるＭＯＳＦＥＴ１００に電気的に接続している。なお、本実施例において、ＭＯＳＦＥＴ１００は、実施形態１又は２に係るＭＯＳＦＥＴ１００と同様の構成である。ＭＯＳＦＥＴ１００がオン状態になった場合、電子放射源３４から電子が放射される。

ＭＯＳＦＥＴ１００は、走査部４００によって駆動される。具体的には、走査部４００は、Ｘ走査部４１０及びＹ走査部４２０を有している。Ｘ走査部４１０は、ｍ行のうちのいずれかの行を選択する。Ｙ走査部４２０は、ｎ列のうちのいずれかの列を選択する。そしてＸ走査部４１０及びＹ走査部４２０がそれぞれ選択した行及び列に位置するＭＯＳＦＥＴ１００が駆動される。

[0042] 本図に示す例では、走査部４００は、複数の行を順に選択し、選択した行に含まれる電子放射源３４を順に選択し、選択した電子放射源３４に電気的に接続するＭＯＳＦＥＴ１００を順に動作させる。この場合、走査部４００が一の行に含まれるすべてのＭＯＳＦＥＴ１００の動作を終了してから次の行においてＭＯＳＦＥＴ１００の動作を開始するまでの間（ブランキング期間）は、撮像がなされない。電圧印加部２００は、このブランキング期間に、実施形態１又は２と同様にして、ＭＯＳＦＥＴ１００に電圧を印加することができる。これにより、走査部４００がＭＯＳＦＥＴ１００を動作させている間（言い換えると、撮像期間）にＭＯＳＦＥＴ１００に印加される電圧を変えることなく、ＭＯＳＦＥＴ１００の閾値の変動を打ち消すことができる。

[0043] なお、本図に示す例では、例えば、走査部４００が画素（Ｘｎ，Ｙ２）におけるＭＯＳＦＥＴ１００の動作を終了してから画素（Ｘ１，Ｙ３）におけるＭＯＳＦＥＴ１００の動作を開始するまでの間に、電圧印加部２００は、ＭＯＳＦＥＴ１００に上記した電圧を印加することができる。さらに、例えば、走査部４００が画素（Ｘｎ，Ｙｍ）におけるＭＯＳＦＥＴ１００の動作を終了してから画素（Ｘ１，Ｙ１）におけるＭＯＳＦＥＴ１００の動作を開始するまでの間に、電圧印加部２００は、ＭＯＳＦＥＴ１００に上記した電圧を印加することができる。

[0044] 透明基板２０と電子源３０の間には、加速電極４０が配置されている。加速電極４０は、縁が容器１０の内側面に保持されている。加速電極４０は、複数の開口を有する導電性部材である。加速電極４０は、電子放射層３２か

ら放射された電子を加速するための電圧を印加する。これにより、電子放射層３２から放射された電子は、加速され、その後、加速電極４０の開口を通過する。

[0045] 次に、本実施例に係る撮像装置を用いた撮像方法について説明する。まず、容器１０の外部から電磁波（又は粒子線）を照射する。この場合、電磁波は、透明基板２０及び透明電極２２を透過し、その後、変換膜２４に入り込む。そしてこの場合、この電磁波は、変換膜２４において電子正孔対を形成する。変換膜２４には、電圧が印加されている。これにより、上記した電子正孔対に含まれる正孔は、変換膜２４の内部の電界によって電子源３０側に移動する。このようにして、変換膜２４では、電子源３０と対向する表面に正孔が蓄積する。そしてこの場合に生成される正孔パターンは、撮像装置に入射した電磁波の像に対応したものとなる。

[0046] 変換膜２４の表面に蓄積した正孔は、電子源３０から放射される電子によって２次元的に走査される。この場合、電子源３０からの電子が正孔と結合すると、変換膜２４から透明電極２２に電流が流れる。変換膜２４からの電流を読み出すことで、変換膜２４の表面に生成された正孔パターンを読み出すことができる。

[0047] 本実施例に係る撮像装置を線量の高い環境で用いる場合、又は本実施例に係る撮像装置で放射線（例えば、γ線）を撮像する場合、ＭＯＳＦＥＴ１００に放射線が入射することがある。この場合、上記したトータルドーズ効果によって、ＭＯＳＦＥＴ１００の閾値が変化することがある。本実施例においては、実施形態１又は２と同様にして、電圧印加部２００によりＭＯＳＦＥＴ１００に電圧を印加することにより、ＭＯＳＦＥＴ１００の閾値を校正することができる。

[0048] さらに、本図に示す例では、制御部３００は、ＭＯＳＦＥＴ１００に入射された放射線の積算線量が基準値以上であるか否かを判断する。そして制御部３００は、その判断結果に基づいて、電圧印加部２００を制御する。

[0049] 詳細には、本図に示す例では、電流測定部５１０がＭＯＳＦＥＴ１００の

ドレインとソースの間の電流を測定している。上記したように、ＭＯＳＦＥＴ１００に放射線が入射すると、ＭＯＳＦＥＴ１００の閾値が下がる。この場合、ＭＯＳＦＥＴ１００に同じゲート電圧を印加したとしても、ＭＯＳＦＥＴ１００に放射線が入射された後は、ＭＯＳＦＥＴ１００に放射線が入射する前よりも、ドレインとソースの間で高い電流が流れるようになる。このため、制御部３００は、電流測定部５１０が測定した電流が予め定められた基準値（電流基準値）以上であるか否かを判断することにより、上記した積算線量が基準値以上であるか否かを判断することができる。

[0050] さらに、制御部３００は、電流測定部５１０の測定結果に応じて、電圧印加部２００による電圧の印加時間の長さを変更してもよい。具体的には、制御部３００は、電流測定部５１０の測定値と上記した電流基準値の差分を算出し、その差分に基づいて電圧印加部２００を制御する。ＭＯＳＦＥＴ１００の閾値の変動が大きいほど（言い換えると、ＭＯＳＦＥＴ１００の積算線量が高いほど）、ドレインとソースの間に流れる電流は大きくなるといえる。このため、例えば、制御部３００は、上記した差分が大きいほど、上記した印加時間の長さを長いものとすることができる。

[0051] 図７は、図５に示した撮像装置が行う動作の一例を示すフローチャートである。まず、電流測定部５１０は、第１時刻Ｔ１においてＭＯＳＦＥＴ１００のドレインとソースの間の電流I_Rを測定する（ステップＳ１０２）。この電流I_Rは、例えば、撮像装置が１フレームの画像を撮像する間（言い換えると、走査部４００が画素（Ｘ１，Ｙ１）におけるＭＯＳＦＥＴ１００の動作を開始してから画素（Ｘｎ，Ｙｍ）におけるＭＯＳＦＥＴ１００の動作を終了するまでの間）に変換膜２４の１つの画素を走査するためにＭＯＳＦＥＴ１００に流れる電流である。

[0052] 次いで、電流測定部５１０は、第２時刻Ｔ２（Ｔ２＞Ｔ１）においてＭＯＳＦＥＴ１００のドレインとソースの間に流れる電流Ｉを測定する（ステップＳ１０４）。この電流Ｉは、例えば、撮像装置が上記した１フレームの次の１フレームの画像を撮像する間に変換膜２４の１つの画素を走査するため

にＭＯＳＦＥＴ１００に流れる電流である。

[0053] 次いで、制御部３００は、上記した電流I_Rと上記した電流Ｉの差分（$I-I_R$）を算出する（ステップＳ２００）。この差分が基準値以上である場合（ステップＳ２００：Ｙｅｓ）、電圧印加部２００は電圧を印加する（ステップＳ３００）。

[0054] 以上、本実施例によれば、撮像装置を線量の高い環境で用いる場合、又は本実施例に係る撮像装置で放射線（例えば、γ線）を撮像する場合、放射線によってＭＯＳＦＥＴ１００の閾値が変動したとしても、電圧印加部２００によってその変動を打ち消すことができる。

[0055]（実施例２）

図８は、実施例２に係る撮像装置の構成を示す図である。本実施例に係る撮像装置は、以下の点を除いて、実施例１に係る撮像装置と同様の構成である。

[0056] 本図に示す例において、撮像装置は、画像生成部５２０を備える。画像生成部５２０は、透明電極２２（言い換えると、変換膜２４）に電気的に接続している。上記したように、撮像装置は、変換膜２４の電流を読み出すことで、画像を撮像することができる。本図に示す例では、画像生成部５２０は、変換膜２４に流れる電流を読み出すことで、画像を生成している。

[0057] 画像生成部５２０において生成された画像が乱れている場合、ＭＯＳＦＥＴ１００の閾値が変動している可能性が高い。このため、制御部３００は、画像生成部５２０が生成した画像の乱れに基づいて、ＭＯＳＦＥＴ１００の積算線量が基準値以上であるか否かを判断することができる。そして制御部３００は、その判断結果に基づいて、電圧印加部２００を制御する。

[0058]（実施例３）

図９は、実施例３に係る撮像装置の構成を示す図である。本実施例に係る撮像装置は、以下の点を除いて、実施例１に係る撮像装置と同様の構成である。

[0059] 本図に示す例では、容器１０の外側に線量測定部５３０が配置されている

。線量測定部５３０は、線量を測定している。なお、線量測定部５３０は、容器１０の内側に配置されていてもよい。制御部３００は、線量測定部５３０の測定結果に基づいて、ＭＯＳＦＥＴ１００の積算線量が基準値以上であるか否かを判断することができる。そして制御部３００は、その判断結果に基づいて、電圧印加部２００を制御する。

[0060] （実施例４）

図１０は、実施例４に係る撮像装置の構成を示す図である。本実施例に係る撮像装置は、以下の点を除いて、実施例１に係る撮像装置と同様の構成である。

[0061] 本図に示す例では、変換膜２４にノイズ測定部５４０が電気的に接続している。ノイズ測定部５４０は、電子源３０からの電子が変換膜２４に照射されていない場合に変換膜２４に流れる電流を測定する。変換膜２４に放射線が照射されていない場合、変換膜２４に電子を照射しない限り、通常、変換膜２４には電流が流れない。一方、変換膜２４に放射線が照射されている場合、変換膜２４に電子が照射されていなくても、変換膜２４には電流が流れる。制御部３００は、例えば、ノイズ測定部５４０が測定した電流の積算値を計算する。これにより、制御部３００は、ＭＯＳＦＥＴ１００の積算線量が基準値以上であるか否かを判断することができる。そして制御部３００は、その判断結果に基づいて、電圧印加部２００を制御する。

[0062] 以上、図面を参照して実施形態及び実施例について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

請求の範囲

[請求項1] ＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴのドレイン領域とソース領域の間にホットキャリアを発生させる第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備える半導体装置。

[請求項2] 請求項１に記載の半導体装置において、

前記電圧印加部は、前記ＭＯＳＦＥＴの閾値以上のゲート電圧が前記ＭＯＳＦＥＴのゲート電極に印加されているタイミングで前記第１電圧を印加し、

前記第１電圧をＶ１とし、前記ドレイン領域と前記ソース領域の間のブレークダウン電圧をＶＢとしたとき、

０．７５≦Ｖ１／ＶＢ≦０．９５を満たす半導体装置。

[請求項3] ＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴの閾値以上のゲート電圧が前記ＭＯＳＦＥＴのゲート電極に印加されているタイミングで第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備え、

前記第１電圧をＶ１とし、前記ＭＯＳＦＥＴのドレイン領域とソース領域の間のブレークダウン電圧をＶＢとしたとき、

０．７５≦Ｖ１／ＶＢ≦０．９５を満たす半導体装置。

[請求項4] 請求項２又は３に記載の半導体装置において、

前記ゲート電圧をＶＧとしたとき、

０．９５≦Ｖ１／ＶＧを満たす半導体装置。

[請求項5] 請求項１～４のいずれか一項に記載の半導体装置において、

前記ＭＯＳＦＥＴの下方に位置し、前記ドレイン領域及び前記ソース領域に接する絶縁層を備える半導体装置。

[請求項6] 電磁波又は粒子線を電荷に変換する変換膜と、

前記変換膜に対向する電子放射源と、

前記電子放射源を駆動する半導体装置と、

を備え、

前記半導体装置は、

前記電子放射源に電気的に接続するＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴのドレイン領域とソース領域の間にホットキャリアを発生させる第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備える撮像装置。

[請求項7] 電磁波又は粒子線を電荷に変換する変換膜と、

前記変換膜に対向する電子放射源と、

前記電子放射源を駆動する半導体装置と、

を備え、

前記半導体装置は、

前記電子放射源に電気的に接続するＭＯＳＦＥＴと、

前記ＭＯＳＦＥＴの閾値以上のゲート電圧が前記ＭＯＳＦＥＴのゲート電極に印加されているタイミングで第１電圧を前記ＭＯＳＦＥＴのドレイン電極とソース電極の間に印加可能な電圧印加部と、

を備え、

前記第１電圧をＶ１とし、前記ＭＯＳＦＥＴのドレイン領域とソース領域の間のブレークダウン電圧をＶＢとしたとき、

０．７５≦Ｖ１／ＶＢ≦０．９５を満たす撮像装置。

[請求項8] 請求項６又は７に記載の撮像装置において、

複数の前記電子放射源を備え、

前記複数の電子放射源それぞれは、互いに異なる前記ＭＯＳＦＥＴに電気的に接続し、かつｍ行ｎ列（ｍ及びｎそれぞれは２以上の整数）の複数の格子点のいずれかに配置され、

前記半導体装置は、前記電子放射源に電気的に接続する前記ＭＯＳ

ＦＥＴを動作させる走査部を備え、

前記走査部は、複数の前記行を順に選択し、選択した前記行に含まれる前記電子放射源を順に選択し、選択した前記電子放射源に電気的に接続する前記ＭＯＳＦＥＴを順に動作させ、

前記電圧印加部は、前記走査部が一の前記行に含まれるすべての前記ＭＯＳＦＥＴの動作を終了してから次の前記行に含まれる前記ＭＯＳＦＥＴの動作を開始するまでの間に、前記第１電圧を印加する撮像装置。

[請求項9] 請求項６～８のいずれか一項に記載の撮像装置において、

前記ＭＯＳＦＥＴに入射された放射線の積算線量が基準値以上であるか否かを判断し、その判断結果に基づいて前記電圧印加部を制御する制御部を備える撮像装置。

[請求項10] 請求項９に記載の撮像装置において、

前記ドレイン領域と前記ソース領域の間に流れる電流を測定する電流測定部を備え、

前記制御部は、前記電流測定部の測定結果に基づいて、前記積算線量が前記基準値以上であるか否かを判断する撮像装置。

[請求項11] 請求項１０に記載の撮像装置において、

前記制御部は、前記電流測定部の測定結果に応じて、前記電圧印加部による前記第１電圧の印加時間の長さを変更する撮像装置。

[請求項12] 請求項９に記載の撮像装置において、

前記変換膜に流れる電流を読み出し、前記電流に基づいて画像を生成する画像生成部を備え、

前記制御部は、前記画像生成部が生成した前記画像の乱れに基づいて、前記積算線量が前記基準値以上であるか否かを判断する撮像装置。

[請求項13] 請求項９に記載の撮像装置において、

前記ＭＯＳＦＥＴの周辺における線量を測定する線量測定部を備え

、

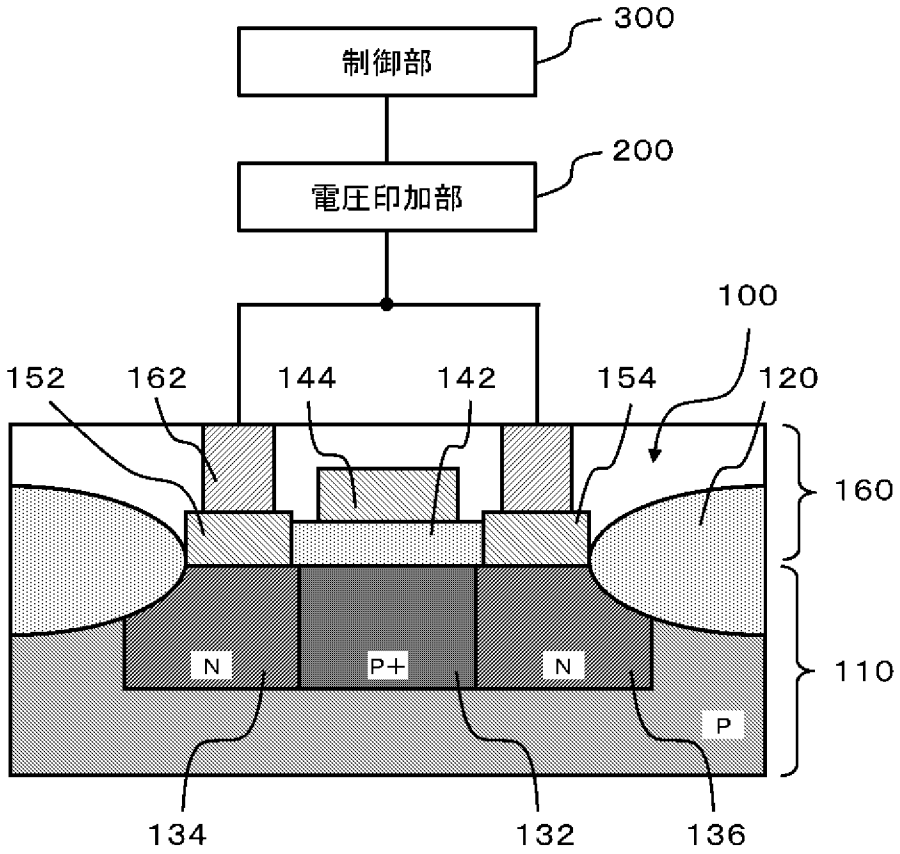
前記制御部は、前記線量測定部の測定結果に基づいて、前記積算線量が前記基準値以上であるか否かを判断する撮像装置。

[請求項14] 請求項９に記載の撮像装置において、

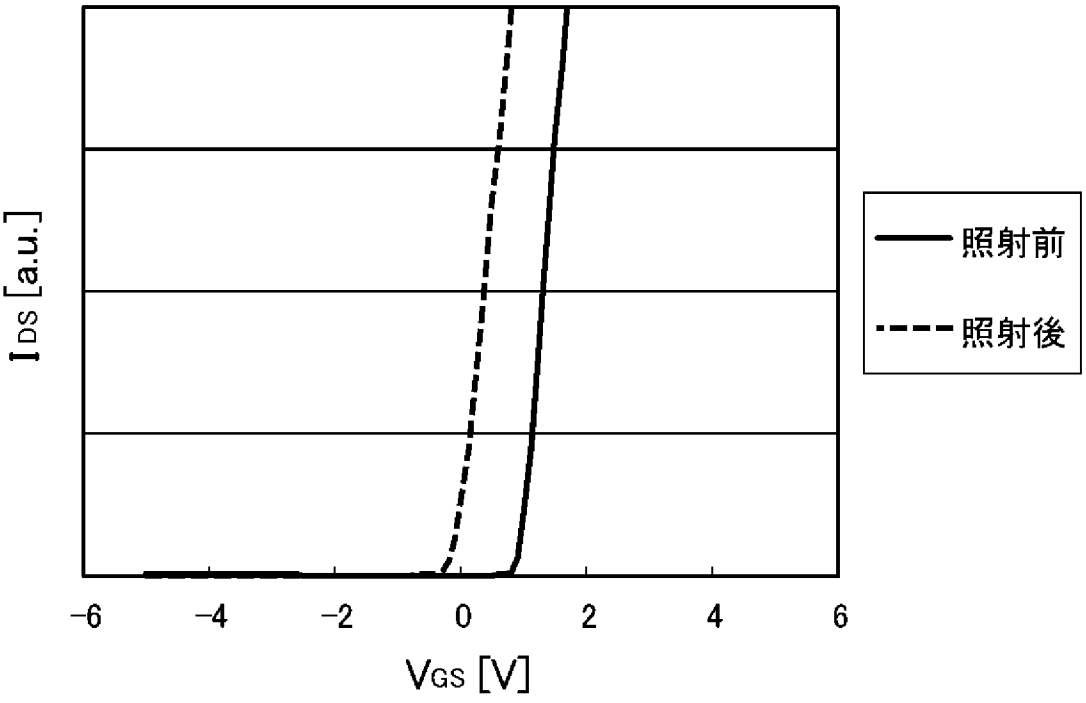
前記変換膜に前記電子放射源からの電子が照射されていない場合に前記変換膜に流れる電流を測定するノイズ測定部を備え、

前記制御部は、前記ノイズ測定部の測定結果に基づいて、前記積算線量が前記基準値以上であるか否かを判断する撮像装置。

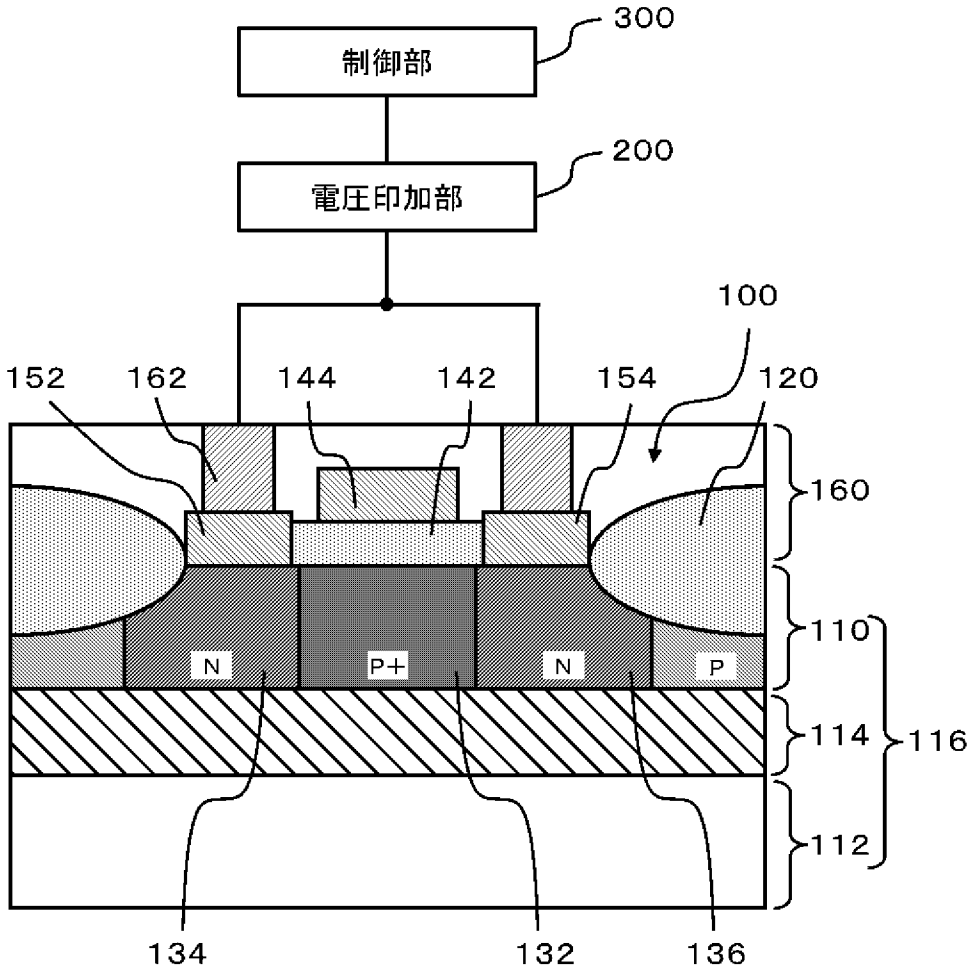
[図1]


300
制御部
200
電圧印加部
100
152
162
144
142
154
120
160
110
N
P+
N
P
134
132
136

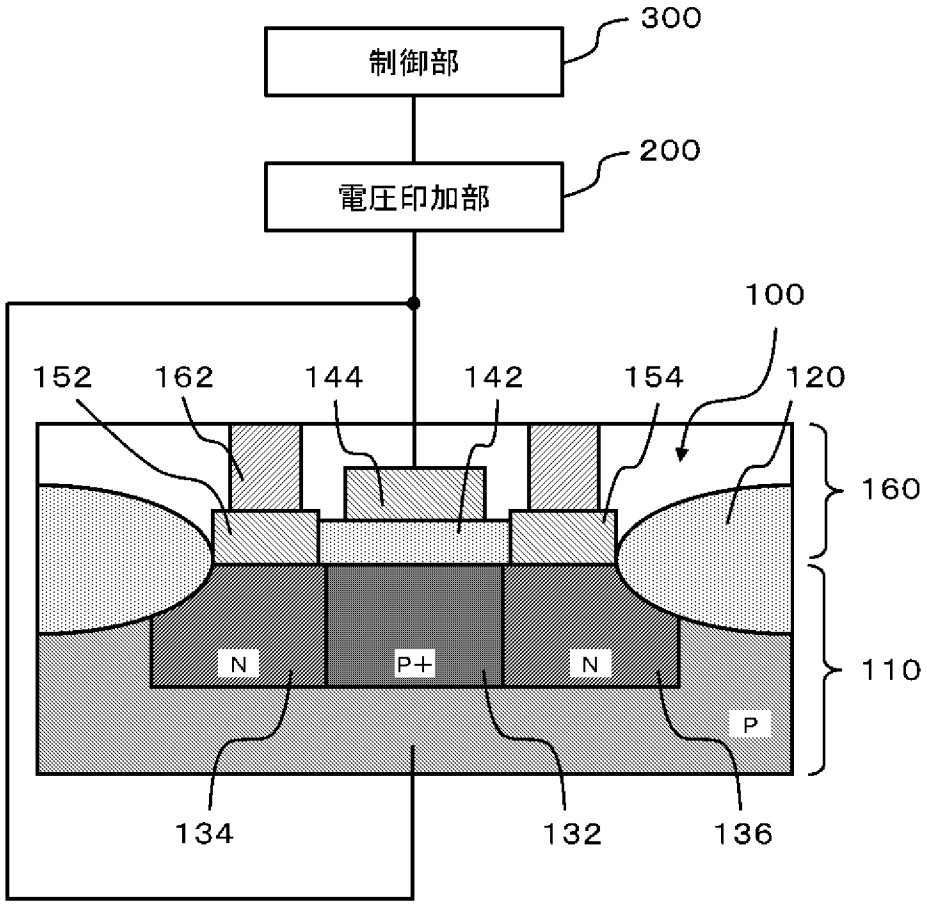
[図2]


IDS [a.u.]
−6
−4
−2
0
2
4
6
VGS [V]
照射前
照射後

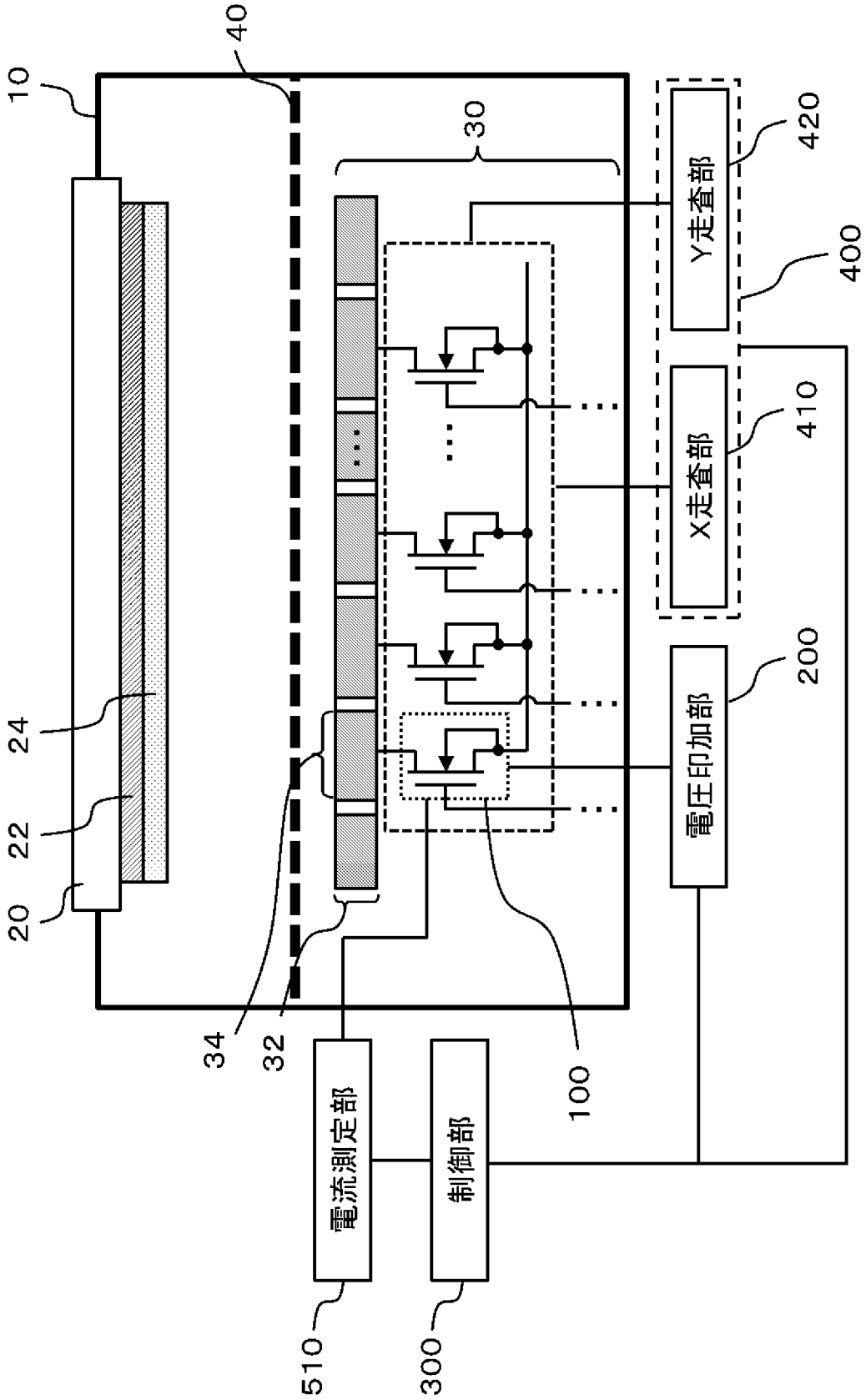
[図3]


300
制御部
200
電圧印加部
100
152
162
144
142
154
120
160
110
N
P+
N
P
114
116
112
134
132
136

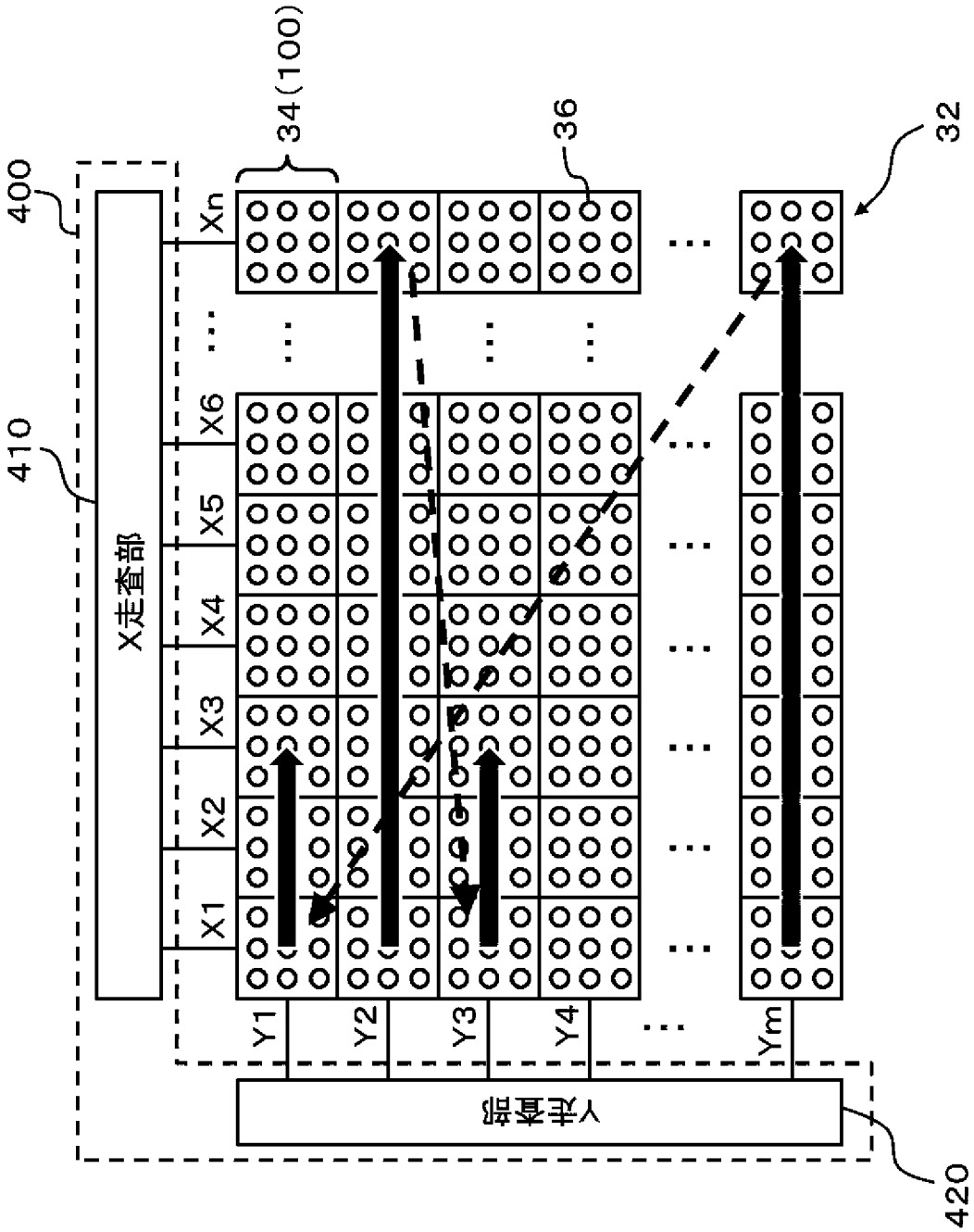
[図4]


300
制御部
200
電圧印加部
100
152
162
144
142
154
120
160
110
N
P+
N
P
134
132
136

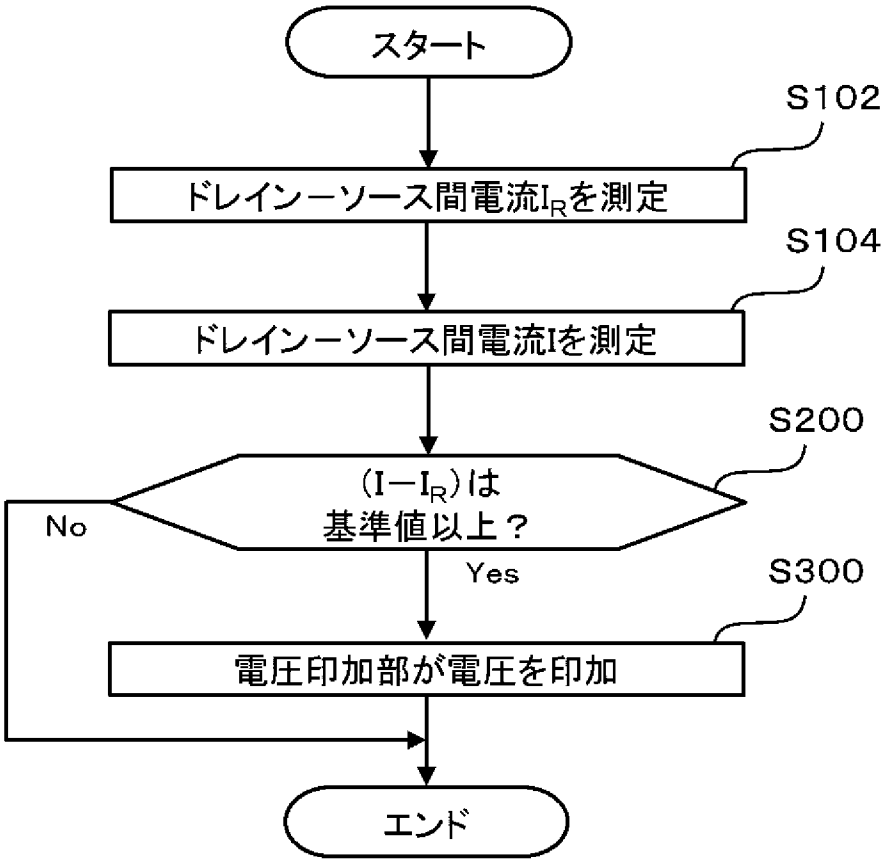
[図5]


10
40
30
420
Y走査部
400
410
X走査部
200
電圧印加部
24
22
20
34
32
100
電流測定部
制御部
510
300

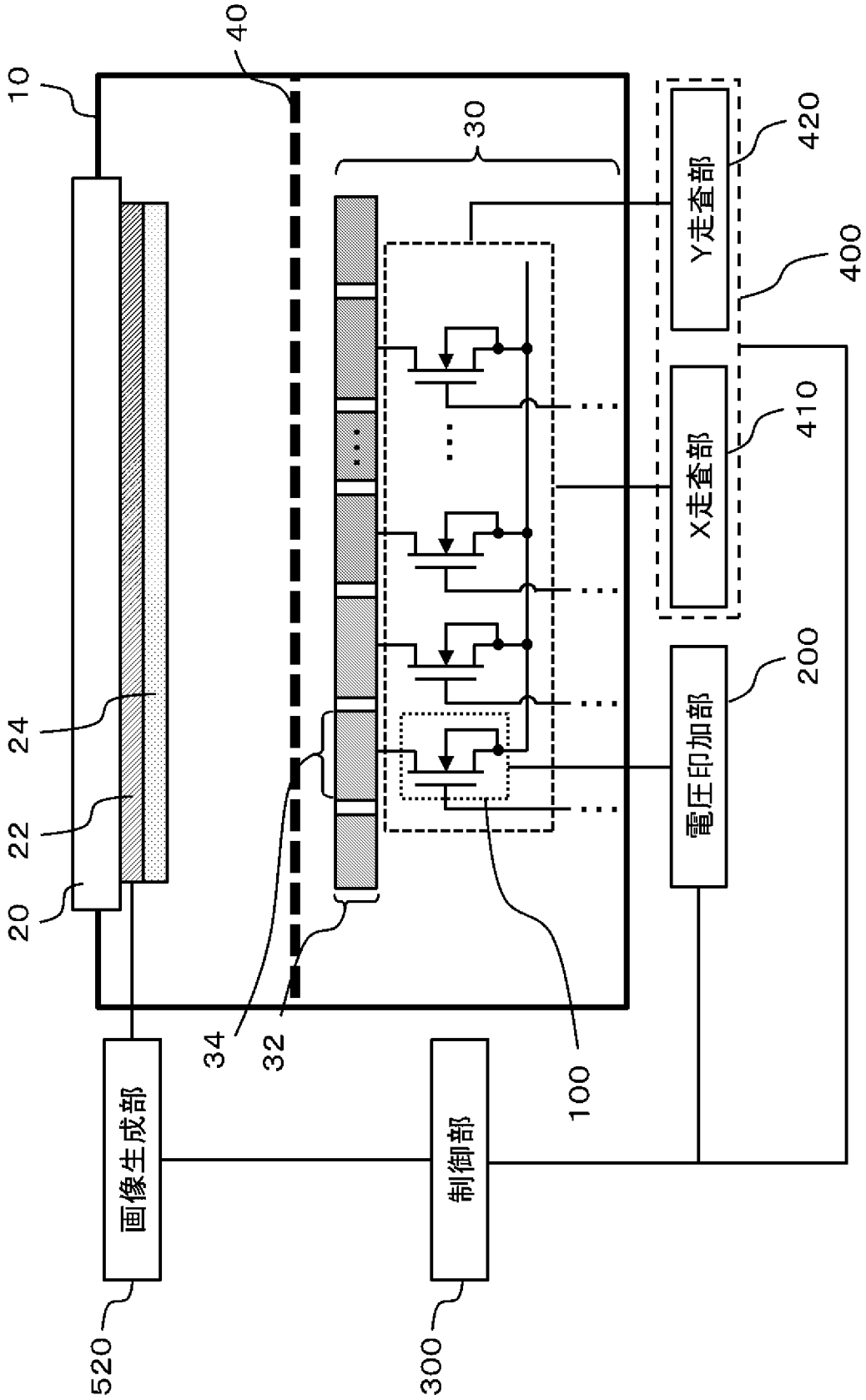
[図6]


400
410
X走査部
Xn
X6
X5
X4
X3
X2
X1
34(100)
36
32
Y1
Y2
Y3
Y4
Ym
Y走査部
420

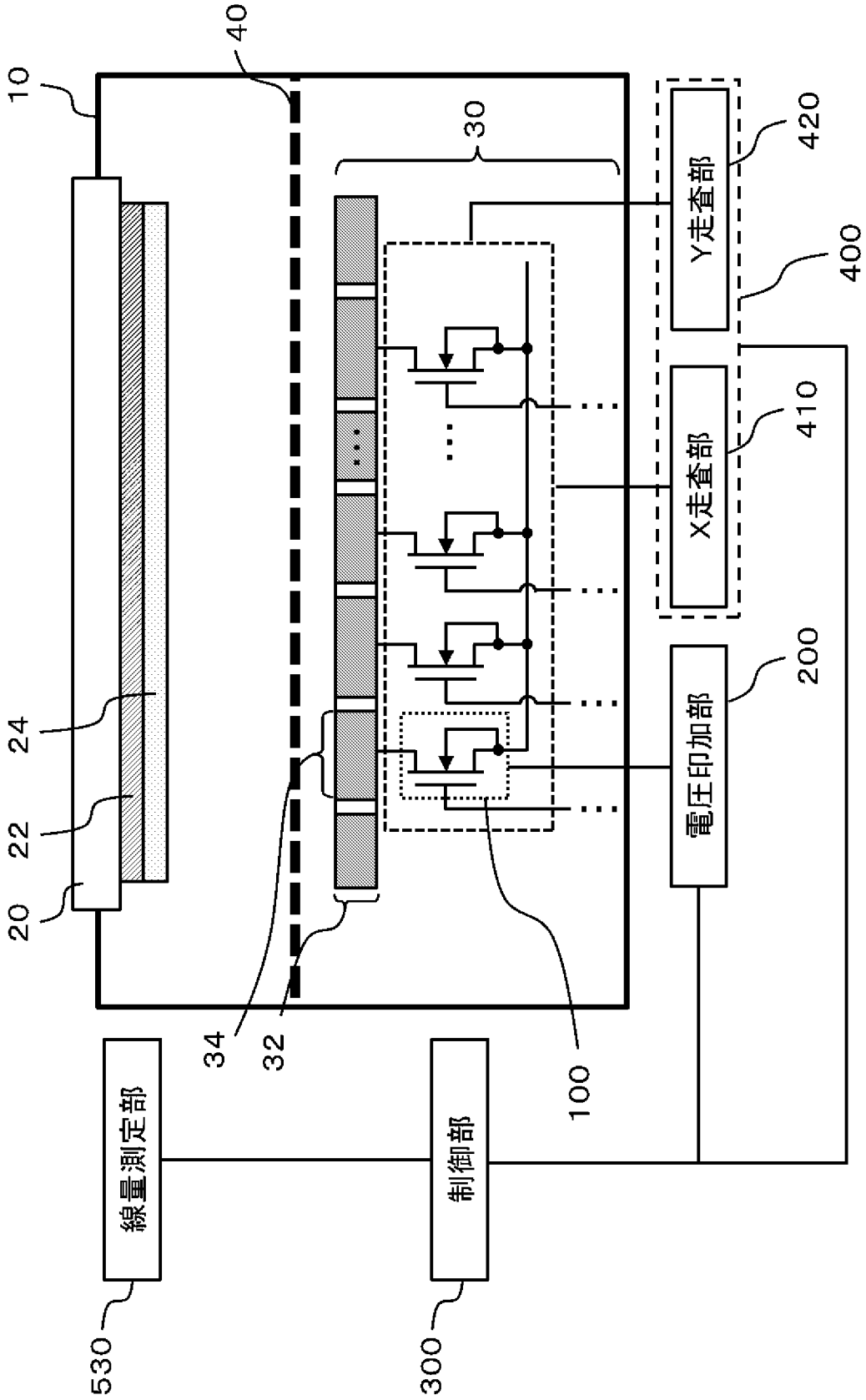
[図7]


スタート
S102
ドレイン－ソース間電流I_Rを測定
S104
ドレイン－ソース間電流Iを測定
S200
$(I-I_R)$は
基準値以上？
No
Yes
S300
電圧印加部が電圧を印加
エンド

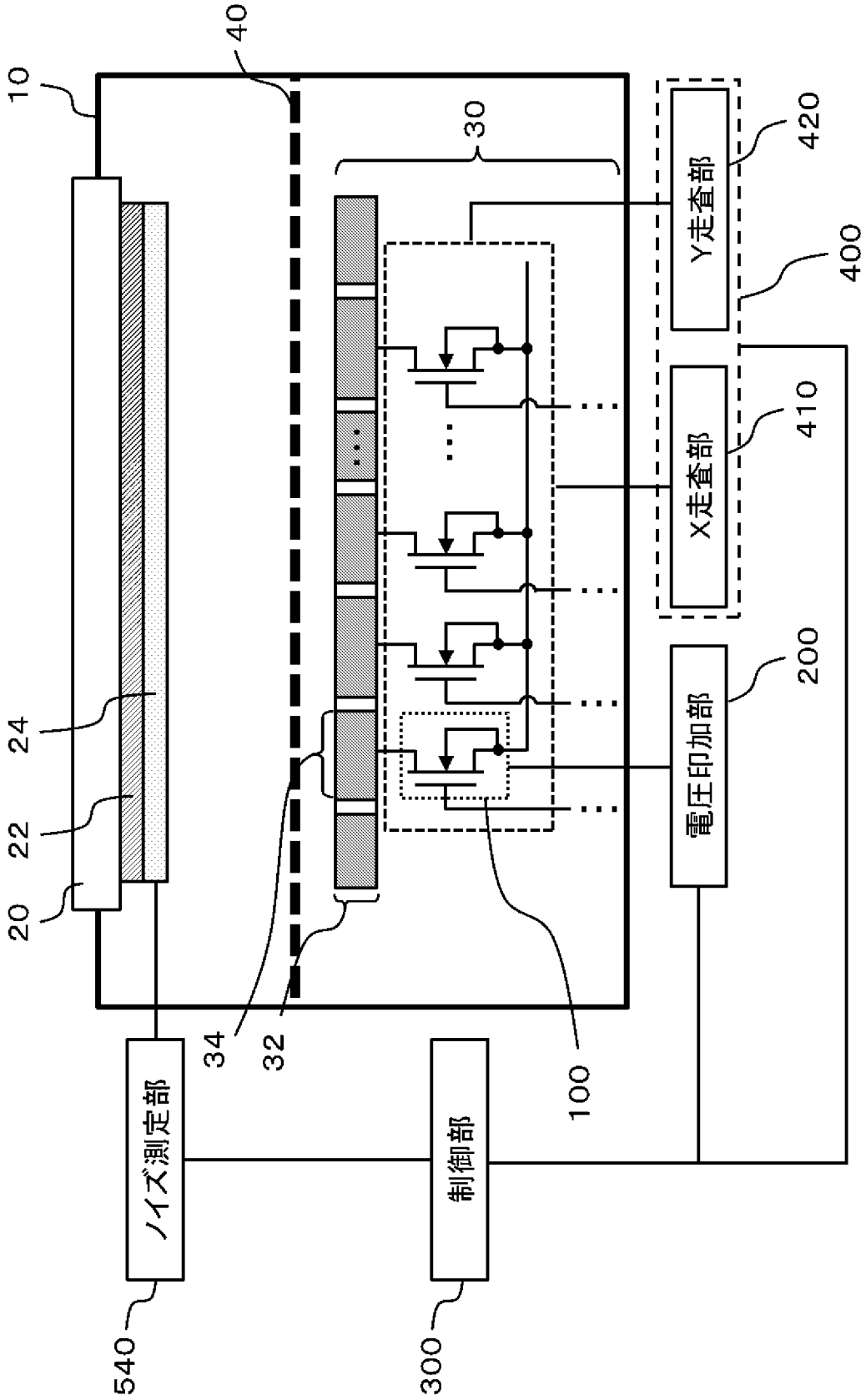
[図8]


10
40
30
420
Y走査部
400
410
X走査部
200
電圧印加部
24
22
20
34
32
100
画像生成部
制御部
520
300

[図9]


10
40
30
420
Y走査部
400
410
X走査部
200
電圧印加部
24
22
20
34
32
100
線量測定部
制御部
530
300

[図10]


10
40
30
420
Y走査部
400
410
X走査部
200
電圧印加部
24
22
20
34
32
100
ノイズ測定部
制御部
540
300

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/059473

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/822(2006.01)i, *G01T1/24*(2006.01)i, *H01L21/336*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/144*(2006.01)i, *H01L29/78*(2006.01)i, *H01L31/00*(2006.01)i, *H04N5/369*(2011.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/822, G01T1/24, H01L21/336, H01L27/04, H01L27/144, H01L29/78, H01L31/00, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 6-252393 A (Hitachi, Ltd.), 09 September 1994 (09.09.1994), fig. 1 (Family: none)	1-5 6,7,9-11,13 8,12,14
Y	WO 2014/170925 A1 (Pioneer Micro Technology Corp.), 23 October 2014 (23.10.2014), entire text; all drawings (Family: none)	6,7,9-11,13
Y	JP 62-154773 A (Hitachi, Ltd.), 09 July 1987 (09.07.1987), entire text; all drawings (Family: none)	10,11,13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 June 2015 (08.06.15)	16 June 2015 (16.06.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/059473

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-238858 A (Toshiba Corp.), 15 October 2009 (15.10.2009), entire text; all drawings (Family: none)	1-14
A	JP 2012-15913 A (Fujifilm Corp.), 19 January 2012 (19.01.2012), entire text; all drawings & US 2012/0001079 A1 & CN 102313896 A	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０５９４７３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/822(2006.01)i, G01T1/24(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L27/144(2006.01)i, H01L29/78(2006.01)i, H01L31/00(2006.01)i, H04N5/369(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/822, G01T1/24, H01L21/336, H01L27/04, H01L27/144, H01L29/78, H01L31/00, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 6-252393 A (株式会社日立製作所) 1994.09.09, 第１図（ファミリーなし）	1-5 6,7,9-11,13 8,12,14
Y	WO 2014/170925 A1 (パイオニア・マイクロ・テクノロジー株式会社) 2014.10.23, 全文、全図（ファミリーなし）	6,7,9-11,13
Y	JP 62-154773 A (株式会社日立製作所) 1987.07.09, 全文、全図（ファミリーなし）	10,11,13

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０８．０６．２０１５	１６．０６．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　３１２５
宇多川　勉
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-238858 A (株式会社東芝) 2009.10.15, 全文、全図 (ファミリーなし)	1-14
A	JP 2012-15913 A (富士フイルム株式会社) 2012.01.19, 全文、全図 & US 2012/0001079 A1 & CN 102313896 A	1-14