

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-293300

(P2006-293300A)

(43) 公開日 平成18年10月26日(2006. 10. 26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/28 (2006.01)	G09G 3/28 H	5C080
G09G 3/288 (2006.01)	G09G 3/28 B	5C580
G09G 3/20 (2006.01)	G09G 3/28 E	
	G09G 3/20 622C	
	G09G 3/20 622D	
審査請求 未請求 請求項の数 12 O L (全 28 頁) 最終頁に続く		

(21) 出願番号	特願2005-376649 (P2005-376649)	(71) 出願人	502032105
(22) 出願日	平成17年12月27日 (2005. 12. 27)		エルジー エレクトロニクス インコーポ レイティド
(31) 優先権主張番号	10-2005-0031207		大韓民国, ソウル 150-721, ヨン ドンポーク, ヨイドードン, 20
(32) 優先日	平成17年4月14日 (2005. 4. 14)	(74) 代理人	110000165
(33) 優先権主張国	韓国 (KR)		グローバル・アイピー東京特許業務法人
		(72) 発明者	ムン ソンハク
			大韓民国 ソウル クログ シンドリムド ン デリムアパート2チャ 201-10 02
		F ターム (参考)	5C080 AA05 BB05 DD03 DD28 HH02 HH04 HH07 JJ02 JJ04 5C580 AA03 BA01 BA02 BA03 BA10 BA12 BA13 BA14 BA19 CB10 CB15

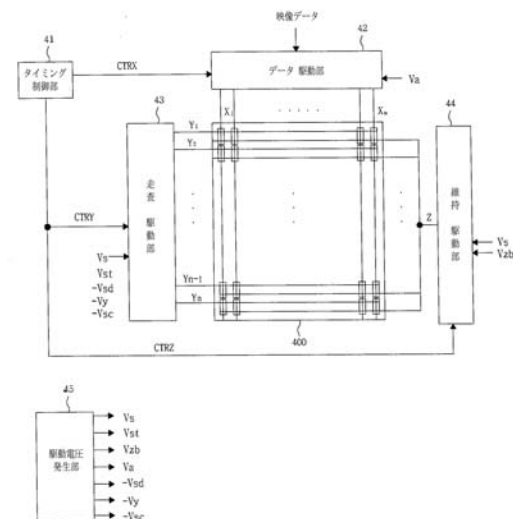
(54) 【発明の名称】 プラズマディスプレイ装置及びその駆動方法

(57) 【要約】

【課題】 駆動効率を向上させるプラズマディスプレイ装置、プラズマディスプレイパネルとその駆動装置及び駆動方法を提供する。

【解決手段】 本発明に係るプラズマディスプレイ装置は、1フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、前記サブフィールドのそれぞれは、リセット期間、アドレス期間、維持期間に分けられて所定の電圧が印加される走査電極、維持電極及びアドレス電極を含むプラズマディスプレイパネルと、前記アドレス期間中に、走査電極にリセット期間の最低電圧よりも高く、且つ、維持期間の基準電圧に同じかそれよりも低い走査基準電圧と、走査基準電圧よりも低い走査パルスとを供給する走査駆動部と、を含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

1 フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、前記サブフィールドのそれぞれは、リセット期間、アドレス期間、維持期間に分けられて所定の電圧が印加される走査電極、維持電極及びアドレス電極を含むプラズマディスプレイパネルと、

前記アドレス期間中に、前記走査電極に前記リセット期間の最低電圧よりも高く、且つ、前記維持期間の基準電圧に同じかそれよりも低い走査基準電圧と、前記走査基準電圧よりも低い走査パルスとを供給する走査駆動部と、を含むことを特徴とするプラズマディスプレイ装置。

10

【請求項 2】

前記走査パルスの電圧は、前記リセット期間の最低電圧よりも低いことを特徴とする請求項 1 記載のプラズマディスプレイ装置。

【請求項 3】

前記 1 フレームを構成するサブフィールドのアドレス期間中に走査電極に印加される走査基準電圧は、いずれも同じであることを特徴とする請求項 1 記載のプラズマディスプレイ装置。

【請求項 4】

前記 1 フレームは、アドレス期間中に走査基準電圧の異なるサブフィールドを少なくとも 1 以上含むことを特徴とする請求項 1 記載のプラズマディスプレイ装置。

20

【請求項 5】

前記走査基準電圧は、サブフィールドの加重値の大小に応じて調節されることを特徴とする請求項 4 記載のプラズマディスプレイ装置。

【請求項 6】

前記走査基準電圧は、前記サブフィールドの加重値の大小に比例することを特徴とする請求項 5 記載のプラズマディスプレイ装置。

【請求項 7】

前記リセット期間中に、前記走査駆動部は、前記走査電極に立上りランプパルスを含むセットアップ電圧と、立下りランプパルスを含むセットダウン電圧を供給することを特徴とする請求項 1～6 のいずれか記載のプラズマディスプレイ装置。

30

【請求項 8】

前記セットアップ電圧は、グラウンドから始まり、第 1 の電圧まで垂直状に増加した後、第 2 の電圧まで漸増することを特徴とする請求項 7 記載のプラズマディスプレイ装置。

【請求項 9】

2 番目以降のサブフィールドのうち少なくともいずれかのサブフィールドのリセット期間中に、前記走査駆動部は、前記走査電極に立下りランプパルスを含むセットダウン電圧を供給することを特徴とする請求項 1～6 のいずれか記載のプラズマディスプレイ装置。

【請求項 10】

1 フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、前記サブフィールドのそれぞれは、リセット期間、アドレス期間、維持期間に分けられて所定の電圧が印加される走査電極、維持電極及びアドレス電極を含むプラズマディスプレイパネルにおいて、

40

前記アドレス期間中に、前記走査電極に前記リセット期間の最低電圧よりも高く、且つ、前記維持期間の基準電圧に同じかそれよりも低い走査基準電圧と、前記走査基準電圧よりも低い走査パルスが供給されることを特徴とするプラズマディスプレイパネル。

【請求項 11】

1 フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、前記サブフィールドのそれぞれは初期化のためのリセット期間、セルを選択するためのアドレス期間、及び選択されたセルの放電を維持するための維持期間に分けられて少なくとも 1 以上の電極に所定の電圧を印加することにより画像を表示するプラズマディスプレイパ

50

ネルの駆動装置において、

前記アドレス期間中に、走査電極に前記リセット期間の最低電圧よりも高く、且つ、前記維持期間の基準電圧に同じがそれよりも低い走査基準電圧と、前記走査基準電圧よりも低い走査パルスとを供給する走査駆動部を含むことを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項 12】

1 フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、前記サブフィールドのそれぞれは初期化のためのリセット期間、セルを選択するためのアドレス期間、及び選択されたセルの放電を維持するための維持期間に分けられて少なくとも 1 以上の電極に所定の電圧を印加することにより画像を表現するプラズマディスプレイパネルの駆動方法において、

前記アドレス期間中に、走査電極に前記リセット期間の最低電圧よりも高く、且つ、前記維持期間の基準電圧に同じがそれよりも低い走査基準電圧と、前記走査基準電圧よりも低い走査パルスとを供給する段階を含むことを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマディスプレイ装置、プラズマディスプレイパネルとその駆動装置及び駆動方法に関する。

【背景技術】

【0002】

一般に、プラズマディスプレイパネルは、前面基板と背面基板との間に形成された隔壁間の空間が 1 つの単位セルを成すものであり、各セル内にはネオン (Ne)、ヘリウム (He) またはネオン及びヘリウムの混合気体 (Ne+He) などの主放電気体と少量のキセノンを含む不活性ガスが充填されている。高周波電圧により放電が発生すると、不活性ガスは真空紫外線 (Vacuum Ultraviolet rays) を発生させ、隔壁間に形成された蛍光体を発光させて画像を表現する。このようなプラズマディスプレイパネルは、薄くて軽い構成を採用できるので、次世代表示装置として脚光を浴びている。

【0003】

図 1 は、一般的なプラズマディスプレイパネルの構造を示す斜視図である。

【0004】

図 1 に示すように、プラズマディスプレイパネルは、画像が表示される表示面としての前面基板 100 と、背面を形成する背面基板 110 とが所定の間隔を開けて平行に配置されている。

【0005】

前面基板 100 は、前面ガラス 101 を基地として 1 つの放電セルで相互放電を起こし且つセルの発光を維持するための走査電極 102 (Y 電極) 及び維持電極 103 (Z 電極)、すなわち、透明なインジウムスズ酸化物 (Indium-Tin-Oxide: ITO) よりなる透明電極 a と金属材料よりなるバス電極 b によって構成される走査電極 102 及び維持電極 103 の対を備える。走査電極 102 及び維持電極 103 は、放電電流を制限し、電極対間を絶縁させる 1 以上の誘電体階 104 によって覆われる。さらに、誘電体階 104 上には放電条件を容易に実現するために酸化マグネシウム (MgO) を蒸着した保護層 105 が形成される。

【0006】

背面基板 110 は、背面ガラス 111 を基地として複数の放電空間、すなわち放電セルを形成するためのストライプタイプ (またはウェル状) の隔壁 112 が平行に配される。さらに、アドレス放電を行い真空紫外線を発生させる複数のアドレス電極 113 (X 電極) が隔壁 112 に対して平行に配置される。背面基板 110 の上面にはアドレス放電時に画像を表示するための可視光を放出する R, G, B 蛍光体 114 が塗布される。アドレス

電極 1 1 3 と蛍光体 1 1 4 との間にはアドレス電極 1 1 3 を保護し、蛍光体 1 1 4 から放出される可視光線を前面基板 1 0 0 に反射させる白色誘電体 1 1 5 が形成される。

【0007】

このようなプラズマディスプレイパネルにおける画像の階調を具現する方法は、次図 2 のようになる。

【0008】

図 2 は、従来のプラズマディスプレイパネルの画像階調を具現する方法を示す図である。

【0009】

図 2 に示すように、従来のプラズマディスプレイパネルの画像階調 (Gray Level) の表現方法によれば、1 フレームを発光回数の異なる多くのサブフィールドに分け、さらに各サブフィールドを全セルを初期化するためのリセット期間 R P D、放電するセルを選択するためのアドレス期間 A P D、及び放電回数によって階調を具現する維持期間 S P D に分ける。例えば、2 5 6 階調で画像を表示しようとする場合、1 / 6 0 秒にあたるフレーム期間 1 6 . 6 7 m s は 8 つのサブフィールド S F 1 ~ S F 8 に分けられ、さらに 8 つのサブフィールド S F 1 ~ S F 8 のそれぞれはリセット期間、アドレス期間及び維持期間に分けられる。

【0010】

各サブフィールドのリセット期間及びアドレス期間は、各サブフィールドごとに同一である。放電するセルを選択するためのアドレス放電は、アドレス電極と走査電極である透明電極との電圧差によって起こる。維持期間は、各サブフィールドにおいて 2^n (ただし、 $n = 0, 1, 2, 3, 4, 5, 6, 7$) の割合で増加する。このように各サブフィールドにおいて維持期間が変わるので、各サブフィールドの維持期間、すなわち維持放電回数を調節することで画像の階調を表現するようになる。このようなプラズマディスプレイパネルの駆動波形を説明すると、次の図 3 のようになる。

【0011】

図 3 は、従来のプラズマディスプレイパネルの駆動波形を示す図である。

【0012】

図 3 に示すように、従来のプラズマディスプレイパネルは、全セルを初期化するためのリセット区間、放電するセルを選択するためのアドレス期間、及び選択されたセルの放電を維持するための維持期間に分けられて駆動される。

【0013】

リセット区間において、セットアップ期間には全走査電極に立上りランプ波形が同時に印加される。この立上りランプ波形により、全画面の放電セル内には微弱な暗放電 (Dark Discharge) が起こる。このセットアップ放電により、アドレス電極と維持電極上には正の壁電荷が蓄積され、走査電極上には負の壁電荷が蓄積される。

【0014】

セットダウン期間には、立上りランプ波形が供給された後、立上りランプ波形のピーク電圧よりも低い正の電圧から下がり始めグランド G N D レベル以下の特定電圧レベルまで下がる立下りランプ波形が、セルら内で微弱な消去放電を起こすことにより、走査電極に形成された余剰壁電荷を十分に消去させる。

【0015】

このセットダウン放電により、安定したアドレス放電を生じるに足る壁電荷がセル内に均一に残留する。

【0016】

アドレス期間では、負の走査 S c a n 信号が走査電極に順次に印加されると共に、走査信号に同期してアドレス電極に正のデータ d a t a 信号が印加される。この走査信号とデータ信号との電圧差とリセット区間で生成された壁電圧とが加えられることにより、データ信号が印加される放電セル内ではアドレス放電が発生する。アドレス放電によって選択されたセル内には、維持電圧 V s の印加時に放電が発生するに足る壁電荷が形成される。維

10

20

30

40

50

持電極には、セットダウン期間とアドレス期間中に走査電極との電圧差を減らして走査電極との間で生じる誤放電を抑えるために、正の電圧 V_{zb} が供給される。

【0017】

維持期間では、走査電極と維持電極に維持信号 sus が交互に印加される。アドレス放電によって選択されたセルでは、セル内の壁電圧と維持信号が加えられることにより、各維持信号が印加される度に走査電極と維持電極との間で維持放電、すなわち表示放電が起こる。

【0018】

かくして、1サブフィールドにおけるプラズマディスプレイパネルの駆動プロセスが完了する。

【0019】

ところが、プラズマディスプレイパネルの精巧な放電メカニズムによれば、このような1サブフィールドにおけるプラズマディスプレイパネルの駆動プロセスは各種の問題点を有している。以下では、特に、アドレス期間における問題点について説明する。

【0020】

図3に示すように、従来は、通常、各サブフィールドのアドレス期間中に走査電極に印加される走査基準電圧を、グランドレベルまたはこれより高い正の電圧レベルに調整し、しかも全サブフィールドにおける走査基準電圧を固定レベルに保持した。

【0021】

しかし、このように走査基準電圧のレベルを正の電圧に設定することから、アドレス電極に印加されるデータパルスの電圧レベルの上昇が必要となり、これにより、プラズマディスプレイパネルの電力消費量が増えるほか、データドライバICの高耐電圧特性が要求され、その結果、駆動マージンが狭くなるという不具合がある。

【発明の開示】

【発明が解決しようとする課題】

【0022】

したがって、本発明は、上記事情に鑑みてなされたものであり、その目的は、駆動効率を向上させるプラズマディスプレイ装置、プラズマディスプレイパネルとその駆動装置及び駆動方法を提供することにある。

【課題を解決するための手段】

【0023】

本発明に係るプラズマディスプレイ装置は、1フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、サブフィールドのそれぞれは、リセット期間、アドレス期間、維持期間に分けられて所定の電圧が印加される走査電極、維持電極及びアドレス電極を含むプラズマディスプレイパネルと、アドレス期間中に、走査電極にリセット期間の最低電圧よりも高く、且つ、維持期間の基準電圧に同じかそれよりも低い走査基準電圧と、走査基準電圧よりも低い走査パルスとを供給する走査駆動部と、を含むことを特徴とする。

【0024】

走査パルスの電圧は、前記リセット期間の最低電圧よりも低いことを特徴とする

【0025】

1フレームを構成するサブフィールドの走査基準電圧は、いずれも同じであることを特徴とする。

【0026】

1フレームは、走査基準電圧の異なるサブフィールドを少なくとも1以上含むことを特徴とする。

【0027】

走査基準電圧は、サブフィールドの加重値の大小に応じて調節されることを特徴とする。

【0028】

10

20

30

40

50

走査基準電圧は、前記サブフィールドの加重値の大小に比例することを特徴とする。

【0029】

また、リセット期間中に、走査駆動部は、走査電極に立上りランプパルスを含むセットアップ電圧と、立下りランプパルスを含むセットダウン電圧を供給することを特徴とする。

【0030】

セットアップ電圧は、グラウンドから始まり、第1の電圧まで垂直状に増加した後、第2の電圧まで漸増することを特徴とする。

【0031】

2番目以降のサブフィールドのうち少なくともいずれかのサブフィールドのリセット期間中に、走査駆動部は、走査電極に立下りランプパルスを含むセットダウン電圧を供給することを特徴とする。 10

【0032】

本発明に係るプラズマディスプレイ装置の駆動方法は、1フレームが発光回数の異なる複数のサブフィールドの組み合わせにより構成され、サブフィールドのそれぞれは初期化のためのリセット期間、セルを選択するためのアドレス期間、及び選択されたセルの放電を維持するための維持期間に分けられて少なくとも1以上の電極に所定の電圧を印加することにより画像を表現するプラズマディスプレイパネルの駆動方法において、前記アドレス期間中に、走査電極にリセット期間の最低電圧よりも高く、且つ、維持期間の基準電圧に同じがそれよりも低い走査基準電圧と、走査基準電圧よりも低い走査パルスとを供給する段階を含むことを特徴とする。 20

【発明の効果】

【0033】

本発明は、アドレス期間中に走査電極に印加される走査基準電圧のレベルを調整してデータパルスのレベルを低めることにより、データドライバICに要求される高耐電圧の要求特性を緩和し、さらに駆動効率を向上させることができる。

【発明を実施するための最良の形態】

【0034】

以下、本発明による具体的な実施例を添付図を参照して説明する。

【0035】

図4は、本発明の第1の実施例に係るプラズマディスプレイ装置を示す図である。 30

【0036】

図4に示すように、本発明の第1の実施例に係るプラズマディスプレイ装置は、リセット期間、アドレス期間及び維持期間にアドレス電極X1～Xm、走査電極Y1～Yn及び維持電極Zに駆動パルスが印加される少なくとも1以上のサブフィールドの組み合わせによりフレームよりなる画像を表現するプラズマディスプレイパネル400と、プラズマディスプレイパネル400の背面パネル（図示せず）に形成されたアドレス電極X1～Xmにデータを供給するデータ駆動部42と、走査ラインを選択するために走査電極Y1～Ynにリセット期間の最低電圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧GNDに同じかそれよりも低い走査基準電圧 $-V_{sc}$ と走査基準電圧 $-V_{sc}$ よりも低い走査パルス $-V_y - V_{sc}$ を含む電圧とを印加して走査電極Y1～Ynを駆動する走査駆動部43と、共通電極である維持電極Zを駆動する維持駆動部44と、各駆動部42、43、44を制御するタイミング制御部（タイミング制御部）41と、各駆動部42、43、44に駆動電圧を供給する駆動電圧発生部45と、を備える。 40

【0037】

以下、本発明に係るプラズマ表示装置の各構成要素の機能及び作用を詳しく説明する。

【0038】

先ず、プラズマディスプレイパネル400は、前面パネル（図示せず）と背面パネル（図示せず）が所定の間隔を開けて配置されており、前面パネルには多数の電極、例えば走査電極Y1～Yn及び維持電極Zが対をなして配設されており、背面パネルには走査電極 50

Y 1 ~ Y n 及び維持電極 Z と交差するアドレス電極 X 1 ~ X m が配設されている。

【0039】

データ駆動部 4 2 は、図示しない逆 γ 補正回路、誤差拡散回路などによって逆 γ 補正及び誤差拡散された後、サブフィールドマッピング回路により既に設定されたサブフィールドパターンにマッピングされたデータが供給される。このデータ駆動部 4 2 は、タイミング制御部 4 1 の制御下でデータをサンプリングしてラッチした後、そのデータをアドレス電極 X 1 ~ X m に供給する。

【0040】

走査駆動部 4 3 は、タイミング制御部 4 1 の制御下でリセット期間中にの全画面を初期化するために走査電極 Y 1 ~ Y n に次第に立ち上がる立上りパルスまたは次第に立ち下がる立下りパルスのうち少なくともどちらか一方を含むリセット波形を印加する。 10

【0041】

また、走査駆動部 4 3 は、リセット波形が走査電極 Y 1 ~ Y n に供給された後、アドレス期間中に、走査ラインを選択するために走査電極 Y 1 ~ Y n にリセット期間の最低電圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧 GND に同じかそれよりも低い走査基準電圧 $-V_{sc}$ と走査基準電圧 $-V_{sc}$ よりも低い走査パルス $-V_y - V_{sc}$ を供給する。

【0042】

また、走査駆動部 4 3 は、維持期間中にアドレス期間で選択されたセルで維持放電を起こさせる維持パルスを走査電極 Y 1 ~ Y n に供給する。

【0043】

維持駆動部 4 4 は、タイミング制御部 4 1 の制御下でリセット期間における少なくとも所定の期間中に正の Z - バイアス電圧 V_{zb} を維持電極 Z に供給した後、維持期間中に走査駆動部 4 3 と交互に動作して維持パルスを維持電極 Z に供給する。 20

【0044】

タイミング制御部 4 1 は、垂直／水平同期信号を入力されて各駆動部に必要なタイミング制御信号 CTRX、CTRY、CTRZ を発生し、そのタイミング制御信号 CTRX、CTRY、CTRZ を該当駆動部 4 2, 4 3, 4 4 に供給することで各駆動部 4 2, 4 3, 4 4 を制御する。データ駆動部 4 2 に印加されるタイミング制御信号 CTRX には、データをサンプリングするためのサンプリングクロック、ラッチ制御信号、及びエネルギー回収回路と駆動スイッチ素子の ON/OFF タイムを制御するためのスイッチ制御信号が含まれる。走査駆動部 4 3 に印加されるタイミング制御信号 CTRY には、走査駆動部 4 3 内のエネルギー回収回路と駆動スイッチ素子の ON/OFF タイムを制御するためのスイッチ制御信号が含まれる。維持駆動部 4 4 に印加されるタイミング制御信号 CTRZ には、維持駆動部 4 4 内のエネルギー回収回路と駆動スイッチ素子の ON/OFF タイムを制御するためのスイッチ制御信号が含まれる。 30

【0045】

駆動電圧発生部 4 5 は、維持電圧 V_s 、セットアップ電圧 V_{st} 、Z - バイアス電圧 V_{zb} 、データ電圧 V_a 、セットダウン電圧 $-V_{sd}$ 、走査電圧 $-V_y$ 、走査基準電圧 $-V_{sc}$ などを含む、各駆動部 4 2, 4 3, 4 4 に要される各種駆動電圧を発生する。このような駆動電圧は放電ガスの組成や放電セル構造によって変わることができる。 40

【0046】

以下、図 5 ~ 図 8 を参照して本発明の第 1 の実施例に係るプラズマディスプレイ装置の作動原理を詳しく説明する。

【0047】

図 5 ~ 図 8 に示すように、本発明の第 1 の実施例に係るプラズマディスプレイ装置は、全セルを初期化するためのリセット期間、放電するセルを選択するためのアドレス期間、及び選択されたセルの放電を維持するための維持期間に分けられて駆動される。

【0048】

一方、本発明の特徴的な事項は、アドレス期間中に走査電極 Y 1 ~ Y n に印加される電圧にある。すなわち、アドレス期間中に、走査電極 Y 1 ~ Y n に、リセット期間の最低電 50

圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧 GND に同じかそれよりも低い走査基準電圧 $-V_{sc}$ と走査基準電圧 $-V_{sc}$ よりも低い走査パルス $-V_y - V_{sc}$ を供給することによる特徴がある。

【0049】

以下、各期間別に印加される電圧とその機能を詳しく説明する。

【0050】

まず、リセット期間において、セットアップ期間には、全走査電極 $Y_1 \sim Y_n$ に立上りランプ波形が同時に印加される。この立上りランプ波形により、全画面の放電セル内には微弱な暗放電(Dark Discharge)が起こる。このセットアップ放電により、アドレス電極 $X_1 \sim X_m$ と維持電極 Z 上には正の壁電荷が蓄積され、走査電極 $Y_1 \sim Y_n$ 上には負の壁電荷が蓄積される。 10

【0051】

次いで、立下りランプ電圧が印加されるセットダウン期間において、アドレス電極 $X_1 \sim X_m$ の正の壁電荷はそのまま維持するが、維持電極 Z と走査電極 $Y_1 \sim Y_n$ との間で生じる放電により維持電極 Z の正の壁電荷が消去され、走査電極 $Y_1 \sim Y_n$ に蓄積されていた多量の負の電荷が維持電極 Z と走査電極 $Y_1 \sim Y_n$ とに割り当てられる。

【0052】

このセットダウン放電により、安定したアドレス放電を生じるに足る壁電荷がセル内に均一に残留する。

【0053】

併せて、壁電荷を適正レベルまで減らすために、セットダウン期間中に維持電極 Z には正の Z -バイアス電圧 V_{zb} が印加される。正の Z -バイアス電圧 V_{zb} が印加される維持電極 Z に比べ、立下りランプ電圧が印加される走査電極 $Y_1 \sim Y_n$ が相対的に低い電圧レベルを有することになり、すなわちセットアップ期間に比べて極性が変わり、このため、セットアップ期間に蓄積された壁電荷が適正レベルまで消去される。 20

【0054】

次に、アドレス期間では、アドレス電極 $X_1 \sim X_m$ に正のデータパルス電圧 V_a が印加され、走査電極 $Y_1 \sim Y_n$ に走査基準電圧 $-V_{sc}$ から下がる走査パルス電圧 $-V_y - V_{sc}$ が同期して印加されると、アドレス電極 $X_1 \sim X_m$ と走査電極 $Y_1 \sim Y_n$ 間の電圧差 $V_a + V_y + V_{sc}$ と、リセット期間中に形成された壁電荷が原因でアドレス電極 $X_1 \sim X_m$ と走査電極 $Y_1 \sim Y_n$ 間で形成される壁電圧 V_w とが加えられることにより、アドレス放電が発生する。 30

【0055】

このとき、走査電極 $Y_1 \sim Y_n$ に印加される走査基準電圧 $-V_{sc}$ のレベルをリセット期間の最低電圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧 GND に同じかそれよりも低く調整し、走査パルスの最低値電位 $-V_y - V_{sc}$ を走査基準電圧 $-V_{sc}$ 及びリセット期間の最低電圧 $-V_{sd}$ よりも低く設定する、これにより正のデータパルス V_a のレベルを低めることができる。

【0056】

すなわち、走査基準電圧 $-V_{sc}$ のレベルを下げ、これによりデータパルス V_a 長を短く設定することにより、低電圧データ駆動を可能とするほか、データドライバICの高耐電圧の要求特性を緩和することができる。 40

【0057】

一方、図5～図8に示すように、好ましくは、走査基準電圧 $-V_{sc}$ は1フレームを構成する全サブフィールドにわたって同一に設定する。

【0058】

このように全サブフィールドにおける走査基準電圧 $-V_{sc}$ のレベルを同一に設定することにより、プラズマ表示装置の製造コストを節減する。

【0059】

また、図6及び図8に示すように、好ましくは、2番目以降のサブフィールドのうち少 50

なくともいずれかのサブフィールドのリセット期間中に走査電極 Y 1 ~ Y n に印加されるリセット波形として立下りランプパルス印加する。

【0060】

このようにリセット波形として立下りランプパルスを用いることにより、プラズマ表示装置のコントラスト比を向上させる。すなわち、2 番目以降のサブフィールドにおいては、放電空間における壁電荷の分布が比較的安定していることを考慮に入れ、強放電を引き起こす可能性がある立上りランプパルスの使用をなるべく抑制することにより、プラズマ表示装置のコントラスト比を向上させる。

【0061】

一方、維持電極 Z には、セットダウン期間とアドレス期間中に、走査電極 Y 1 ~ Y n との電圧差を減らして走査電極 Y 1 ~ Y n との間で生じる誤放電を抑えるために、正の Z - バイアス電圧 V_{zb} が供給される。

【0062】

次に、維持期間には、走査電極 Y 1 ~ Y n と維持電極 Z に維持基準電圧 GND から維持電圧 V_s に上がる維持パルスが交互に印加される。アドレス放電によって選択されたセルでは、セル内の壁電圧と維持パルスが加えられることにより、各維持パルスが印加される度に走査電極 Y 1 ~ Y n と維持電極 Z との間で維持放電、すなわち表示放電が起こる。

【0063】

かくして、1 サブフィールドにおける本発明の第 1 の実施例に係るプラズマディスプレイ装置の駆動プロセスが完了する。

【0064】

本発明の第 1 の実施例に係るプラズマディスプレイ装置によれば、上記の如くアドレス期間中に走査電極に印加される走査基準電圧のレベルを調整してデータパルスのレベルを低めることにより、駆動効率を向上させることができる。

【0065】

図 9 は、本発明の第 2 の実施例に係るプラズマディスプレイ装置を示す図である。

【0066】

図 9 に示すように、本発明の第 2 の実施例に係るプラズマディスプレイ装置は、リセット期間、アドレス期間及び維持期間にアドレス電極 X 1 ~ X m、走査電極 Y 1 ~ Y n 及び維持電極 Z に駆動パルスが印加される少なくとも 1 以上のサブフィールドの組み合わせによりフレームよりなる画像を表現するプラズマディスプレイパネル 900 と、プラズマディスプレイパネル 900 の背面パネル（図示せず）に形成されたアドレス電極 X 1 ~ X m にデータを供給するデータ駆動部 92 と、サブフィールドに応じてその大小が調節された走査基準電圧 $-V_{sc}$ と走査基準電圧 $-V_{sc}$ よりも低い走査パルス $-V_y - V_{sc}$ を含む電圧とを印加して走査電極 Y 1 ~ Y n を駆動する走査駆動部 93 と、共通電極である維持電極 Z を駆動する維持駆動部 94 と、各駆動部 92, 93, 94 を制御するタイミング制御部 91 と、各駆動部 92, 93, 94 に駆動電圧を供給する駆動電圧発生部 95 と、を備える。

【0067】

以下、本発明に係るプラズマ表示装置の各構成要素の機能及び作用を詳しく説明する。

【0068】

先ず、プラズマディスプレイパネル 900 は、前面パネル（図示せず）と背面パネル（図示せず）が所定の間隔を開けて配置されており、前面パネルには多数の電極、例えば走査電極 Y 1 ~ Y n 及び維持電極 Z が対をなして配設されており、背面パネルには走査電極 Y 1 ~ Y n 及び維持電極 Z と交差するアドレス電極 X 1 ~ X m が配設されている。

【0069】

データ駆動部 92 は、図示しない逆 γ 補正回路、誤差拡散回路などによって逆 γ 補正及び誤差拡散された後、サブフィールドマッピング回路により予め設定されたサブフィールドパターンにマッピングされたデータが供給される。このデータ駆動部 92 は、タイミング制御部 91 の制御下でデータをサンプリングしてラッチした後、そのデータをアドレス

電極 X 1 ~ X m に供給する。

【0070】

走査駆動部 9 3 は、タイミング制御部 9 1 の制御下でリセット期間中にの全画面を初期化するために走査電極 Y 1 ~ Y n に次第に立ち上がる立上りパルスまたは次第に立ち下がる立下りパルスのうち少なくともどちらか一方を含むリセット波形を印加する。

【0071】

また、走査駆動部 9 3 は、リセット波形が走査電極 Y 1 ~ Y n に供給された後、アドレス期間中に、走査ラインを選択するために走査電極 Y 1 ~ Y n にリセット期間の最低電圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧 GND に同じかそれよりも低い走査基準電圧 $-V_{sc1} \sim -V_{scm}$ と走査基準電圧 $-V_{sc1} \sim -V_{scm}$ よりも低い走査パルスとを供給する。このとき、走査電極 Y 1 ~ Y n に印加される走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルがサブフィールドに応じて調節されることに本発明の特徴があり、これについては図 10 ~ 15 を参照して後述する。

10

【0072】

また、走査駆動部 9 3 は、維持期間中にアドレス期間で選択されたセルで維持放電を起こさせる維持パルスを走査電極 Y 1 ~ Y n に供給する。

【0073】

維持駆動部 9 4 は、タイミング制御部 9 1 の制御下でリセット期間における少なくとも所定の期間中に正の Z - バイアス電圧 V_{zb} を維持電極 Z に供給した後、維持期間中に走査駆動部 9 3 と交互に動作して維持パルスを維持電極 Z に供給する。

20

【0074】

タイミング制御部 9 1 は、垂直 / 水平同期信号を入力されて各駆動部に必要なタイミング制御信号 CTRX、CTRY、CTRZ を発生し、そのタイミング制御信号 CTRX、CTRY、CTRZ を該当駆動部 9 2, 9 3, 9 4 に供給することで各駆動部 9 2, 9 3, 9 4 を制御する。データ駆動部 9 2 に印加されるタイミング制御信号 CTRX には、データをサンプリングするためのサンプリングクロック、ラッチ制御信号、及びエネルギー回収回路と駆動スイッチ素子の ON / OFF タイムを制御するためのスイッチ制御信号が含まれる。走査駆動部 9 3 に印加されるタイミング制御信号 CTRY には、走査駆動部 9 3 内のエネルギー回収回路と駆動スイッチ素子の ON / OFF タイムを制御するためのスイッチ制御信号が含まれる。維持駆動部 9 4 に印加されるタイミング制御信号 CTRZ には、維持駆動部 9 4 内のエネルギー回収回路と駆動スイッチ素子の ON / OFF タイムを制御するためのスイッチ制御信号が含まれる。

30

【0075】

駆動電圧発生部 9 5 は、維持電圧 V_s 、セットアップ電圧 V_{st} 、Z - バイアス電圧 V_{zb} 、データ電圧 V_a 、セットダウン電圧 $-V_{sd}$ 、走査電圧 $-V_y$ 、走査基準電圧 $-V_{sc1} \sim -V_{scm}$ などを含む、各駆動部 9 2, 9 3, 9 4 に要される各種駆動電圧を発生する。このような駆動電圧は放電ガスの組成や放電セル構造によって変わることができる。

【0076】

以下、図 10 ~ 図 15 を参照して本発明の第 2 の実施例に係るプラズマディスプレイ装置の作動原理を詳しく説明する。

40

【0077】

図 10 ~ 15 に示すように、本発明の第 2 の実施例に係るプラズマディスプレイ装置は、全セルを初期化するためのリセット期間、放電するセルを選択するためのアドレス期間、及び選択されたセルの放電を維持するための維持期間に分けられて駆動される。

【0078】

一方、本発明の特徴的な事項は、アドレス期間中に走査電極 Y 1 ~ Y n に印加される電圧にある。すなわち、アドレス期間中に、走査電極 Y 1 ~ Y n に、リセット期間の最低電圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧 GND に同じかそれよりも低い走査基準電圧 $-V_{sc1} \sim -V_{scm}$ と走査基準電圧 $-V_{sc1} \sim -V_{scm}$ よりも低い走査パ

50

ルスとを供給する一方、サブフィールドに応じて走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルが調節されることにその特徴がある。

【0079】

以下、各期間別に印加される電圧とその機能を詳しく説明する。

【0080】

先ず、リセット期間において、セットアップ期間には、全走査電極 $Y_1 \sim Y_n$ に立上りランプ波形が同時に印加される。この立上りランプ波形により、全画面の放電セル内には微弱な暗放電が起こる。このセットアップ放電により、アドレス電極 $X_1 \sim X_m$ と維持電極 Z 上には正の壁電荷が蓄積され、走査電極 $Y_1 \sim Y_n$ 上には負の壁電荷が蓄積される。

【0081】

次いで、立下りランプ電圧が印加されるセットダウン期間において、アドレス電極 $X_1 \sim X_m$ の正の壁電荷はそのまま維持するが、維持電極 Z と走査電極 $Y_1 \sim Y_n$ との間で生じる放電により、維持電極 Z の正の壁電荷が消去され、走査電極 $Y_1 \sim Y_n$ に蓄積されていた多量の負の電荷が維持電極 Z と走査電極 $Y_1 \sim Y_n$ とに割り当てられる。

【0082】

このセットダウン放電により、安定したアドレス放電を生じるに足る壁電荷がセル内に均一に残留する。

【0083】

併せて、壁電荷を適正レベルまで減らすために、セットダウン期間中に維持電極 Z には正の Z -バイアス電圧 V_{zb} が印加される。正の Z -バイアス電圧 V_{zb} が印加される維持電極 Z に比べ、立下りランプ電圧が印加される走査電極 $Y_1 \sim Y_n$ が相対的に低い電圧レベルを有することになり、すなわちセットアップ期間に比べて極性が変わり、このため、セットアップ期間に蓄積された壁電荷が適正レベルまで消去される。

【0084】

次に、アドレス期間では、アドレス電極 $X_1 \sim X_m$ に正のデータパルス電圧 V_a が印加され、走査電極 $Y_1 \sim Y_n$ に走査基準電圧 $-V_{sc1} \sim -V_{scm}$ から下がる走査パルス電圧 $-V_y - V_{sc1} \sim -V_y - V_{scm}$ が同期して印加されると、アドレス電極 $X_1 \sim X_m$ と走査電極 $Y_1 \sim Y_n$ 間の電圧差と、リセット期間中に形成された壁電荷が原因でアドレス電極 $X_1 \sim X_m$ と走査電極 $Y_1 \sim Y_n$ 間で形成される壁電圧とが加えられることにより、アドレス放電が発生する。

【0085】

このとき、走査電極 $Y_1 \sim Y_n$ に印加される走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルをリセット期間の最低電圧 $-V_{sd}$ よりも高く、且つ、維持期間の基準電圧 GND に同じかそれより低く調整し、サブフィールドに応じて走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルを調節し、走査パルスの最低値電位 $-V_y - V_{sc1} \sim -V_y - V_{scm}$ を走査基準電圧 $-V_{sc1} \sim -V_{scm}$ 及びリセット期間の最低電圧 $-V_{sd}$ よりも低く設定する。これにより正のデータパルス V_a のレベルを低めることができる。

【0086】

すなわち、サブフィールドに応じて走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルを下げ、これによりデータパルス V_a 長を短く設定することにより、低電圧データ駆動を可能とするほか、データドライバICの高耐電圧の要求特性を緩和することが可能である。

【0087】

一方、図14及び15に示すように、好ましくは、走査基準電圧 $-V_{sc1} \sim -V_{scm}$ は1フレームを構成するサブフィールドの加重値の大小に応じて調節し、さらに好ましくは、サブフィールドの加重値の大小に比例するように調節する。

【0088】

すなわち、低階調を表現するサブフィールドにおける走査基準電圧 $-V_{sc1} \sim -V_{scm}$ は低くし、高階調を表現するサブフィールドにおける走査基準電圧 $-V_{sc1} \sim -V_{scm}$ は高くする。

【0089】

10

20

30

40

50

このようにサブフィールドの加重値の大小に比例して走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルを調節することにより、低階調ではアドレス放電の強度を強化して以降の維持放電の不安定性を除去し、一方、高階調ではアドレス放電時の電力消費を低減する。

【0090】

また、図12及び13に示すように、好ましくは、2番目以降のサブフィールドのうち少なくともいずれかのサブフィールドのリセット期間中に走査電極 $Y_1 \sim Y_n$ に印加されるリセット波形として立下りランプパルスを用いる。

【0091】

このように、リセット波形として立下りランプパルスを用いることにより、プラズマ表示装置のコントラスト比を向上させる。すなわち2番目以降のサブフィールドにおいては、放電空間における壁電荷の分布が比較的安定していることを考慮に入れ、強放電を引き起こす可能性がある立上りランプパルスの使用をなるべく抑制することにより、プラズマ表示装置のコントラスト比を向上させる。

【0092】

一方、維持電極Zには、セットダウン期間とアドレス期間中に、走査電極 $Y_1 \sim Y_n$ との電圧差を減らして走査電極 $Y_1 \sim Y_n$ との間で生じる誤放電を抑えるために、正のZーバイアス電圧 V_{zb} が供給される。

【0093】

次に、維持期間中に、走査電極 $Y_1 \sim Y_n$ と維持電極Zに維持基準電圧GNDから維持電圧 V_s に上がる維持パルスが交互に印加される。アドレス放電によって選択されたセルでは、セル内の壁電圧と維持パルスが加えられることにより、各維持パルスが印加される度に走査電極 $Y_1 \sim Y_n$ と維持電極Zとの間で維持放電、すなわち表示放電が起こる。

【0094】

かくして、1サブフィールドにおける本発明の第2の実施例に係るプラズマディスプレイ装置の駆動プロセスが完了する。

【0095】

本発明の第2の実施例に係るプラズマディスプレイ装置によれば、上記の如くアドレス期間中に走査電極 $Y_1 \sim Y_n$ に印加される走査基準電圧 $-V_{sc1} \sim -V_{scm}$ のレベルを調整してデータパルスのレベルを低めることにより、駆動効率を向上させることができる。

【図面の簡単な説明】

【0096】

【図1】 一般的なプラズマディスプレイパネルの構造を示す斜視図である。

【図2】 従来のプラズマディスプレイパネルの画像階調を具現する方法を示す図である。

【図3】 従来のプラズマディスプレイ装置の駆動波形を示す図である。

【図4】 本発明の第1の実施例に係るプラズマディスプレイ装置を示す図である。

【図5】 本発明の第1の実施例に係る駆動波形を示す図である。

【図6】 本発明の第1の実施例に係る駆動波形を示す図である

【図7】 本発明の第1の実施例に係る駆動波形を示す図である

【図8】 本発明の第1の実施例に係る駆動波形を示す図である

【図9】 図9は本発明の第2の実施例に係るプラズマディスプレイ装置を示す図である。

【図10】 本発明の第2の実施例に係る駆動波形を示す図である。

【図11】 本発明の第2の実施例に係る駆動波形を示す図である。

【図12】 本発明の第2の実施例に係る駆動波形を示す図である。

【図13】 本発明の第2の実施例に係る駆動波形を示す図である。

【図14】 本発明の第2の実施例に係る駆動波形を示す図である。

【図15】 本発明の第2の実施例に係る駆動波形を示す図である。

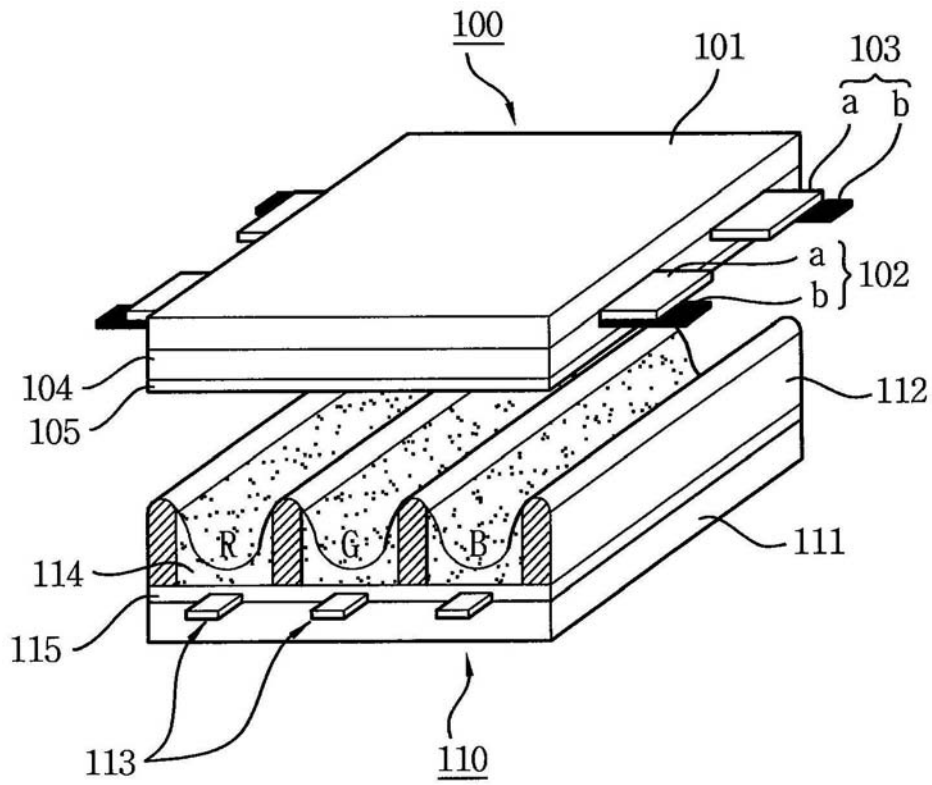
10

20

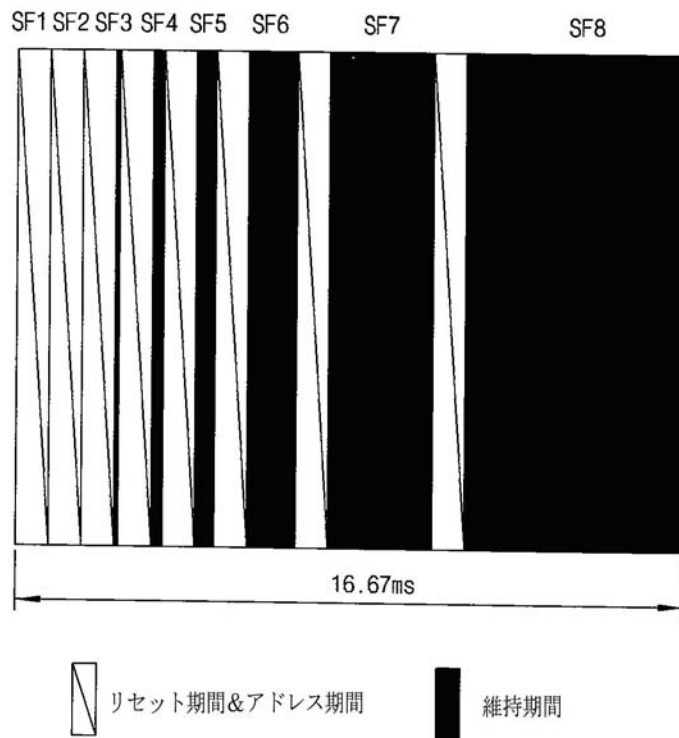
30

40

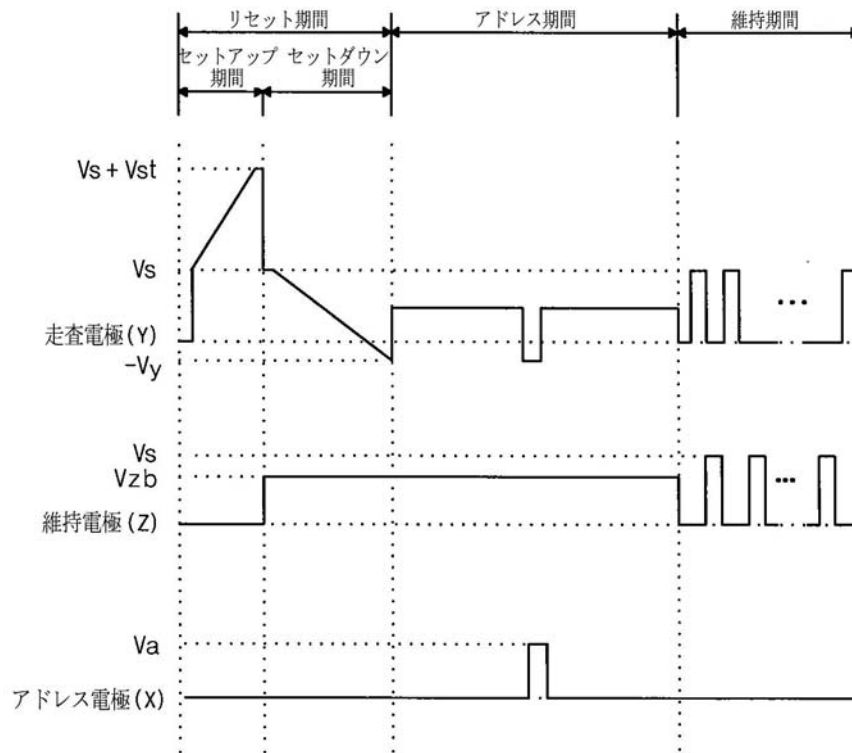
【図 1】



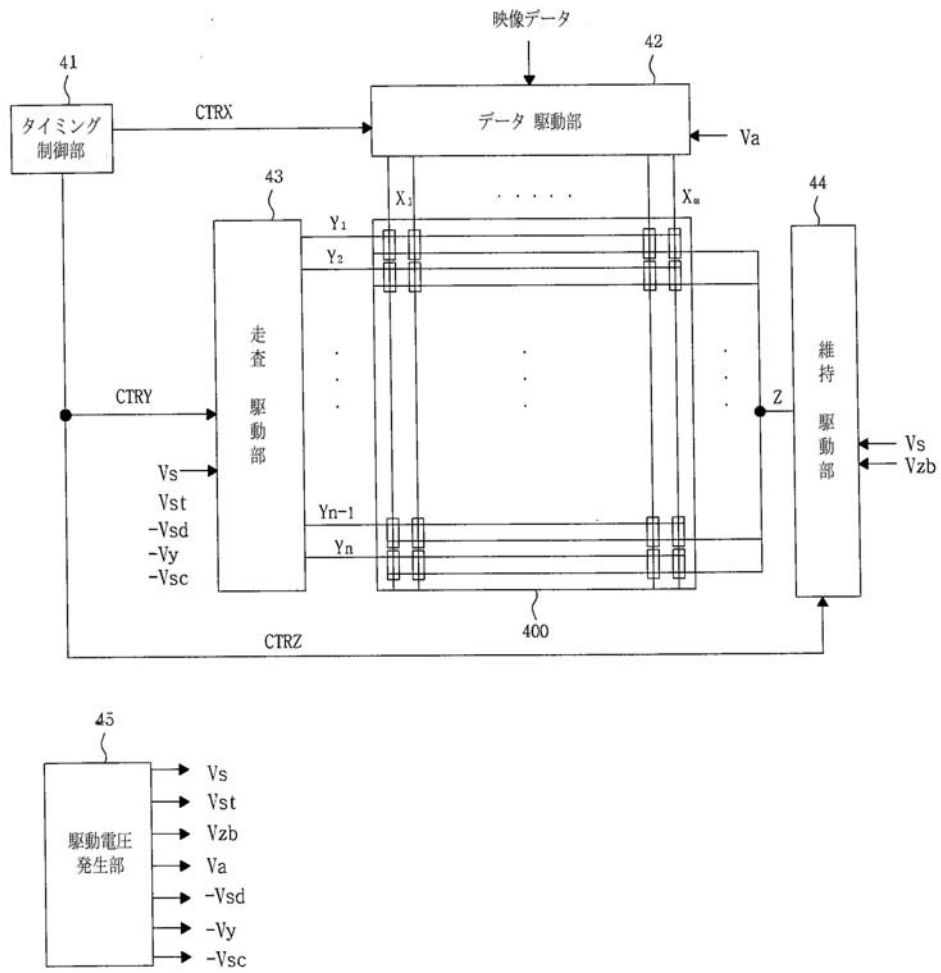
【図 2】



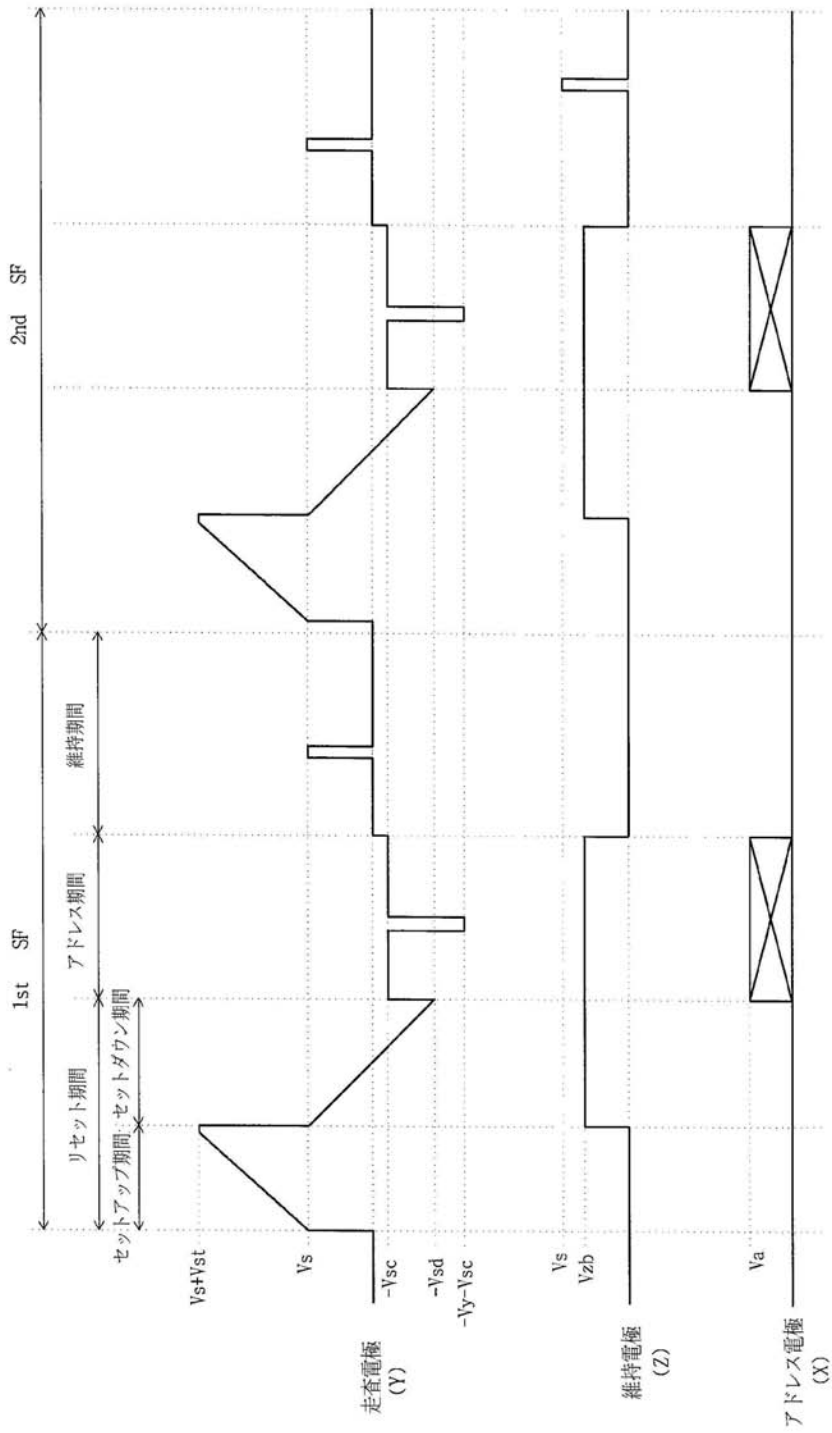
【図 3】



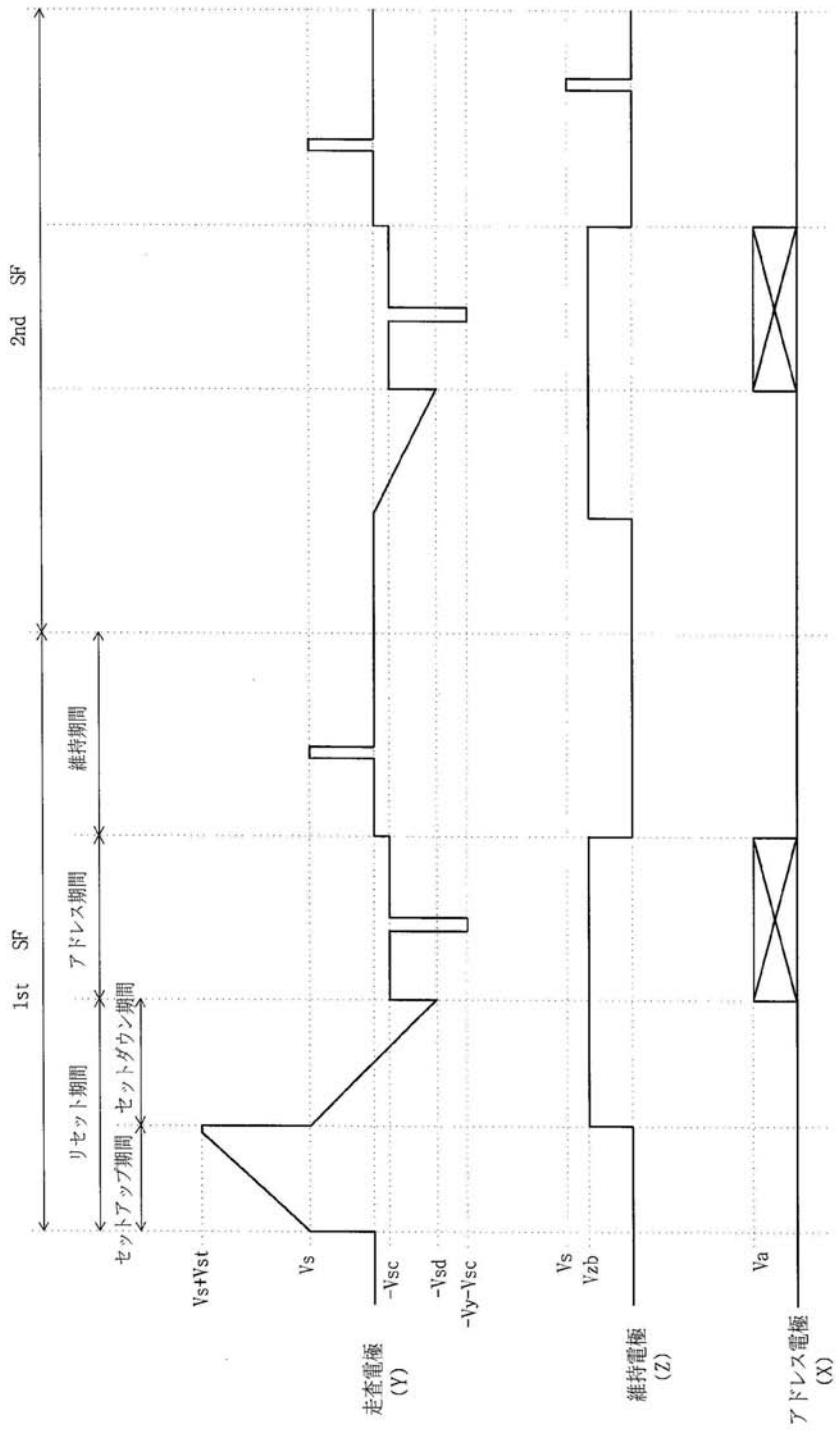
【図 4】



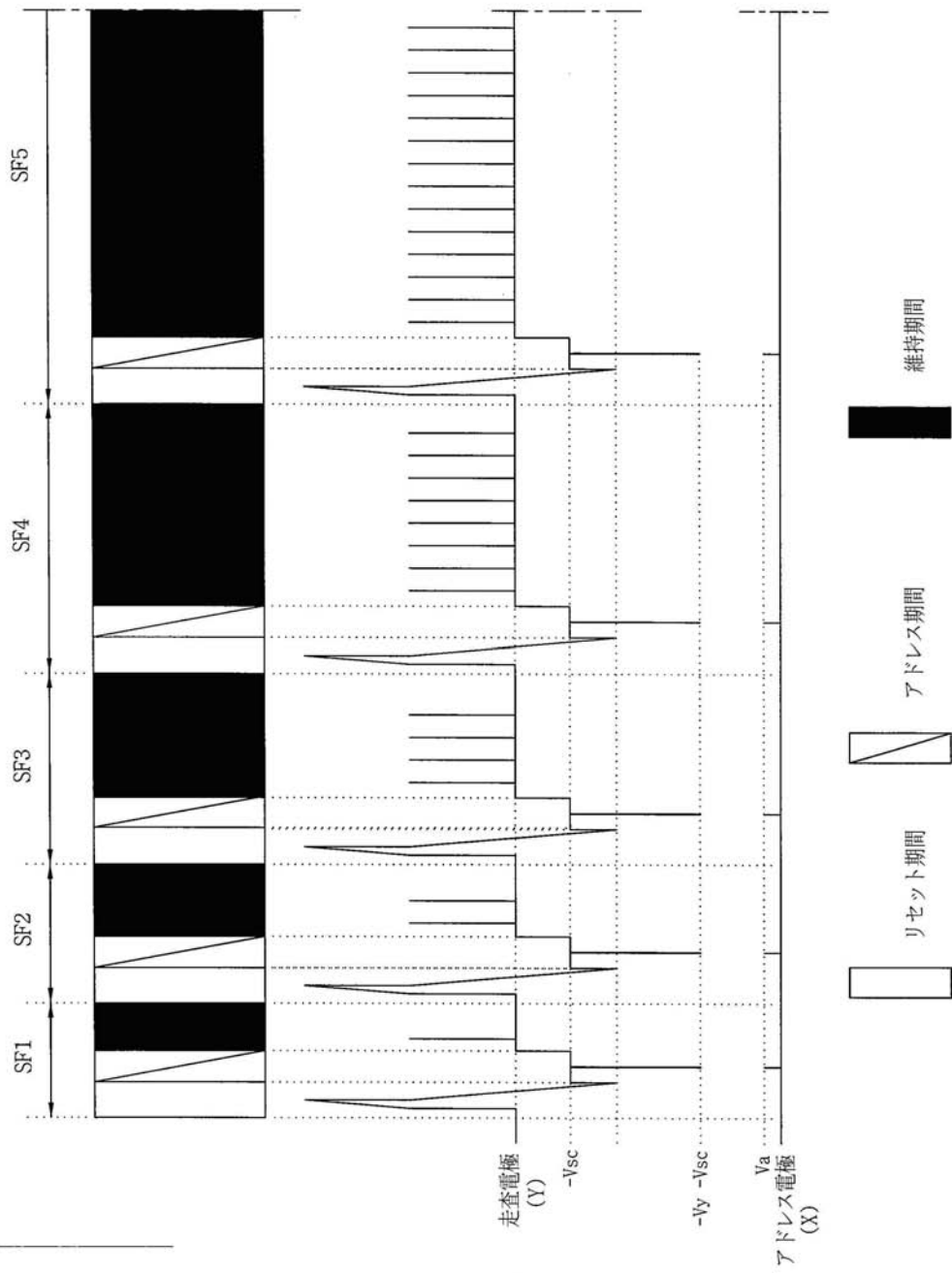
【図 5】



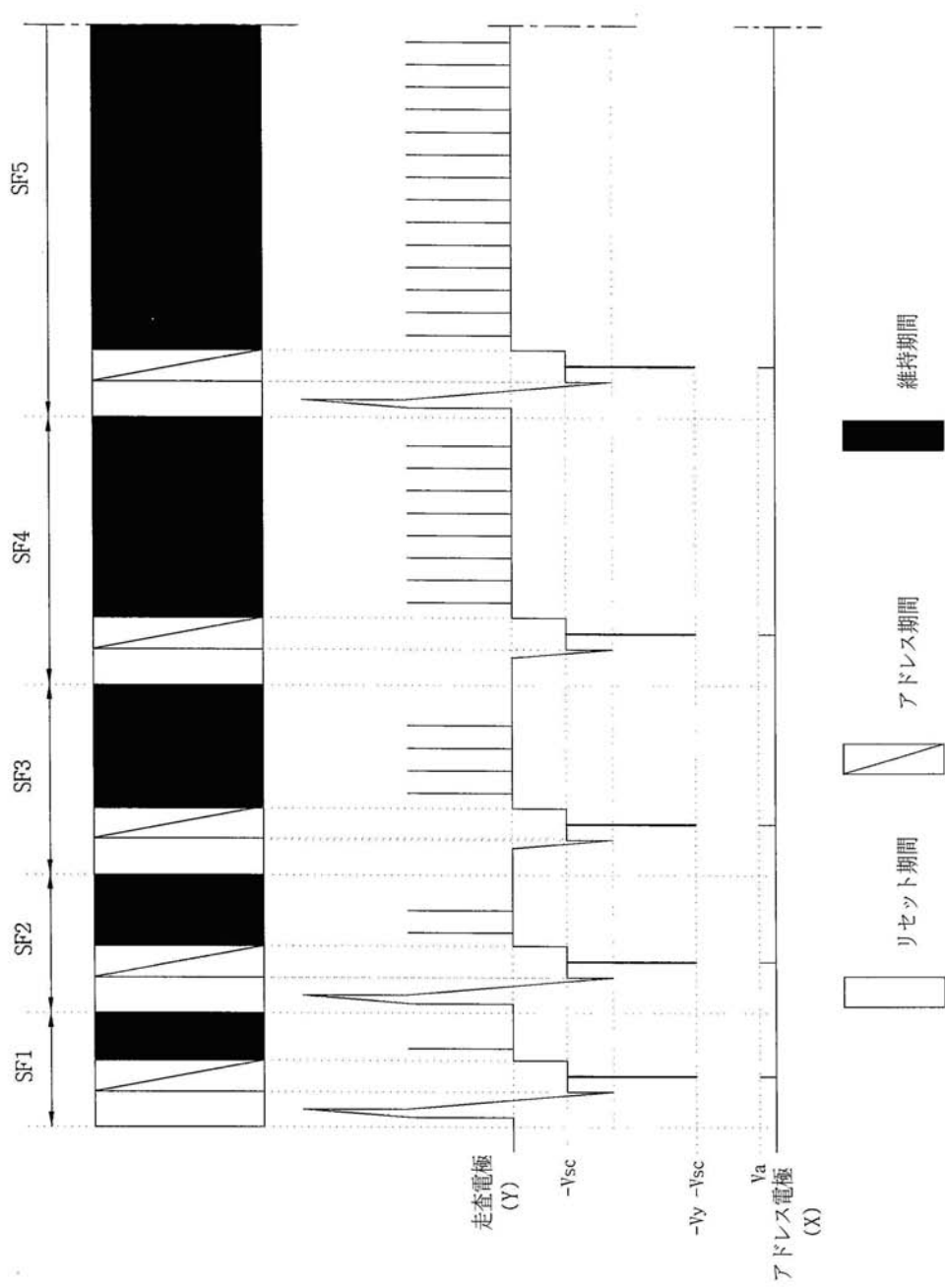
【図 6】



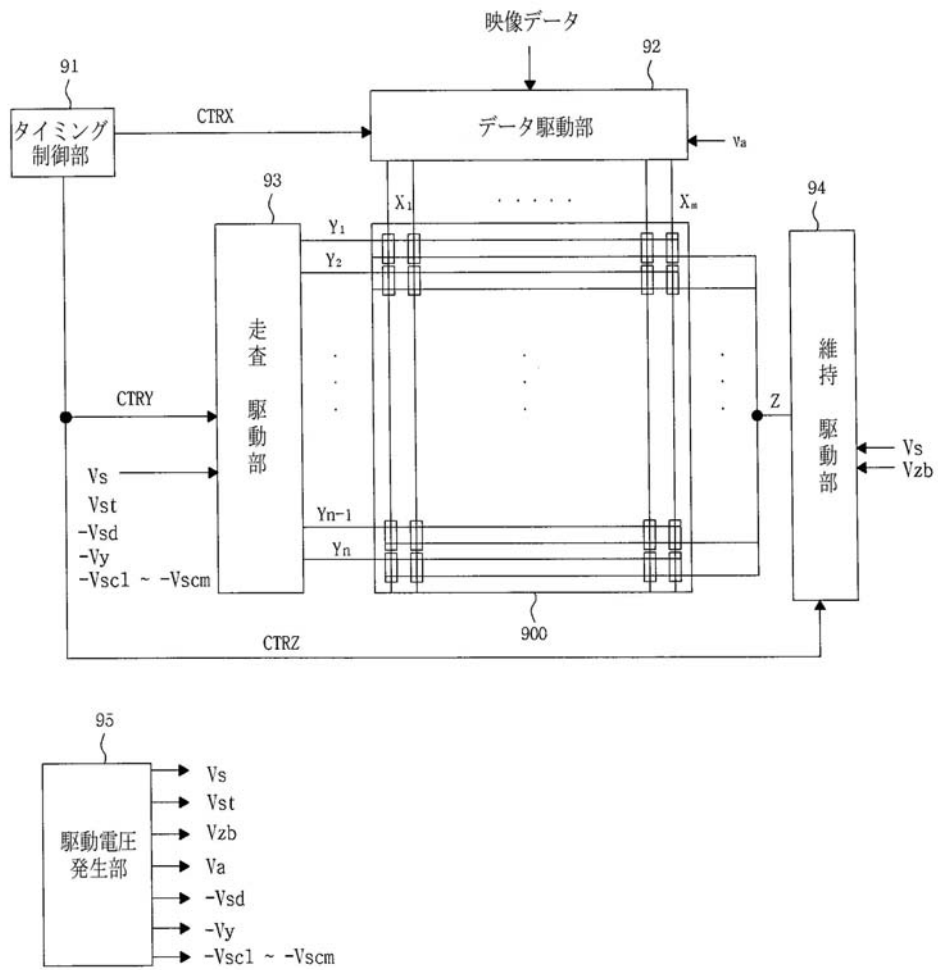
【図 7】



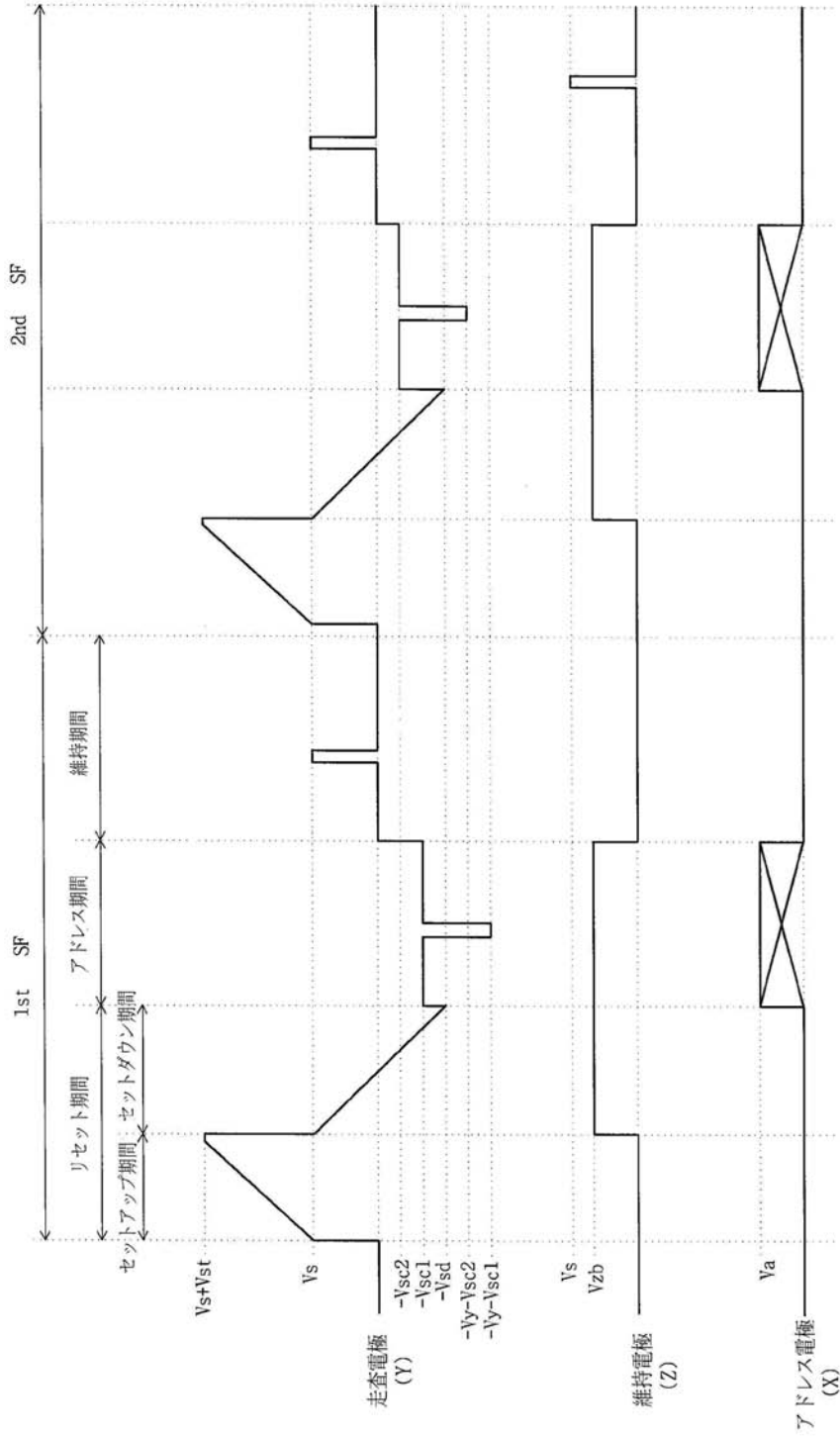
【図 8】



【図 9】



【図 10】

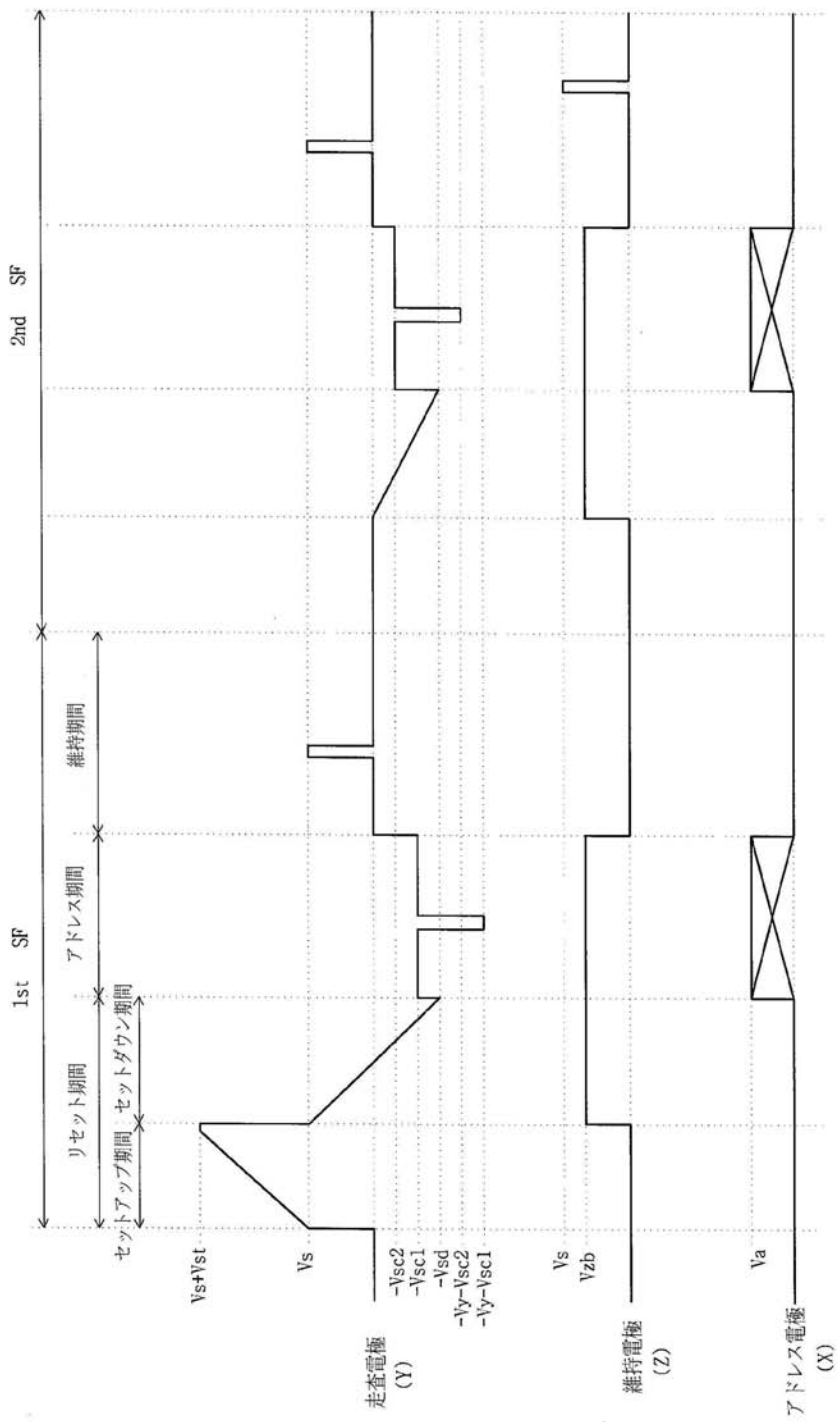


Timing diagram for the 1st and 2nd SF periods. The diagram shows waveforms for various signals over time. The horizontal axis is divided into 1st SF and 2nd SF periods. Key time intervals are marked: リセット期間 (Reset), アドレス期間 (Address), and 維持期間 (Hold). The signals shown are:

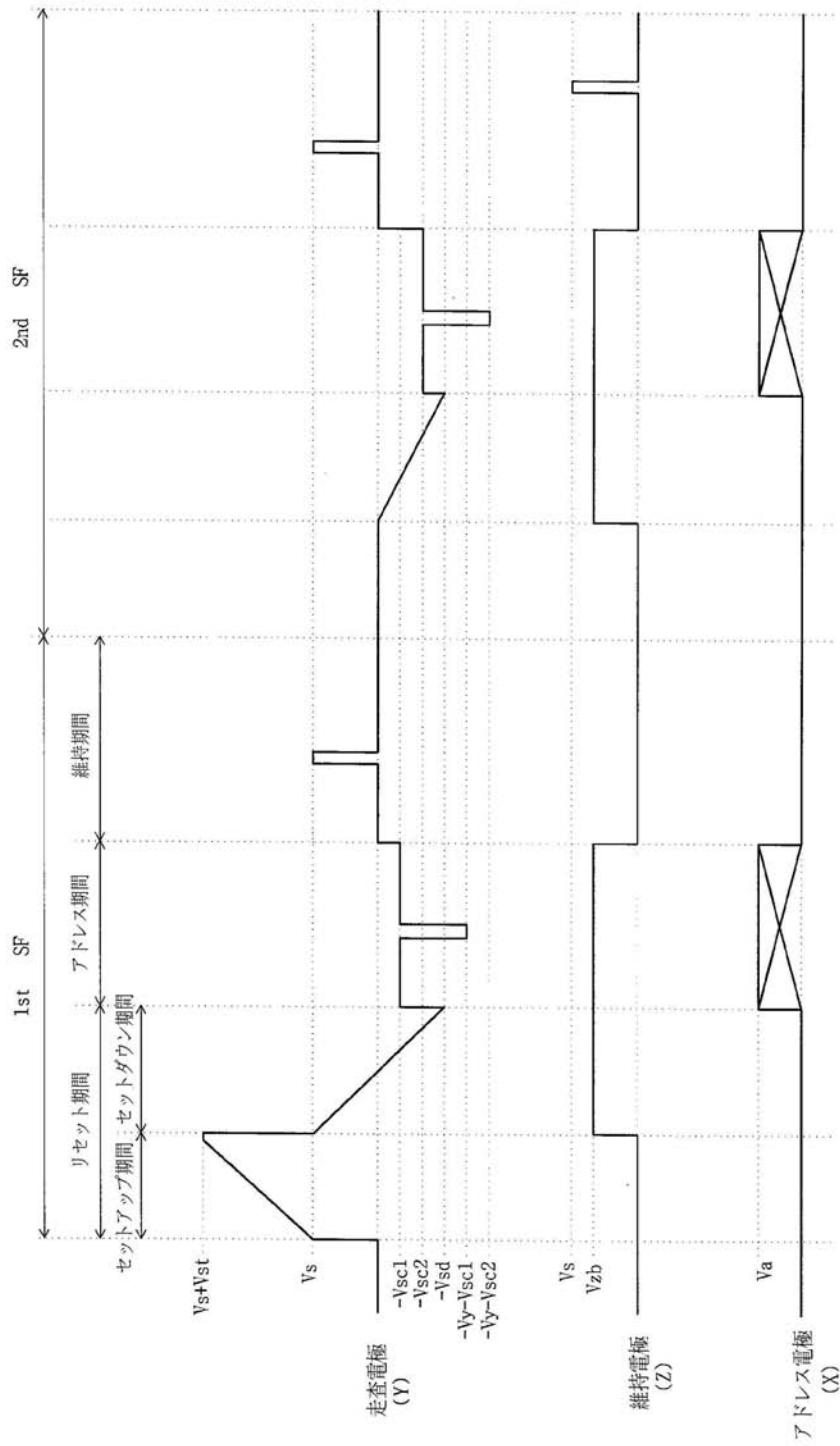
- $V_{st}+V_{st}$
- V_s
- $-V_{sc1}$
- $-V_{sc2}$
- $-V_{sd}$
- $-V_y-V_{sc1}$
- $-V_y-V_{sc2}$
- V_s
- V_z
- V_a

The diagram illustrates the relationship between these signals during the reset, address, and hold phases of the 1st and 2nd SF periods.

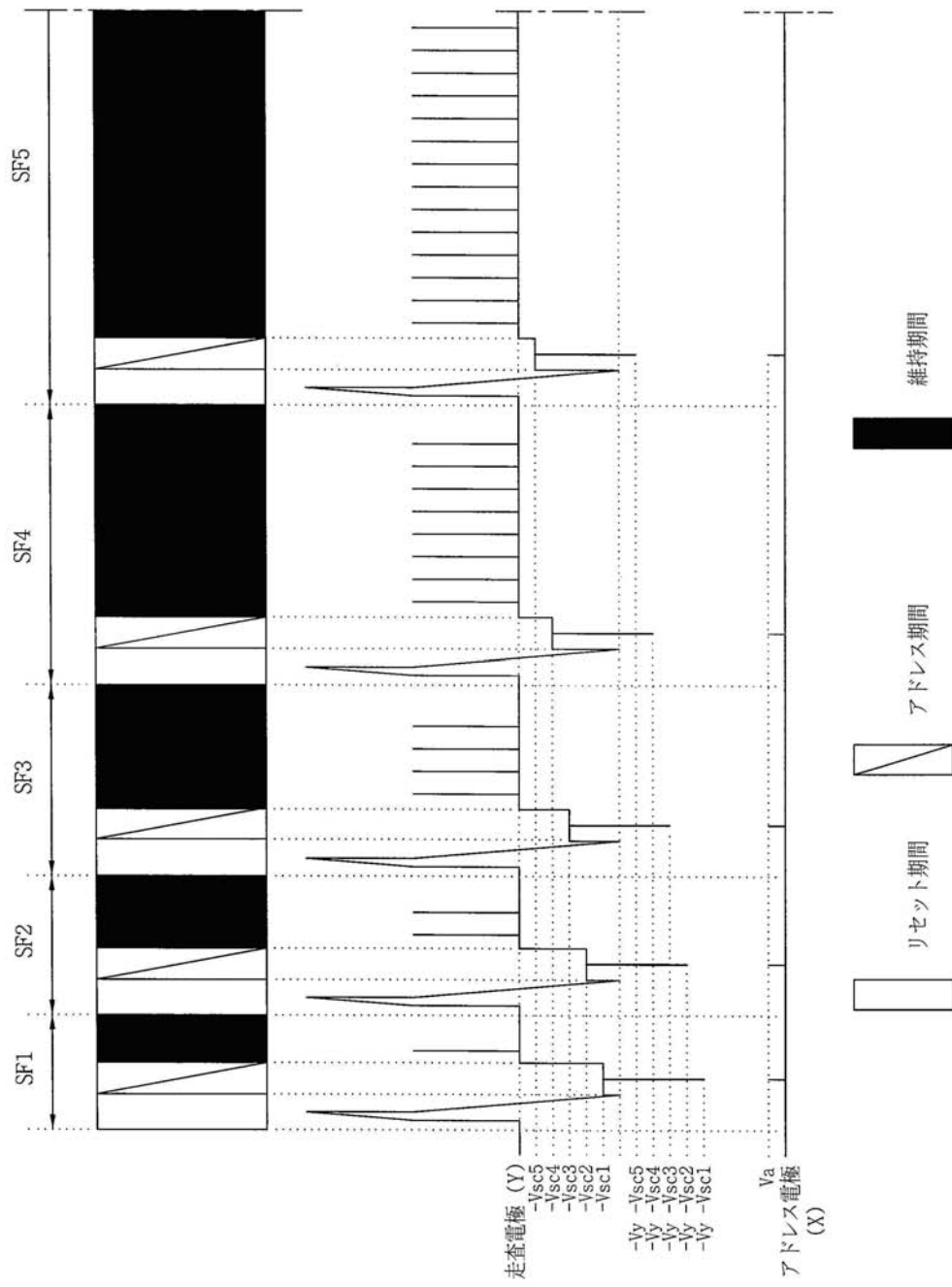
【図 12】



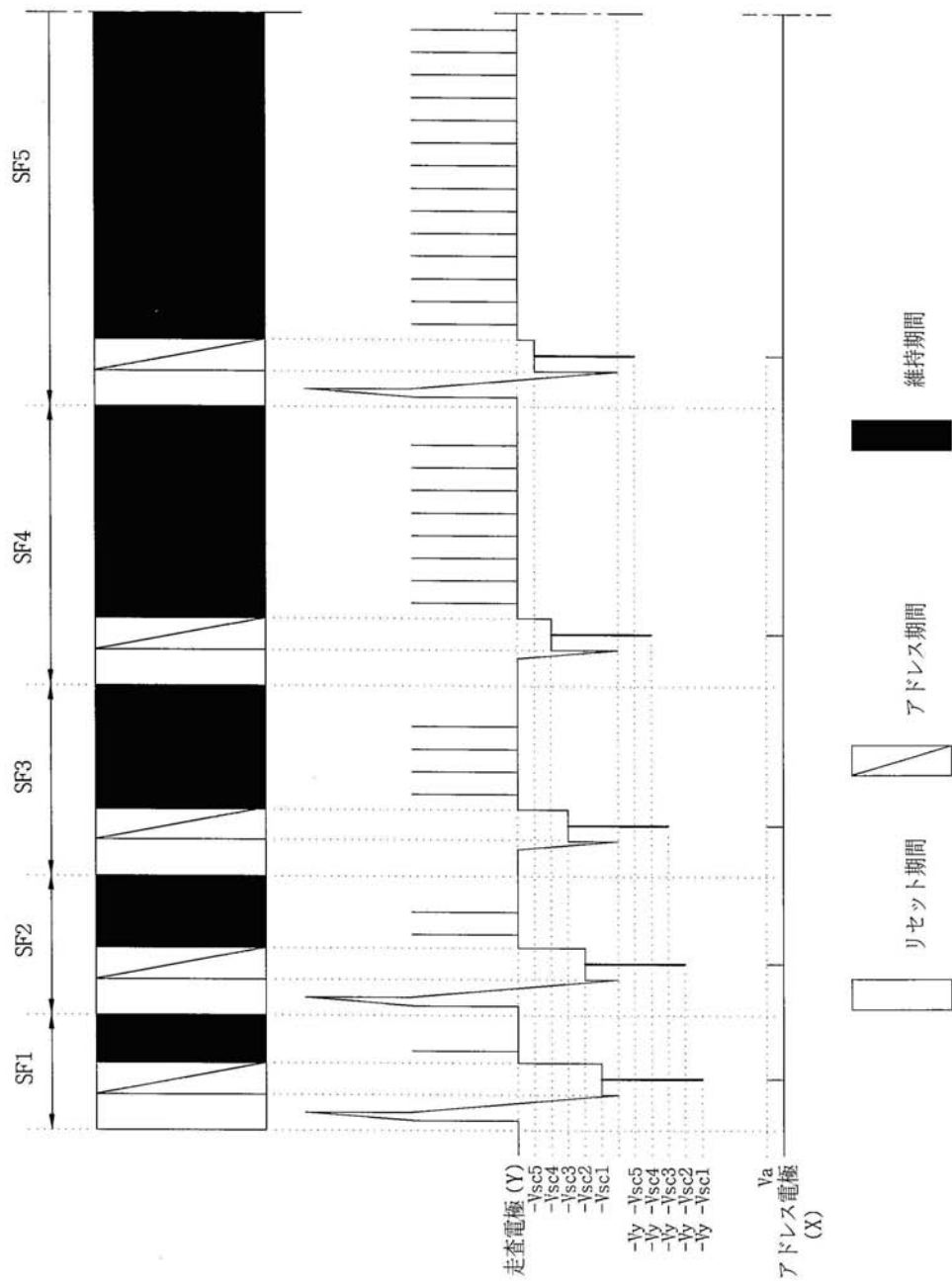
【図 13】



【図 1 4】



【図 15】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 E