

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201262 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H05B 33/14 (2006.01)
G09F 9/00 (2006.01) H10K 50/84 (2023.01)
G09F 9/30 (2006.01) H10K 59/12 (2023.01)
H01L 21/8234 (2006.01) H10K 59/131 (2023.01)
H01L 27/088 (2006.01) H10K 71/20 (2023.01)
H05B 33/10 (2006.01)

(21) 国際出願番号: PCT/IB2024/052817

(22) 国際出願日: 2024年3月25日(25.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-057534 2023年3月31日(31.03.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

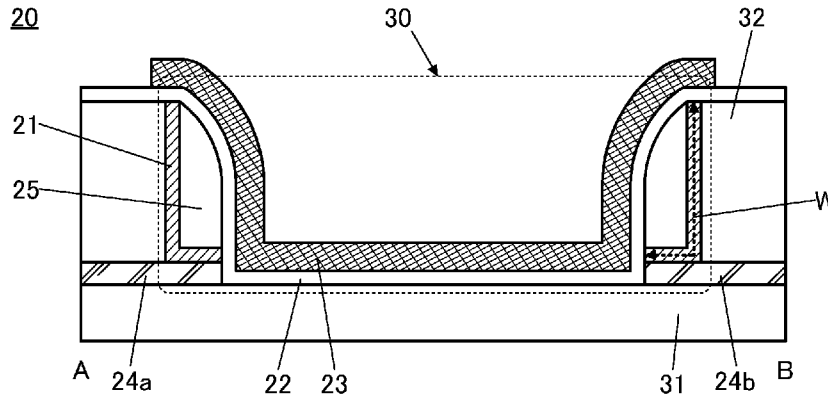
(72) 発明者: 神長正美 (JINTYOU, Masami). 島行
徳 (SHIMA, Yukinori). 中田昌孝 (NAKADA,
Masataka). 肥塚純一 (KOEZUKA, Junichi);
〒2430036 神奈川県厚木市長谷398株式会社半導
体エネルギー研究所内 Kanagawa (JP). 岡崎健
一 (OKAZAKI, Kenichi); 〒2430036 神奈川県厚
木市長谷398株式会社半導体エネルギー研究所内
Kanagawa (JP). 井口貴弘 (IGUCHI, Takahiro).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の作製方法

図1B



(57) Abstract: Provided is a semiconductor device with a small occupancy area. The semiconductor device comprises a first insulation layer, a second insulation layer on the first insulation layer, and a transistor. The transistor has a semiconductor layer, a third insulation layer, a fourth insulation layer, a gate electrode, a source electrode, and a drain electrode. The source electrode and the drain electrode are provided on the first insulation layer. The second insulation layer has an opening that reaches the first insulation layer and that overlaps with part of the drain electrode and the source electrode. The semiconductor layer and the third insulation layer are provided along the periphery of the opening. The semiconductor layer is provided in contact with a side surface of the second insulation layer in the opening, an upper surface of the first insulation layer in the opening, an upper surface of the source electrode, and an upper surface of the drain electrode. The

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

third insulation layer is positioned above the semiconductor layer. The fourth insulation layer covers the third insulation layer and the semiconductor layer from above and contacts the first insulation layer. The gate electrode overlaps with the opening and is positioned above the fourth insulation layer. At least part of the semiconductor layer is opposite from the gate electrode with the third insulation layer and the fourth insulation layer therebetween.

(57) 要約: 占有面積の小さい半導体装置を提供する。第1の絶縁層と、第1の絶縁層上の第2の絶縁層と、トランジスタと、を有し、トランジスタは、半導体層、第3の絶縁層、第4の絶縁層、ゲート電極、ソース電極、及びドレイン電極を有し、ソース電極及びドレイン電極は、第1の絶縁層上に設けられ、第2の絶縁層は、第1の絶縁層に達し、且つソース電極及びドレイン電極の一部と重なる開口を有し、半導体層及び第3の絶縁層は、開口の周に沿って設けられ、半導体層は、第2の絶縁層の開口における側面、第1の絶縁層の開口における上面、ソース電極の上面、及びドレイン電極の上面に接して設けられ、第3の絶縁層は、半導体層上に位置し、第4の絶縁層は、第3の絶縁層、及び半導体層上を覆い、第1の絶縁層に接し、ゲート電極は、開口と重畳し、且つ第4の絶縁層上に位置し、半導体層の少なくとも一部は、第3の絶縁層及び第4の絶縁層を介して、ゲート電極と対抗する。

明細書

発明の名称

半導体装置及び半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、及びその作製方法に関する。本発明の一態様は、トランジスタ、及びその作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

トランジスタを有する半導体装置は、電子機器に広く適用されている。また、近年、表示装置の用途が多様化しており、例えば、携帯情報端末、テレビジョン装置（テレビジョン受信機ともいう）、デジタルサイネージ（Digital Signage：電子看板）、及びPID（Public Information Display）などに表示装置が用いられている。表示装置として、例えば、有機EL（Electro Luminescence）素子、または発光ダイオード（LED：Light Emitting Diode）を有する表示装置、液晶素子を有する表示装置、電気泳動方式により表示を行う電子ペーパーが挙げられる。

[0005]

表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小でき、精細度を高めることができる。また、トランジスタの占有面積を小さくすることで、開口率を高めることができる。そのため、微細なトランジスタが求められている。

[0006]

高精細な表示装置が要求される機器として、例えば、仮想現実（VR：Virtual Reality）、拡張現実（AR：Augmented Reality）、代替現実（SR：Substitutional Reality）、及び、複合現実（MR：Mixed Reality）向けの機器が、盛んに開発されている。

[0007]

特許文献1には、有機EL素子を用いた、高精細な表示装置が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 国際公開第2016/038508号

発明の概要

発明が解決しようとする課題

[0009]

本発明の一態様は、微細なサイズのトランジスタを提供することを課題の一とする。または、チャネル長が長いトランジスタを提供することを課題の一とする。または、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供することを課題の一とする。または、電気特性が良好なトランジスタを提供することを課題の一とする。または、占有面積が小さい半導体装置を提供することを課題の一とする。または、配線抵抗が低い半導体装置を提供することを課題の一とする。または、消費電力が低い半導体装置または表示装置を提供することを課題の一とする。または、信頼性が高いトランジスタ、半導体装置、または表示装置を提供することを課題の一とする。または、高精細の表示装置を提供することを課題の一とする。または、生産性が高い半導体装置または表示装置の作製方法を提供することを課題の一とする。または、新規なトランジスタ、半導体装置、表示装置、またはこれらの作製方法を提供することを課題の一とする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、第1の絶縁層と、第1の絶縁層上の第2の絶縁層と、トランジスタと、を有し、トランジスタは、半導体層、第3の絶縁層、第4の絶縁層、ゲート電極、ソース電極、及びドレイン電極を有し、ソース電極及びドレイン電極は、第1の絶縁層上に設けられ、第2の絶縁層は、第1の絶縁層に達し、且つソース電極の一部、及びドレイン電極の一部と重なる開口を有し、半導体層及び第3の絶縁層は、開口の周に沿って設けられ、半導体層は、第2の絶縁層の開口における側面、第1の絶縁層の開口における上面、ソース電極の上面、及びドレイン電極の上面に接して設けられ、第3の絶縁層は、半導体層上に位置し、第4の絶縁層は、第3の絶縁層、及び半導体層を覆い、第1の絶縁層に接し、ゲート電極は、開口と重畳し、且つ第4の絶縁層上に位置し、半導体層の少なくとも一部は、第3の絶縁層及び第4の絶縁層を介して、ゲート電極と対向する、半導体装置である。

[0012]

上記において、第3の絶縁層は、半導体層と、第4の絶縁層と、によって囲まれる、ことが好ましい。また、上記において、第3の絶縁層は、酸素とシリコンを含む、ことが好ましい。

[0013]

上記において、半導体層は、少なくともインジウムを含む酸化物半導体を有する、ことが好ましい。

[0014]

上記において、開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、ことが好ましい。

[0015]

また、本発明の他の一態様は、第1の絶縁層と、第1の絶縁層上の第2の絶縁層と、第1のトランジスタと、第2のトランジスタと、を有し、第1のトランジスタは、第1の半導体層、第3の絶縁層、第4の絶縁層、第1のゲート電極、第1のソース電極、及び第1のドレイン電極を有し、第1のソース電極及び第1のドレイン電極は、第1の絶縁層上に設けられ、第2の絶縁層は、第1の絶縁層に達し、且つ第1のソース電極の一部、及び第1のドレイン電極の一部と重なる第1の開口を有し、第1の半導体層及び第3の絶縁層は、第1の開口の周に沿って設けられ、第1の半導体層は、第2の絶縁層の第1の開口における側面、第1の絶縁層の第1の開口における上面、第1のソース電極の上面、及び第1のドレイン電極の上面に接して設けられ、第3の絶縁層は、第1の半導体層上に位置し、第4の絶縁層は、第3の絶縁層、及び第1の半導体層を覆い、第1の絶縁層に接し、第1のゲート電極は、第1の開口と重畳し、且つ第4の絶縁層上に位置し、第1の半導体層の少なくとも一部は、第3の絶縁層及び第4の絶縁層を介して、第1のゲート電極と対向し、第2のトランジスタは、第2の半導体層、第4の絶縁層、第2のゲート電極、第2のソース電極、及び第2のドレイン電極を有し、第2のソース電極と、第2のドレイン電極と、は異なる高さに位置し、第2の絶縁層は、第2のソース電極及び第2のドレイン電極の一方に達する第2の開口を有し、第2のソース電極及び第2のドレイン電極の他方は、第2の絶縁層上に設けられ、第2の半導体層は、第2の絶縁層の第2の開口における側面、第2のソース電極及び第2のドレイン電極の一方の上面、並びに第2のソース電極及び第2のドレイン電極の他方の側面に接して設けられ、第4の絶縁層は、第2の半導体層、第2のソース電極、及び第2のドレイン電極上に位置し、第2のゲート電極は、第2の開口と重畳し、且つ第4の絶縁層上に位置する、半導体装置である。

[0016]

上記において、第3の絶縁層は、第1の半導体層と、第4の絶縁層と、によって囲まれる、ことが好ましい。また、上記において、第3の絶縁層は、酸素とシリコンを含む、ことが好ましい。

[0017]

上記において、第1の半導体層及び第2の半導体層は、少なくともインジウムを含む酸化物半導体を有する、ことが好ましい。

[0018]

上記において、第1の開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、ことが好ましい。

[0019]

また、本発明の他の一態様は、第1の絶縁層上に、ソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極を覆って、第2の絶縁層を形成し、第2の絶縁層を加工して、第1の絶縁層に達し、且つソース電極の一部、及びドレイン電極の一部と重なる開口を形成し、開口を覆って、半導体層を成膜し、半導体層上に、第3の絶縁層を成膜し、ドライエッチング法を用いて第3の絶縁層を加工して、第2の絶縁層の開口における側面に沿ってサイドウォール状の第3の絶縁層を形成し、ウェットエッチング法を用いて半導体層を加工して、第2の絶縁層の開口における側面に接するサイドウォール状の半導体層を形成し、開口を覆って、第4の絶縁層を成膜し、開口を覆って、第4の絶縁層上にゲート電極を形成する、半導体装置の作製方法である。

発明の効果

[0020]

本発明の一態様により、微細なサイズのトランジスタを提供できる。または、チャネル長が長いトランジスタを提供できる。または、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供できる。または、電気特性が良好なトランジスタを提供できる。または、占有面積が小さい半導体装置を提供できる。または、配線抵抗が低い半導体装置を提供できる。または、消費電力が低い半導体装置または表示装置を提供できる。または、信頼性が高いトランジスタ、半導体装置、または表示装置を提供できる。または、高精細の表示装置を提供できる。または、生産性の高い半導体装置または表示装置の作製方法を提供できる。または、新規なトランジスタ、半導体装置、表示装置、またはこれらの作製方法を提供できる。

[0021]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0022]

図1Aは、トランジスタの斜視概略図である。図1Bは、トランジスタの断面概略図である。図1C及び図1Dは、トランジスタの上面概略図である。

図2A乃至図2Dは、トランジスタの上面概略図である。

図3Aは、トランジスタの上面概略図である。図3Bは、トランジスタの断面概略図である。

図4A乃至図4Cは、トランジスタの上面概略図である。

図5Aは、半導体装置の一例を示す上面図である。図5B及び図5Cは、半導体装置の一例を示す断面図である。

図6Aは、半導体装置の一例を示す上面図である。図6Bは、半導体装置の一例を示す断面図である。

図7Aは、半導体装置の一例を示す上面図である。図7Bは、半導体装置の一例を示す断面図である。

図8A乃至図8Cは、半導体装置の一例を示す断面図である。

図9A乃至図9Cは、半導体装置の一例を示す断面図である。

図10Aは、半導体装置の一例を示す上面図である。図10Bは、半導体装置の一例を示す断面図である。

図11Aは、半導体装置の一例を示す上面図である。図11Bは、半導体装置の一例を示す断面図である。

図12A及び図12Bは、半導体装置の一例を示す断面図である。

図13A乃至図13Eは、半導体装置の作製方法の一例を示す断面図である。

図14A乃至図14Dは、半導体装置の作製方法の一例を示す断面図である。

図15A乃至図15Dは、半導体装置の作製方法の一例を示す断面図である。

図16A乃至図16Cは、半導体装置の作製方法の一例を示す断面図である。

図17A乃至図17Cは、半導体装置の作製方法の一例を示す断面図である。

図18A及び図18Bは、半導体装置の作製方法の一例を示す断面図である。

図19Aは、表示装置の一例を示す斜視図である。図19Bは、表示装置の一例を示すブロック図である。

図20Aは、ラッチ回路の回路図である。図20Bは、インバータ回路の回路図である。

図 2 1 A 及び図 2 1 B は、画素回路の回路図である。図 2 1 C は、画素回路の一例を示す断面図である。

図 2 2 は、表示装置の構成例を示す断面模式図である。

図 2 3 A および図 2 3 B は、電子装置の構成例を説明する図である。

図 2 4 A および図 2 4 B は、電子装置の構成例を説明する図である。

図 2 5 A および図 2 5 B は、表示装置の構成例を説明する図である。

図 2 6 は、表示装置の構成例を説明する図である。

図 2 7 A 乃至図 2 7 C は、表示モジュールの斜視図である。

図 2 8 A および図 2 8 B は、表示装置の構成例を説明する図である。

図 2 9 A 乃至図 2 9 D は、表示装置の構成例を説明する図である。

図 3 0 A 乃至図 3 0 D は、表示装置の構成例を説明する図である。

図 3 1 A および図 3 1 B は、表示装置の構成例を説明する図である。

図 3 2 A 乃至図 3 2 D は、表示装置の構成例を説明する図である。

図 3 3 A 乃至図 3 3 C は、表示装置の構成例を説明する図である。

図 3 4 A 乃至図 3 4 F は、電子機器の一例を示す図である。

図 3 5 A 乃至図 3 5 G は、電子機器の一例を示す図である。

図 3 6 A は、副表示部を説明する図である。図 3 6 B 1 乃至図 3 6 B 7 は、画素の構成例を説明する図である。

図 3 7 A 乃至図 3 7 G は、画素の構成例を説明する図である。

図 3 8 A 乃至図 3 8 D は、発光デバイスの構成例を説明する図である。

図 3 9 A は本実施例に係る光学顕微鏡写真である。図 3 9 B 及び図 3 9 C は、本実施例に係る断面 S T E M 像である。

図 4 0 A 及び図 4 0 B は、本実施例に係る断面 S T E M 像である。

図 4 1 は本実施例に係る電気特性を示す図である。

発明を実施するための形態

[0 0 2 3]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0 0 2 4]

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0 0 2 5]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0026]

図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

[0027]

本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0028]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0029]

トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書等におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0030]

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのソース及びドレインの呼称については、ソース端子及びドレイン端子、またはソース電極及びドレイン電極等、状況に応じて適切に言い換えることができる。

[0031]

「ゲート」と「バックゲート」は入れ替えることができる。このため、本明細書等においては、「ゲート」と「バックゲート」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのゲート及びバックゲートの呼称については、ゲート電極及びバックゲート電極等、状況に応じて適切に言い換えることができる。

[0032]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子などが含まれる。

[0033]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_t

n よりも低い（ p チャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0034]

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。また、上面形状が一致または概略一致している場合、端部が揃っている、または概略揃っているということもできる。

[0035]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

[0036]

本明細書等において、メタルマスク、またはFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。なお、MML構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、MML構造のデバイスは、メタルマスクの製造に係る設備およびメタルマスクの洗浄工程を不要にすることができる。また、MML構造のデバイスは、製造コストを低く抑えることが可能となるため、大量生産に適している。

[0037]

本明細書等では、発光波長が異なる発光デバイス（発光素子ともいう）で発光層を作り分ける構造をSBS（Side By Side）構造と呼ぶ場合がある。SBS構造は、発光デバイスごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0038]

本明細書等において、正孔または電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層または電子注入層を「キャリア注入層」といい、正孔輸送層または電子輸送層を「キャリア輸送層」といい、正孔ブロック層または電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つまたは3つの機能を兼ねる場合がある。

[0039]

本明細書等において、発光デバイスは、一対の電極間にEL層を有する。EL層は、少なくとも発光層を有する。ここで、EL層が有する層（機能層ともいう）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等において、受光素子（受光

デバイスともいう)は、一対の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

[0040]

本明細書等において、犠牲層(マスク層と呼称してもよい)とは、少なくとも発光層(より具体的には、EL層を構成する層のうち、島状に加工される層)の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

[0041]

本明細書等において、段切れとは、層、膜、または電極が、被形成面の形状(例えば段差など)に起因して分断される現象を示す。

[0042]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の構成例について説明する。ここでは特に、トランジスタを有する構成について説明する。

[0043]

<構成例1>

図1Aはトランジスタ20の斜視概略図を示す。図1A中に示す一点鎖線A-Bにおける切断面の断面概略図を、図1Bに示す。トランジスタ20の上面概略図(平面概略図ともいう)を、図1Cに示す。なお、図1A及び図1Cでは、一部の構成要素(ゲート電極23、絶縁層22、絶縁層25など)を省略している。また、図1Aでは、絶縁層32を透過させて、ソース電極24a及びドレイン電極24bを表示している。

[0044]

トランジスタ20は、絶縁層31上に設けられ、半導体層21、絶縁層22、絶縁層25、ゲート電極23、ソース電極24a、及びドレイン電極24bを有する。

[0045]

絶縁層31上には、ソース電極24a及びドレイン電極24bがそれぞれ設けられる。さらに、絶縁層31上に絶縁層32が設けられ、絶縁層32は絶縁層31に達する開口30を有する。ここで、開口30は、ソース電極24aの一部、及びドレイン電極24bの一部と重なるように設けられる。言い換えると、ソース電極24aの一部、及びドレイン電極24bの一部が、開口30の側壁(開口30の側面、または開口30における絶縁層32の側面を指す場合もある)から突出するように設けられている。また、半導体層21は、絶縁層32の開口30における側面に接して設けられている。絶縁層25は、半導体層21上に設けられている。絶縁層22は、半導体層21、絶縁層25、絶縁層31、ソース電極24a、ドレイン電極24b等の上に設けられる。ゲート電極23は、開口30と重畳し、絶縁層22上に位置する。半導体層21は、ソース電極24aとドレイン電極24bのそれぞれに接して設けられる。また、半導体層21の少なくとも一部は、絶縁層22及び絶縁層25を介して、ゲート電極23と対向して設けられている。つまり、絶縁層22及び絶縁層25はゲート絶縁層として機能する。

[0046]

図1A、図1B、及び図1Cに示すように、半導体層21及び絶縁層25は開口30の周(開口30の側面ということもできる。)に沿って、サイドウォール状に設けられている。言い換えると、半導体層21と、その上に接して設けられる絶縁層25からなる積層体は、開口30の周に沿って、サ

イドウォール状に設けられている。例えば、上記積層体を加工する際、異方性のエッチング法を用いて形成することで、上記積層体をサイドウォール状に形成することができる。ここで、図 1 B 及び図 1 C に示すように、半導体層 2 1 の、ソース電極 2 4 a の一部、またはドレイン電極 2 4 b の一部の上面に接する部分に、突出部が形成される。半導体層 2 1 の突出部の上に絶縁層 2 5 が設けられる。半導体層 2 1 の突出部は、他の部分よりも、開口 3 0 の中央部に向かって突出した形状になる。つまり、図 1 B に示すような開口 3 0 の断面視において、半導体層 2 1 は、所謂 L 字状の形状を有するともいえる。このため、半導体層 2 1 の突出部の上に設けられる絶縁層 2 5 は、半導体層 2 1 と絶縁層 2 2 に囲まれており、絶縁層 3 1、絶縁層 3 2、ソース電極 2 4 a、及びドレイン電極 2 4 b に接することがない。

[0047]

サイドウォール状の半導体層 2 1 を形成する際、絶縁層 2 5 は半導体層 2 1 のハードマスクとして機能する。これにより、サイドウォール状に加工する際に半導体層 2 1 は絶縁層 2 5 に覆われているため、半導体層 2 1 の表面（半導体層 2 1 と絶縁層 2 5 の界面ということもできる。）に不純物が付着することを防ぐことができる。これにより、トランジスタ 2 0 の電気特性及び信頼性を良好にすることができる。

[0048]

半導体層 2 1 をサイドウォール状に形成する場合、半導体層 2 1 がソース電極 2 4 a の上面の一部、及びドレイン電極 2 4 b の上面の一部に接する。また、図 1 A に示すように、半導体層 2 1 の下面で、ソース電極 2 4 a 及びドレイン電極 2 4 b と接していない部分は、絶縁層 3 1 の上面に接している。また、図 1 B に示すように、半導体層 2 1 の突出部の上面が絶縁層 2 5 の下面に接する。また、半導体層 2 1 の上端部、半導体層 2 1 の突出部の側面、及び絶縁層 2 5 の開口 3 0 の中央部側の側面が、絶縁層 2 2 に接する。また、開口 3 0 の底部に半導体層 2 1 が設けられていない領域が形成されているため、絶縁層 2 2 は、開口 3 0 の底部において、絶縁層 3 1 と接する。

[0049]

ここで、トランジスタ 2 0 におけるチャネル長は、開口 3 0 の側壁に設けられた半導体層 2 1 の周長方向における、ソース電極 2 4 a とドレイン電極 2 4 b との距離に相当する。ここで、図 1 C に示すように、開口 3 0 の側壁全体にわたって、環状の半導体層 2 1 が設けられているため、半導体層 2 1 におけるソース電極 2 4 a とドレイン電極 2 4 b とをつなぐ経路が 2 つ存在し、そのうち一方の長さをチャネル長 L_1 、他方の長さをチャネル長 L_2 とすることができる。チャネル長 L_1 とチャネル長 L_2 とが等しくなるように、ソース電極 2 4 a とドレイン電極 2 4 b を開口 3 0 に対して対称に配置することが好ましい。図 1 C に示すように、開口 3 0 を略円形状（角の丸い正方形ということもできる。）とし、その両端にソース電極 2 4 a 及びドレイン電極 2 4 b を設けることで、チャネル長 L_1 とチャネル長 L_2 を比較的容易に等しくすることができる。

[0050]

一方、トランジスタ 2 0 におけるチャネル幅 W は、開口 3 0 の深さ方向に沿った半導体層 2 1 の幅と、半導体層 2 1 の突出部の長さの和となる。ただし、半導体層 2 1 の突出部が、開口 3 0 の深さ方向に沿った半導体層 2 1 の幅に対して十分小さい場合、開口 3 0 の深さ方向に沿った半導体層 2 1 の幅をチャネル幅 W と近似することができる。また、図 1 C に示すように、チャネル長 L_1 とチャネル長 L_2 が等しいまたは概略等しい場合、両方の経路がチャネル形成領域として機能するため、トランジスタ 2 0 の実質的なチャネル幅が、チャネル幅 W の 2 倍になる場合がある。

[0051]

チャネル幅 W は、絶縁層32の厚さ及び開口30の深さによって制御できるため、極めてチャネル幅の短いトランジスタを実現することができる。例えば、量産用の露光装置では実現できなかった、極めて小さいチャネル幅のトランジスタを実現することができる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャネル幅が10nm未満のトランジスタを実現することもできる。

[0052]

このような構成とすることで、トランジスタのチャネル幅 W を、絶縁層32の厚さによって精密に制御することができるため、チャネル幅 W のばらつきを極めて小さくすることができる。さらに、チャネル幅 W が極めて小さいトランジスタを実現することができる。

[0053]

ここで、トランジスタの特性を示す指標として、チャネル長 L に対するチャネル幅 W の比(W/L 比)を用いる場合がある。プレーナ型のトランジスタでは、チャネル長及びチャネル幅の最小値は露光装置の露光限界に依存するため、 W/L 比を小さくしたい場合には、 L を大きくする必要があり、トランジスタの占有面積が増大する問題があった。しかしながら本発明の一態様のトランジスタは、チャネル幅 W を露光装置の露光限界よりも小さくできるため、トランジスタの占有面積を増大させることなく、 W/L 比の極めて小さいトランジスタを実現することができる。

[0054]

ここでは開口30の輪郭形状(上面形状、平面形状ともいう)を角の丸い正方形形状としたが、本発明はこれに限られるものではない。例えば、図1Dに示すように、開口30の輪郭形状を円形状にしてもよいし、図2Aに示すように、開口30の輪郭形状を角の丸い長方形形状にしてもよい。図2Aに示すように、長方形形状にすることで、チャネル長 L を伸長することができる。このとき、ソース電極24aとドレイン電極24bを開口30に対して対称に配置することが好ましい。これに対して、図1Cまたは図1Dに示すように、開口30の輪郭形状を円形または略円形とすることで、トランジスタの占有面積を小さくすることができる。また、開口30の形状が単純であることから、その形状ばらつきを小さくできるため、トランジスタの電気特性のばらつきを抑制できる。

[0055]

開口30の輪郭形状は、上記に限られず様々な形状とすることができる。例えば、楕円形、四角形などとすることができる。また、正三角形、正方形、正五角形をはじめとした正多角形、正多角形以外の多角形としてもよい。また、星形多角形などの、少なくとも一つの内角が180度を超える多角形である、凹多角形とすると、チャネル長 L を大きくできる。そのほか、角の丸い多角形、直線と曲線とを組み合わせた閉曲線などとすることができる。例えば、開口30の輪郭形状が複雑であるほど、チャネル長 L を大きくできる。

[0056]

また、上記においては、開口30の側壁全体にわたって、環状の半導体層21及び絶縁層25を設ける構成について示したが、本発明はこれに限られるものではない。例えば、図2Bに示すように、開口30の側壁に沿って形成された半導体層21及び絶縁層25において、一部が除去された形状にしてもよい。ここで、図2Aに示す半導体層21及び絶縁層25の輪郭形状が閉じた曲線状であることに対して、図2Bに示す半導体層21及び絶縁層25の輪郭形状は、開いた曲線状になっている。図2Bに示すように、半導体層21及び絶縁層25の端部近傍に、ソース電極24aとドレイン電極

24bをそれぞれ設ける構造にすることで、半導体層21全体を一つのチャネル形成領域にすることができる。よって、図2Bに示す半導体層21のチャネル形成領域のチャネル長を、図2Aに示す半導体層21のチャネル形成領域より長くすることができる。

[0057]

また、図2Cは、ソース電極24aとドレイン電極24bとが隣り合って設けられる例を示している。このような構成とすることで、開口30の側壁の大部分に半導体層21を設けることができる。よって、トランジスタのチャネル長Lを開口30の周長に近づけることができ、チャネル長Lの長いトランジスタを実現できる。例えば、開口30の周長のうち、70%以上、好ましくは80%以上、より好ましくは90%以上をチャネル長Lとすることが好ましい。

[0058]

また、上記においては、一つの開口30に、1つのトランジスタを配置する構成について示したが、本発明はこれに限られるものではない。例えば、図2Dに示すように、一つの開口30に、2つのトランジスタを配置する構成にしてもよい。ここでは、開口30の側壁に沿って、半導体層21a及び絶縁層25aと、半導体層21b及び絶縁層25bとが接することなく設けられている。これにより、半導体層21aを有するトランジスタ20aと、半導体層21bを有するトランジスタ20bとが、一つの開口30を共有するように設けられている。トランジスタ20aとトランジスタ20bとは、チャネル幅Wが等しいトランジスタとなる。なお、トランジスタ20aとトランジスタ20bとは、チャネル長Lは異なってもよい。なお、ここでは一つの開口30に2つのトランジスタを設けた例を示したが、3つ以上のトランジスタを設けてもよい。

[0059]

<構成例2>

構成例1とは異なる構成例を、図3A及び図3Bに示す。図3Aはトランジスタ20Bの上面概略図である。図3Bは、図3Aに示す一点鎖線A-Bにおける切断面の断面概略図である。なお、図3Aでは、一部の構成要素（ゲート電極23、絶縁層22など）を省略している。

[0060]

図3Aに示すように、トランジスタ20Bは、開口30が延伸部と屈曲部を有する輪郭形状である点で、構成例1に示すトランジスタ20と主に相違している。ここで、延伸部と屈曲部を組み合わせて形成された開口30の輪郭形状を、蛇行形状、迂曲形状、曲折形状、またはミアンダ形状と呼ぶことができる。

[0061]

図3Aに示すように、開口30は、延伸部26a、延伸部26b、延伸部26c、屈曲部28a、及び屈曲部28bを有する。開口30の輪郭形状は、延伸部26aと延伸部26bは、屈曲部28aを介して接続され、延伸部26bと延伸部26cは、屈曲部28bを介して接続された形状とみなすことができる。

[0062]

図3A及び図3Bに示すように、半導体層21及び絶縁層25は、開口30における絶縁層32の側面に沿って設けられている。さらに、半導体層21は、ソース電極24aと接する領域、及びドレイン電極24bと接する領域を有する。また、開口30内で半導体層21は、絶縁層22及び絶縁層25を介してゲート電極23と対向して設けられている。

[0063]

図3A等では、半導体層21が延伸部26aにおいてソース電極24aに接し、延伸部26cにおいてドレイン電極24bに接する例を示している。なお、半導体層21が屈曲部においてソース電極24aまたはドレイン電極24bと接する構成としてもよい。例えば、半導体層21が屈曲部28aにおいてソース電極24aに接し、屈曲部28bにおいてドレイン電極24bに接する構成としてもよい。

[0064]

2個の延伸部を1個の屈曲部で接続することで、開口30に折り返し構造を形成することができる。このような折り返し形状を1個または複数個形成することにより、開口30の長さを、ソース電極24aとドレイン電極24bの距離より、顕著に大きくすることができる。よって、トランジスタの占有面積を増大させることなく、チャンネル長Lが大きくなることができる。チャンネル長Lを大きくすることにより、飽和性の高いトランジスタとすることができる。また、チャンネル長Lに対するチャンネル幅Wの比(W/L比)の極めて小さいトランジスタを実現することができる。

[0065]

なお、本明細書等において、トランジスタのID-VD特性における、飽和領域の電流の変化が小さいことを、「飽和性が高い」と表現する場合がある。

[0066]

開口30の側壁の一部に半導体層21が設けられない構成例を、図4Aに示す。図4Aは上面概略図である。

[0067]

図4Aは、ソース電極24aとドレイン電極24bが隣り合って設けられ、さらに、ソース電極24aとドレイン電極24bの間において、開口30の側壁に半導体層21及び絶縁層25が設けられない構成例を示している。このような構成とすることで、トランジスタのチャンネル長Lを開口30の周長に近づけることができ、チャンネル長Lを長くすることができる。

[0068]

図4A等では、開口30が、延伸部26a、延伸部26b、延伸部26c、屈曲部28a、及び屈曲部28bを有する構成について示したが、本発明はこれに限られるものではない。開口30は、複数の延伸部と、少なくとも一以上の屈曲部を有していればよい。ここで、屈曲部の個数は、延伸部より1個少ないことが好ましい。例えば、図4Bに示すように、開口30が、2個の延伸部と、1個の屈曲部を有する構成にしてもよい。また、例えば、開口30が、4個以上の延伸部と、3個以上の屈曲部を有する構成にしてもよい。なお、図4Cに示すように、開口30の輪郭形状をロール状としてもよい。

[0069]

図4A等では、半導体層21が延伸部26aにおいてソース電極24a及びドレイン電極24bに接する例を示しているが、本発明の一態様はこれに限られない。半導体層21が屈曲部においてソース電極24a及びドレイン電極24bと接する構成としてもよい。または、半導体層21が屈曲部においてソース電極24a及びドレイン電極24bの一方と接し、延伸部において他方に接する構成としてもよい。

[0070]

なお、ここで示した半導体層21の構成は、他の構成例にも適用できる。

[0071]

なお、図 3 A 等では、開口 30 の屈曲部の角が丸まった形状で示したが、本発明の一態様はこれに限られるものではなく、屈曲部の角が角張った形状にしてもよい。この場合、開口 30 の輪郭形状をジグザグ形状と呼ぶこともできる。

[0072]

なお、ここで示した開口 30 の構成は、他の構成例にも適用できる。

[0073]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせる実施することができる。また、本実施の形態に示す複数の構成及び対応する図面等は、互いに適宜組み合わせることが可能である。

[0074]

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置について、図 5 A 乃至図 12 B を用いて説明する。

[0075]

<構成例 1>

半導体装置 10 の上面図（平面図ともいう）を、図 5 A に示す。図 5 A に示す一点鎖線 A1-A2 における切断面の断面図を図 5 B に示す。また、図 5 A に示す一点鎖線 B1-B2 における切断面の断面図を図 5 C に示す。ここで、一点鎖線 B1-B2 は、一点鎖線 A1-A2 に対して直交している。なお、図 5 A において、半導体装置 10 の構成要素の一部（絶縁層等）を省略している。半導体装置の上面図については、以降の図面においても図 5 A と同様に、構成要素の一部を省略する。

[0076]

半導体装置 10 は、トランジスタ 100 と、トランジスタ 200 と、絶縁層 110 と、を有する。トランジスタ 100、トランジスタ 200、及び絶縁層 110 は、基板 102 上に設けられる。なお、基板 102 の上部に下地膜となる絶縁層を設けてもよい。その場合、トランジスタ 100、トランジスタ 200、及び絶縁層 110 は、下地膜となる絶縁層の上に形成される。よって、以下において、基板 102 の上面という場合には、基板 102 の上部の下地膜となる絶縁層の上面も含む。なお、下地膜となる絶縁層は、2 層以上の積層膜にしてもよい。

[0077]

トランジスタ 100 とトランジスタ 200 は異なる構造を有する。また、トランジスタ 100 及びトランジスタ 200 は、一部の工程を共通にして形成することができる。なお、半導体装置 10 を表示装置に適用する場合、画素の選択トランジスタにトランジスタ 100 を用い、駆動トランジスタにトランジスタ 200 を用いると好適である。より具体的には、駆動トランジスタは飽和性が高いことが好ましいため、チャネル長が長いトランジスタ 200 を好適に用いることができる。このように、本発明の一態様の半導体装置においては、同一基板上で、チャネル長の異なるトランジスタを、絶縁層の厚さ、及びパターン形成により、自由に設計できるといった優れた効果を奏する。

[0078]

トランジスタ 200 の構成について、説明する。ここでは、トランジスタ 200 に、前述のトランジスタ 20 の構成を適用した例を示している。

[0079]

トランジスタ 200 は、導電層 204 と、導電層 212a と、導電層 212b と、絶縁層 106 と、絶縁層 209 と、半導体層 208 と、を有する。トランジスタ 200 において、導電層 204 はゲー

ト電極として機能し、絶縁層 106 の一部及び絶縁層 209 の一部はゲート絶縁層として機能する。導電層 212a はソース電極及びドレイン電極の一方として機能し、導電層 212b は他方として機能する。トランジスタ 200 を構成する各層は、単層構造であってもよく、積層構造であってもよい。導電層 204、導電層 212a、導電層 212b、絶縁層 106、絶縁層 209 及び半導体層 208 は、前述のゲート電極 23、ソース電極 24a、ドレイン電極 24b、絶縁層 22、絶縁層 25 及び半導体層 21 に係る記載を参照できる。

[0080]

絶縁層 110 は、開口 145 を有する。絶縁層 110 の下に、導電層 212a 及び導電層 212b が設けられる。開口 145 は、導電層 212a の一部、及び導電層 212b の一部と重なるように形成される。導電層 212a の側端部近傍、及び導電層 212b の側端部近傍が、開口 145 の側壁（開口 145 の側面、または開口 145 における絶縁層 110 の側面を指す場合もある。）から突出している、ということもできる。導電層 212a と導電層 212b は、同じ材料を用いることができる。また、導電層 212a と導電層 212b は同じ工程で形成することができる。例えば、導電層 212a 及び導電層 212b となる膜を形成し、当該膜を加工することにより、導電層 212a 及び導電層 212b を形成できる。なお、絶縁層 110 及び開口 145 は、前述の絶縁層 32 及び開口 30 に係る記載を参照できる。

[0081]

図 5A 及び図 5B に示すように、半導体層 208 は、導電層 212a の上面の一部、及び導電層 212b の上面の一部に接して設けられる。また、図 5A 及び図 5C に示すように、半導体層 208 の下面で、導電層 212a 及び導電層 212b に接していない部分は、基板 102 の上面に接する。なお、半導体層 208 は、開口 145 の底部において、基板 102 を覆うようには形成されない。つまり、開口 145 の底部において、少なくとも一部は、半導体層 208 が形成されない領域が設けられており、当該領域において、基板 102 の上面と絶縁層 106 が接する。

[0082]

半導体層 208 の導電層 212a と接する領域はソース領域及びドレイン領域の一方として機能し、導電層 212b と接する領域はソース領域及びドレイン領域の他方として機能する。半導体層 208 において、ソース領域とドレイン領域の間にチャンネル形成領域が設けられる。

[0083]

半導体層 208 及び絶縁層 209 は開口 145 の周（開口 145 の側面ということもできる。）に沿って、サイドウォール状に設けられる。言い換えると、半導体層 208 と、その上に接して設けられる絶縁層 209 からなる積層体は、開口 145 の周に沿って、サイドウォール状に設けられる。例えば、半導体層 208 と絶縁層 209 の積層体を加工する際、異方性のエッチング法を用いて形成することで、当該積層体をサイドウォール状に形成することができる。ここで、図 5B 及び図 5C に示すように、半導体層 208 の、導電層 212a の上面の一部、または導電層 212b の上面に接する部分に、突出部が形成される。半導体層 208 の突出部の上に絶縁層 209 が設けられる。半導体層 208 の突出部は、他の部分よりも、開口 145 の中央部に向かって突出した形状になる。つまり、図 5B または図 5C に示すような開口 145 の断面視において、半導体層 208 は、所謂 L 字状の形状を有するともいえる。このため、半導体層 208 の突出部の上に設けられる絶縁層 209 は、半導体層 208 と絶縁層 106 に囲まれており、基板 102、絶縁層 110、導電層 212a、及び導電層 212b に接することがない。

[0084]

半導体層208は、開口145の側壁に接して設けられる。また、絶縁層209の下面が半導体層208の突出部に接する。また、絶縁層209の絶縁層110側の側面が、半導体層208の開口145の深さ方向に沿った部分に接する。また、図5B及び図5Cに示すように、半導体層208の上端部の高さ、絶縁層209の上端部の高さは、一致または概略一致することが好ましい。また、半導体層208の上端部の高さ、絶縁層209の上端部の高さ、及び絶縁層110の上面の高さは、一致または概略一致することが好ましい。また、絶縁層209の開口145の中央部側の側面の下部と、半導体層208の突出部の側面の上部が、一致または概略一致することが好ましい。また、半導体層208の突出部の側面の下部が、導電層212aまたは導電層212bの側面の上部と一致または概略一致する場合がある。

[0085]

サイドウォール状の半導体層208を形成する際、絶縁層209は半導体層208のハードマスクとして機能する。これにより、サイドウォール状に加工する際に半導体層208は絶縁層209に覆われているため、半導体層208の表面(半導体層208と絶縁層209の界面ということもできる。)に不純物が付着することを防ぐことができる。これにより、トランジスタ200の電気特性及び信頼性を良好にすることができる。

[0086]

絶縁層106は、開口145を覆うように設けられる。ここで、開口145内部に設けられる半導体層208及び絶縁層209も絶縁層106に覆われる。絶縁層106は、基板102、半導体層208、絶縁層209、導電層212a、導電層212b及び絶縁層110上に設けられる。絶縁層106は、半導体層208の上端部及び突出部の側面、絶縁層209の開口145の中央部側の側面、導電層212aの側端部近傍の側面、導電層212bの側端部近傍の側面、絶縁層110の側面、並びに基板102の上面と接する領域を有する。絶縁層106は、半導体層208の上端部及び突出部の側面、絶縁層209の開口145の中央部側の側面、導電層212aの側端部近傍の側面、導電層212bの側端部近傍の側面、絶縁層110の側面、並びに基板102の上面の形状に沿った形状を有する。また、絶縁層106及び絶縁層209の少なくとも一部は、半導体層208と導電層204の間に設けられる。つまり、絶縁層106及び絶縁層209はゲート絶縁層として機能する。

[0087]

導電層204は、開口145に重畳して絶縁層106上に設けられ、絶縁層106の上面と接する領域を有する。導電層204は、絶縁層106及び絶縁層209を介して、半導体層208と対向する領域を有する。導電層204は、絶縁層106の上面及び側面の形状に沿った形状を有する。

[0088]

次に、トランジスタ100の構成について、説明する。

[0089]

トランジスタ100は、導電層104と、絶縁層106と、半導体層108と、導電層112aと、導電層112bと、を有する。トランジスタ100において、導電層104はゲート電極として機能し、絶縁層106の一部はゲート絶縁層として機能する。導電層112aはソース電極及びドレイン電極の一方として機能し、導電層112bは他方として機能する。トランジスタ100を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0090]

基板 102 上に導電層 112a が設けられ、導電層 112a 上に絶縁層 110 が設けられる。絶縁層 110 は、導電層 112a の上面及び側面を覆うように設けられる。絶縁層 110 は、導電層 112a と重なる領域に、導電層 112a に達する開口 141 を有する。開口 141 において、導電層 112a が露出するともいえる。導電層 112a は、導電層 212a 及び導電層 212b と同じ材料を用いることができる。また、導電層 112a は、導電層 212a 及び導電層 212b と同じ工程で形成することができる。例えば、導電層 112a、導電層 212a 及び導電層 212b となる膜を形成し、当該膜を加工することにより、導電層 112a、導電層 212a 及び導電層 212b を形成できる。この場合、導電層 112a、導電層 212a 及び導電層 212b、それぞれの側端部のテーパ形状が類似する場合がある。

[0091]

絶縁層 110 上に、導電層 112b が設けられる。導電層 112b は、絶縁層 110 を介して導電層 112a と重なる領域を有する。導電層 112b は、導電層 112a と重なる領域に開口 143 を有する。開口 143 は、開口 141 と重なる領域に設けられる。

[0092]

半導体層 108 は、開口 141 及び開口 143 を覆うように設けられる。半導体層 108 は、半導体層 208 と同じ材料を用いることができる。また、半導体層 108 は、半導体層 208 と同じ工程で形成することができる。例えば、半導体層 108 及び半導体層 208 となる膜を形成し、当該膜を加工することにより、半導体層 108 及び半導体層 208 を形成できる。

[0093]

半導体層 108 は、導電層 112b の上面及び側面、絶縁層 110 の側面、並びに導電層 112a の上面と接する領域を有する。半導体層 108 は、開口 141 及び開口 143 を介して、導電層 112a と電氣的に接続される。半導体層 108 は、導電層 112b の上面及び側面、絶縁層 110 の側面、並びに導電層 112a の上面の形状に沿った形状を有する。半導体層 108 は、絶縁層 110 を介して導電層 112a と重なる領域を有する。絶縁層 110 は、導電層 112a と半導体層 108 に挟持される領域を有するともいえる。

[0094]

半導体層 108 の導電層 112a と接する領域はソース領域及びドレイン領域の一方として機能し、導電層 112b と接する領域はソース領域及びドレイン領域の他方として機能する。半導体層 108 において、ソース領域とドレイン領域の間にチャンネル形成領域が設けられる。

[0095]

絶縁層 106 は、開口 141 及び開口 143 を覆うように設けられる。絶縁層 106 は、半導体層 108、導電層 112b 及び絶縁層 110 上に設けられる。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112b の上面及び側面、並びに絶縁層 110 の上面と接する領域を有する。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112b の上面及び側面、並びに絶縁層 110 の上面の形状に沿った形状を有する。

[0096]

導電層 104 は、絶縁層 106 上に設けられ、絶縁層 106 の上面と接する領域を有する。導電層 104 は、絶縁層 106 を介して、半導体層 108 と重なる領域を有する。導電層 104 は、絶縁層 106 の上面及び側面の形状に沿った形状を有する。導電層 104 は、導電層 204 と同じ材料を用いることができる。また、導電層 104 は、導電層 204 と同じ工程で形成することができる。例え

ば、導電層 104 及び導電層 204 となる膜を形成し、当該膜を加工することにより、導電層 104 及び導電層 204 を形成できる。

[0097]

トランジスタ 100 は、半導体層 108 よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層 108 の下面がソース電極及びドレイン電極として機能する導電層 112a 及び導電層 112b と接することから、TGBC (Top Gate Bottom Contact) 型のトランジスタといえることができる。また、トランジスタ 100 は、被形成面である基板 102 の表面に対してソース電極とドレイン電極とが異なる高さに位置し、基板 102 の表面に対して垂直方向、または概略垂直方向にドレイン電流が流れる。トランジスタ 100 において、縦方向、または概略縦方向にドレイン電流が流れるということもできる。そのため、本発明の一態様であるトランジスタは、縦チャンネル型トランジスタ、または VFET (Vertical Field Effect Transistor) といえることができる。また、トランジスタ 200 は、縦方向と、横方向との双方に電流が流れる構成であるため、VLFT (Vertical Lateral Field Effect Transistor) といえることができる。

[0098]

トランジスタ 100 は、導電層 112a と導電層 112b の間に設けられる絶縁層 110 (具体的には、絶縁層 110b) の厚さでチャンネル長を制御することができる。したがって、トランジスタの作製に用いる露光装置の限界解像度よりも短いチャンネル長を有するトランジスタを精度高く作製できる。また、複数のトランジスタ 100 間の特性ばらつきも低減される。よって、トランジスタ 100 を含む半導体装置の動作が安定し、信頼性を高めることができる。また、特性ばらつきが減ると、回路設計の自由度が高くなり、半導体装置の動作電圧を低くすることができる。よって、半導体装置の消費電力を低くすることができる。

[0099]

トランジスタ 100 は、ソース電極、チャンネル形成領域を有する層、及びドレイン電極を、重ねて設けることができるため、チャンネル形成領域を有する層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小できる。

[0100]

導電層 112a、導電層 112b、及び導電層 104 はそれぞれ、配線として機能することができ、トランジスタ 100 はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ 100 及び配線を有する回路において、トランジスタ 100 及び配線の占有面積を縮小することができる。したがって、回路の占有面積を縮小することができ、小型の半導体装置とすることができる。

[0101]

チャンネル長の短いトランジスタ 100 と、チャンネル長の長いトランジスタ 200 を、一部の工程を共通にして同じ基板上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ 100 を適用し、高い飽和性を求められるトランジスタにトランジスタ 200 を適用することにより、高い性能の半導体装置とすることができる。

[0102]

トランジスタ 100 のソース電極及びドレイン電極として機能する導電層 112a 及び導電層 112b は異なる面上に設けられる。具体的には、導電層 112a は基板 102 上に設けられ、導電層 112b は絶縁層 110 上に設けられ、絶縁層 110 は導電層 112a と導電層 112b に挟持され

る。一方、トランジスタ 200 のソース電極及びドレイン電極として機能する導電層 212a 及び導電層 212b は同じ面上に設けられる。具体的には、導電層 212a 及び導電層 212b は基板 102 上に設けられる。トランジスタ 100 のソース電極及びドレイン電極の一方は、トランジスタ 200 のソース電極及びドレイン電極と異なる面上に設けられ、他方は、トランジスタ 200 のソース電極及びドレイン電極と同じ面上に設けられるともいえる。

[0103]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路(例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方)に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。

[0104]

トランジスタ 100 及びトランジスタ 200 を覆うように、絶縁層 195 が設けられる。絶縁層 195 は、トランジスタ 100 及びトランジスタ 200 の保護層として機能する。

[0105]

次に、トランジスタ 100 及びトランジスタ 200 の詳細な構成について、説明する。

[0106]

半導体層 108 及び半導体層 208 はそれぞれ、半導体特性を示す金属酸化物(酸化物半導体ともいう)を有することが好ましい。

[0107]

半導体層 108 及び半導体層 208 に用いる金属酸化物のバンドギャップはそれぞれ、2.0 eV 以上が好ましく、2.5 eV 以上がより好ましい。

[0108]

酸化物半導体を用いたトランジスタ(以下、OS トランジスタと記す)は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OS トランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。また、OS トランジスタを適用することで、半導体装置の消費電力を低減することができる。

[0109]

なお、半導体層 108 及び半導体層 208 に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶半導体、または単結晶以外の結晶性を有する半導体(微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体)のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0110]

また、半導体層 108 及び半導体層 208 に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、または化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び、酸化物半導体(OS: Oxide Semiconductor)が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0111]

例えば、半導体層 108 及び半導体層 208 はそれぞれ、シリコンを用いることもできる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン (LTPS: Low Temperature Poly Silicon) が挙げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製することができる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0112]

絶縁層 110 は、1 層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及び、ハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び、酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば、窒化酸化シリコン、及び窒化酸化アルミニウムが挙げられる。

[0113]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0114]

トランジスタ 200 において、半導体層 208 の絶縁層 110 と接する領域は、チャネル形成領域として機能する。トランジスタ 100 において、半導体層 108 の絶縁層 110 と接する領域は、チャネル形成領域として機能する。半導体層 108 及び半導体層 208 に金属酸化物を用いる場合、半導体層 108 と絶縁層 110、及び半導体層 208 と絶縁層 110 との界面特性を向上させるため、絶縁層 110 の半導体層 108 と接する領域の少なくとも一部、及び半導体層 208 と接する領域の少なくとも一部は酸素を有することが好ましい。具体的には、絶縁層 110 における半導体層 108 のチャネル形成領域と接する領域、及び半導体層 208 のチャネル形成領域と接する領域は、酸素を有することが好ましい。絶縁層 110 における半導体層 108 のチャネル形成領域と接する領域、及び半導体層 208 のチャネル形成領域と接する領域に、酸化物及び酸化窒化物の一以上を好適に用いることができる。

[0115]

絶縁層 110 は、積層構造を有することが好ましい。図 5 B 等では、絶縁層 110 が、絶縁層 110 a と、絶縁層 110 a 上の絶縁層 110 b と、絶縁層 110 b 上の絶縁層 110 c と、を有する例を示している。

[0116]

図 5 A 及び図 5 B に示すトランジスタ 200 の拡大図を、図 6 A 及び図 6 B に示す。トランジスタ

100の拡大図を、図7A及び図7Bに示す。

[0117]

絶縁層110bは酸素を有することが好ましく、前述の酸化物及び酸化窒化物のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層110bには、酸化シリコン及び酸化窒化シリコンの一方または双方を好適に用いることができる。これより、少なくとも半導体層208の絶縁層110bと接する領域、及び半導体層108の絶縁層110bと接する領域はそれぞれ、チャンネル形成領域として機能することができる。

[0118]

絶縁層110bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ100の作製工程中に加わる熱により、絶縁層110bが酸素を放出することで、半導体層108に酸素を供給することができる。絶縁層110bから半導体層108、特にチャンネル形成領域に酸素を供給することで、酸素欠損(V_O)が修復され、酸素欠損(V_O)を低減することができる。さらに、酸素欠損(V_O)に水素が入った欠陥(以下、 V_OH とも記す)を、酸素の供給により、低減することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0119]

例えば、酸素を含む雰囲気における加熱処理、または、酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層110bに酸素を供給することができる。また、絶縁層110bの上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。なお、後述する実施の形態3では、金属酸化物層137を形成することで、絶縁層110bに酸素を供給する例を示す。

[0120]

絶縁層110bは、スパッタリング法、またはプラズマ化学気相堆積(PECVD: Plasma Enhanced Chemical Vapor Deposition)法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素を含むガスを用いない方法で形成することで、水素の含有量の極めて少ない膜とすることができる。そのため、チャンネル形成領域に水素が供給されることを抑制し、トランジスタ100の電気特性の安定化を図ることができる。

[0121]

絶縁層110bにおいて、物質(例えば、原子、分子及びイオン)が拡散しやすいことが好ましい。絶縁層110bにおける物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層110bは、酸素が拡散しやすいことが好ましい。つまり、絶縁層110bにおける酸素の拡散係数が大きいことが好ましい。絶縁層110bに含まれる酸素は、絶縁層110b中を拡散し、絶縁層110bと半導体層108の界面を介して半導体層108に供給されるとともに、絶縁層110bと半導体層208の界面を介して半導体層208に供給される。

[0122]

ここで、半導体層108及び半導体層208に導電率の高い材料を用いることで、オン電流の大きいトランジスタとすることができる。しかしながら、導電率の高い材料を用いると酸素欠損(V_O)が形成されやすく、チャンネル形成領域の酸素欠損(V_O)の増加によって V_OH が増加することにより、トランジスタのしきい値電圧がシフトし、ゲート電圧が0V時に流れるドレイン電流(以下、カットオフ電流とも記す)が大きくなってしまう場合がある。例えば、nチャンネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。

絶縁層 110b を設けることにより、少なくとも半導体層 108 の絶縁層 110b と接する領域及び半導体層 208 の絶縁層 110b と接する領域、つまりトランジスタ 100 及びトランジスタ 200 のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減することができる。これにより、しきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流が両立したトランジスタとすることができる。したがって、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0123]

半導体層 108 の導電層 112a と接する領域は、トランジスタ 100 のソース領域及びドレイン領域の一方として機能し、導電層 112b と接する領域は他方として機能する。ソース領域及びドレイン領域は、チャネル形成領域と比較して電気抵抗が低い領域である。ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。

[0124]

絶縁層 110a は、絶縁層 110b と導電層 112a との間に設けられる。絶縁層 110c は、絶縁層 110b と導電層 112b の間に設けられる。絶縁層 110a 及び絶縁層 110c はそれぞれ、自身から放出される不純物（例えば、水素及び水）の量が少なく、かつ不純物が透過しにくいことが好ましい。これにより、絶縁層 110a 及び絶縁層 110c に含まれる不純物が、チャネル形成領域に拡散することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0125]

絶縁層 110a 及び絶縁層 110c はそれぞれ、酸素が透過しにくい膜を用いることが好ましい。これにより、絶縁層 110b に含まれる酸素が、絶縁層 110a を介して導電層 112a に拡散することを抑制できる。同様に、絶縁層 110b に含まれる酸素が、絶縁層 110c を介して導電層 112b に拡散することを抑制できる。これにより、導電層 112a 及び導電層 112b が酸化され、これらの電気抵抗が高くなることを抑制できる。それとともに、絶縁層 110b に含まれる酸素が絶縁層 110a 側、及び絶縁層 110c 側に拡散することが抑制されるため、絶縁層 110b からチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減することができる。

[0126]

絶縁層 110a 及び絶縁層 110c のそれぞれに酸素が拡散しにくい膜を用いることにより、絶縁層 110b から、チャネル形成領域に効果的に酸素を供給することができる。なお、絶縁層 110a 及び絶縁層 110c の一方または双方を設けない構成としてもよい。

[0127]

絶縁層 110a 及び絶縁層 110c はそれぞれ窒素を有することが好ましく、前述の窒化物及び窒化酸化物のいずれか一つまたは複数を用いることが好ましい。絶縁層 110a 及び絶縁層 110c はそれぞれ、例えば、窒化シリコンまたは窒化酸化シリコンを好適に用いることができる。または、絶縁層 110a 及び絶縁層 110c の一方また双方に酸化物及び酸化窒化物のいずれか一つまたは複数を用いてもよい。絶縁層 110a 及び絶縁層 110c はそれぞれ、例えば、酸化アルミニウムを好適に用いることができる。なお、絶縁層 110a は絶縁層 110c と同じ材料を用いてもよく、異なる材料を用いてもよい。

[0128]

なお、本明細書等において、異なる材料とは、構成元素の一部または全てが異なる材料、または構成元素が同じで組成が異なる材料をいう。

[0129]

絶縁層110aの厚さT110aは、例えば、3nm以上、5nm以上、10nm以上、20nm以上、50nm以上、または70nm以上であって、1 μ m未満、500nm以下、400nm以下、300nm以下、200nm以下、150nm以下、または120nm以下とすることができる。厚さT110aは、図7Bに示すように、断面視における絶縁層110aの被形成面（ここでは、導電層112aの上面）と絶縁層110bの下面の最短距離とすることができる。

[0130]

絶縁層110aの厚さT110aが厚いと、絶縁層110aから放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さT110aが薄いと、絶縁層110bに含まれる酸素が絶縁層110aを介して、導電層112a側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さT110aを前述の範囲とすることにより、チャネル形成領域の酸素欠損（V_o）及びV_oHを低減できる。また、絶縁層110bに含まれる酸素によって導電層112aが酸化され、導電層112aの電気抵抗が高くなることを抑制できる。

[0131]

絶縁層110cの厚さT110cは、例えば、3nm以上、5nm以上、10nm以上、15nm以上、または20nm以上であって、1 μ m以下、500nm以下、300nm以下、200nm以下、150nm以下、120nm以下、または100nm以下とすることができる。厚さT110cは、図7Bに示すように、断面視における絶縁層110cの被形成面（ここでは、絶縁層110bの上面）と導電層112bの下面の最短距離とすることができる。

[0132]

絶縁層110cの厚さT110cが厚いと、絶縁層110cから放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さT110cが薄いと、絶縁層110bに含まれる酸素が絶縁層110cを介して、導電層112b側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さT110cを前述の範囲とすることにより、チャネル形成領域の酸素欠損（V_o）及びV_oHを低減できる。また、絶縁層110bに含まれる酸素によって導電層112bが酸化され、導電層112bの電気抵抗が高くなることを抑制できる。

[0133]

半導体層108の絶縁層110aと接する領域、及び、絶縁層110cと接する領域の少なくとも一つは、チャネル形成領域と比較して電気抵抗が低い領域（以下、低抵抗領域とも記す）であつてもよい。当該領域は、チャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。絶縁層110aに不純物（例えば、水及び水素）を放出する材料を用いることで、半導体層108の絶縁層110aと接する領域を低抵抗領域とすることができる。半導体層108は、導電層112aと接する領域（ソース領域及びドレイン領域の一方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。同様に、絶縁層110cに不純物を放出する材料を用いることで、半導体層108の絶縁層110cと接する領域を低抵抗領域とすることができる。半導体層108は、導電層112bと接する領域（ソース領域及びドレイン領域の他方）とチャネル形成領

域との間に、低抵抗領域を有する構成とすることができる。低抵抗領域は、ドレイン電界を緩和するためのバッファ領域として機能することができる。なお、これらの低抵抗領域が、ソース領域またはドレイン領域として機能してもよい。

[0134]

ドレイン領域とチャネル形成領域との間に低抵抗領域を設けることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。例えば、導電層112aがドレイン電極として機能し、導電層112bがソース電極として機能する場合、半導体層108の絶縁層110aと接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。導電層112aがソース電極として機能し、導電層112bがドレイン電極として機能する場合、半導体層108の絶縁層110cと接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。

[0135]

また半導体層108と同様に、半導体層208の絶縁層110aと接する領域は、チャネル形成領域と比較して低抵抗領域であってもよい。当該領域は、チャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。絶縁層110aに不純物（例えば、水または水素）を放出する材料を用いることで、絶縁層110aと接する領域を低抵抗領域とすることができる。半導体層208は、導電層212aと接する領域（ソース領域及びドレイン領域の一方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。低抵抗領域は、ドレイン電界を緩和するためのバッファ領域として機能することができる。なお、低抵抗領域が、ソース領域またはドレイン領域として機能してもよい。

[0136]

前述したように、絶縁層110a及び絶縁層110cから放出される不純物の量が多すぎると、チャネル形成領域に不純物が拡散してしまう恐れがある。絶縁層110a及び絶縁層110cに不純物を放出する材料を用いる場合であっても、放出される不純物の量は少ないことが好ましい。

[0137]

なお、絶縁層110は、少なくとも絶縁層110bを有することが好ましい。例えば、絶縁層110a及び絶縁層110cの一方または双方を有さない構成としてもよい。また、絶縁層110を2層、または4層以上の積層構造としてもよく、単層構造としてもよい。

[0138]

開口145、開口141及び開口143の上面形状に限定はなく、例えば、円形、楕円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形は、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。図5A等のように、開口141及び開口143の上面形状はそれぞれ、円形であることが好ましい。開口の上面形状を円形とすることにより、開口を形成する際の加工精度を高めることができ、微細なサイズの開口を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

[0139]

また、図5A等では、開口145の上面形状を、円形状としているが、本発明はこれに限られるも

のではなく、上述の通り様々な形状をとることができる。

[0140]

本明細書等において、開口145の上面形状とは、絶縁層110の開口145側の上面端部の形状を指す。開口141の上面形状とは、絶縁層110の開口141側の上面端部の形状を指す。また、開口143の上面形状とは、導電層112bの開口143側の下面端部の形状を指す。

[0141]

図5A等に応示するように、開口141の上面形状と開口143の上面形状とは互いに一致、または概略一致させることができる。このとき、図5B等に応示するように、導電層112bの開口143側の下面端部は、絶縁層110の開口141側の上面端部と一致、または概略一致することが好ましい。導電層112bの下面とは、絶縁層110側の面を指す。絶縁層110の上面とは、導電層112b側の面を指す。この場合、開口141と開口143を合わせて一つの開口とみることもできる。

[0142]

なお、開口141の上面形状と開口143の上面形状とは互いに一致しなくてもよい。また、開口141と開口143の上面形状が円形であるとき、開口141と開口143は同心円状であってもよく、同心円状でなくてもよい。

[0143]

トランジスタ100のチャネル長及びチャネル幅について、図7A及び図7Bを用いて説明する。

[0144]

図7Bでは、トランジスタ100のチャネル長 L_{100} を破線の両矢印で示している。トランジスタ100のチャネル長 L_{100} は、断面視における絶縁層110bの開口141側の側面の長さに相当する。つまり、チャネル長 L_{100} は、絶縁層110bの厚さ T_{110b} 、及び絶縁層110bの開口141側の側面と絶縁層110bの被形成面（ここでは、絶縁層110aの上面）とのなす角の角度 θ_{110} で決まる。したがって、チャネル長 L_{100} を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば、最小線幅 $2\mu\text{m}$ または $1.5\mu\text{m}$ 程度）では実現できなかった、極めて小さいチャネル長のトランジスタを実現することができる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャネル長が 10nm 未満のトランジスタを実現することもできる。

[0145]

チャネル長 L_{100} は、例えば、 5nm 以上、 7nm 以上、または 10nm 以上であって、 $3\mu\text{m}$ 未満、 $2.5\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 300nm 以下、 200nm 以下、 100nm 以下、 50nm 以下、 30nm 以下、または 20nm 以下とすることができる。例えば、チャネル長 L_{100} を、 100nm 以上 $1\mu\text{m}$ 以下とすることもできる。

[0146]

チャネル長 L_{100} を小さくすることにより、トランジスタ100のオン電流を大きくすることができる。トランジスタ100を用いることにより、高速動作が可能な回路を作製することができる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、または高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラ

を抑制することができる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くすることができる。

[0147]

絶縁層110bの厚さ T_{110b} 及び角度 θ_{110} を調整することにより、チャンネル長 L_{100} を制御することができる。なお、図7Bでは、絶縁層110bの厚さ T_{110b} を一点鎖線の両矢印で示している。

[0148]

絶縁層110bの厚さ T_{110b} は、例えば、5nm以上、7nm以上、または10nm以上であって、3 μ m未満、2.5 μ m以下、2 μ m以下、1.5 μ m以下、1.2 μ m以下、1 μ m以下、500nm以下、300nm以下、200nm以下、100nm以下、50nm以下、30nm以下、または20nm以下とすることができる。

[0149]

なお、図7Bなどでは、絶縁層110の開口141側の側面が垂直形状である例を示しているが、図9Cに示すように、絶縁層110の開口141側の側面をテーパ形状にすることもできる。絶縁層110の開口141側の側面をテーパ形状にする場合、角度 θ_{110} は、90度以下であることが好ましい。角度 θ_{110} を小さくすることにより、絶縁層110上に形成される層（例えば、半導体層108）の被覆性を高めることができる。また、角度 θ_{110} が小さいほど、チャンネル長 L_{100} を大きくすることができ、角度 θ_{110} が大きいほど、チャンネル長 L_{100} を小さくすることができる。

[0150]

角度 θ_{110} は、例えば、30度以上、35度以上、40度以上、45度以上、50度以上、55度以上、60度以上、65度以上、または70度以上であって、90度以下、85度以下、または80度以下とすることができる。角度 θ_{110} は、75度以下、70度以下、65度以下、または60度以下としてもよい。

[0151]

なお、図7B等では、断面視において、絶縁層110の開口141側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層110の開口141側の側面の形状は曲線であってもよく、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0152]

ここで、導電層112bは、開口141の内部に設けないことが好ましい。具体的には、導電層112bは、絶縁層110の開口141側の側面と接する領域を有さないことが好ましい。導電層112bを開口141の内側にも設ける場合、トランジスタ100のチャンネル長 L_{100} が絶縁層110bの側面の長さより短くなり、チャンネル長 L_{100} の制御が困難になってしまう場合がある。したがって、開口143の上面形状が開口141の上面形状と一致、または、上面視（平面視ともいう）において開口143が開口141を包含することが好ましい。

[0153]

図7A及び図7Bでは、開口141の幅 D_{141} を二点鎖線の両矢印で示している。図7Aでは、開口141の上面形状が円形である例を示す。このとき、幅 D_{141} は当該円の直径に相当し、トランジスタ100のチャンネル幅 W_{100} は当該円の円周の長さとなる。すなわち、チャンネル幅 W_{100} は、 $\pi \times D_{141}$ となる。このように、開口141の上面形状が円形であると、他の形状に比べて、

チャネル幅W100の小さいトランジスタを実現できる。

[0154]

開口141の幅D141は、深さ方向で変化する場合がある。開口141の幅D141として、例えば、断面視における絶縁層110b（または絶縁層110）の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の3つの平均値を用いることができる。または、開口141の径として、例えば、断面視における絶縁層110b（または絶縁層110）の最も高い位置の径、最も低い位置の径、またはこれらの中間点の位置の径の、いずれかの径を用いてもよい。

[0155]

フォトリソグラフィ法を用いて開口141を形成する場合、開口141の幅D141は露光装置の限界解像度以上となる。幅D141は、例えば、200nm以上、300nm以上、400nm以上、または、500nm以上であって、5 μ m未満、4.5 μ m以下、4 μ m以下、3.5 μ m以下、3 μ m以下、2.5 μ m以下、2 μ m以下、1.5 μ m以下、または1 μ m以下とすることができる。

[0156]

なお、トランジスタ100のチャネル長L100を小さくする場合、絶縁層110a及び絶縁層110cはそれぞれ、自身から放出される水素の量がより少ない材料を用いることが好ましい。絶縁層110a及び絶縁層110cに少量でも水素を放出する材料を用いる場合は、これらの厚さが薄いことが好ましい。例えば、チャネル長L100を100nm以下とする場合、絶縁層110aの厚さT110a及び絶縁層110cの厚さT110cはそれぞれ、1nm以上、3nm以上、または5nm以上であって、50nm以下、40nm以下、30nm以下、20nm以下、15nm以下、または10nm以下が好ましい。これにより、チャネル形成領域に拡散する不純物の量を少なくすることができ、チャネル長L100が短い場合においても良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0157]

なお、ここでは半導体層108の絶縁層110bと接する領域がチャネル形成領域として機能する構成を例に挙げて説明したが、本発明の一態様はこれに限られない。半導体層108の絶縁層110aと接する領域もチャネル形成領域として機能してもよい。同様に、絶縁層110cと接する領域もチャネル形成領域として機能してもよい。

[0158]

図5B等では、トランジスタ100において、半導体層108、絶縁層106及び導電層104が開口141及び開口143を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層110と、導電層112aとによって段差が形成され、当該段差に沿って半導体層108、絶縁層106及び導電層104が設けられる構成としてもよい。

[0159]

なお、図9Aに示すように、トランジスタ100において、開口141及び開口143の側壁に沿って、サイドウォール状に半導体層108及び絶縁層109を設ける構成にしてもよい。ここで、半導体層108は半導体層208と同様の形状となり、絶縁層109は絶縁層209と同様の形状になる。また、絶縁層109は、絶縁層209と同様の工程で形成することができるため、絶縁層109と絶縁層109は同様の絶縁性材料を有する。図9Aに示すように、半導体層108の上部は、開口143の側壁である導電層112bの側面に接する。また、半導体層108の下面は、導電層112aの上面に接する。この場合、トランジスタ100において、半導体層108の少なくとも一部が、

絶縁層 109 及び絶縁層 106 を介して、導電層 104 と対向する。つまり、絶縁層 109 及び絶縁層 106 がトランジスタ 100 のゲート絶縁層として機能する。

[0160]

また、図 9B に示すように、トランジスタ 100 において、開口 141 及び開口 143 の内側に設けられた半導体層 108 のさらに内側に絶縁層 109 を設ける構成にしてもよい。つまり、図 7B に示すトランジスタ 100 の構成にさらに絶縁層 109 を設ける構成にしてもよい。この場合、トランジスタ 100 において、半導体層 108 の少なくとも一部が、絶縁層 109 及び絶縁層 106 を介して、導電層 104 と対向する。つまり、絶縁層 109 及び絶縁層 106 がトランジスタ 100 のゲート絶縁層として機能する。

[0161]

次に、トランジスタ 200 のチャンネル長及びチャンネル幅について、図 6A 及び図 6B を用いて説明する。

[0162]

図 6A では、トランジスタ 200 のチャンネル長 L_{200a} 及びチャンネル長 L_{200b} を実線の両矢印で示している。チャンネル長 L_{200a} 及びチャンネル長 L_{200b} は、開口 145 の側壁に設けられた半導体層 208 の周長方向に沿った、導電層 212a と導電層 212b の距離に相当する。図 6A に示すように、開口 145 の側壁全体にわたって、環状の半導体層 208 が設けられているため、半導体層 208 における導電層 212a と導電層 212b とをつなぐ経路が 2 つ存在し、そのうち一方の長さをチャンネル長 L_{200a} 、他方の長さをチャンネル長 L_{200b} とすることができる。チャンネル長 L_{200a} とチャンネル長 L_{200b} が等しいまたは概略等しいことが好ましい。この場合、導電層 212a と導電層 212b を開口 145 に対して対称に配置することが好ましい。例えば、図 6A に示すように、円形の開口 145 の両端に導電層 212a と導電層 212b を設けることで、チャンネル長 L_{200a} とチャンネル長 L_{200b} を等しくすることができる。このように、トランジスタ 200 のチャンネル長 L_{200a} 及びチャンネル長 L_{200b} は、開口 145 の上面形状、及び大きさによって制御することができる。よって、チャンネル長 L_{200a} 及びチャンネル長 L_{200b} は、チャンネル長 L_{100} より大きくすることができる。

[0163]

また、図 6B では、トランジスタ 200 のチャンネル幅 W_{200} を破線の両矢印で示している。チャンネル幅 W_{200} は、開口 145 の深さ方向に沿った半導体層 208 の幅と、半導体層 208 の突出部の長さの和となる。ただし、半導体層 208 の突出部が、開口 145 の深さ方向に沿った半導体層 208 の幅に対して十分小さい場合、開口 145 の深さ方向に沿った半導体層 208 の幅をチャンネル幅 W_{200} と近似することができる。また、図 6A に示すように、チャンネル長 L_{200a} とチャンネル長 L_{200b} が等しいまたは概略等しい場合、両方の経路がチャンネル形成領域として機能するため、トランジスタ 200 の実質的なチャンネル幅が、チャンネル幅 W_{200} の 2 倍になる場合がある。

[0164]

トランジスタ 200 のチャンネル幅 W_{200} は、絶縁層 110 の厚さ（特に絶縁層 110b の厚さ）によって制御することができる。ここで、トランジスタ 200 とトランジスタ 100 で、絶縁層 110 は共通であるため、トランジスタ 200 のチャンネル幅 W_{200} をフォトリソグラフィの露光限界以下の非常に微細な構造にすることができる。チャンネル幅 W_{200} は、例えば、5 nm 以上、7 nm 以上、または 10 nm 以上であって、3 μ m 未満、2.5 μ m 以下、2 μ m 以下、1.5 μ m 以下、1.

2 μm 以下、1 μm 以下、500 nm以下、300 nm以下、200 nm以下、100 nm以下、50 nm以下、30 nm以下、または20 nm以下とすることができる。

[0165]

以上のように、トランジスタ200では、チャネル長 L_{200a} 及びチャネル長 L_{200b} を大きくし、チャネル幅 W_{200} を小さくすることができる。これにより、トランジスタ200を、飽和性の高いトランジスタにすることができる。

[0166]

前述したように、トランジスタ100のチャネル長 L_{100} は露光装置の限界解像度よりも小さな値とすることができる。一方、絶縁層110bの膜厚によって、チャネル長 L_{100} が規定されるため、同一面上に同一工程で複数のトランジスタ100を形成する場合、全てのトランジスタ100のチャネル長が同じになる。これに対して、トランジスタ200は、チャネル長 L_{200a} 及びチャネル長 L_{200b} を開口145の上面形状、及び大きさによって制御することができる。さらに、トランジスタ200は、トランジスタ100と一部の工程を共通にして形成することができる。よって、チャネル長が短いトランジスタ100と、よりチャネル長が長いトランジスタ200を、生産性良く、同一面上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ100を適用し、高い飽和性が求められるトランジスタにトランジスタ200を適用することにより、それぞれのトランジスタの利点を活かした高い性能の半導体装置10とすることができる。例えば、表示装置に半導体装置10を用いる場合、トランジスタ100を、スイッチとして機能するトランジスタに適用し、トランジスタ200を、発光素子に流れる電流を制御するための駆動トランジスタに適用することができる。

[0167]

トランジスタ100とトランジスタ200を一部の工程を共通にして形成することができる。具体的には、半導体層108及び半導体層208は、同じ工程で形成することができる。絶縁層106の一部はトランジスタ100のゲート絶縁層として機能し、絶縁層106の他の一部はトランジスタ200のゲート絶縁層として機能する。導電層104及び導電層204は、同じ工程で形成することができる。導電層112a、導電層212a及び導電層212bは、同じ工程で形成することができる。したがって、半導体装置10の生産性を高め、製造コストを低くすることができる。

[0168]

また、トランジスタ200をトランジスタ100と並行して形成する場合、絶縁層110bの開口145側の側面と絶縁層110bの被形成面（ここでは、絶縁層110aの上面）とのなす角も、トランジスタ100と同様に角度 θ_{110} に一致、または概略一致する場合がある。なお、図6Bなどでは、絶縁層110の開口145側の側面が垂直形状である例を示しているが、図8Aに示すように、絶縁層110の開口145側の側面をテーパ形状にすることもできる。

[0169]

図6B等において、半導体層208の上端部の高さ、絶縁層209の上端部の高さ、及び絶縁層110の上面の高さは、一致または概略一致する構成について示したが、本発明はこれに限られるものではない。例えば、図8Bに示すように、半導体層208の上端部及び絶縁層209の上端部が、絶縁層110の上面より低くなる構成にしてもよい。この場合、絶縁層106が絶縁層110の側面の一部に接する。また、半導体層208の突出部の側面の下部が、導電層212a（または導電層212b）の側面の上部より後退した形状になってもよい。この場合、絶縁層106が導電層212a（ま

たは導電層 212b) の上面に接する。

[0170]

また、図 6B 等において、半導体層 208 の上端部の高さと同層 209 の上端部の高さが一致または概略一致し、絶縁層 209 の開口 145 の中央部側の側面の下部と、半導体層 208 の突出部の側面の上部が一致または概略一致する構成について示したが、本発明はこれに限られるものではない。例えば、図 8C に示すように、半導体層 208 の上端部が、絶縁層 209 の上端部より低くなる構成にしてもよい。この場合、半導体層 208 の上端部の上に、半導体層 208、絶縁層 209、絶縁層 110、及び絶縁層 106 で囲まれる空洞 217 が形成される場合がある。また、例えば、図 8C に示すように、半導体層 208 の突出部の側面が、絶縁層 209 の開口 145 の中央部側の側面より後退した形状になってもよい。この場合、半導体層 208 の突出部の側面の開口 145 の中央側に、半導体層 208、絶縁層 209、導電層 212a (または導電層 212b)、及び絶縁層 106 で囲まれる空洞 218 が形成される場合がある。

[0171]

[半導体層 108、半導体層 208]

半導体層 108 及び半導体層 208 に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素 M と、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素 M は、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素 M として、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素 M は、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウム及びスズの一種または複数種がさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0172]

半導体層 108 及び半導体層 208 はそれぞれ、例えば、インジウム酸化物 (In 酸化物)、インジウム亜鉛酸化物 (In-Zn 酸化物)、インジウムスズ酸化物 (In-Sn 酸化物、ITO とも記す)、インジウムチタン酸化物 (In-Ti 酸化物)、インジウムガリウム酸化物 (In-Ga 酸化物)、インジウムタングステン酸化物 (In-W 酸化物、IWO とも記す)、インジウムガリウムアルミニウム酸化物 (In-Ga-Al 酸化物)、インジウムガリウムスズ酸化物 (In-Ga-Sn 酸化物)、ガリウム亜鉛酸化物 (Ga-Zn 酸化物、GZO とも記す)、アルミニウム亜鉛酸化物 (Al-Zn 酸化物、AZO とも記す)、インジウムアルミニウム亜鉛酸化物 (In-Al-Zn 酸化物、IAZO とも記す)、インジウムスズ亜鉛酸化物 (In-Sn-Zn 酸化物、ITZO (登録商標) とも記す)、インジウムチタン亜鉛酸化物 (In-Ti-Zn 酸化物)、インジウムガリウム亜鉛酸化物 (In-Ga-Zn 酸化物、IGZO とも記す)、インジウムガリウムスズ亜鉛酸化物 (In-Ga-Sn-Zn 酸化物、IGZTO とも記す)、インジウムガリウムアルミニウム亜鉛酸化物 (In-Ga

—Al—Zn 酸化物、IGAZO、IGZAO、またはIAGZOとも記す) などを用いることができる。または、シリコンを含むインジウムスズ酸化物 (ITSOとも記す)、ガリウムスズ酸化物 (Ga—Sn 酸化物)、アルミニウムスズ酸化物 (Al—Sn 酸化物) などを用いることができる。なお、インジウム酸化物などに代表されるZnを含まない材料は、Siプロセスとの親和性が高いため好適である。一方で、Znを含む材料は、結晶性を高めることができるため好適である。

[0173]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現できる。

[0174]

なお、金属酸化物は、インジウムに代えて、または、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0175]

金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、または、バンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

[0176]

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0177]

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損 (V_o) が形成されることを抑制できる。したがって、酸素欠損 (V_o) に起因するキャリア生成が抑制され、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0178]

半導体層108及び半導体層208に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0179]

金属酸化物がIn—M—Zn酸化物の場合、当該In—M—Zn酸化物におけるInの原子数比は

元素Mの原子数比以上であることが好ましい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:1:1$ 、 $I_n:M:Z_n=1:1:1.2$ 、 $I_n:M:Z_n=2:1:3$ 、 $I_n:M:Z_n=3:1:2$ 、 $I_n:M:Z_n=4:2:3$ 、 $I_n:M:Z_n=4:2:4.1$ 、 $I_n:M:Z_n=5:1:3$ 、 $I_n:M:Z_n=5:1:6$ 、 $I_n:M:Z_n=5:1:7$ 、 $I_n:M:Z_n=5:1:8$ 、 $I_n:M:Z_n=6:1:6$ 、 $I_n:M:Z_n=10:1:1$ 、 $I_n:M:Z_n=10:1:3$ 、 $I_n:M:Z_n=10:1:4$ 、 $I_n:M:Z_n=10:1:6$ 、 $I_n:M:Z_n=10:1:7$ 、 $I_n:M:Z_n=10:1:8$ 、 $I_n:M:Z_n=5:2:5$ 、 $I_n:M:Z_n=10:1:10$ 、 $I_n:M:Z_n=20:1:10$ 、 $I_n:M:Z_n=40:1:10$ 、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

[0180]

I_n-M-Z_n 酸化物における I_n の原子数比は元素Mの原子数比未満であってもよい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:3:2$ 、 $I_n:M:Z_n=1:3:3$ 、 $I_n:M:Z_n=1:3:4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中のMの原子数の割合を大きくすることで、酸素欠損 (V_o) の生成を抑制することができる。

[0181]

なお、元素Mとして複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素Mの原子数の割合とすることができる。

[0182]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0183]

半導体層108及び半導体層208にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。さらに、元素Mを有することで、酸素欠損 (V_o) の生成を抑制することができる。元素Mの含有率（含有される全ての金属元素の原子数の和に対する元素Mの原子数の割合）は、 0.1% 以上 3% 以下が好ましく、さらには 0.1% 以上 2% 以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $I_n:M:Z_n=40:1:10$ 、及びその近傍の金属酸化物を用いることが好ましい。元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましい。具体的には、 $I_n:Sn:Z_n=40:1:10$ 、及びその近傍の金属酸化物を好適に用いることができる。または、 $I_n:Al:Z_n=40:1:10$ 、及びその近傍の金属酸化物を好適に用いることができる。

[0184]

ここで、半導体層108及び半導体層208に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。例えば、ITOと比較して、ITSOは多結晶構造になりづらいため、半導体層108及び半導体層208に好適に用いることができる。ITSOを用いる場合、シリコンの含有率（含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合）は、 1% 以上 20% 以下が

好ましく、さらには3%以上20%以下が好ましく、さらには3%以上15%以下が好ましく、さらには5%以上15%以下が好ましい。具体的には、 $\text{In}:\text{Sn}:\text{Si}=45:5:4$ 、 $\text{In}:\text{Sn}:\text{Si}=95:5:8$ 、及びこれらの近傍の金属酸化物を好適に用いることができる。

[0185]

半導体層108及び半導体層208の組成の分析には、例えば、エネルギー分散型X線分光法(EDX:Energy Dispersive X-ray Spectrometry)、X線光電子分光法(XPS:X-ray Photoelectron Spectrometry)、誘導結合プラズマ質量分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)、または誘導結合高周波プラズマ発光分光法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。または、これらの手法を複数組み合わせることで分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0186]

金属酸化物の形成には、スパッタリング法、または原子層堆積(ALD:Atomic Layer Deposition)法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0187]

半導体層108及び半導体層208はそれぞれ、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

[0188]

半導体層108及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $\text{In}:\text{M}:\text{Zn}=1:3:4$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。また、元素Mとして、ガリウム、アルミニウム、またはスズを用いることが特に好ましい。第1の金属酸化物層と第2の金属酸化物層における元素Mは、同じであってもよく、互いに異なってもよい。例えば、第1の金属酸化物層と第2の金属酸化物層は、互いに組成が異なるIGZO層であってもよい。

[0189]

例えば、 $\text{In}:\text{Zn}=4:1$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $\text{In}:\text{M}:\text{Zn}=1:1:1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。

[0190]

例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれかと、IAZO、IAGZO、及びITZO(登録商標)の中から選ばれるいずれかと、の積層構

造を用いてもよい。

[0191]

なお、第1の金属酸化物を有する第1の金属酸化物層と、第2の金属酸化物を有する第2の金属酸化物層の積層構造とし、第1の金属酸化物の組成と第2の金属酸化物の組成が同じ、または概略同じである場合、第1の金属酸化物層と第2の金属酸化物層の境界（界面）を明確に確認できない場合がある。

[0192]

半導体層108及び半導体層208は、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、及び、微結晶 (nc: nano-crystal) 構造が挙げられる。結晶性を有する金属酸化物を用いることにより、半導体層108中及び半導体層208中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0193]

半導体層108及び半導体層208はそれぞれ、CAAC-OSまたはnc-OSを用いることが好ましい。

[0194]

CAAC-OSは、複数の層状結晶を有する。当該結晶のc軸は、被形成面の法線方向に配向している。半導体層108及び半導体層208はそれぞれ、被形成面に対して平行または概略平行な層状結晶を有することが好ましい。例えば、半導体層108は、導電層112bの上面と接する領域においては当該上面に対して平行または概略平行な層状結晶を有し、導電層112bの側面と接する領域においては当該側面に対して平行または概略平行な層状結晶を有することが好ましい。特に、半導体層108は、開口141において、被形成面である絶縁層110の側面に対して平行または概略平行な層状結晶を有することが好ましい。このような構成とすることにより、トランジスタ100のチャネル長方向に対して、半導体層108の層状結晶が概略平行に形成されるため、オン電流の大きいトランジスタとすることができる。同様に、半導体層208は、被形成面（ここでは、絶縁層110の側面、導電層212aの側面、及び導電層212bの側面）に対して平行または概略平行な層状結晶を有することが好ましい。特に、半導体層208は、導電層204と重なる領域において、被形成面である絶縁層110の側面に対して平行または概略平行な層状結晶を有することが好ましい。

[0195]

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0196]

金属酸化物をスパッタリング法により形成する場合、形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成することができる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整できる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）、または処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成することができる。

[0197]

半導体層108及び半導体層208の結晶性は、例えば、X線回折 (XRD: XRay Diff

raction)、透過型電子顕微鏡 (TEM: Transmission Electron Microscope)、または電子線回折 (ED: Electron Diffraction) により解析できる。または、これらの手法を複数組み合わせることで分析を行ってもよい。

[0198]

半導体層108及び半導体層208に金属酸化物を用いる場合、チャンネル形成領域の V_{OH} をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損 (V_O) を修復することが重要である。 V_{OH} などの不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。なお、金属酸化物に酸素を供給して酸素欠損 (V_O) を修復することを、加酸素化処理と記す場合がある。

[0199]

半導体層108及び半導体層208に金属酸化物を用いる場合、チャンネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャンネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0200]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射する環境においても好適に用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0201]

半導体層108及び半導体層208はそれぞれ、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流が大きいトランジスタを提供することができる。

[0202]

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。トランジスタのチャンネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的に

はZrSe₂)などが挙げられる。

[0203]

[導電層112a、導電層112b、導電層104、導電層204、導電層212a、導電層212b]

導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bはそれぞれ、単層構造または2層以上の積層構造にすることができる。導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bに用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一または複数、並びに前述した金属の一または複数を成分とする合金が挙げられる。導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bにはそれぞれ、銅、銀、金、及びアルミニウムのうち一または複数を含む、低抵抗な導電材料を好適に用いることができる。特に、銅またはアルミニウムは量産性に優れるため好ましい。

[0204]

導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bにはそれぞれ、導電性を有する金属酸化物(酸化物導電体)を用いることができる。酸化物導電体(OC:Oxide Conductor)として、例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物(ITO)、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn-Si酸化物(シリコンを含むITO、ITSOともいう)、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn酸化物が挙げられる。特にインジウムを含む酸化物導電体は、導電性が高いため好ましい。

[0205]

半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0206]

導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bはそれぞれ、前述の酸化物導電体(金属酸化物)を含む導電膜と、金属または合金を含む導電膜と、の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。

[0207]

導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bはそれぞれ、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi)を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチング法により加工できるため、製造コストを削減できる。

[0208]

なお、導電層112a、導電層112b、導電層104、導電層204、導電層212a及び導電層212bは互いに同じ材料を用いてもよく、異なる材料を用いてもよい。例えば、同一の工程で形成することができる、導電層112a、導電層212a及び導電層212bは、互いに同じ材料を用いることが好ましい。また、同一の工程で形成することができる、導電層104及び導電層204は、

互いに同じ材料を用いることが好ましい。

[0209]

導電層112a及び導電層112bは、半導体層108と接する領域を有する。導電層212a及び導電層212bは、半導体層208と接する領域を有する。半導体層108として金属酸化物を用いる場合、導電層112a及び導電層112bに酸化されやすい金属（例えば、アルミニウム）を用いると、導電層112aと半導体層108との間、及び導電層112bと半導体層108との間に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。同様に、半導体層208として金属酸化物を用いる場合、導電層212a及び導電層212bに酸化されやすい金属を用いると、導電層212aと半導体層208との間、及び導電層212bと半導体層208との間に絶縁性の酸化物が形成され、これらの導通を妨げる恐れがある。そのため、導電層112a、導電層112b、導電層212a及び導電層212bには、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電材料を用いることが好ましい。

[0210]

導電層112a、導電層112b、導電層112a及び導電層112bにはそれぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物を用いることが好ましい。これらは、酸化されにくい導電材料、または、酸化されても電気抵抗が低く保たれる材料であるため、好ましい。

[0211]

導電層112a、導電層112b、導電層212a及び導電層212bにはそれぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ITO、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、シリコンを含むIn-Sn酸化物、ガリウムを添加した酸化亜鉛などの酸化物導電体を用いることができる。

[0212]

導電層112a、導電層112b、導電層212a及び導電層212bにはそれぞれ、窒化物導電体を用いてもよい。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

[0213]

導電層112a、導電層112b、導電層104、導電層212a、導電層212b及び導電層204はそれぞれ、積層構造を有してもよい。このとき、少なくとも半導体層108または半導体層208と接する領域には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電材料を用いることが好ましい。また、半導体層108または半導体層208と接しない領域には、電気抵抗率の低い材料を用いることが好ましい。これにより、導電層の電気抵抗を低くすることができる。例えば、半導体層108または半導体層208と接する領域にITSOを、半導体層108または半導体層208と接しない領域に銅またはタングステンを好適に用いることができる。特に、半導体層108または半導体層208と接し、且つ基板102上の平坦部に形成される、導電層112a、導電層212a及び導電層212bは、銅の層の上にITSO層を設けた積層構造にすることが好ましい。導電層112a、導電層212a及び導電層212bは、基板102上の平坦部に形成されるため、比較的容易に引き回すことができる。また、上記の積層構造にすることで、低抵抗な銅の層が酸化されることを低減し、電気抵抗の低い良好な配線として機能させることができる。

[0214]

[絶縁層106、絶縁層209]

絶縁層106及び絶縁層209は、単層構造または2層以上の積層構造にすることができる。絶縁層106及び絶縁層209は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。絶縁層106及び絶縁層209は、絶縁層110に用いることができる材料を用いることができる。

[0215]

絶縁層106及び絶縁層209は、半導体層108及び半導体層208と接する領域を有する。半導体層108及び半導体層208に金属酸化物を用いる場合、絶縁層106及び絶縁層209を構成する膜のうち、少なくとも半導体層108及び半導体層208と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層106には、加熱により酸素を放出する膜を用いるとより好ましい。

[0216]

具体的には、絶縁層106及び絶縁層209がそれぞれ単層構造の場合、絶縁層106及び絶縁層209には、酸化物または酸化窒化物を用いることが好ましい。具体的には、絶縁層106及び絶縁層209は、酸化シリコンまたは酸化窒化シリコンを好適に用いることができる。

[0217]

絶縁層106を積層構造とする場合、半導体層108及び半導体層208と接する側の絶縁膜は酸化物または酸化窒化物を有し、導電層104及び導電層204と接する側の絶縁膜は窒化物または窒化酸化物を有することが好ましい。この場合、半導体層108及び半導体層208と接する絶縁層209は、酸化物または酸化窒化物を有する事が好ましい。当該酸化物または酸化窒化物として、例えば、酸化シリコンまたは酸化窒化シリコンを好適に用いることができる。当該窒化物または窒化酸化物として、窒化シリコンまたは窒化酸化シリコンを好適に用いることができる。

[0218]

窒化シリコン、及び、窒化酸化シリコンは自身から放出される不純物（例えば、水及び水素）の量が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層106及び絶縁層209として好適に用いることができる。不純物が絶縁層106及び絶縁層209から半導体層108及び半導体層208に拡散することが抑制されることで、トランジスタの電気特性を良好とし、かつ信頼性を高めることができる。このように、絶縁層106及び絶縁層209は、酸素、水、及び水素の少なくとも一に対するバリア膜として機能することが好ましい。

[0219]

なお、本明細書等において、バリア膜とは、バリア性を有する膜のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層とすることができる。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）、及び、対応する物質を、捕獲、または固着する（ゲッタリングともいう）機能の一方または双方を指すものとする。

[0220]

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層106及び絶縁層209に用いることができるhigh-k材料として、例えば、酸化ガリウム、酸化ハフニウム、

酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0221]

[絶縁層195]

トランジスタ100及びトランジスタ200の保護層として機能する絶縁層195は、不純物が拡散しにくい材料を用いることが好ましい。絶縁層195を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。

[0222]

絶縁層195は、無機材料を有する絶縁層、または有機材料を有する絶縁層とすることができる。絶縁層195は、例えば、酸化物、酸化窒化物、窒化酸化物または窒化物の無機材料を好適に用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一または複数を用いることができる。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一または複数を用いることができる。有機材料は感光性の材料を用いてもよい。また、上述の絶縁膜を2以上積層して用いてもよい。絶縁層195は、無機材料を有する絶縁層と、有機材料を有する絶縁層との積層構造としてもよい。

[0223]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコン、または炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、石英基板、サファイア基板、セラミック基板、または有機樹脂基板を、基板102として用いてもよい。また、基板102には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0224]

基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100等を形成してもよい。または、基板102とトランジスタ100等の間に剥離層を設けてもよい。剥離層を設けることにより、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載することができる。その際、トランジスタ100等を耐熱性の劣る基板、または可撓性基板にも転載できる。

[0225]

基板102において、前述の基板上に下地膜として絶縁層を積層させて用いてもよい。

[0226]

以下では、前述の構成例1と一部の構成が異なる半導体装置の構成例について、説明する。なお、以下では、前述の構成例1と重複する部分は説明を省略する場合がある。また、以下で示す図面において、前述の構成例1と同様の機能を有する部分についてはハッチングパターンを同じくし、符号を付さない場合もある。

[0227]

<構成例 2>

本発明の一態様であるトランジスタ 200B の上面図を、図 10A に示す。図 10A に示す一点鎖線 A1-A2 における切断面の断面図を図 10B に示す。

[0228]

開口 145 が、延伸部と屈曲部を有する形状である点において、図 5A 等 に示すトランジスタ 200 と主に異なる。ここで、延伸部と屈曲部を組み合わせで形成された開口 145 の上面形状を、蛇行形状、迂曲形状、曲折形状、またはミアンダ形状と呼ぶことができる。

[0229]

図 10A に示すように、開口 145 は、延伸部 146a、延伸部 146b、延伸部 146c、屈曲部 148a、及び屈曲部 148b を有する。開口 145 の上面形状は、延伸部 146a と延伸部 146b は、屈曲部 148a を介して接続され、延伸部 146b と延伸部 146c は、屈曲部 148b を介して接続された形状とみなすことができる。開口 145 の側壁に沿って半導体層 208 及び絶縁層 209 が設けられている。開口 145 内で半導体層 208 は、絶縁層 106 及び絶縁層 209 を介して導電層 204 と対向して設けられている。ここで、半導体層 208 は、延伸部 146a において導電層 212a に接し、延伸部 146b において導電層 212b に接する。

[0230]

延伸部 146a、延伸部 146b、及び延伸部 146c は、上面視において一方向（図 10A では、一点鎖線 A1-A2 に垂直な方向）に延伸された形状を有する。これに対して、屈曲部 148a 及び屈曲部 148b は、上面視において、一方の端部が他方の端部に対して曲がって設けられる。

[0231]

2 個の延伸部を 1 個の屈曲部で接続することで、開口 145 に折り返し構造を形成することができる。このような折り返し形状を 1 個または複数個形成することにより、開口 145 の長さを、導電層 212a と導電層 212b の距離より、顕著に大きくすることができる。よって、トランジスタ 200B のチャンネル長を顕著に大きくし、トランジスタ 200B の飽和性をより高くすることができる。

[0232]

なお、上記においては、ソース電極またはドレイン電極として機能する導電層が、延伸部において、半導体層に接する例について示したが、本発明はこれに限られるものではない。ソース電極またはドレイン電極として機能する導電層が、屈曲部において半導体層と接する構成としてもよい。例えば、半導体層 208 が屈曲部 148a において導電層 212a に接し、屈曲部 148b において導電層 212b に接する構成としてもよい。

[0233]

図 10A では、開口 145 が、延伸部 146a、延伸部 146b、延伸部 146c、屈曲部 148a、及び屈曲部 148b を有する構成について示したが、本発明はこれに限られるものではない。開口 145 は、複数の延伸部と、少なくとも一以上の屈曲部を有していればよい。ここで、屈曲部の個数は、延伸部より 1 個少ないことが好ましい。例えば、開口 145 が、2 個の延伸部と、1 個の屈曲部を有する構成にしてもよい。また、例えば、開口 145 が、4 個以上の延伸部と、3 個以上の屈曲部を有する構成にしてもよい。

[0234]

また、図 10A では、開口 145 の上面形状を角が丸まった形状で示したが、本発明はこれに限られるものではなく、延伸部及び屈曲部の角が角張った形状にしてもよい。この場合、開口 145 の上

面形状をジグザグ形状と呼ぶこともできる。

[0235]

なお、図10Aでは、導電層204が開口145全体を覆う構造について示したが、本発明はこれに限られるものではない。例えば、図11A及び図11Bに示すように、導電層204が開口145の一部と重なる構造にしてもよい。

[0236]

ここで、図11Aに示すように、導電層212aと導電層212bを接続する半導体層208は、一点鎖線C1-C2で表す経路と、一点鎖線D1-D2で表す経路の2種類がある。図11Aのトランジスタでは、一点鎖線C1-C2で表す経路は導電層204で覆われているが、一点鎖線D1-D2で表す経路は導電層204から露出している。導電層204が形成されない領域では、絶縁層106の上面に絶縁層195が接する。このような構成にすることで、導電層204のレイアウト面積を低減し、トランジスタ200Bを高密度に配置することができる。

[0237]

また、図11Aに示すトランジスタ200Bは、一点鎖線C1-C2で表す経路の半導体層208だけがチャネル形成領域として機能する。このため、図10Aに示すトランジスタ200Bと比較して、実質的なチャネル幅が約半分になっているとみなすことができる。よって、図11Aに示すトランジスタ200Bは、チャネル幅がより小さくなるため、飽和性をより高くすることができる。

[0238]

<構成例3>

本発明の一態様であるトランジスタ200Cの断面図を、図12Aに示す。また、本発明の一態様であるトランジスタ100Cの断面図を、図12Bに示す。

[0239]

トランジスタ200Cは、導電層212a及び導電層212b上に導電層216を有する点、及び、絶縁層110が6層構造である点で、トランジスタ200と主に異なる。

[0240]

絶縁層110は、導電層212a及び導電層212b上の絶縁層110aと、絶縁層110a上の絶縁層110b1と、絶縁層110b1上の絶縁層110d1と、絶縁層110d1及び導電層216上の絶縁層110d2と、絶縁層110d2上の絶縁層110b2と、絶縁層110b2上の絶縁層110cと、を有する。

[0241]

導電層216は、トランジスタ200Cのバックゲート電極（第2のゲート電極ということもできる。）として機能する。導電層216は、絶縁層110d1上に位置することが好ましい。導電層212a、212bと導電層216とは、絶縁層110a、110b1、110d1によって互いに電氣的に絶縁されている。導電層216は開口が設けられていることが好ましく、当該開口の内側に、開口145が設けられることが好ましい。

[0242]

なお、導電層216は、導電層212aまたは導電層212bと電氣的に接続されていてもよい。例えば、絶縁層110a、110b1、110d1に設けられた開口を介して、導電層212aと導電層216とが接していてもよい。

[0243]

導電層 216 は、単層構造または 2 層以上の積層構造にすることができる。導電層 216 には、導電層 212a、導電層 212b、及び導電層 204 に用いることができる材料を適用することができる。

[0244]

なお、図 12A において、導電層 216 の断面形状はテーパ形状を有する構成を例示したが、これに限定されない。例えば、断面視において導電層 216 の側面が垂直となるように配置してもよい。当該配置とすることで、導電層 216 の側面と、絶縁層 110 と接する半導体層 208 の面と、が平行になる。このような配置とすることで、導電層 216 に与えられる電位を、効率的に半導体層 208 に付与することができるため、好適である。

[0245]

絶縁層 110d2 は、導電層 216 の上面及び側面を覆う。絶縁層 110d2 は、導電層 216 の開口の一部を覆うように設けられる。絶縁層 110d2 は、当該開口を介して、絶縁層 110d1 と接することが好ましい。

[0246]

絶縁層 110d1 及び絶縁層 110d2 には、絶縁層 110a、110c と同様の構成を適用することが好ましい。具体的には、絶縁層 110d1 及び絶縁層 110d2 には、酸素が拡散しにくい膜を用いることが好ましい。また、絶縁層 110d1 及び絶縁層 110d2 には、水素が拡散しにくい膜を用いることが好ましい。このような絶縁層 110d1 及び絶縁層 110d2 を設けることで、導電層 216 が酸化するのを抑制することができる。また、導電層 216 中に含まれる水素が、半導体層 208 に拡散することを抑制できる。

[0247]

なお、図 12A では、絶縁層 110d1 の厚さが場所によらず均一である例を示したが、本発明はこれに限られるものではない。例えば、絶縁層 110d1 は、導電層 216 と重なる領域と、重ならない領域とで、厚さが異なる場合がある。例えば、導電層 216 となる膜の加工時に、絶縁層 110d1 の導電層 216 と重ならない領域は、一部が除去され、厚さが薄くなる場合がある。

[0248]

絶縁層 110b2 は、絶縁層 110d2 を介して、導電層 216 の上面及び側面を覆うことが好ましい。絶縁層 110b2 は、絶縁層 110d2 を介して、導電層 216 の開口の一部を覆うように設けられることが好ましい。

[0249]

絶縁層 110b1 及び絶縁層 110b2 には、それぞれ、絶縁層 110b に適用可能な構成と同様の構成を適用できる。具体的には、絶縁層 110b1 及び絶縁層 110b2 には、それぞれ、酸素を含む層を用いることが好ましく、絶縁層 110a、110c、110d1、110d2 の少なくとも一つと比べて酸素の含有量が多い領域を有することが好ましい。

[0250]

このような構成とすることで、絶縁層 110 の構成を、導電層 216 の上下で対称にすることができる。また、半導体層 208 に対して、絶縁層 110b1、110b2 の 2 つから酸素を供給することができるため、トランジスタの特性向上を図ることができる。

[0251]

ただし、本発明は上記に限られるものではなく、例えば絶縁層 110b1 を設けない構成にするこ

ともできる。また、絶縁層 110d1 及び絶縁層 110d2 を設けない構成にすることもできる。

[0252]

トランジスタ 200C において、半導体層 208 には、絶縁層 106 及び絶縁層 209 を介して導電層 204 と対向し、かつ、絶縁層 110 の一部（特に、絶縁層 110b2、及び絶縁層 110d2）を介して導電層 216 と対向する領域が存在する。言い換えると、半導体層 208 の少なくとも一部は、導電層 204 の側面と導電層 216 の側面に挟まれており、半導体層 208 の少なくとも一部と導電層 216 の側面の間には絶縁層 110 の一部（特に、絶縁層 110b2、及び絶縁層 110d2）が設けられ、半導体層 208 の少なくとも一部と導電層 204 の側面の間には絶縁層 106 及び絶縁層 209 が設けられている。ここで、絶縁層 110 の一部は、トランジスタ 200C のバックゲート絶縁層（第 2 のゲート絶縁層ということもできる。）として機能する。

[0253]

トランジスタ 200C はバックゲート電極を有するため、半導体層 208 のバックゲート側（バックチャネルともいう）の電位を固定することができる。したがって、トランジスタ 200C の ID-V_D 特性における飽和性をより高めることができる。

[0254]

また、トランジスタ 200C は、バックゲート電極を有するため、半導体層 208 のバックチャネルの電位を固定でき、しきい値電圧がマイナスシフトすることを抑制できる。これにより、ノーマリーオフ特性（つまり、しきい値電圧がプラスの値）のトランジスタを実現できる。

[0255]

トランジスタ 200C は、導電層 216、絶縁層 110、半導体層 208、絶縁層 209、絶縁層 106、及び導電層 204 が、間に他の層を含まず、一方向にこの順で重なっている領域を有する。当該領域を広くすることで、半導体層 208 のバックチャネルの電界をより確実に制御することができる。

[0256]

なお、断面視において、絶縁層 110 の開口の左右で、導電層 216 と半導体層 208 との最短距離が異なる場合がある。

[0257]

またトランジスタ 200C と同様に、トランジスタ 100 にバックゲートを設ける構成にすることもできる。図 12B に示すトランジスタ 100C は、導電層 112a 上に導電層 116 を有する点、及び、絶縁層 110 が 6 層構造である点で、トランジスタ 100 と主に異なる。

[0258]

ここで、導電層 116 は、上記導電層 216 と対応しており、導電層 216 の記載を参照することができる。つまり、導電層 116 は、トランジスタ 100C のバックゲート電極として機能する。また、絶縁層 110 は、図 12A に示す絶縁層 110 と同様の構成である。つまり、絶縁層 110 の一部は、トランジスタ 100C のバックゲート絶縁層として機能する。

[0259]

よって、トランジスタ 100C においても、半導体層 108 には、絶縁層 106 を介して導電層 104 と対向し、かつ、絶縁層 110 の一部（特に、絶縁層 110b2、及び絶縁層 110d2）を介して導電層 116 と対向する領域が存在する。言い換えると、半導体層 108 の少なくとも一部は、導電層 104 の側面と導電層 116 の側面に挟まれており、半導体層 108 の少なくとも一部と導電

層 116 の側面の間には絶縁層 110 の一部（特に、絶縁層 110b2、及び絶縁層 110d2）が設けられ、半導体層 108 の少なくとも一部と導電層 104 の側面の間には絶縁層 106 が設けられている。

[0260]

トランジスタ 100C はバックゲート電極を有するため、半導体層 108 のバックゲート側（バックチャネルともいう）の電位を固定することができる。したがって、トランジスタ 200C の ID-VD 特性における飽和性をより高めることができる。

[0261]

また、トランジスタ 100C は、バックゲート電極を有するため、半導体層 108 のバックチャネルの電位を固定でき、しきい値電圧がマイナスシフトすることを抑制できる。これにより、ノーマリーオフ特性（つまり、しきい値電圧がプラスの値）のトランジスタを実現できる。

[0262]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせる実施することができる。また、本実施の形態に示す複数の構成及び対応する図面等は、互いに適宜組み合わせることが可能である。

[0263]

（実施の形態 3）

本実施の形態では、本発明の一態様の半導体装置の作製方法について、図 13A 乃至図 18B を用いて説明する。なお、各要素の材料及び形成方法について、先に実施の形態 2 で説明した部分と同様の部分については説明を省略することがある。

[0264]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、化学気相堆積（CVD: Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD: Pulsed Laser Deposition）法、ALD 法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法等を用いて形成することができる。CVD 法には、PECVD 法、及び、熱 CVD 法などがある。また、熱 CVD 法のひとつに、有機金属化学気相堆積（MOCVD: Metal Organic CVD）法がある。

[0265]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

[0266]

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0267]

フォトリソグラフィ法として、代表的には以下の 2 つの方法がある。1 つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう 1 つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の

形状に加工する方法である。

[0268]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、またはX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0269]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、及びサンドブラスト法の一または複数を用いることができる。

[0270]

<作製方法例>

ここでは、図5A及び図5Bに示す半導体装置10の作製方法の一例を、図13A乃至図16Cを用いて説明する。図13A乃至図16Cには、図5Aに示す一点鎖線A1-A2間の断面図を示す。

[0271]

まず、基板102上に、導電層112a、導電層212a、及び導電層212bとなる膜を形成し、当該膜を加工して導電層112a、導電層212a、及び導電層212bを形成する。当該膜の形成は、スパッタリング法を好適に用いることができる。また、導電層112a、導電層212a、及び導電層212bの形成は、例えば、ウェットエッチング法を好適に用いることができる。なお、当該膜の成膜前に、基板102上に下地膜となる絶縁層を積層させてもよい。

[0272]

例えば、導電層112a、導電層212a、及び導電層212bに、銅などの導電性の高い導電膜を用いることができる。好ましくは、導電層112a、導電層212a、及び導電層212bに、銅の層と、銅の層上のITSOの層を有する積層膜を用いることができる。本実施の形態に示す半導体装置では、基板102上の平坦部に導電層112a、導電層212a、及び導電層212bが配置されるため、銅などの導電性の高い導電膜を用いても、導電層112a、導電層212a、及び導電層212bを比較的容易に引き回すことができる。よって、導電層112a、導電層212a、及び導電層212bを電気抵抗の低い配線として機能させることができる。

[0273]

続いて、基板102、導電層112a、導電層212a、及び導電層212b上に、絶縁層110aとなる絶縁膜110af、及び絶縁層110bとなる絶縁膜110bfを形成する（図13A）。トランジスタ100のチャンネル長L100及びトランジスタ200のチャンネル幅W200は、絶縁膜110bfの膜厚に依存する。よって、トランジスタ100及びトランジスタ200に求める電気特性に合わせて、絶縁膜110bfの膜厚を設定することが好ましい。

[0274]

絶縁膜110af及び絶縁膜110bfの形成は、スパッタリング法またはPECVD法を好適に用いることができる。絶縁膜110afを形成した後、絶縁膜110afの表面を大気に曝すことな

く、真空中で連続して絶縁膜 110b f を形成することが好ましい。絶縁膜 110a f 及び絶縁膜 110b f を連続して形成することで、絶縁膜 110a f の表面に大気由来の不純物が付着することを抑制できる。当該不純物として、例えば、水、及び有機物が挙げられる。

[0275]

絶縁膜 110a f 及び絶縁膜 110b f の形成時の基板温度はそれぞれ、180℃以上450℃以下が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましく、さらには350℃以上400℃以下が好ましい。絶縁膜 110a f 及び絶縁膜 110b f の形成時の基板温度を前述の範囲とすることで、自身からの不純物（例えば、水及び水素）の放出を少なくすることができ、不純物が半導体層 108 に拡散することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0276]

なお、絶縁膜 110a f 及び絶縁膜 110b f は、半導体層 108 及び半導体層 208 より先に形成されるため、絶縁膜 110a f 及び絶縁膜 110b f の形成時に加わる熱によって半導体層 108 及び半導体層 208 から酸素が脱離することを懸念する必要はない。

[0277]

絶縁膜 110b f を形成した後、絶縁膜 110b f に酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理を用いることができる。プラズマ処理として、酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、PECVD装置、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。プラズマ処理は、酸素を含む雰囲気で行うことが好ましい。例えば、酸素、一酸化二窒素（ N_2O ）、二酸化窒素（ NO_2 ）、一酸化炭素、及び二酸化炭素の一以上を含む雰囲気、プラズマ処理を行うことが好ましい。

[0278]

なお、絶縁膜 110b f の表面を大気に曝すことなく、真空中で連続して当該プラズマ処理を行ってもよい。例えば、絶縁膜 110b f の形成にPECVD装置を用いる場合、当該PECVD装置で当該プラズマ処理を行うことが好ましい。これにより、生産性を高めることができる。具体的には、PECVD装置で絶縁膜 110b f を形成した後、真空中で連続して N_2O プラズマ処理を行うことができる。

[0279]

また、絶縁膜 110b f 上に、金属酸化物層 137 を形成することが好ましい（図 13B）。金属酸化物層 137 を形成することで、絶縁膜 110b f に酸素を供給することができる。

[0280]

金属酸化物層 137 の導電性は問わない。金属酸化物層 137 として、絶縁膜、半導体膜、及び導電膜の少なくとも一種を用いることができる。金属酸化物層 137 として、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物、またはシリコンを含有したインジウムスズ酸化物を用いることができる。

[0281]

金属酸化物層 137 として、半導体層 108 及び半導体層 208 と同一の元素を一以上含む酸化物

材料を用いることが好ましい。特に、半導体層 108 及び半導体層 208 に適用可能な金属酸化物材料を用いることが好ましい。

[0282]

金属酸化物層 137 の形成時に、成膜装置の処理室内に導入する成膜ガスの酸素流量比、または処理室内の酸素分圧が高いほど、絶縁膜 110b f 中に供給される酸素の量を増やすことができる。酸素流量比または酸素分圧は、例えば 50% 以上 100% 以下、好ましくは 65% 以上 100% 以下、より好ましくは 80% 以上 100% 以下、さらに好ましくは 90% 以上 100% 以下とする。特に、酸素流量比を 100% とし、酸素分圧を 100% にできるだけ近づけることが好ましい。

[0283]

このように、酸素を含む雰囲気でスパッタリング法により金属酸化物層 137 を形成することにより、金属酸化物層 137 の形成時に、絶縁膜 110b f へ酸素を供給するとともに、絶縁膜 110b f から酸素が脱離することを防ぐことができる。その結果、絶縁膜 110b f に多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層 108 に多くの酸素を供給することができる。その結果、半導体層 108 中の酸素欠損及び V_{O} H を低減することができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0284]

金属酸化物層 137 を形成した後、加熱処理を行ってもよい。金属酸化物層 137 を形成した後に加熱処理を行うことで、金属酸化物層 137 から絶縁膜 110b f に効果的に酸素を供給することができる。

[0285]

加熱処理の温度は、150℃以上、200℃以上、230℃以上、または250℃以上であって、基板の歪み点未満、450℃以下、400℃以下、350℃以下、または300℃以下が好ましい。加熱処理は、貴ガス、窒素または酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、または酸素を含む雰囲気として、乾燥空気 (CDA: Clean Dry Air) を用いてもよい。なお、当該雰囲気における水素、水などの含有量が極力少ないことが好ましい。当該雰囲気として、露点が−60℃以下、好ましくは−100℃以下の高純度ガスを用いることが好ましい。水素、水などの含有量が極力少ない雰囲気を用いることで、絶縁膜 110a f 及び絶縁膜 110b f に水素、水などが取り込まれることを可能な限り防ぐことができる。加熱処理は、オーブン、急速加熱 (RTA: Rapid Thermal Annealing) 装置等を用いることができる。RTA 装置を用いることで、加熱処理時間を短縮できる。

[0286]

金属酸化物層 137 を形成した後、または前述の加熱処理の後に、さらに、金属酸化物層 137 を介して絶縁膜 110b f に酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理を用いることができる。プラズマ処理については、前述の記載を参照できるため、詳細な説明は省略する。

[0287]

続いて、金属酸化物層 137 を除去する。金属酸化物層 137 の除去方法に特に限定は無いが、ウェットエッチング法を好適に用いることができる。ウェットエッチング法を用いることで、金属酸化物層 137 の除去の際に、絶縁膜 110b f がエッチングされることを抑制できる。これにより、絶縁膜 110b f の厚さが薄くなることを抑制でき、絶縁層 110b の厚さを均一にすることができる。

[0288]

金属酸化物層137を除去した後に、さらに絶縁膜110bfに酸素を供給してもよい。酸素の供給方法については、前述の記載を参照できる。例えば、図13Cに示すように、絶縁膜110bf上に膜139を形成し、膜139を介して絶縁膜110bfに酸素を供給してもよい。当該処理として、酸素を含む雰囲気におけるプラズマ処理を用いることができる。図13Cは、絶縁膜110bfへ酸素が供給される様子を矢印で模式的に示している。

[0289]

膜139は、導電膜または半導体膜を用いることが好ましい。膜139は、金属酸化物膜、金属膜または合金膜を用いることができる。膜139として金属酸化物を用い、酸素を含む雰囲気下でスパッタリング法等により形成すると、膜139の形成時においても絶縁膜110bfに酸素を供給できるため好ましい。

[0290]

膜139の厚さは薄いことが好ましい。具体的には、膜139の厚さは、1nm以上、2nm以上、または3nm以上であって、20nm以下、15nm以下、または10nm以下が好ましい。代表的には5nm程度とすることができる。

[0291]

膜139の形成時の基板温度は、350℃以下が好ましく、さらには340℃以下が好ましく、さらには330℃以下が好ましく、さらには300℃以下が好ましい。これにより、絶縁膜110bfに供給される酸素の量を多くすることができる。

[0292]

膜139を設けることにより、酸素を供給する際に一對の電極間にバイアス電圧が印加されると、イオン化した酸素をひきつけやすくなる。したがって、絶縁膜110bfに供給される酸素の量を多くすることができる。

[0293]

酸素を供給する処理装置として、ドライエッチング装置、アッシング装置、またはPECVD装置を好適に用いることができる。特に、アッシング装置を用いることが好ましい。処理装置が有する一對の電極間にバイアス電圧を印加する場合、そのバイアス電圧を例えば10V以上1kV以下とすることが好ましい。または、バイアスの電力密度を例えば1W/cm²以上5W/cm²以下とすることが好ましい。

[0294]

続いて、膜139を除去する。膜139の除去は、ウェットエッチング法を好適に用いることができる。

[0295]

絶縁膜110bfに対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁膜110bfに対してイオンドーピング法、イオン注入法、またはプラズマ処理により、酸素ラジカル、酸素原子、酸素原子イオン、または酸素分子イオンを供給する。また、絶縁膜110bf上に酸素の脱離を抑制する膜を形成した後、該膜を介して絶縁膜110bfに酸素を供給してもよい。該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、及びタングステンの1以上を有する導電膜あるいは半導体膜を用いることができる。

[0296]

続いて、絶縁膜110b f上に、絶縁層110cとなる絶縁膜110c fを形成する(図13D)。絶縁膜110c fの形成は、絶縁膜110a f及び絶縁膜110b fの形成に係る記載を参照できるため、詳細な説明は省略する。

[0297]

続いて、絶縁膜110c f上に、導電層112bとなる導電膜112b fを形成する(図13E)。導電膜112b fの形成は、例えば、スパッタリング法を好適に用いることができる。

[0298]

続いて、導電膜112b fを加工し、導電層112bを形成する(図14A)。このとき、導電層112bの開口143も同時に形成することができる。開口143が、導電層112aの少なくとも一部と重畳するように、導電層112bを形成する。導電層112bの形成は、例えば、ウェットエッチング法を好適に用いることができる。

[0299]

続いて、絶縁膜110a f、絶縁膜110b f、及び絶縁膜110c fの一部を除去し、開口141及び開口145を有する絶縁層110を形成する(図14B)。開口141は、開口143と重なる領域に設けられる。よって、開口141の形成により導電層112aが露出する。また、開口145は、導電層212aの少なくとも一部、及び導電層212bの少なくとも一部と重なる領域に設けられる。よって、開口145の形成により、導電層212a、導電層212b、及び基板102(または基板102の表面に形成された絶縁層)が露出する。絶縁層110の形成は、例えば、ドライエッチング法を好適に用いることができる。

[0300]

トランジスタ100のチャネル幅W100は、開口141の形状及び大きさに依存する。よって、トランジスタ100に求める電気特性に合わせて、開口141の形状及び大きさを設定することが好ましい。トランジスタ200のチャネル長L200a及びチャネル長L200bは、開口145の形状及び大きさに依存する。よって、トランジスタ200に求める電気特性に合わせて、開口145の形状及び大きさを設定することが好ましい。

[0301]

なお、開口141を形成する際、または開口141を形成した後に、開口141と重なる領域の導電層112aの一部を除去してもよい。導電層112aの半導体層108の下面と接する領域の厚さが、半導体層108と接しない領域の厚さより薄くなることにより、導電層112a近傍のチャネル形成領域にかかるゲート電極の電界を強くすることができ、トランジスタのオン電流を大きくすることができる。なお、上記においては、開口143と重なるように、開口141を形成する例について説明したが、本発明はこれに限られるものではない。例えば、図14Aに係る工程で、開口143を形成せずに、図14Bに係る工程で、開口143と開口141を一括で形成してもよい。

[0302]

また、開口145を形成する際、または開口145を形成した後に、開口145と重なる領域の導電層212aの一部、導電層212bの一部が除去される場合がある。つまり、導電層212a及び導電層212bの開口145と重なる領域の厚さが、開口145と重ならない領域の厚さより薄くなる場合がある。

[0303]

続いて、開口141、開口143及び開口145を覆うように、半導体層108及び半導体層208となる金属酸化物膜108fを形成する（図14C）。金属酸化物膜108fは、導電層112bの上面及び側面、絶縁層110の上面及び側面、導電層112aの上面、導電層212aの一部の上面及び側面、導電層212bの一部の上面及び側面、並びに基板102の上面に接して設けられる。
[0304]

金属酸化物膜108fは、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。または、金属酸化物膜108fは、ALD法により形成することが好ましい。ALD法は被覆性が高いため、開口141、開口143及び開口145を覆って設けられる金属酸化物膜108fの形成に、好適に用いることができる。ALD法を用いることにより、絶縁層110の側面にも被覆性高く金属酸化物膜を形成することができる。また、ALD法は成膜速度を制御しやすいため、厚さが薄い膜を歩留り良く形成できる。

[0305]

金属酸化物膜108fは、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、金属酸化物膜108fは、可能な限り水素元素を含む不純物が低減され、高純度の膜であることが好ましい。特に、金属酸化物膜108fとして、結晶性を有する金属酸化物膜を用いることが好ましい。

[0306]

金属酸化物膜108fを形成する際に、酸素ガスを用いることが好ましい。酸素ガスを用いることで、絶縁層110中に好適に酸素を供給することができる。例えば、絶縁層110bに酸化物または酸化窒化物を用いる場合、絶縁層110b中に好適に酸素を供給することができる。

[0307]

絶縁層110bに酸素を供給することにより、後の工程で半導体層108及び半導体層208のチャンネル形成領域に酸素が供給され、これらのチャンネル形成領域中の酸素欠損及びV_oHを低減できる。

[0308]

金属酸化物膜108fを形成する際に、酸素ガスと、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）と、を混合させてもよい。なお、金属酸化物膜を形成する際の成膜ガス全体に占める酸素ガスの割合（酸素流量比）、または処理室内の酸素分圧が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比または酸素分圧が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができ、オン電流が大きいトランジスタとすることができる。

[0309]

ここで、酸素流量比または酸素分圧が高いと金属酸化物膜が多結晶構造となる場合がある。多結晶構造の金属酸化物膜の場合、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。したがって、金属酸化物膜108fが多結晶構造とならないよう、酸素流量比または酸素分圧を調整することが好ましい。金属酸化物膜の組成によって多結晶構造へのなりやすさが異なるため、金属酸化物膜108fの組成に応じて酸素流量比または酸素分圧を調整することが好ましい。

[0310]

金属酸化物膜を形成する際の基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができる。

[0311]

金属酸化物膜108fの形成時の基板温度は、室温以上250℃以下が好ましく、室温以上200℃以下がより好ましく、室温以上140℃以下がさらに好ましい。例えば、基板温度を、室温以上140℃以下とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または基板を加熱しない状態で、金属酸化物膜108fを形成することにより、結晶性を低くすることができる。

[0312]

基板温度が高いと金属酸化物膜が多結晶構造となる場合がある。金属酸化物膜108fが多結晶構造とならないよう、基板温度を調整することが好ましい。金属酸化物膜108fに適用する組成に応じて基板温度を調整することが好ましい。

[0313]

ALD法を用いる場合、熱ALD法、またはPEALD(Plasma Enhanced ALD)等の成膜方法を用いることが好ましい。熱ALD法は、極めて高い被覆性を示すため好ましい。PEALD法は、高い被覆性を示すことに加え、低温成膜が可能であるため好ましい。

[0314]

金属酸化物膜は、例えば、構成する金属元素を含むプリカーサと、酸化剤と、を用いてALD法により形成することができる。

[0315]

例えば、In-Ga-Zn酸化物を形成する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び亜鉛を含むプリカーサの、3つのプリカーサを用いることができる。または、インジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの2つのプリカーサを用いてもよい。

[0316]

インジウムを含むプリカーサとして、例えば、トリエチルインジウム、トリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)インジウム、シクロペンタジエニルインジウム、塩化インジウム(III)、及び、(3-(ジメチルアミノ)プロピル)ジメチルインジウムが挙げられる。

[0317]

ガリウムを含むプリカーサとして、例えば、トリメチルガリウム、トリエチルガリウム、塩化ガリウム(III)、トリス(ジメチルアミド)ガリウム(III)、ガリウム(III)アセチルアセトナート、トリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)ガリウム、ジメチルクロロガリウム、及びジエチルクロロガリウムが挙げられる。

[0318]

亜鉛を含むプリカーサとして、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)亜鉛、及び、塩化亜鉛が挙げられる。

[0319]

酸化剤として、例えば、オゾン、酸素、及び、水が挙げられる。

[0320]

得られる膜の組成を制御する方法として、原料ガスの種類、原料ガスの流量比、原料ガスを流す時間、及び原料ガスを流す順番の一または複数を調整することが挙げられる。これらを調整することにより、金属酸化物膜108fの組成を制御することができる。また、これらを調整することで、組成が連続して変化する膜を形成することもできる。金属酸化物膜108fの組成が連続して変化する構

成としてもよい。

[0321]

金属酸化物膜108fを成膜する前に、絶縁層110の表面に吸着した水、水素、及び有機物等を脱離させるための処理、及び絶縁層110中に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気にて70℃以上200℃以下の温度で加熱処理を行うことができる。または、酸素を含む雰囲気におけるプラズマ処理を行ってもよい。または、一酸化二窒素(N₂O)などの酸化性気体を含む雰囲気におけるプラズマ処理により、絶縁層110に酸素を供給してもよい。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層110の表面の有機物を好適に除去しつつ、酸素を供給することができる。このような処理の後、絶縁層110の表面を大気に暴露することなく、連続して金属酸化物膜108fを成膜することが好ましい。

[0322]

なお、半導体層108及び半導体層208を積層構造とする場合には、先に形成する金属酸化物膜を成膜した後に、その表面を大気に曝すことなく連続して、次の金属酸化物膜を成膜することが好ましい。

[0323]

半導体層108及び半導体層208を積層構造とする場合には、半導体層108及び半導体層208を構成する全ての層を同じ成膜方法(例えば、スパッタリング法またはALD法)で形成してもよく、層によって異なる成膜方法を用いてもよい。例えば、第1の金属酸化物層をスパッタリング法で成膜し、第2の金属酸化物層をALD法で成膜してもよい。

[0324]

続いて、開口141及び開口143に、充填剤155を埋め込む(図14D)。充填剤155を開口141及び開口143に埋め込んでおくことで、後の工程で、開口141及び開口143の内部にサイドウォール状の絶縁層が形成されるのを防ぐことができる。充填剤155としては、感光性の有機樹脂などを用いればよい。例えば充填剤155として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を用いてもよい。また、絶縁層127として、ポリビニルアルコール(PVA)、ポリビニルブチラール、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。また、感光性の有機樹脂としては、ポジ型またはネガ型のフォトレジストを用いてもよい。

[0325]

続いて、金属酸化物膜108f及び充填剤155を覆って、絶縁層209となる絶縁膜209fを成膜する(図15A)。絶縁膜209fの成膜は、例えば、PECVD法またはALD法を好適に用いることができる。絶縁膜209fは後の工程で絶縁層209になるため、開口145の側壁近傍に成膜できるように被覆性の良好な方法で成膜することが好ましい。例えば、絶縁膜209fとして、PECVD法で成膜した酸化窒化シリコン膜を用いればよい。

[0326]

ゲート絶縁層の一部として機能する絶縁膜209fの形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁膜209fの形成時の温度が高いと金属酸化物膜108fから酸素が脱離し、金属酸化物膜108f中の酸素欠損(V_O)及びV_OHが増加して

しまう場合がある。絶縁膜 209f の形成時の基板温度は、180℃以上 450℃以下が好ましく、さらには 200℃以上 450℃以下が好ましく、さらには 250℃以上 450℃以下が好ましく、さらには 300℃以上 450℃以下が好ましく、さらには 300℃以上 400℃以下が好ましい。絶縁膜 209f の形成時の基板温度を前述の範囲とすることで、絶縁膜 209f の欠陥を少なくするとともに、金属酸化物膜 108f から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0327]

続いて、絶縁膜 209f を加工し、絶縁層 110 の開口 145 における側面に沿ってサイドウォール状の絶縁層 209 を形成する (図 16A)。絶縁層 209 の形成は、異方性のエッチング法を用いることが好ましく、例えば、ドライエッチング法を用いることが好ましい。本エッチング処理は、金属酸化物膜 108f に対して高いエッチング選択比を有する条件で行うことが好ましい。例えば、絶縁膜 209f に酸化窒化シリコンを用い、金属酸化物膜 108f に In-Ga-Zn 酸化物を用いる場合、エッチングガスに C₄F₈ ガスを用いてドライエッチング処理を行えばよい。

[0328]

このようにして、開口 145 の側壁を覆う金属酸化物膜 108f に接して、サイドウォール状の絶縁層 209 が形成される。ここで絶縁層 209 は、導電層 212a 及び導電層 212b より上に形成され、金属酸化物膜 108f の開口 145 の深さ方向に沿った部分に接することが好ましい。このように絶縁層 209 を形成することで、後の工程で半導体層 208 を開口 145 の側壁に沿って形成することができる。また、図 15B に示すように、開口 141 及び開口 143 は、充填剤 155 で埋め込まれているため、開口 141 及び開口 143 の側壁に沿ってサイドウォール状の絶縁層が形成されることを防ぐことができる。

[0329]

続いて、開口 141 及び開口 143 に埋め込まれた充填剤 155 を除去する (図 15C)。充填剤 155 の除去は、酸素プラズマを用いたアッシング、またはウェットエッチングなどを用いればよい。

[0330]

続いて、金属酸化物膜 108f 上にレジストマスク 159 を形成する (図 15D)。レジストマスク 159 は、半導体層 108 が形成される領域に設けられ、少なくとも開口 141 及び開口 143 を覆うように設けられる。

[0331]

続いて、金属酸化物膜 108f を加工し、島状の半導体層 108 と、開口 145 の側壁に接する半導体層 208 を形成する (図 16A)。半導体層 108 及び半導体層 208 の形成は、ウェットエッチング法を好適に用いることができる。例えば、絶縁層 209 に酸化窒化シリコンを用い、金属酸化物膜 108f に In-Ga-Zn 酸化物を用いる場合、硝酸、酢酸、及びリン酸を含む水溶液を用いて、ウェットエッチング処理を行えばよい。

[0332]

本工程において、絶縁層 209 は半導体層 208 を形成するためのハードマスクとして機能する。例えば、絶縁層 209 を用いずに、金属酸化物膜 108f をサイドウォール状に形成しようとする、金属酸化物膜 108f にドライエッチングを用いて直接加工する必要がある。この場合、金属酸化物膜 108f の表面がドライエッチングに用いるエッチングガスに曝されるため、半導体層 208 の表面にエッチングガスに含まれる不純物が付着する恐れがある。また、金属酸化物膜 108f 上にレジ

ストマスク 159 を形成してドライエッチング処理を行うことで、レジストマスク 159 の側面に反応副生成物が堆積され、形状不良（所謂ラビットイヤー）が発生する恐れがある。

[0333]

これに対して本実施の形態では、ハードマスクとして機能する絶縁層 209 を用いることで、ウェットエッチング法を用いてサイドウォール状の半導体層 208 を形成することができる。これにより、金属酸化物膜 108 f の表面が絶縁層 209 で保護されるため、半導体層 208 の表面に不純物が付着することを防ぐことができる。また、金属酸化物膜 108 f をドライエッチング法ではなくウェットエッチング法で加工することで、形状不良が発生することを抑制することができる。

[0334]

このようにして、絶縁層 110 の開口 145 における側面に接するサイドウォール状の半導体層 208 が形成される。図 16 A に示すように、半導体層 208 は断面視において、突出部が形成された L 字状になっており、絶縁層 209 が半導体層 208 の突出部の上に形成される。つまり、半導体層 208 と絶縁層 209 の積層体が開口 145 の側壁に沿ってサイドウォール状に設けられることになる。なお、上記工程の後で、レジストマスク 159 を除去することが好ましい。

[0335]

なお、図 15 C に示す工程で、絶縁層 209 の上端部が絶縁層 110 の上面より低くなっていた場合、図 8 B に示すように、半導体層 208 の上端部も絶縁層 110 の上面より低くなる場合がある。また、図 15 C に示す工程で、絶縁層 209 の開口 145 の中央部側の側面が導電層 212 a（または導電層 212 b）の側面より後退していた場合、図 8 B に示すように、半導体層 208 の突出部の側面も導電層 212 a（または導電層 212 b）の側面より後退する場合がある。

[0336]

また、上記工程において、ウェットエッチングのエッチングレートが大きい場合、図 8 C に示すように、半導体層 208 の上端部が絶縁層 209 の上端部より低くなる場合がある。また、図 8 C に示すように、半導体層 208 の突出部の側面が、絶縁層 209 の開口 145 の中央部側の側面より後退する場合がある。

[0337]

なお、図 2 B 乃至図 2 D に示すトランジスタのように、開口 145 内部において、半導体層 208 及び絶縁層 209 の一部を除去する構成にすることもできる。この場合、レジストマスクを用いて、当該箇所の半導体層 208 及び絶縁層 209 をエッチング処理で除去することが好ましい。当該エッチング処理は、ウェットエッチング法及びドライエッチング法的一方または双方を用いることができる。

[0338]

なお、金属酸化物膜 108 f の成膜後、または金属酸化物膜 108 f を半導体層 108 及び半導体層 208 に加工した後に、加熱処理を行うことが好ましい。加熱処理により、金属酸化物膜 108 f または半導体層 108 及び半導体層 208 中に含まれる、または表面に吸着した水素及び水を除去することができる。また、加熱処理により、金属酸化物膜 108 f または半導体層 108 及び半導体層 208 の膜質が向上する（例えば、欠陥が低減する、または結晶性が向上する）場合がある。

[0339]

加熱処理により、絶縁層 110 b から金属酸化物膜 108 f、または半導体層 108 に酸素を供給することもできる。これにより、チャネル形成領域の酸素欠損（ V_o ）及び V_oH を低減できる。こ

のとき、金属酸化物膜 108f を半導体層 108 及び半導体層 208 に加工する前に、加熱処理を行うことがより好ましい。加熱処理については、前述の記載を参照できるため、詳細な説明は省略する。なお、当該加熱処理に限定されず、金属酸化物膜 108f の形成以降の熱が加わる工程（例えば、絶縁層 106 の形成工程）においても、チャネル形成領域への酸素の供給が行われてもよい。

[0340]

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）が、当該加熱処理を兼ねられる場合もある。

[0341]

続いて、半導体層 108、半導体層 208、絶縁層 209、導電層 112b、導電層 212a、導電層 212b、絶縁層 110 及び基板 102 を覆って、絶縁層 106 を形成する（図 16B）。絶縁層 106 の形成は、例えば、PECVD 法または ALD 法を好適に用いることができる。

[0342]

半導体層 108 及び半導体層 208 に金属酸化物を用いる場合、絶縁層 106 は、酸素が拡散することを抑制するバリア膜として機能することが好ましい。絶縁層 106 が酸素の拡散を抑制する機能を有することにより、半導体層 108 及び半導体層 208 に含まれる酸素が絶縁層 106 より上側に拡散することが抑制され、半導体層 108 及び半導体層 208 に酸素欠損 (V_o) が増加することを抑制できる。その結果、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0343]

ゲート絶縁層として機能する絶縁層 106 の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層 106 の形成時の温度が高いと半導体層 108 及び半導体層 208 から酸素が脱離し、半導体層 108 及び半導体層 208 中の酸素欠損 (V_o) 及び V_oH が増加してしまう場合がある。絶縁層 106 の形成時の基板温度は、180℃以上 450℃以下が好ましく、さらには 200℃以上 450℃以下が好ましく、さらには 250℃以上 450℃以下が好ましく、さらには 300℃以上 450℃以下が好ましく、さらには 300℃以上 400℃以下が好ましい。絶縁層 106 の形成時の基板温度を前述の範囲とすることで、絶縁層 106 の欠陥を少なくするとともに、半導体層 108 及び半導体層 208 から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0344]

絶縁層 106 を形成する前に、半導体層 108 及び半導体層 208 の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層 108 及び半導体層 208 の表面に吸着する水などの不純物を低減することができる。そのため、半導体層 108 と絶縁層 106 との界面、及び半導体層 208 と絶縁層 106 との界面における不純物を低減でき、信頼性の高いトランジスタを実現できる。特に、半導体層 108 及び半導体層 208 の形成から、絶縁層 106 の形成までの間に半導体層 108 及び半導体層 208 の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気で行うことができる。また、プラズマ処理と絶縁層 106 の成膜とは、大気に曝することなく連続して行われることが好ましい。

[0345]

続いて、絶縁層 106 上に、導電層 104 及び導電層 204 となる膜を形成し、当該膜を加工することにより導電層 104 及び導電層 204 を形成する（図 16C）。ここで、導電層 104 の少なく

とも一部は、開口 1 4 1 及び開口 1 4 3 において、絶縁層 1 0 6 を介して半導体層 1 0 8 と対向するように形成される。また、導電層 2 0 4 の少なくとも一部は、開口 1 4 5 において、絶縁層 1 0 6 及び絶縁層 2 0 9 を介して半導体層 2 0 8 と対向するように形成される。当該膜の形成は、例えば、スパッタリング法、熱 CVD 法 (MOCVD 法を含む)、または ALD 法を好適に用いることができる。

[0346]

続いて、導電層 1 0 4、導電層 2 0 4 及び絶縁層 1 0 6 を覆って、絶縁層 1 9 5 を形成する (図 5 B)。絶縁層 1 9 5 の形成は、PECVD 法を好適に用いることができる。

[0347]

絶縁層 1 9 5 の形成後、加熱処理を行ってもよい。なお、当該加熱処理は行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理 (例えば成膜工程など) がある場合には、当該加熱処理と兼ねることができる場合もある。

[0348]

以上の工程により、本発明の一態様の半導体装置を作製することができる。上記の方法を用いることで、チャンネル長が短いトランジスタ 1 0 0 と、よりチャンネル長が長いトランジスタ 2 0 0 を、生産性良く、同一面上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ 1 0 0 を適用し、高い飽和性が求められるトランジスタにトランジスタ 2 0 0 を適用することにより、それぞれのトランジスタの利点を活かした高い性能の半導体装置 1 0 とすることができる。

[0349]

なお、上記の作製方法においては、充填剤 1 5 5 を設けて開口 1 4 1 及び開口 1 4 3 の内部にサイドウォール状の絶縁層が形成されることを防いだが、本発明はこれに限られるものではない。

[0350]

例えば、図 1 7 A 乃至図 1 7 C に示す方法を用いてもよい。なお、以下においては、図 1 3 A 乃至図 1 6 C に示す工程と異なる工程について説明する。図 1 3 A 乃至図 1 6 C に示す工程と同じ工程については、上記の作製方法の説明を参照することができる。

[0351]

まず、上記作製方法と同様に、図 1 4 C に示す工程まで行い、金属酸化物膜 1 0 8 f を形成する。

[0352]

続いて、開口 1 4 1、開口 1 4 3、及び開口 1 4 5 を覆って絶縁膜 2 0 9 f を成膜する (図 1 7 A)。絶縁膜 2 0 9 f の成膜方法は、図 1 5 A に係る工程と同様の方法を用いればよい。

[0353]

続いて、絶縁膜 2 0 9 f を加工し、開口 1 4 1 及び開口 1 4 3 の側壁に沿ってサイドウォール状の絶縁層 1 0 9 を形成し、開口 1 4 5 の側壁に沿ってサイドウォール状の絶縁層 2 0 9 を形成する (図 1 7 B)。絶縁膜 2 0 9 f の加工方法は、図 1 5 B に係る工程と同様の方法を用いればよい。

[0354]

これにより、絶縁層 2 0 9 と同様の構成を有する絶縁層 1 0 9 を形成することができる。よって、絶縁層 1 0 9 は、開口 1 4 1 及び開口 1 4 3 の側壁を覆う金属酸化物膜 1 0 8 f に接して、サイドウォール状に形成される。ここで絶縁層 1 0 9 は、導電層 1 1 2 a 上に形成され、金属酸化物膜 1 0 8 f の開口 1 4 1 及び開口 1 4 3 の深さ方向に沿った部分に接することが好ましい。このように絶縁層 1 0 9 を形成することで、後の工程で半導体層 1 0 8 を開口 1 4 1 及び開口 1 4 3 の側壁に沿って形

成することができる。

[0355]

続いて、金属酸化物膜108fを加工し、開口141及び開口143の側壁に接する半導体層108と、開口145の側壁に接する半導体層208を形成する（図17C）。金属酸化物膜108fの加工方法は、図16Aに係る工程と同様の方法を用いればよい。

[0356]

これにより、半導体層208と同様の構成を有する半導体層108を形成することができる。半導体層208と同様に、絶縁層110の開口141における側面、及び導電層112bの開口143における側面に接するサイドウォール状の半導体層108が形成される。図17Cに示すように、半導体層108は断面視において、突出部が形成されたL字状になっており、絶縁層109が半導体層108の突出部の上に形成される。つまり、半導体層108と絶縁層109の積層体が開口141及び開口143の側壁に沿ってサイドウォール状に設けられることになる。

[0357]

以下、図16B及び図16Cに示す工程を行うことで、図6Bに示すトランジスタ200と、図9Aに示すトランジスタ100を同一面上に形成することができる。

[0358]

また、本発明は図17A乃至図17Cに示す方法に限られるものではない。例えば、図18A及び図18Bに示す方法を用いてもよい。なお、以下においては、図13A乃至図17Cに示す工程と異なる工程について説明する。図13A乃至図17Cに示す工程と同じ工程については、上記の作製方法の説明を参照することができる。

[0359]

まず、上記作製方法と同様に、図17Bに示す工程まで行い、絶縁層109及び絶縁層209を形成する。

[0360]

続いて、金属酸化物膜108f及び絶縁層109上にレジストマスク159を形成する（図18A）。レジストマスク159は、半導体層108が形成される領域に設けられ、少なくとも、絶縁層109、開口141及び開口143を覆うように設けられる。

[0361]

続いて、金属酸化物膜108fを加工し、島状の半導体層108と、開口145の側壁に接する半導体層208を形成する（図18B）。金属酸化物膜108fの加工方法は、図16Aに係る工程と同様の方法を用いればよい。

[0362]

このようにして、絶縁層110の開口145における側面に接するサイドウォール状の半導体層208と同時に、島状の半導体層108が形成される。ただし、半導体層108の内側には、サイドウォール状の絶縁層109が形成される。なお、上記工程の後で、レジストマスク159を除去することが好ましい。

[0363]

以下、図16B及び図16Cに示す工程を行うことで、図6Bに示すトランジスタ200と、図9Bに示すトランジスタ100を同一面上に形成することができる。

[0364]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせる実施することができる。また、本実施の形態に示す複数の構成及び対応する図面等は、互いに適宜組み合わせることが可能である。

[0365]

(実施の形態4)

本実施の形態では、本発明の一態様の表示装置について、図19乃至図22を用いて説明する。

[0366]

本実施の形態の表示装置は、解像度の高い表示装置または大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型もしくはノート型のコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

[0367]

本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（HMD）などのVR向け機器、及び、メガネ型のAR向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0368]

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとして、当該表示装置にフレキシブルプリント回路基板（Flexible printed circuit、以下、FPCと記す）もしくはTCP（Tape Carrier Package）等のコネクタが取り付けられたモジュール、COG（Chip On Glass）方式もしくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0369]

本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子（センサ素子ともいえる）を適用することができる。

[0370]

センサの方式として、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

[0371]

静電容量方式として、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式として、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0372]

タッチパネルとして、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子（表示デバイスともいう）を支持する基板と対向基板のうち一方または双方に、検知素子を構成する電極が設けられた構成をいう。

[0373]

<構成例1>

図19Aに、表示装置50Aの斜視図を示す。

[0374]

表示装置50Aは、基板152と基板151とが貼り合わされた構成を有する。図19Aでは、基板152を破線で示している。

[0375]

表示装置50Aは、表示部162、接続部140、回路部164、導電層165等を有する。図19Aでは、表示装置50AにIC173及びFPC172が実装されている例を示している。そのため、図19Aに示す構成は、表示装置50Aと、ICと、FPCと、を有する表示モジュールということもできる。

[0376]

接続部140は、表示部162の外側に設けられる。接続部140は、表示部162の一边または複数の辺に沿って設けることができる。接続部140は、単数であっても複数であってもよい。図19Aでは、表示部の四辺を囲むように接続部140が設けられている例を示す。接続部140では、表示素子の共通電極と、導電層とが電氣的に接続されており、共通電極に電位を供給することができる。

[0377]

回路部164は、例えば走査線駆動回路（ゲートドライバともいう）を有する。また、回路部164は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう）の双方を有していてもよい。

[0378]

導電層165は、表示部162及び回路部164に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC172を介して外部から導電層165に入力される、またはIC173から導電層165に入力される。

[0379]

図19Aでは、COG方式またはCOF方式等により、基板151にIC173が設けられている例を示す。IC173には、例えば、走査線駆動回路及び信号線駆動回路のうち一方または双方を有するICを適用できる。なお、表示装置50A及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、COF方式等により、FPCに実装してもよい。

[0380]

本発明の一態様の半導体装置は、例えば、表示装置50Aの表示部162及び回路部164の一方または双方に適用することができる。

[0381]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様の半導体装置は、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0382]

表示部162は、表示装置50Aにおける画像を表示する領域であり、周期的に配列された複数の画素210を有する。図19Aには、1つの画素210の拡大図を示している。

[0383]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列として、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。

[0384]

図19Aに示す画素210は、赤色の光を呈する画素230R、緑色の光を呈する画素230G、及び、青色の光を呈する画素230Bを有する。画素230R、画素230G、および画素230Bで1つの画素210を構成することで、フルカラー表示を実現できる。画素230R、画素230G、及び画素230Bはそれぞれ副画素として機能する。また、図19Aに示す表示装置50Aでは、副画素として機能する画素230をストライプ配列で配置する例を示している。1つの画素210を構成する副画素の数は3つに限られず、4つ以上としてもよい。例えば、R、G、B、白色(W)の光を呈する4つの副画素を有してもよい。または、R、G、B、Yの4色の光を呈する4つの副画素を有してもよい。

[0385]

画素230R、画素230G、及び画素230Bはそれぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0386]

表示素子として、様々な素子を用いることができ、例えば、液晶素子（液晶デバイスともいう）及び発光デバイスが挙げられる。その他、シャッター方式または光干渉方式のMEMS(Micro Electro Mechanical Systems)素子、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、または電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED(Quantum-dot LED)を用いてもよい。

[0387]

液晶素子を用いた表示装置として、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び、半透過型の液晶表示装置が挙げられる。

[0388]

液晶素子を用いた表示装置に用いることができるモードとして、例えば、垂直配向(VA:Vertical Alignment)モード、FFS(Fringe Field Switching)モード、IPS(In-Plane-Switching)モード、TN(Twisted Nematic)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、ECB(Electrically Controlled Birefringence)モード、及び、ゲストホストモードが挙げられる。VAモードとして、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、及び、ASV(Advanced Super View)

モードが挙げられる。

[0389]

液晶素子に用いることができる液晶材料として、例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC: Polymer Dispersed Liquid Crystal）、高分子ネットワーク型液晶（PNLC: Polymer Network Liquid Crystal）、強誘電性液晶、及び、反強誘電性液晶が挙げられる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相、ブルー相などを示す。また、液晶材料として、ポジ型の液晶及びネガ型の液晶のどちらを用いてもよく、適用するモードまたは設計に応じて選択できる。

[0390]

発光デバイスとして、例えば、LED (Light Emitting Diode)、OLED (Organic LED)、半導体レーザなどの、自発光型の発光デバイスが挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0391]

発光デバイスが有する発光物質として、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Thermally activated delayed fluorescence: TADF）材料）、及び、無機化合物（量子ドット材料等）が挙げられる。

[0392]

発光デバイスの発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、または白などとすることができる。また、発光デバイスにマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0393]

発光デバイスが有する一対の電極のうち、一方の電極は陽極として機能し、他方の電極は陰極として機能する。

[0394]

なお、本発明の一態様の表示装置は、発光デバイスが形成されている基板とは反対方向に光を射出する上面射出型（トップエミッション型）、発光デバイスが形成されている基板側に光を射出する下面射出型（ボトムエミッション型）、両面に光を射出する両面射出型（デュアルエミッション型）のいずれであってもよい。

[0395]

本実施の形態では、主に、表示素子として発光デバイスを用いる場合を例に挙げて説明する。

[0396]

図19Bは、表示装置50Aを説明するブロック図である。表示装置50Aは、表示部162、及び回路部164を有する。表示部162は、周期的に配列された複数の画素230（画素230[1, 1]乃至画素230[m, n]、m及びnはそれぞれ独立に2以上の整数）を有する。回路部164は、第1駆動回路部231、および第2駆動回路部232を有する。

[0397]

第1駆動回路部231に含まれる回路は、例えば、走査線駆動回路として機能する。第2駆動回路部232に含まれる回路は、例えば信号線駆動回路として機能する。なお、表示部162を挟んで第

1 駆動回路部 2 3 1 と向き合う位置に、何らかの回路を設けてもよい。表示部 1 6 2 を挟んで第 2 駆動回路部 2 3 2 と向き合う位置に、何らかの回路を設けてもよい。

[0 3 9 8]

回路部 1 6 4 には、シフトレジスタ回路、レベルシフタ回路、インバータ回路、ラッチ回路、アナログスイッチ回路、デマルチプレクサ回路、及び論理回路等の様々な回路を用いることができる。回路部 1 6 4 には、トランジスタおよび容量素子等を用いることができる。回路部 1 6 4 が有するトランジスタを、画素 2 3 0 に含まれるトランジスタと同じ工程で形成してもよい。

[0 3 9 9]

表示装置 5 0 A は、各々が略平行に配設され、且つ、第 1 駆動回路部 2 3 1 に含まれる回路によって電位が制御される配線 2 3 6 と、各々が略平行に配設され、且つ、第 2 駆動回路部 2 3 2 に含まれる回路によって電位が制御される配線 2 3 8 と、を有する。なお、図 1 9 B では、画素 2 3 0 に配線 2 3 6 と配線 2 3 8 が接続している例を示している。ただし、配線 2 3 6 と配線 2 3 8 は一例であり、画素 2 3 0 と接続する配線は、配線 2 3 6 と配線 2 3 8 に限らない。

[0 4 0 0]

本発明の一態様である半導体装置は、サブミクロンサイズのチャンネル長を有し、オン電流が大きい V F E T と、チャンネル長が長く、飽和性が高い V L F E T と、を一部の工程を共通にして形成することができる。これらのトランジスタのチャンネル形成領域には酸化物半導体 (O S) を好適に用いることができ、オフ電流が小さいトランジスタとすることができる。本発明の一態様である半導体装置は、表示部 1 6 2 及び回路部 1 6 4 の一方または双方に好適に用いることができる。また、本発明の一態様である半導体装置を表示部 1 6 2 及び回路部 1 6 4 の双方に用いる、つまり表示装置が有するトランジスタの全てを O S トランジスタとすることもできる。このように表示装置が有するトランジスタの全てを O S トランジスタとすることで、製造コストを低く抑えることができるといった効果を奏する。

[0 4 0 1]

<構成例 2>

回路部 1 6 4 に用いることができる回路として、ラッチ回路を例に挙げて構成例を説明する。

[0 4 0 2]

図 2 0 A は、ラッチ回路 L A T の構成例を示す回路図である。図 2 0 A に示すラッチ回路 L A T は、トランジスタ T r 3 1 と、トランジスタ T r 3 3 と、トランジスタ T r 3 5 と、トランジスタ T r 3 6 と、容量素子 C 3 1 と、インバータ回路 I N V と、を有する。図 2 0 A において、トランジスタ T r 3 3 のソース及びドレインの一方と、トランジスタ T r 3 5 のゲートと、容量素子 C 3 1 の一方の電極と、が電氣的に接続されるノードをノード N とする。なお、容量素子 C 3 1 の他方の電極には、V S S が供給される。

[0 4 0 3]

図 2 0 A に示すラッチ回路 L A T において、端子 S M P に高電位の信号を入力すると、トランジスタ T r 3 3 がオン状態となる。これにより、ノード N の電位が、端子 R O U T の電位に対応する電位となり、端子 R O U T からラッチ回路 L A T に入力される信号に対応するデータが、ラッチ回路 L A T に書き込まれる。ラッチ回路 L A T にデータを書き込んだ後、端子 S M P の電位を低電位とすると、トランジスタ T r 3 3 がオフ状態となる。これにより、ノード N の電位が保持され、ラッチ回路 L A T に書き込まれたデータが保持される。具体的には、例えばノード N の電位が低電位である場合は、

ラッチ回路LATに値が“0”のデータが保持されているとし、ノードNの電位が高電位である場合は、ラッチ回路LATに値が“1”のデータが保持されているとすることができる。

[0404]

トランジスタTr33は、オフ電流が小さいトランジスタを用いることが好ましい。トランジスタTr33は、OSトランジスタを好適に用いることができる。これにより、ラッチ回路LATはデータを長期間保持することができる。よって、ラッチ回路LATへのデータの再書き込みの頻度を低くすることができる。

[0405]

本明細書等において、端子SP2から入力される信号が端子LINに出力されるようなデータをラッチ回路LATに書き込むことを、単に「ラッチ回路LATにデータを書き込む。」という場合がある。つまり、例えば値が“1”のデータをラッチ回路LATに書き込むことを、単に「ラッチ回路LATにデータを書き込む。」という場合がある。

[0406]

ラッチ回路LATに、本発明の一態様に係る半導体装置を好適に用いることができる。例えば、トランジスタTr31、トランジスタTr33、トランジスタTr35及びトランジスタTr36の一または複数に、図5B等を示すトランジスタ100またはトランジスタ200を適用することができる。

[0407]

インバータ回路INVの構成例を、図20Bに示す。インバータ回路INVは、トランジスタTr41と、トランジスタTr43と、トランジスタTr45と、トランジスタTr47と、容量素子C41と、を有する。また、トランジスタTr43のソース及びドレインの一方、ならびにトランジスタTr47のソース及びドレインの一方にはVDDが供給される。また、トランジスタTr41のソース及びドレインの一方、ならびにトランジスタTr45のソース及びドレインの一方にはVSSが供給される。

[0408]

ラッチ回路LATを図20Aに示す構成とし、インバータ回路INVを図20Bに示す構成とすることにより、ラッチ回路LATが有するトランジスタを、全て同一の極性のトランジスタとすることができ、例えば、nチャネル型トランジスタとすることができる。これにより、例えばトランジスタTr33の他、トランジスタTr31、トランジスタTr35、トランジスタTr36、トランジスタTr41、トランジスタTr43、トランジスタTr45、及びトランジスタTr47を、OSトランジスタとすることができる。よって、ラッチ回路LATが有するトランジスタを全て同じ工程で作製することができる。

[0409]

インバータ回路INVに、本発明の一態様に係る半導体装置を好適に用いることができる。例えば、トランジスタTr41、トランジスタTr43、トランジスタTr45、及びトランジスタTr47の一または複数に、図5B等を示すトランジスタ100またはトランジスタ200を適用することができる。

[0410]

高い飽和性を求められるトランジスタにトランジスタ20及びトランジスタ200の一種または複数種を好適に用いることができる。さらに、トランジスタ100を用いることにより、占有面積を

縮小することができ、狭額縁の表示装置とすることができる。また、大きいオン電流が求められるトランジスタにトランジスタ100を好適に用いることができる。これにより、高い性能の表示装置とすることができる。

[0411]

<構成例3>

画素230の構成例を、図21Aに示す。画素230は、画素回路51および発光デバイス61を有する。

[0412]

図21Aに示す画素回路51は、トランジスタ52A、トランジスタ52B、および容量素子53を有する2Tr1C型の画素回路である。なお、本発明の一態様の表示装置に適用できる画素回路は、特に限定されない。

[0413]

発光デバイス61のアノードは、トランジスタ52Bのソース及びドレインの一方、及び容量素子53の一方の電極と電氣的に接続される。トランジスタ52Bのソース及びドレインの他方は、配線ANOと電氣的に接続される。トランジスタ52Bのゲートは、トランジスタ52Aのソース及びドレインの一方、及び容量素子53の他方の電極と電氣的に接続される。トランジスタ52Aのソース及びドレインの他方は、配線GLと電氣的に接続される。トランジスタ52Aのゲートは、配線GLと電氣的に接続される。発光デバイス61のカソードは、配線VCOMと電氣的に接続される。

[0414]

配線GLは配線236に相当し、配線SLは配線238に相当する。配線VCOMは、発光デバイス61に電流を供給するための電位を与える配線である。トランジスタ52Aは、配線GLの電位に基づいて、配線SLとトランジスタ52Bのゲート間の導通状態または非導通状態を制御する機能を有する。例えば、配線ANOにはVDDが供給され、配線VCOMにはVSSが供給される。

[0415]

トランジスタ52Bは発光デバイス61に流れる電流量を制御する機能を有する。容量素子53は、トランジスタ52Bのゲート電位を保持する機能を有する。発光デバイス61が射出する光の強度は、トランジスタ52Bのゲートに供給される画像信号に応じて制御される。

[0416]

画素回路51に含まれるトランジスタの一部または全部にバックゲートを設けてもよい。図21Aに示す画素回路51は、トランジスタ52Bがバックゲートを有し、当該バックゲートがトランジスタ52Bのソース及びドレインの一方と電氣的に接続される構成を示している。なお、トランジスタ52Bのバックゲートが、トランジスタ52Bのゲートと電氣的に接続される構成としてもよい。

[0417]

画素回路51に、前述の半導体装置を好適に用いることができる。画素230の選択状態を制御するための選択トランジスタとして機能するトランジスタ52Aと比較して、発光デバイス61に流れる電流を制御する駆動トランジスタとして機能するトランジスタ52Bは、飽和性が高いことが好ましい。トランジスタ52Bにチャネル長の長いトランジスタ20及びトランジスタ200の一種を適用することで、信頼性の高い表示装置とすることができる。また、トランジスタ52Aにトランジスタ100を適用することで、画素回路51Aの占有面積を縮小することができ、高精細の表示装置とすることができる。

[0418]

なお、トランジスタ52Bにもトランジスタ100を適用してもよい。トランジスタ52Bにチャネル長の短いトランジスタを適用することにより、輝度の高い表示装置とすることができる。また、画素回路51の占有面積を縮小することができ、高精細の表示装置とすることができる。

[0419]

図21Aに示す画素230と異なる構成例を、図21Bに示す。画素230は、画素回路51A及び発光デバイス61を有する。

[0420]

図21Bに示す画素回路51Aは、トランジスタ52Cを有する点で、図21Aに示す画素回路51と主に異なる。画素回路51Aは、トランジスタ52A、トランジスタ52B、トランジスタ52C、及び容量素子53を有する3Tr1C型の画素回路である。

[0421]

トランジスタ52Cのソース及びドレインの一方は、トランジスタ52Bのソース及びドレインの一方と電氣的に接続される。トランジスタ52Cのソース及びドレインの他方は、配線V0と電氣的に接続される。例えば、配線V0には基準電位が供給される。トランジスタ52Cのゲートは、配線GLと電氣的に接続される。

[0422]

トランジスタ52Cは、配線GLの電位に基づいて、トランジスタ52Bのソース電極及びドレイン電極の一方と配線V0間の導通状態または非導通状態を制御する機能を有する。トランジスタ52Cを介して与えられる配線V0の基準電位によって、トランジスタ52Bのゲートソース間電位のばらつきを抑制できる。

[0423]

配線V0を用いて、画素パラメータの設定に用いることのできる電流値を取得できる。具体的には、配線V0は、トランジスタ52Bに流れる電流、または発光デバイス61に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線V0に出力された電流は、ソースフォロア回路により電圧に変換され、外部に出力することができる。または、ADコンバータによりデジタル信号に変換され、外部に出力することができる。

[0424]

画素回路51Aに、前述の半導体装置を好適に用いることができる。トランジスタ52Bにチャネル長の長いトランジスタ20及びトランジスタ200の一種を適用することで、信頼性の高い表示装置とすることができる。また、トランジスタ52A及びトランジスタ52Cにトランジスタ100を適用することで、画素回路51Aの占有面積を縮小することができ、高精細の表示装置とすることができる。なお、トランジスタ52Bにもトランジスタ100を適用してもよい。

[0425]

画素回路51の構成例を、図21Cに示す。図21Cは、画素回路51の断面図である。図21Cは、トランジスタ52A、トランジスタ52B及び発光デバイス61が有する画素電極を抜粋して示している。なお、トランジスタ52Aとトランジスタ52Bの電氣的な接続を省略している。

[0426]

トランジスタ52Aは、導電層104と、絶縁層106と、半導体層108と、導電層112aと、導電層112bと、を有する。トランジスタ52Bは、絶縁層106と、絶縁層209と、半導体層

208と、導電層204と、導電層212aと、導電層212bと、を有する。トランジスタ52A及びトランジスタ52Bについては、前述の記載を参照できるため、詳細な説明は省略する。

[0427]

トランジスタ52A及びトランジスタ52Bは、基板102上に設けられる。図21Cでは、トランジスタ52A及びトランジスタ52Bと、基板102の間に絶縁層121及び絶縁層123が設けられる構成を示している。

[0428]

絶縁層121は、水素に対するバリア性を有することが好ましく、特に水素を捕獲、または固着する（ゲッターリング）能力が高いことが好ましい。絶縁層121は、例えば、酸化ハフニウムを好適に用いることができる。絶縁層121上に設けられる絶縁層123は、例えば、絶縁層110に用いることができる材料を好適に用いることができる。絶縁層123は、例えば、酸化シリコンを好適に用いることができる。

[0429]

トランジスタ52A、トランジスタ52B、及び容量素子53を覆うように絶縁層195が設けられ、絶縁層195を覆うように絶縁層233が設けられ、絶縁層233を覆うように絶縁層235が設けられる。絶縁層235上に発光デバイス61を設けることができる。図21Cは、発光デバイス61の一方の電極として機能する画素電極111を示している。絶縁層195、絶縁層233、絶縁層110a、絶縁層110b、及び絶縁層110cは、導電層212bに達する第1の開口を有し、第1の開口を覆うように導電層234が設けられる。導電層234は、第1の開口を介して導電層212bと電氣的に接続される。絶縁層235は、導電層234に達する第2の開口を有し、第2の開口を覆うように画素電極111が設けられる。画素電極111は、第2の開口を介して導電層234と電氣的に接続される。絶縁層195は、前述の記載を参照できるため、詳細な説明は省略する。絶縁層233及び絶縁層235は、トランジスタ52A、トランジスタ52B、及びトランジスタ52Cに起因する凹凸を小さくし、発光デバイス61の被形成面をより平坦にする機能を有する。なお、本明細書等において、絶縁層233及び絶縁層235をそれぞれ、平坦化層と記す場合がある。

[0430]

絶縁層233及び絶縁層235はそれぞれ、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。絶縁層235を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。絶縁層235を、有機絶縁膜と、当該有機絶縁膜上の無機絶縁膜との積層構造にすることが好ましい。これにより、無機絶縁膜は、発光デバイス61を形成する際のエッチング保護層として機能することができる。具体的には、画素電極111の形成時に絶縁層235の一部がエッチングされ、絶縁層235に凹部が形成されることを抑制することができる。または、絶縁層235には、画素電極111の形成時に、凹部が設けられてもよい。同様に、絶縁層233を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。

[0431]

<構成例4>

前述と異なる構成例を、図22に示す。表示装置50Bは、基板310上に画素回路、駆動回路などが設けられた構成となっている。表示装置50Bは、素子層71、素子層73、素子層75及び配

線層 77 を有する。配線層 77 は、配線が設けられる層である。

[0432]

素子層 71 は、基板 310 を有し、基板 310 上には、トランジスタ 300 が形成されている。また、トランジスタ 300 の上方には、配線層 77 が設けられており、配線層 77 には、トランジスタ 300、トランジスタ MTCCK、発光デバイス 130R、発光デバイス 130G、及び発光デバイス 130B を電氣的に接続する配線が設けられている。また、配線層 77 の上方には、素子層 73、および素子層 75 が設けられており、素子層 73 は、トランジスタ MTCCK など を有する。素子層 75 は、発光デバイス 130（図 22 では、発光デバイス 130R、発光デバイス 130G、及び発光デバイス 130B）などを有する。

[0433]

トランジスタ 300 は、素子層 71 に含まれているトランジスタとすることができる。また、トランジスタ MTCCK は、素子層 73 に含まれるトランジスタとすることができる。また、発光デバイス 130 は、素子層 75 に含まれる発光デバイスとすることができる。

[0434]

基板 310 には、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板 310 には、半導体基板以外として、例えば、SOI（Silicon On Insulator）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムを用いることができる。なお、本実施の形態では、基板 310 は、シリコンを材料として有する半導体基板として説明する。そのため、素子層 71 に含まれるトランジスタは、シリコンを有するトランジスタ（Si トランジスタ）とすることができる。

[0435]

トランジスタ 300 は、素子分離層 312 と、導電層 316 と、絶縁層 315 と、絶縁層 317 と、基板 310 の一部からなる半導体領域 313 と、ソース領域又はドレイン領域として機能する低抵抗領域 314a 及び低抵抗領域 314b と、を有する。このため、トランジスタ 300 は、Si トランジスタとなっている。なお、図 22 では、トランジスタ 300 のソース及びドレインの一方が、後述する導電層 328 を介して、後述する導電層 330、導電層 356、及び導電層 514 に電氣的に接続されている構成を示しているが、本発明の一態様の表示装置の電氣的な接続構成は、これに限定されない。本発明の一態様の表示装置は、例えば、トランジスタ 300 のゲートが、導電層 328 を介して、導電層 514 に電氣的に接続されている構成としてもよい。

[0436]

トランジスタ 300 は、例えば、半導体領域 313 の上面及びチャネル幅方向の側面が、ゲート絶縁層として機能する絶縁層 315 を介して導電層 316 に覆う構成にすることによって、Fin 型にすることができる。トランジスタ 300 を Fin 型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ 300 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 300 のオフ特性を向上させることができる。また、トランジスタ 300 は、Fin 型でなくプレーナ型としてもよい。

[0437]

なお、トランジスタ 300 は、p チャネル型、あるいは n チャネル型のいずれを用いてもよい。ま

たはトランジスタ 300 を複数設け、p チャンネル型、及び n チャンネル型の双方を用いてもよい。

[0438]

半導体領域 313 のチャンネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域 314a 及び低抵抗領域 314b と、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、又は窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ 300 は、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いた HEMT (High Electron Mobility Transistor) としてもよい。

[0439]

ゲート電極として機能する導電層 316 には、ヒ素、又はリンといった n 型の導電性を付与する元素、もしくはホウ素又はアルミニウムといった p 型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。又は、導電層 316 には、例えば、金属材料、合金材料、又は金属酸化物材料といった導電性材料を用いることができる。

[0440]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タンタルの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0441]

素子分離層 312 は、基板 310 上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (Local Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法、又はメサ分離法を用いて形成することができる。

[0442]

図 22 に示すトランジスタ 300 上には、絶縁層 320 及び絶縁層 322 が、基板 310 側から順に積層して設けられている。

[0443]

絶縁層 320 及び絶縁層 322 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化アルミニウムから選ばれた一以上を用いればよい。

[0444]

絶縁層 322 は、絶縁層 320 及び絶縁層 322 に覆われているトランジスタ 300 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層 322 の上面は、平坦性を高めるために化学機械研磨 (CMP: Chemical Mechanical Polishing) 法を用いた平坦化处理により平坦化されていてもよい。

[0445]

絶縁層 320 及び絶縁層 322 には、絶縁層 322 より上方に設けられているトランジスタ MTC

Kなどと接続する導電層 3 2 8 が埋め込まれている。なお、導電層 3 2 8 は、プラグ又は配線としての機能を有する。このため、導電層 3 2 8 には、導電層 MPG に適用できる材料を用いることができる。

[0 4 4 6]

表示装置 5 0 B では、トランジスタ 3 0 0 上に配線層 7 7 が設けられている。配線層 7 7 は、例えば、絶縁層 3 2 4 と、絶縁層 3 2 6 と、導電層 3 3 0 と、絶縁層 3 5 0 と、絶縁層 3 5 2 と、絶縁層 3 5 4 と、導電層 3 5 6 と、を有する。

[0 4 4 7]

絶縁層 3 2 2 上及び導電層 3 2 8 上には、絶縁層 3 2 4 と絶縁層 3 2 6 とが順に積層して設けられている。また、導電層 3 2 8 に重なる領域において、絶縁層 3 2 4 と絶縁層 3 2 6 とには、開口が形成されている。また、当該開口には導電層 3 3 0 が埋め込まれている。

[0 4 4 8]

絶縁層 3 2 6 上、及び導電層 3 3 0 上には、絶縁層 3 5 0 と絶縁層 3 5 2 と絶縁層 3 5 4 とが順に積層して設けられている。また、導電層 3 3 0 に重なる領域において、絶縁層 3 5 0 と絶縁層 3 5 2 と絶縁層 3 5 4 とには、開口が形成されている。また、当該開口には導電層 3 5 6 が埋め込まれている。

[0 4 4 9]

導電層 3 3 0 及び導電層 3 5 6 は、トランジスタ 3 0 0 と接続するプラグ又は配線としての機能を有する。なお、導電層 3 3 0 及び導電層 3 5 6 は、前述した導電層 3 2 8 又は導電層 5 9 6 と同様の材料を用いて設けることができる。

[0 4 5 0]

なお、例えば、絶縁層 3 2 4 及び絶縁層 3 5 0 は、絶縁層 5 9 2 と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁物を用いることが好ましい。また、絶縁層 3 2 6、絶縁層 3 5 2、及び絶縁層 3 5 4 には、絶縁層 5 9 4 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁物を用いることが好ましい。また、絶縁層 3 2 6、絶縁層 3 5 2、及び絶縁層 3 5 4 は、層間絶縁膜及び平坦化膜としての機能を有する。また、導電層 3 3 0 及び導電層 3 5 6 は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する導電体を含むことが好ましい。

[0 4 5 1]

なお、水素に対するバリア性を有する導電体として、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁層 3 5 0 と接する構造であることが好ましい。

[0 4 5 2]

絶縁層 3 5 4 及び導電層 3 5 6 の上方には、絶縁層 5 1 2 が設けられている。また、絶縁層 5 1 2 上には、絶縁層 I S 1 が設けられている。また、絶縁層 I S 1 及び絶縁層 5 1 2 には、プラグ又は配線として機能する導電層 5 1 4 が埋め込まれている。これにより、トランジスタ M T C K のソース及びドレインの一方とトランジスタ 3 0 0 のソース及びドレインの一方とが電氣的に接続される。なお、導電層 5 1 4 には、例えば、導電層 MPG に適用できる材料を用いることができる。

[0453]

絶縁層 I S 1 上及び導電層 5 1 4 上には、トランジスタ M T C K が設けられている。トランジスタ M T C K の上方には、絶縁層 I S 3 が形成されている。また、絶縁層 I S 3 の下に絶縁層 I S 2 が形成されている。また、絶縁層 I S 3 上には、絶縁層 5 7 4 及び絶縁層 5 8 1 がこの順に積層して設けられている。また、絶縁層 G I 1、絶縁層 I S 2、絶縁層 I S 3、絶縁層 5 7 4、及び絶縁層 5 8 1 には、プラグ又は配線として機能する導電層 M P G が埋め込まれている。なお、トランジスタ M T C K の周辺の絶縁層、導電層、及び半導体層については、実施の形態 2 を参照する。

[0454]

絶縁層 5 7 4 は、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層 5 7 4 は、当該不純物がトランジスタ M T C K に混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層 5 7 4 は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層 5 7 4 は、絶縁層 I S 2 及び絶縁層 I S 3 より酸素透過性が低いことが好ましい。

[0455]

そのため、絶縁層 5 7 4 は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁層 5 7 4 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0456]

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルから選ばれた一以上を含む絶縁物を、単層で、または積層で用いればよい。具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0457]

特に、絶縁層 5 7 4 には、酸化アルミニウム、又は窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層 5 7 4 の上方からトランジスタ M T C K に拡散することを抑制できる。または、絶縁層 I S 3 等に含まれる酸素が、絶縁層 5 7 4 の上方に、拡散することを抑制できる。

[0458]

絶縁層 581 は、層間膜として機能する膜であって、絶縁層 574 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁層 581 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁層 581 の比誘電率は、絶縁層 574 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。層間膜として機能する絶縁層 581 を誘電率が低い材料とすることで、配線間に生じる寄生容量を低減することができる。

[0459]

絶縁層 581 は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁層 581 には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、又は窒化シリコンを用いることができる。また、絶縁層 581 には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、又は空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁層 581 には、樹脂を用いることができる。また、絶縁層 581 に適用できる材料は、上述した材料を適宜組み合わせたものとしてもよい。

[0460]

絶縁層 574 上及び絶縁層 581 上には、絶縁層 592、及び絶縁層 594 がこの順に積層して設けられている。

[0461]

絶縁層 592 には、基板 310、トランジスタ MTC から、絶縁層 592 より上方の領域（例えば、発光デバイス 130R、発光デバイス 130G、及び発光デバイス 130B などが設けられている領域）に、水、及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。したがって、絶縁層 592 は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁層 592 は、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。

[0462]

水素に対するバリア性を有する膜として、例えば、CVD 法で形成した窒化シリコンを用いることができる。

[0463]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS: Thermal Desorption Spectrometry）を用いて分析することができる。例えば、絶縁層 324 の水素の脱離量は、膜の表面温度が 50°C から 500°C の範囲の TDS において、絶縁層 324 の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下であることが好ましく、は $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であることがより好ましい。なお、上記の水素の脱離量は、水素原子に換算したものである。

[0464]

絶縁層 594 は、絶縁層 581 と同様に、誘電率が低い層間膜とすることが好ましい。このため、

絶縁層 594 には、絶縁層 581 に適用できる材料を用いることができる。

[0465]

なお、絶縁層 594 は、絶縁層 592 よりも誘電率が低いことが好ましい。例えば、絶縁層 594 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁層 594 の比誘電率は、絶縁層 592 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。絶縁層 594 を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0466]

絶縁層 G11、絶縁層 IS2、絶縁層 IS3、絶縁層 574、及び絶縁層 581 には、プラグ又は配線として機能する導電層 MPG が埋め込まれ、絶縁層 592 及び絶縁層 594 には、プラグ又は配線として機能する導電層 596 が埋め込まれている。特に、導電層 MPG 及び導電層 596 は、絶縁層 594 より上方に設けられている発光デバイスなどと電氣的に接続されている。また、プラグ又は配線としての機能を有する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

[0467]

各プラグ、及び配線（例えば、導電層 MPG 及び導電層 596）の材料として、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、又はモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、又は銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0468]

絶縁層 594 上及び導電層 596 上には、絶縁層 598 及び絶縁層 599 が順に形成されている。

[0469]

絶縁層 598 は、絶縁層 592 と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁物を用いることが好ましい。また、絶縁層 599 には、絶縁層 594 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁物を用いることが好ましい。また、絶縁層 599 は、層間絶縁膜及び平坦化膜としての機能を有する。

[0470]

絶縁層 599 上には、発光デバイス 130 及び接続部 140 が形成されている。

[0471]

接続部 140 は、カソードコンタクト部と呼ばれる場合があり、発光デバイス 130R、発光デバイス 130G、及び発光デバイス 130B のそれぞれのカソード電極に電氣的に接続されている。図 22 では、接続部 140 は、後述する導電層 182a 乃至導電層 182c から選ばれた一以上の導電層と、後述する導電層 126a 乃至導電層 126c の少なくとも一の導電層と、後述する導電層 129a 乃至導電層 129c から選ばれた一以上の導電層と、後述する共通層 114 と、後述する共通電極 115 と、を有する。

[0472]

なお、接続部 140 は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス 130 同士の間）に設けられてもよい（図示しない）。

[0473]

発光デバイス130Rは、導電層182aと、導電層182a上の導電層126aと、導電層126a上の導電層129aと、を有する。導電層182a、導電層126a、及び導電層129aの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Gは、導電層182bと、導電層182b上の導電層126bと、導電層126b上の導電層129bと、を有する。発光デバイス130Rと同様に、導電層182b、導電層126b、及び導電層129bの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Bは、導電層182cと、導電層182c上の導電層126cと、導電層126c上の導電層129cと、を有する。発光デバイス130R、及び発光デバイス130Gと同様に、導電層182c、導電層126c、及び導電層129cの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

[0474]

導電層182a乃至導電層182c、及び導電層126a乃至導電層126cには、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対して反射率の高い導電層として、例えば、銀、アルミニウム、銀(Ag)とパラジウム(Pd)と銅(Cu)の合金膜(Ag-Pd-Cu(APC)膜)を適用することができる。また、導電層182a乃至導電層182c、及び導電層126a乃至導電層126cには、一対のチタンで挟まれたアルミニウムの積層膜(Ti、Al、Tiの順の積層膜)、又は一対のインジウム錫酸化物で挟まれた銀の積層膜(ITO、Ag、ITOの順の積層膜)を用いることができる。

[0475]

例えば、導電層182a乃至導電層182cに反射電極として機能する導電層を用いて、導電層126a乃至導電層126cに、透光性が高い材料を用いてもよい。透光性が高い材料として、例えば、銀とマグネシウムの合金、及びインジウム錫酸化物(ITOと呼ばれる場合がある)、が挙げられる。

[0476]

導電層129a乃至導電層129cには、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層は、例えば、上述した透光性が高い導電層とすることができる。

[0477]

後に詳述する発光デバイス130に、マイクロキャビティ構造(微小共振器構造)を設けてもよい。マイクロキャビティ構造とは、発光層の下面と下部電極の上面との距離を、当該発光層が発光する光の色の波長に応じた厚さにする構造を指す。この場合、上部電極(共通電極)である導電層129a乃至導電層129cに透光性及び光反射性を有する導電材料を用い、下部電極(画素電極)である導電層182a乃至導電層182c、及び導電層126a乃至導電層126cとして光反射性を有する導電材料を用いること好ましい。

[0478]

マイクロキャビティ構造とは、下部電極と発光層の光学的距離を $(2n-1)\lambda/4$ (ただし、 n は1以上の整数、 λ は増幅したい発光の波長)に調節した構造を指す。これにより、下部電極によって反射されて戻ってきた光(反射光)は、発光層から上部電極に直接入射する光(入射光)と大きな干渉を起こす。そのため、波長 λ のそれぞれの反射光と入射光との位相を合わせ発光層からの発光をより増幅させることができる。一方で、反射光と入射光とが波長 λ 以外である場合、位相が合

わなくなるため、共振せずに減衰する。

[0479]

導電層182aは、絶縁層599に設けられた開口を介して、絶縁層594に埋め込まれている導電層596と接続されている。また、導電層182aの端部よりも外側に導電層126aの端部が位置している。導電層126aの端部と導電層129aの端部は、揃っている、または概略揃っている。

[0480]

発光デバイス130Gにおける導電層182b、導電層126b、導電層129b、及び、発光デバイス130Bにおける導電層182c、導電層126c、導電層129cについては、発光デバイス130Rにおける導電層182a、導電層126a、導電層129aと同様であるため詳細な説明は省略する。

[0481]

導電層182a、導電層182b、及び導電層182cには、絶縁層599に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層128が埋め込まれている。

[0482]

層128は、導電層182a乃至導電層182cの凹部を平坦化する機能を有する。導電層182a上乃至導電層182c上、及び層128上には、導電層182a乃至導電層182cと電氣的に接続される導電層126a乃至導電層126cが設けられている。したがって、導電層182a乃至導電層182cの凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

[0483]

層128は、絶縁層であってもよく、導電層であってもよい。層128には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層128は、絶縁材料を用いて形成されることが好ましい。

[0484]

層128には、有機材料を有する絶縁層を好適に用いることができる。例えば、層128には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層128として、感光性の樹脂を用いることができる。感光性の樹脂として、ポジ型の材料、またはネガ型の材料が挙げられる。

[0485]

感光性の樹脂を用いることにより、露光及び現像の工程のみで層128を作製することができ、ドライエッチング、あるいはウェットエッチングによる導電層182a、導電層182b、導電層182cの表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層128を形成することにより、絶縁層599の開口の形成に用いるフォトリソマスク（露光マスク）と同一のフォトリソマスクを用いて、層128を形成できる場合がある。

[0486]

発光デバイス130Rは、第1の層113aと、第1の層113a上の共通層114と、共通層114上の共通電極115と、を有する。また、発光デバイス130Gは、第2の層113bと、第2の層113b上の共通層114と、共通層114上の共通電極115と、を有する。また、発光デバイス130Bは、第3の層113cと、第3の層113c上の共通層114と、共通層114上の共通電極115と、を有する。

[0487]

なお、第1の層113aは、導電層126aの上面及び側面と導電層129aの上面及び側面を覆うように形成されている。同様に、第2の層113bは、導電層126bの上面及び側面と導電層129bの上面及び側面を覆うように形成されている。また、同様に、第3の層113cは、導電層126cの上面及び側面と導電層129cの上面及び側面を覆うように形成されている。したがって、導電層126a、導電層126b、及び導電層126cが設けられている領域全体を、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0488]

発光デバイス130Rにおいて、第1の層113aと共通層114をまとめてEL層と呼ぶことができる。また、同様に、発光デバイス130Gにおいて、第2の層113bと共通層114をまとめてEL層と呼ぶこともできる。また、同様に、発光デバイス130Bにおいて、第3の層113cと共通層114をまとめてEL層と呼ぶことができる。

[0489]

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造であってもタンデム構造であってもよい。

[0490]

第1の層113a、第2の層113b、及び第3の層113cは、フォトリソグラフィ法により島状に加工されている。そのため、第1の層113a、第2の層113b、及び第3の層113cは、それぞれその端部において、上面と側面との成す角が90度に近い形状となる。一方、例えば、FMM(Fine Metal Mask)を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば1 μ m以上10 μ m以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0491]

第1の層113a、第2の層113b、及び第3の層113cは、上面と側面の区別が明瞭となる。これにより、隣接する第1の層113aと第2の層113bにおいて、第1の層113aの側面の一と、第2の層113bの側面の一は、互に対向して配置される。これは、第1の層113a、第2の層113b、及び第3の層113cのうちいずれの組み合わせにおいても同様である。

[0492]

第1の層113a、第2の層113b、及び第3の層113cは、少なくとも発光層を有する。例えば、第1の層113aが、赤色の光を発する発光層を有し、第2の層113bが緑色の光を発する発光層を有し、第3の層113cが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色として、シアン、マゼンタ、黄、又は白を適用することができる。

[0493]

第1の層113a、第2の層113b、及び第3の層113cは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。第1の層113a、第2の層113b、及び第3の層113cの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

[0494]

共通層 114 は、例えば電子注入層、または正孔注入層を有する。または、共通層 114 は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層 114 は、発光デバイス 130R、発光デバイス 130G、及び発光デバイス 130B で共有されている。

[0495]

共通電極 115 は、発光デバイス 130R、発光デバイス 130G、及び発光デバイス 130B で共有されている。また、図 22 に示すように、複数の発光デバイスが共通して有する共通電極 115 は、接続部 140 に含まれている導電層に電氣的に接続される。

[0496]

絶縁層 125 は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層 125 は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁層 125 は、水及び酸素の一方又は双方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁層 125 が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各発光デバイスに拡散しうる不純物（代表的には、水及び酸素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

[0497]

絶縁層 125 は、不純物濃度が低いことが好ましい。これにより、絶縁層 125 から EL 層に不純物が混入し、EL 層が劣化することを抑制することができる。また、絶縁層 125 において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁層 125 は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0498]

絶縁層 127 として、有機材料を有する絶縁層を好適に用いることができる。有機材料として、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁層 127 の材料の粘度は、1 cP 以上 1500 cP 以下にすることができ、1 cP 以上 12 cP 以下とすることが好ましい。絶縁層 127 の材料の粘度を上記の範囲にすることで、後述するテーパ形状を有する絶縁層 127 を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0499]

なお、絶縁層 127 は、後述するように側面にテーパ形状を有していればよく、絶縁層 127 に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層 127 には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層 127 として、ポリビニルアルコール（PVA）、ポリビニルブチラール（PVB）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層 127 には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂として、ポジ型の材料、またはネガ型の材料が挙げられる。

[0500]

絶縁層127には可視光を吸収する材料を用いてもよい。絶縁層127が発光デバイスからの発光を吸収することで、発光デバイスから絶縁層127を介して隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽量化及び薄型化を図ることができる。

[0501]

可視光を吸収する材料として、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2色、または3色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

[0502]

絶縁層127は、例えば、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピコートにより、絶縁層127となる有機絶縁膜を形成することが好ましい。

[0503]

絶縁層127は、EL層の耐熱温度よりも低い温度で形成する。絶縁層127を形成する際の基板温度は、代表的には、200℃以下、好ましくは180℃以下、より好ましくは160℃以下、より好ましくは150℃以下、より好ましくは140℃以下である。

[0504]

以下では、発光デバイス130Rと発光デバイス130Gの間の絶縁層127の構造を例に挙げて、絶縁層127などの構造について説明を行う。なお、発光デバイス130Gと発光デバイス130Bの間の絶縁層127、及び発光デバイス130Bと発光デバイス130Rの間の絶縁層127などについても同様のことが言える。また、以下では、第2の層113b上の絶縁層127の端部を例に挙げて説明する場合があるが、第1の層113a上の絶縁層127の端部、及び第3の層113c上の絶縁層127の端部についても同様のことが言える。

[0505]

絶縁層127は、表示装置の断面視において、側面にテーパ角 $\theta 1$ のテーパ形状を有することが好ましい。テーパ角 $\theta 1$ は、絶縁層127の側面と基板面のなす角である。ただし、基板面に限らず、絶縁層125の平坦部の上面、又は第2の層113bの平坦部の上面と、絶縁層127の側面がなす角としてもよい。また、絶縁層127の側面をテーパ形状にすることにより、絶縁層125の側面、及びマスク層118aの側面もテーパ形状となる場合がある。

[0506]

絶縁層127のテーパ角 $\theta 1$ は、90°未満であり、60°以下が好ましく、45°以下がより好ましい。絶縁層127の側面端部をこのような順テーパ形状にすることで、絶縁層127の側面端部上に設けられる、共通層114及び共通電極115に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層114及び共通電極115の面内均一性を向上させることができるため、表示装置の表示品位を向上させることができる。

[0507]

表示装置の断面視において、絶縁層127の上面は凸曲面形状を有することが好ましい。絶縁層127の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。また、絶縁層127上面の中心部の突曲面部が、側面端部のテーパ部に連続的に接続される形状であることが好ましい。絶縁層127をこのような形状にすることで、絶縁層127上全体で、共通層114及び共通電極115を被覆性良く成膜することができる。

[0508]

絶縁層127は、二つのEL層の間の領域（例えば、第1の層113aと第2の層113bとの間の領域）に形成される。このとき、絶縁層127の一部が、一方のEL層（例えば、第1の層113a）の側面端部と、もう一方のEL層（例えば、第2の層113b）の側面端部に挟まれる位置に配置されることになる。

[0509]

絶縁層127の一方の端部が画素電極として機能する導電層126aと重なり、絶縁層127の他方の端部が画素電極として機能する導電層126bと重なることが好ましい。このような構造にすることで、絶縁層127の端部を第1の層113a（第2の層113b）の概略平坦な領域の上に形成することができる。よって、絶縁層127のテーパ形状を、上記の通り加工することが比較的容易になる。

[0510]

以上のように、絶縁層127などを設けることにより、第1の層113aの概略平坦な領域から第2の層113bの概略平坦な領域まで、共通層114及び共通電極115に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層114及び共通電極115に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生するのを抑制することができる。

[0511]

本実施の形態の表示装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デバイス間の距離、EL層間の距離、または画素電極間の距離を、 $10\mu\text{m}$ 未満、 $8\mu\text{m}$ 以下、 $5\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 200nm 以下、 100nm 以下、 90nm 以下、 70nm 以下、 50nm 以下、 30nm 以下、 20nm 以下、 15nm 以下、または 10nm 以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する2つの島状のEL層の間隔が $1\mu\text{m}$ 以下の領域を有し、好ましくは $0.5\mu\text{m}$ （ 500nm ）以下の領域を有し、さらに好ましくは 100nm 以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

[0512]

発光デバイス130上には、保護層131が設けられている。保護層131は、発光デバイス130を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層131を設けることで、発光デバイスに水及び酸素といった不純物が入り込むことを抑制し、発光デバイス130の信頼性を高めることができる。保護層131には、例えば、酸化アルミニウム、窒化シリコン、又は窒化酸化シリコンを用いることができる。

[0513]

保護層131と、基板119と、は接着層107を介して接着されている。発光デバイスの封止に

は、固体封止構造または中空封止構造などが適用できる。図22では、基板310と基板119との間の空間が、接着層107で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層107は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層107とは異なる樹脂で充填してもよい。

[0514]

接着層107には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、又は熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤として、例えば、エポキシ樹脂、アクリル樹脂、シリコン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0515]

表示装置50Bは、トップエミッション型である。発光デバイスが発する光は、基板119側に射出される。そのため、基板119には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板119には、基板310に適用できる基板のうち、可視光に対する透過性が高い基板を選択することが好ましい。画素電極は可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0516]

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板310側に射出されるボトムエミッション型としてもよい。なお、この場合、基板310には、可視光に対する透過性が高い基板を選択することが好ましい。

[0517]

上記で説明した各々の構成例の一を表示装置に適用することによって、高い解像度、かつ高い精細度を有する表示装置を実現することができる場合がある。具体的には、例えば、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）の解像度の表示装置を実現できる場合がある。また、具体的には、例えば、100ppi以上、300ppi以上、500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、5000ppi以上、又は6000ppi以上の精細度の表示装置を実現することができる場合がある。

[0518]

なお、本実施の形態は、本明細書で示す、同一の、又は他の実施の形態と適宜組み合わせることができる。例えば、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせる用いることができる。また、例えば、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0519]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせる実施することができる。また、本実施の形態に示す複数の構成及び

対応する図面等は、互いに適宜組み合わせることが可能である。

[0520]

(実施の形態5)

本実施の形態では、本発明の一態様に係る電子装置および表示装置などについて説明する。本発明の一態様は、例えば、VRまたはAR用途の装着型の電子装置に好適に用いることができる。

[0521]

<電子装置の構成例>

図23Aに、装着型の電子装置の一例としてメガネ型の電子装置150の斜視図を示す。図23Aに示す電子装置150では、一对の表示装置90（表示装置90__Lおよび表示装置90__R）、動き検出部101、視線検出部84、演算部103、および通信部85を筐体105内に備える様子を示している。

[0522]

図23Bは、図23Aの電子装置150のブロック図である。電子装置150は、図23Aと同様に表示装置90__L、表示装置90__R、動き検出部101、視線検出部84、演算部103、および通信部85を有し、バス配線BWを介して相互に各種信号を送受信する。表示装置90__L、表示装置90__Rはそれぞれ、複数の画素230、駆動回路65および機能回路40を有する。1つの画素230は、1つの発光デバイス61と1つの画素回路51を含む。よって、表示装置90__L、表示装置90__Rはそれぞれ、複数の発光デバイス61および複数の画素回路51を含む。

[0523]

動き検出部101は、筐体105の動き、すなわち電子装置150を装着したユーザの頭部の動きを検出する機能を有する。動き検出部101は、例えばMEMS技術を用いたモーションセンサを用いることができる。モーションセンサとして、3軸モーションセンサ、あるいは6軸モーションセンサなどを用いることができる。動き検出部101で検出される筐体105の動きに関する情報は、第1情報、あるいは動き情報などという場合がある。

[0524]

視線検出部84は、ユーザの視線に関する情報を取得する機能を有する。具体的には、ユーザの視線を検出する機能を有する。ユーザの視線は、例えば、瞳孔角膜反射(Pupil Center Corneal Reflection)法、または明/暗瞳孔(Bright/Dark Pupil Effect)法などの視線計測(アイトラッキング)法で取得することができる。または、レーザまたは超音波などを用いた視線計測方法で取得することもできる。

[0525]

演算部103は、視線検出部84における視線の検出結果を用いて、ユーザの注視点を算出する機能を有する。すなわち、ユーザが表示装置90__Lおよび表示装置90__Rに表示される画像のどのオブジェクトを注視しているかを知ることができる。また、ユーザが画面以外の部位を注視しているか否かを知ることができる。なお、視線検出部84が得たユーザの視線に関する情報(視線の検出結果)を、第2情報、あるいは視線情報などという場合がある。

[0526]

演算部103は、筐体105の動きに応じた描画処理(画像データの演算処理)を行う機能を有する。演算部103において筐体105の動きに応じた描画処理は、第1情報、および通信部85を介して外部より入力される画像データを用いて行われる。該画像データとして、例えば、360度全方

位の画像データを用いることができる。360度全方位の画像データは、例えば全天球カメラ（全方位カメラ、360°カメラ）で撮影した画像データであってもよく、あるいはコンピュータグラフィックスなどによって生成される画像データであってもよい。演算部103は、第1情報に応じて360度全方位の画像データを、表示装置90__Lおよび表示装置90__Rに表示可能な画像データに変換する機能を有する。

[0527]

演算部103は、第2情報を用いて、表示装置90__Lおよび表示装置90__Rそれぞれの表示部に設定する複数の領域の大きさおよび形状を決定する機能を有する。具体的には、演算部103は、第2情報に応じて表示部上の注視点を算出し、当該注視点を基準にして、表示部に後述する第1領域S1乃至第3領域S3等を設定する。

[0528]

演算部103として、中央演算処理装置（CPU:Central Processing Unit）のほか、DSP（Digital Signal Processor）、GPU（Graphics Processing Unit）などの他のマイクロプロセッサを単独で、または組み合わせて用いることができる。またこれらマイクロプロセッサをFPGA（Field Programmable Gate Array）またはFPAA（Field Programmable Analog Array）といったPLD（Programmable Logic Device）によって実現した構成としてもよい。

[0529]

演算部103は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理およびプログラム制御を行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、別途設けられる記憶部に格納されていてもよい。記憶部として、例えば、フラッシュメモリ、MRAM（Magnetoresistive Random Access Memory）、PRAM（Phase change RAM）、ReRAM（Resistive RAM）、FeRAM（Ferroelectric RAM）などの不揮発性の記憶素子が適用された記憶装置、またはDRAM（Dynamic RAM）およびSRAM（Static RAM）などの揮発性の記憶素子が適用された記憶装置等を用いてもよい。

[0530]

通信部85は、画像データ等の各種データを取得するために無線または有線によって外部機器と通信を行う機能を有する。通信部85は、例えば高周波回路（RF回路）を設け、RF信号の送受信を行えばよい。高周波回路は、各国法制により定められた周波数帯域の電磁信号と電気信号とを相互に変換し、当該電磁信号を用いて無線で他の通信機器との間で通信を行うための回路である。無線通信を行う場合、通信プロトコルまたは通信技術として、LTE（Long Term Evolution）、GSM（Global System for Mobile Communication：登録商標）、EDGE（Enhanced Data Rates for GSM Evolution）、CDMA2000（Code Division Multiple Access 2000）、WCDMA（Wideband Code Division Multiple Access：登録商標）などの通信規格、またはWi-Fi（登録商標）、Bluetooth（登録商標）、ZigBee（登録商標）等のIEEEにより通信規格化された仕様を用いることができる。また、国際電気通信連合（ITU）が定める第3世代移動通信システム（3G）、第4世代移動

通信システム（４Ｇ）、または第５世代移動通信システム（５Ｇ）などを用いることもできる。

[０５３１]

通信部８５において、ＬＡＮ（Ｌｏｃａｌ Ａｒｅａ Ｎｅｔｗｏｒｋ）接続用端子、デジタル放送の受信用端子、ＡＣアダプタを接続する端子等の外部ポートを有していてもよい。

[０５３２]

表示装置９０＿Ｌ、表示装置９０＿Ｒはそれぞれ、複数の発光デバイス６１、複数の画素回路５１、駆動回路６５、および機能回路４０を有する。画素回路５１は、発光デバイス６１の発光を制御する機能を有する。駆動回路６５は、画素回路５１を制御する機能を有する。

[０５３３]

演算部１０３で決定された表示装置の表示部における複数の領域の情報は、領域ごとに解像度を異なる駆動などに用いられる。機能回路４０は、注視点に近い領域で、解像度の高い表示を行うよう駆動回路６５の制御を行い、注視点より遠い領域で解像度の低い表示を行うように駆動回路６５の制御を行う機能を有する。

[０５３４]

例えば、画像データの書き換えを１画素おき、または複数画素おきに行うことで、解像度の低い表示を実現できる。画像データの書き換えを行なう画素を減らすことで、表示装置の消費電力を低減できる。

[０５３５]

電子装置１５０にセンサ９７を設けてもよい。センサ９７は、ユーザの視覚、聴覚、触覚、味覚、および嗅覚、のいずれか一または複数の情報を取得する機能を有することが好ましい。より具体的には、センサ９７は、力、変位、位置、速度、加速度、角速度、回転数、距離、光、磁気、温度、音声、時間、電場、電流、電圧、電力、放射線、湿度、傾度、振動、におい、および赤外線、のいずれか一または複数の情報を検知する機能、または測定する機能を有することが好ましい。電子装置１５０は、１または複数のセンサ９７を備えることができる。

[０５３６]

センサ９７を用いて、周囲の温度、湿度、照度、臭気などを計測してもよい。また、センサ９７を用いて、例えば、指紋、掌紋、虹彩、網膜、脈形状（静脈形状、動脈形状を含む）、または顔などを用いた個人認証のための情報を取得してもよい。また、センサ９７を用いて、ユーザの瞬き回数、瞼の挙動、瞳孔の大きさ、体温、脈拍、または血液中の酸素飽和度などを計測し、ユーザの疲労度および健康状態などを検出してもよい。電子装置１５０は、ユーザの疲労度および健康状態などを検知して、表示装置９０に警告などを表示してもよい。

[０５３７]

ユーザの視線および瞼の動きを検出して、電子装置１５０の動作を制御してもよい。ユーザは、電子装置１５０に触れて操作する必要があるため、両手に何も持たない状態（両手がフリーの状態）で、入力操作などを実現できる。

[０５３８]

図２４Ａは、電子装置１５０を示す斜視図である。図２４Ａにおいて電子装置１５０の筐体１０５は、一対の表示装置９０＿Ｌ、表示装置９０＿Ｒおよび演算部１０３の他、一例として、装着部８６、緩衝部材８７、一対のレンズ８８等を有する。一対の表示装置９０＿Ｌ、表示装置９０＿Ｒは、筐体１０５の内部の、レンズ８８を通して視認できる位置にそれぞれ設けられている。

[0539]

図24Aに示す筐体105には、入力端子98と、出力端子89とが設けられている。入力端子98には映像出力機器等からの画像信号(画像データ)、または筐体105内に設けられるバッテリー(図示せず)を充電するための電力等を供給するケーブルを接続することができる。出力端子89は、例えば音声出力端子として機能し、イヤフォン、ヘッドフォン等を接続することができる。

[0540]

筐体105は、レンズ88および表示装置90__L、表示装置90__Rが、ユーザの目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ88と表示装置90__L、表示装置90__Rとの距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0541]

緩衝部材87は、ユーザの顔(額、頬など)に接触する部分である。緩衝部材87がユーザの顔と密着することにより、外光の侵入(光漏れ)を防ぐことができ、より没入感を高めることができる。緩衝部材87は、ユーザが電子装置150を装着した際にユーザの顔に密着するよう、緩衝部材87には柔らかい素材を用いることが好ましい。このような素材を用いると、肌触りが良いことに加え、寒い季節などに装着した際に、ユーザに冷たさを感じさせないため好ましい。緩衝部材87または装着部86などの、ユーザの肌に触れる部材は、取り外し可能な構成とすると、クリーニングまたは交換が容易となるため好ましい。

[0542]

本発明の一態様の電子装置は、さらに、イヤフォン99Aを有していてもよい。イヤフォン99Aは、通信部(図示しない)を有し、無線通信機能を有する。イヤフォン99Aは、無線通信機能により、音声データを出力することができる。なおイヤフォン99Aは、骨伝導イヤフォンとして機能する振動機構を有していてもよい。

[0543]

イヤフォン99Aは、図24Bに示すイヤフォン99Bのように、装着部86に直接接続、または有線接続されている構成とすることができる。また、イヤフォン99Bおよび装着部86はマグネットを有していてもよい。これにより、イヤフォン99Bを装着部86に磁力によって固定することができ、収納が容易となり好ましい。

[0544]

<表示装置の構成例>

図23A、図23Bに示す表示装置90__L、表示装置90__Rに適用可能な表示装置90Aの構成について図25A、図25Bおよび図26を参照して説明する。

[0545]

図25Aは、図23A、図23Bに示す表示装置90__L、表示装置90__Rに適用可能な表示装置90Aの斜視図である。

[0546]

表示装置90Aは、基板91、基板92を有する。表示装置90Aは、基板91と基板92との間に設けられる表示部93を有する。表示部93は、複数の画素230を有する。画素230は、画素回路51および発光デバイス61を有する。表示部93は、表示装置90Aにおける画像を表示する領域である。

[0547]

画素230を1920×1080画素のマトリクス状に配置すると、いわゆるフルハイビジョン（「2K解像度」、「2K1K」、または「2K」などとも言われる。）の解像度で表示可能な表示部93を実現できる。また、例えば、画素230を3840×2160画素のマトリクス状に配置すると、いわゆるウルトラハイビジョン（「4K解像度」、「4K2K」、または「4K」などとも言われる。）の解像度で表示可能な表示部93を実現できる。また、例えば、画素230を7680×4320画素のマトリクス状に配置すると、いわゆるスーパーハイビジョン（「8K解像度」、「8K4K」、または「8K」などとも言われる。）の解像度で表示可能な表示部93を実現できる。画素230を増やすことで、16Kさらには32Kの解像度で表示可能な表示部93を実現することも可能である。

[0548]

表示部93の画素密度（精細度）は、1000ppi以上10000ppi以下が好ましい。例えば、2000ppi以上6000ppi以下であってもよいし、3000ppi以上5000ppi以下であってもよい。

[0549]

なお、表示部93の画面比率（アスペクト比）については、特に限定はない。表示部93は、例えば、1:1（正方形）、4:3、16:9、16:10など様々な画面比率に対応することができる。

[0550]

なお、本明細書等において、素子という用語を「デバイス」と言い換えることができる場合がある。例えば、表示素子、発光デバイス、および液晶素子は、例えば表示デバイス、発光デバイス、および液晶デバイスと言い換えることができる。

[0551]

表示装置90Aは、端子部94を介して外部より各種信号および電源電位が入力され、表示部93に設けられた表示素子を用いて画像表示を行うことができる。表示素子として様々な素子を用いることができる。代表的には、有機EL素子およびLED素子などの光を射出する機能を有する発光デバイス、液晶素子、またはMEMS素子などを適用できる。

[0552]

基板91と基板92との間には、複数の層が設けられ、各層には回路動作を行うためのトランジスタ、または光を射出する表示素子が設けられる。複数の層においては、表示素子の動作を制御する機能を有する画素回路、画素回路を制御する機能を有する駆動回路、駆動回路を制御する機能を有する機能回路等が設けられる。

[0553]

図25Bに、基板91と基板92との間に設けられる各層の構成を模式的に示した斜視図を示している。

[0554]

基板91上には、層62が設けられる。層62は、駆動回路65、機能回路40、および入出力回路80を有する。層62は、チャネル形成領域64にシリコンを有するトランジスタ63（Siトランジスタともいう）を有する。基板91は、例えば、シリコン基板を用いることができる。シリコン基板は、ガラス基板と比較して熱伝導性が高いため好ましい。駆動回路65、機能回路40、および入出力回路80を同じ層に設けることで、駆動回路65、機能回路40、および入出力回路80を電氣的に接続する配線を短くすることができる。よって、機能回路40が駆動回路65を制御するため

の制御信号の充放電時間が短くなり、消費電力を低減できる。また、入出力回路 80 が、機能回路 40 および駆動回路 65 に信号を供給する時のための充放電時間が短くなり、消費電力を低減できる。

[0555]

トランジスタ 63 は、例えばチャネル形成領域に単結晶シリコンを有するトランジスタ（「c-Si トランジスタ」ともいう。）とすることができる。特に、層 62 に設けられるトランジスタとして、チャネル形成領域に単結晶シリコンを有するトランジスタを用いると、当該トランジスタのオン電流を大きくすることができる。よって、層 62 が有する回路を高速に駆動させることができるため、好ましい。また Si トランジスタは、チャネル長が 3 nm 以上 10 nm 以下といった微細加工で形成することができるため、CPU、GPU などのアクセラレータ、アプリケーションプロセッサなどが表示部と一体に設けられた表示装置 90A とすることができる。

[0556]

層 62 に、チャネル形成領域に多結晶シリコンを有するトランジスタ（「Poly-Si トランジスタ」ともいう。）を設けてもよい。多結晶シリコンとして、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）を用いてもよい。なお、チャネル形成領域に LTPS を有するトランジスタを「LTPS トランジスタ」ともいう。また、必要に応じて層 62 に OS トランジスタを設けてもよい。

[0557]

駆動回路 65 として、シフトレジスタ、レベルシフタ、インバータ、ラッチ、アナログスイッチ、および論理回路等の様々な回路を用いることができる。駆動回路 65 は、例えば、ゲートドライバ回路、ソースドライバ回路等を有する。この他に、演算回路、メモリ回路、および電源回路等を有していてもよい。ゲートドライバ回路、ソースドライバ回路、およびその他の回路を、表示部 93 に重ねて配置することが可能となるため、これら回路と、表示部 93 とを並べて配置する場合と比較して、表示装置 90A の表示部 93 の外周に存在する非表示領域（額縁ともいう）の幅を極めて狭くすることができ、表示装置 90A の小型化が実現できる。

[0558]

機能回路 40 は、例えば、表示装置 90A における各回路の制御、および各回路を制御するための信号を生成するためのアプリケーションプロセッサの機能を有する。また機能回路 40 は、CPU、GPU などのアクセラレータなどの画像データを補正するための回路を有していてもよい。また機能回路 40 は、画像データ等を表示装置 90A の外部から受信するためのインターフェースとしての機能を有する LVDS（Low Voltage Differential Signaling）回路、MIPI（Mobile Industry Processor Interface）回路、および D/A（Digital to Analog）変換回路等を有していてもよい。また機能回路 40 は、画像データを圧縮・伸長するための回路、および電源回路等を有していてもよい。

[0559]

層 62 上には、層 83 が設けられる。層 83 は、複数の画素回路 51 を含む画素回路群 55 を有する。層 83 に OS トランジスタを設けてもよい。画素回路 51 は OS トランジスタを含んで構成してもよい。なお層 83 は、層 62 上に積層して設けることができる。

[0560]

層 83 に Si トランジスタを設けてもよい。例えば、画素回路 51 をチャネル形成領域に単結晶シリコンまたは多結晶シリコンを有するトランジスタを含んで構成してもよい。多結晶シリコンとして、

LTPSを用いてもよい。例えば、別の基板に層83を形成し、層62と貼り合わせることも可能である。

[0561]

例えば、画素回路51を異なる半導体材料を用いた複数種類のトランジスタで構成してもよい。画素回路51が、異なる半導体材料を用いた複数種類のトランジスタで構成される場合、トランジスタの種類毎に異なる層にトランジスタを設けてもよい。例えば、画素回路51が、Siトランジスタと、OSトランジスタで構成される場合、SiトランジスタとOSトランジスタを重ねて設けてもよい。トランジスタを重ねて設けることで、画素回路51の占有面積が低減される。よって、表示装置90Aの精細度を高めることができる。なお、LTPSトランジスタとOSトランジスタを、組み合わせる構成をLTPOと呼称する場合がある。

[0562]

OSトランジスタであるトランジスタ52として、チャンネル形成領域54にインジウム、元素M(元素Mは、アルミニウム、ガリウム、イットリウム、またはスズ)、亜鉛の少なくとも一を含む酸化物を有するトランジスタを用いることが好ましい。このようなOSトランジスタは、オフ電流が非常に低いという特性を有する。よって、特に画素回路に設けられるトランジスタとしてOSトランジスタを用いると、画素回路に書き込まれたアナログデータを長期間保持することができるため好ましい。

[0563]

層83上には、層81が設けられる。層81上には、基板92が設けられる。基板92は、透光性を有する基板あるいは透光性を有する材料でなる層であることが好ましい。層81は、複数の発光デバイス61が設けられる。なお層81は、層83上に積層して設ける構成とすることができる。発光デバイス61として、例えば有機エレクトロルミネセンス素子(有機EL素子ともいう)などを用いることができる。ただし、発光デバイス61は、これに限定されず、例えば無機材料からなる無機EL素子を用いても良い。なお、「有機EL素子」と「無機EL素子」をまとめて「EL素子」と呼ぶ場合がある。発光デバイス61は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

[0564]

図25Bに示すように本発明の一態様の表示装置90Aは、発光デバイス61と、画素回路51と、駆動回路65および機能回路40と、を積層した構成とすることができるため、画素の開口率(有効表示面積比)を極めて高くすることができる。例えば画素の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素回路51を極めて高密度に配置することが可能で、画素の精細度を極めて高くすることができる。例えば、表示装置90Aの表示部93(画素回路51および発光デバイス61が積層されて設けられる領域)では、2000ppi以上、好ましくは3000ppi以上、より好ましくは5000ppi以上、さらに好ましくは6000ppi以上であって、20000ppi以下、または30000ppi以下の精細度で、画素を配置することが可能となる。

[0565]

このような表示装置90Aは、極めて高精細であることから、ヘッドマウントディスプレイなどのVR向け機器、またはメガネ型のAR向け機器に好適に用いることができる。例えば、レンズ等の光学部材を通して表示装置90Aの表示部を視認する構成の場合であっても、表示装置90Aは極めて高精細な表示部を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を

行うことができる。

[0566]

なお、表示装置90Aを装着型のVRまたはAR用の表示装置として用いる場合、表示部93の対角サイズは、0.1インチ以上5.0インチ以下、好ましくは0.5インチ以上2.0インチ以下、さらに好ましくは、1インチ以上1.7インチ以下とすることができる。例えば、表示部93の対角サイズを1.5インチ、または1.5インチ近傍にしてもよい。表示部93の対角サイズを2.0インチ以下とすることで、露光装置（代表的にはスキャナー装置）の1回の露光処理で処理することが可能となるため、製造プロセスの生産性を向上させることができる。

[0567]

本発明の一態様に係る表示装置90Aは、装着型の電子装置以外にも適用できる。この場合、表示部93の対角サイズは2.0インチを越えてもかまわない。表示部93の対角サイズに応じて、画素回路51に用いるトランジスタの構成を適宜選択してもよい。例えば、画素回路51に単結晶Siトランジスタを用いる場合、表示部93の対角のサイズは0.1インチ以上3インチ以下が好ましい。また、画素回路51にLTPSトランジスタを用いる場合、表示部93の対角のサイズは0.1インチ以上30インチ以下が好ましく、1インチ以上30インチ以下がより好ましい。また、画素回路51にLTPO（LTPSトランジスタと、OSトランジスタとを、組み合わせる構成）を用いる場合、表示部93の対角のサイズは0.1インチ以上50インチ以下が好ましく1インチ以上50インチ以下がより好ましい。また、画素回路51にOSトランジスタを用いる場合、表示部93の対角のサイズは0.1インチ以上200インチ以下が好ましく、50インチ以上100インチ以下がより好ましい。

[0568]

画素回路51などに単結晶Siトランジスタを用いた表示装置は、単結晶Si基板の大きさより、大型化が非常に困難である。また、画素回路51などにLTPSトランジスタを用いた表示装置は、製造工程にてレーザ結晶化装置を用いるため、大型化（代表的には、対角のサイズにて30インチを超える画面サイズ）への対応が難しい。一方でOSトランジスタは、製造工程にてレーザ結晶化装置などを用いる制約がない、または比較的低温のプロセス温度（代表的には450℃以下）で製造することが可能なため、比較的大面積（代表的には、対角のサイズにて50インチ以上100インチ以下）の表示装置まで対応することが可能である。また、LTPOについては、LTPSトランジスタを用いる場合と、OSトランジスタを用いる場合との間の領域の表示部の対角サイズ（代表的には、1インチ以上50インチ以下）に適用することが可能となる。

[0569]

駆動回路65および機能回路40の具体的な構成例について、図26を参照して説明する。図26は表示装置90Aの構成を示すブロック図であり、画素回路51、駆動回路65および機能回路40を接続する複数の配線、および表示装置90A内のバス配線等を示している。

[0570]

図26に示す表示装置90Aにおいて、層83は、複数の画素回路51がマトリクス状に配置されている。

[0571]

図26に示す表示装置90Aにおいて、層62は、駆動回路65、機能回路40、および入出力回路80が配置されている。駆動回路65は、一例として、ソースドライバ回路66、デジタルアナロ

グ変換回路(DAC:Digital Analog Converter)67、ゲートドライバ回路33、レベルシフタ34、増幅回路35、検査回路36、映像生成回路37、および映像分配回路38を有する。機能回路40は、一例として、記憶装置41、GPU42、EL補正回路43、タイミングコントローラ44、CPU45、センサコントローラ46、電源回路47、温度センサ48、および輝度補正回路49を有する。機能回路40は、アプリケーションプロセッサの機能を有する。なお、人工知能の演算を行うGPUを、AIアクセラレータという場合がある。

[0572]

入出力回路80は、LVDS(Low Voltage Differential Signaling)などの伝送方式に対応し、入出力回路80は端子部94を介して入力される制御信号および画像データなどを、駆動回路65および機能回路40に振り分ける機能を有する。また、入出力回路80は、表示装置90Aの情報を、端子部94を介して外部に出力する機能を有する。

[0573]

図26の表示装置90Aでは、駆動回路65に含まれる回路、機能回路40に含まれる回路、および入出力回路80のそれぞれが、バス配線BSLと電氣的に接続する構成を例示している。

[0574]

ソースドライバ回路66は、一例として、画素230が有する画素回路51に対して、画像データを送信する機能を有する。そのため、ソースドライバ回路66は、配線SLを介して、画素回路51に電氣的に接続されている。なおソースドライバ回路66は、複数設けてもよい。

[0575]

デジタルアナログ変換回路67は、一例として、後述するGPU、補正回路などによってデジタル処理された画像データをアナログデータに変換する機能を有する。アナログデータに変換された画像データはオペアンプなどの増幅回路35により増幅され、ソースドライバ回路66を介して、画素回路51に送信される。なお、ソースドライバ回路66、デジタルアナログ変換回路67、画素回路51の順に画像データが送信される構成としてもよい。また、デジタルアナログ変換回路67および増幅回路35は、ソースドライバ回路66に含まれていてもよい。

[0576]

ゲートドライバ回路33は、一例として、画素回路51において、画像データの送信先となる画素回路を選択する機能を有する。そのため、ゲートドライバ回路33は、配線GLを介して、画素回路51に電氣的に接続されている。なおゲートドライバ回路33は、ソースドライバ回路66と対応して、複数設けてもよい。

[0577]

レベルシフタ34は、一例として、ソースドライバ回路66、デジタルアナログ変換回路67、ゲートドライバ回路33などに対して入力される信号を適切なレベルに変換する機能を有する。

[0578]

記憶装置41は、一例として、画素回路51に表示させる画像データを保存する機能を有する。なお、記憶装置41は、画像データをデジタルデータまたはアナログデータとして保存する構成とすることができる。

[0579]

記憶装置41に画像データを保存する場合、記憶装置41は不揮発性メモリとすることが好ましい。この場合、記憶装置41には、例えば、NAND型メモリなどを適用することができる。

[0580]

記憶装置41にGPU42、EL補正回路43、CPU45などで生じる一時データを保存する場合、記憶装置41は揮発性メモリとすることが好ましい。この場合、記憶装置41には、例えば、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)などを適用することができる。

[0581]

GPU42は、一例として、記憶装置41から読み出された画像データを、画素回路51に出力するための処理を行う機能を有する。特に、GPU42は、並列にパイプライン処理を行う構成となっているため、画素回路51に出力する画像データを高速に処理することができる。また、GPU42は、エンコードされた画像を復元するためのデコーダとしての機能も有することができる。

[0582]

機能回路40には、表示装置90Aの表示品位を高めることができる回路が複数含まれていてもよい。当該回路として、例えば、表示される画像の色ムラを検出して、当該色ムラを補正して最適な画像にする補正回路（調色、調光）を設けてもよい。例えば、表示素子に有機ELが用いられた発光デバイスが適用されている場合、機能回路40に、該発光デバイスの特性に応じて画像データを補正するEL補正回路を設けてもよい。機能回路40には、一例として、EL補正回路43を含めている。

[0583]

上記で説明した画像補正には、人工知能を用いてもよい。例えば、画素回路に流れる電流（または画素回路に印加される電圧）をモニタリングして取得し、表示された画像をイメージセンサなどで取得し、電流（または電圧）と画像を人工知能の演算（例えば、人工ニューラルネットワークなど）の入力データとして扱い、その出力結果で当該画像の補正の有無を判断させてもよい。

[0584]

人工知能の演算は、画像補正だけでなく、画像データの解像度を高めるアップコンバート処理にも適用できる。一例として、図26のGPU42は、各種補正の演算（色ムラ補正42a、アップコンバート42bなど）を行うためのブロックを図示している。

[0585]

画像データのアップコンバート処理を行なうためのアルゴリズムとして、Nearest neighbor法、Bilinear法、Bicubic法、RAISR (Rapid and Accurate Image Super-Resolution) 法、ANR (Anchored Neighborhood Regression) 法、A+法、SRCNN (Super-Resolution Convolutional Neural Network) 法などから選択して行うことができる。

[0586]

アップコンバート処理は、注視点に応じて決定される領域ごとに、アップコンバート処理に用いるアルゴリズムを変える構成としてもよい。例えば、注視点および注視点近傍の領域のアップコンバート処理を、処理速度が遅いが高精度なアルゴリズムで行ない、当該領域以外の領域のアップコンバート処理を、処理速度は速いが低精度なアルゴリズムで行なえばよい。当該構成とすることで、アップコンバート処理に必要な時間を短縮できる。また、アップコンバート処理に必要な消費電力を低減できる。

[0587]

アップコンバート処理に限らず、画像データの解像度を下げるダウンコンバート処理を行なってもよい。画像データの解像度が表示部 9 3 の解像度よりも大きい場合、画像データの一部が表示部 9 3 に表示されない場合がある。このような場合、ダウンコンバート処理を行なうことで、当該画像データ全体を表示部 9 3 に表示できる。

[0588]

タイミングコントローラ 4 4 は、一例として、画像を表示させる駆動周波数（フレーム周波数、フレームレート、またはリフレッシュレートなど）を制御する機能を有する。例えば、表示装置 9 0 A で静止画を表示させる場合、タイミングコントローラ 4 4 によって駆動周波数を下げることで、表示装置 9 0 A の消費電力を低減できる。

[0589]

CPU 4 5 は、一例として、オペレーティングシステムの実行、データの制御、各種演算、およびプログラムの実行など、汎用の処理を行う機能を有する。CPU 4 5 は、例えば、記憶装置 4 1 における画像データの書き込み動作または読み出し動作、画像データの補正動作、後述するセンサへの動作、などの命令を行う役割を有する。また、例えば、CPU 4 5 は、機能回路 4 0 に含まれる回路の少なくとも一に制御信号を送信する機能を有してもよい。

[0590]

センサコントローラ 4 6 は、一例として、センサを制御する機能を有する。また、図 2 6 では、当該センサに電氣的に接続するための配線として、配線 SNCL を図示している。

[0591]

当該センサは、例えば、表示部に備えることができるタッチセンサとすることができる。または、当該センサは、例えば、照度センサとすることができる。

[0592]

電源回路 4 7 は、一例として、画素回路 5 1、駆動回路 6 5 および機能回路 4 0 に含まれている回路などに対して供給する電圧を生成する機能を有する。なお、電源回路 4 7 は、電圧を供給する回路を選択する機能を有してもよい。例えば、電源回路 4 7 は、静止画を表示させている期間では、CPU 4 5、GPU 4 2 などに対しての電圧供給を停止することによって、表示装置 9 0 A 全体の消費電力を低減することができる。

[0593]

以上説明したように本発明の一態様に係る表示装置は、表示素子と、画素回路と、駆動回路および機能回路 4 0 と、を積層した構成とすることができる。周辺回路である駆動回路および機能回路を画素回路と重ねて配置することができ、額縁の幅を極めて狭くすることができるため、小型化が図られた表示装置とすることができる。また本発明の一態様の表示装置は、各回路を積層した構成とすることにより、各回路間を接続する配線を短くすることができるため、軽量化が図られた表示装置とすることができる。また本発明の一態様に係る表示装置は、画素の精細度が高められた表示部とすることができるため、表示品位に優れた表示装置とすることができる。

[0594]

<表示モジュールの構成例>

続いて、表示装置 9 0 A を含む表示モジュールの構成例について説明する。

[0595]

図 2 7 A 乃至図 2 7 C は、表示モジュール 5 0 0 の斜視図である。表示モジュール 5 0 0 は、表示

装置 90A の端子部 94 に FPC504 (FPC: Flexible printed circuits) を備えた構造を有する。FPC504 は絶縁物でできたフィルムに配線を備えた構造を有する。また、FPC504 は、可撓性を有する。FPC504 は、外部から表示装置 90A にビデオ信号、制御信号、および電源電位などを供給するための配線として機能する。また、FPC504 上に IC が実装されていてもよい。

[0596]

図 27B に示す表示モジュール 500 は、プリント配線板 501 上に表示装置 90A を備える構成を有する。プリント配線板 501 は、絶縁物でできた基板の内部または表面、もしくは、内部と表面に配線を備えた構造を有する。

[0597]

図 27B に示す表示モジュール 500 では、表示装置 90A の端子部 94 と、プリント配線板 501 の端子部 502 がワイヤ 503 を介して電氣的に接続している。ワイヤ 503 はワイヤボンディングで形成できる。また、ワイヤボンディングとして、ボールボンディングまたはウェッジボンディングを用いることができる。

[0598]

ワイヤ 503 の形成後、樹脂材料などでワイヤ 503 を覆ってもよい。なお、表示装置 90A とプリント配線板 501 の電氣的な接続は、ワイヤボンディング以外の方法で行なってもよい。例えば、表示装置 90A とプリント配線板 501 の電氣的な接続を、異方性導電接着剤またはバンプなどで実現してもよい。

[0599]

図 27B に示す表示モジュール 500 は、プリント配線板 501 の端子部 502 が FPC504 と電氣的に接続している。例えば、表示装置 90A の端子部 94 が備える電極のピッチと、FPC504 が備える電極のピッチが異なる場合は、プリント配線板 501 を介して、端子部 94 と FPC504 を電氣的に接続してもよい。具体的には、プリント配線板 501 に形成された配線を用いて、端子部 94 が備える複数の電極の間隔 (ピッチ) を、端子部 502 が備える複数の電極の間隔に変換できる。すなわち、端子部 94 が備える電極のピッチと FPC504 が備える電極のピッチが異なる場合においても、両者の電極の電氣的な接続を実現できる。

[0600]

プリント配線板 501 には、抵抗素子、容量素子、半導体素子などの様々な素子を設けることができる。

[0601]

図 27C に示す表示モジュール 500 のように、端子部 502 をプリント配線板 501 の下面 (表示装置 90A が設けられていない側の面) に設けられた接続部 505 と電氣的に接続してもよい。例えば、接続部 505 をソケット形式の接続部にすることで、表示モジュール 500 と他の機器との脱着を容易に行える。

[0602]

<画素回路の構成例>

図 28A および図 28B では、画素回路 51 の構成例、および画素回路 51 に接続される発光デバイス 61 について示す。図 28A は各素子の接続を示す図、図 28B は、駆動回路を備える層 62、画素回路が有する複数のトランジスタを備える層 83、発光デバイスを備える層 81 の上下関係を模

式的に示す図である。

[0603]

図28Aおよび図28Bに一例として示す画素回路51は、トランジスタ52A、トランジスタ52B、トランジスタ52C、および容量素子53を備える。トランジスタ52A、トランジスタ52B、トランジスタ52Cは、OSトランジスタで構成することができる。トランジスタ52A、トランジスタ52B、トランジスタ52Cの各OSトランジスタは、バックゲート電極を備えていることが好ましく、この場合、バックゲート電極にゲート電極と同じ信号を与える構成、バックゲート電極にゲート電極と異なる信号を与える構成とすることができる。

[0604]

トランジスタ52Bは、トランジスタ52Aと電氣的に接続されるゲート電極と、発光デバイス61と電氣的に接続される第1の電極と、配線ANOと電氣的に接続される第2の電極と、を備える。配線ANOは、発光デバイス61に電流を供給するための電位を与えるための配線である。

[0605]

トランジスタ52Aは、トランジスタ52Bのゲート電極と電氣的に接続される第1の電極と、ソース線として機能する配線SLと電氣的に接続される第2の電極と、ゲート線として機能する配線GL1の電位に基づいて、導通状態または非導通状態を制御する機能を有するゲート電極と、備える。

[0606]

トランジスタ52Cは、配線V0と電氣的に接続される第1の電極と、発光デバイス61と電氣的に接続される第2の電極と、ゲート線として機能する配線GL2の電位に基づいて、導通状態または非導通状態を制御する機能を有するゲート電極と、を備える。配線V0は、基準電位を与えるための配線、および画素回路51を流れる電流を駆動回路65または機能回路40に出力するための配線である。

[0607]

容量素子53は、トランジスタ52Bのゲート電極と電氣的に接続される導電膜と、トランジスタ52Cの第2の電極と電氣的に接続される導電膜を備える。

[0608]

発光デバイス61は、トランジスタ52Bの第1の電極に電氣的に接続される第1の電極と、配線VCOMに電氣的に接続される第2の電極と、を備える。配線VCOMは、発光デバイス61に電流を供給するための電位を与えるための配線である。

[0609]

これにより、トランジスタ52Bのゲート電極に与えられる画像信号に応じて発光デバイス61が射出する光の強度を制御することができる。またトランジスタ52Cを介して与えられる配線V0の基準電位によって、トランジスタ52Bのゲートソース間電圧のばらつきを抑制することができる。

[0610]

配線V0から、画素パラメータの設定に用いることのできる電流値を出力することができる。より具体的には、配線V0は、トランジスタ52Bに流れる電流、または発光デバイス61に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線V0に出力された電流は、ソースフォロア回路などにより電圧に変換され、外部に出力される。または、A-Dコンバータなどによりデジタル信号に変換され、機能回路40等に出力的ことができる。

[0611]

本発明の一態様で説明する発光デバイスは、有機EL素子（OLED（Organic Light Emitting Diode）ともいう）などの自発光型の表示素子をいう。なお画素回路に電氣的に接続される発光デバイスは、LED（Light Emitting Diode）、マイクロLED、QLED（Quantum-dot Light Emitting Diode）、半導体レーザ等の、自発光型の発光デバイスとすることが可能である。

[0612]

図28Bに一例として示す構成では、画素回路51と、駆動回路65と、を電氣的に接続する配線を短くすることができるため、当該配線の配線抵抗を低くすることができる。よって、データの書き込みを高速に行うことができるため、表示装置90Aを高速に駆動させることができる。これにより、表示装置90Aが有する画素回路51を多くしても十分なフレーム期間を確保することができるため、表示装置90Aの画素密度を高めることができる。また、表示装置90Aの画素密度を高めることにより、表示装置90Aにより表示される画像の精細度を高めることができる。例えば、表示装置90Aの画素密度を、1000ppi以上とすることができ、または5000ppi以上とすることができ、または7000ppi以上とすることができ、よって、表示装置90Aは、例えばAR、またはVR用の表示装置とすることができ、HMD等、表示部とユーザの距離が近い電子装置に好適に適用することができる。

[0613]

なお、図28Aおよび図28Bでは、計3つのトランジスタを有する画素回路51を一例として示したが本発明の一態様はこれに限らない。以下では、画素回路51に適用可能な画素回路の構成例、および駆動方法例について説明する。

[0614]

図29Aに示す画素回路51Aは、トランジスタ52A、トランジスタ52B、および容量素子53を図示している。また図29Aでは、画素回路51Aに接続される発光デバイス61を図示している。また、画素回路51Aには、配線SL、配線GL、配線ANO、および配線VCOMが電氣的に接続されている。画素回路51Aは、図28Aに示す画素回路51からトランジスタ52Cを除き、かつ、配線GL1および配線GL2を配線GLに置き換えた構成を有している。

[0615]

トランジスタ52Aは、ゲートが配線GLと、ソースおよびドレインの一方が配線SLと、他方がトランジスタ52Bのゲート、および容量素子53の一方の電極と、それぞれ電氣的に接続されている。トランジスタ52Bは、ソースおよびドレインの一方が配線ANOと、他方が発光デバイス61のアノードと、それぞれ電氣的に接続されている。容量素子53は、他方の電極が発光デバイス61のアノードと電氣的に接続されている。発光デバイス61は、カソードが配線VCOMと電氣的に接続されている。

[0616]

図29Bに示す画素回路51Bは、画素回路51Aに、トランジスタ52Cを追加した構成である。また画素回路51Bには、配線V0が電氣的に接続されている。

[0617]

図29Cに示す画素回路51Cは、上記画素回路51Aのトランジスタ52Aおよびトランジスタ52Bに、一対のゲートが電氣的に接続されたトランジスタを適用した場合の例である。また、図29Dに示す画素回路51Dは、画素回路51Bに当該トランジスタを適用した場合の例である。これ

により、トランジスタが流すことのできる電流を増大させることができる。なお、ここでは全てのトランジスタに、一対のゲートが電氣的に接続されたトランジスタを適用したが、これに限られない。また、一対のゲートを有し、且つこれらが異なる配線と電氣的に接続されるトランジスタを適用してもよい。例えば、ゲートの一方とソースとが電氣的に接続されたトランジスタを用いることで、信頼性を高めることができる。

[0618]

図30Aに示す画素回路51Eは、上記の画素回路51Bに、トランジスタ52Dを追加した構成である。また、画素回路51Eには、ゲート線として機能する配線GL1、配線GL2、および配線GL3が電氣的に接続されている。なお、本実施の形態などにおいて、配線GL1、配線GL2、および配線GL3をまとめて配線GLと呼ぶ場合がある。よって、配線GLは1本に限らず、複数本の場合がある。

[0619]

トランジスタ52Dは、ゲートが配線GL3と、ソースおよびドレインの一方がトランジスタ52Bのゲートと、他方が配線V0と、それぞれ電氣的に接続されている。また、トランジスタ52Aのゲートが配線GL1と、トランジスタ52Cのゲートが配線GL2と、それぞれ電氣的に接続されている。

[0620]

トランジスタ52Cとトランジスタ52Dを同時に導通状態とさせることで、トランジスタ52Bのソースとゲートが同電位となり、トランジスタ52Bを非導通状態とすることができる。これにより、発光デバイス61に流れる電流を強制的に遮断することができる。このような画素回路は、表示期間と消灯期間を交互に設ける表示方法を用いる場合に適している。

[0621]

図30Bに示す画素回路51Fは、上記画素回路51Eに容量素子53Aを追加した場合の例である。容量素子53Aは保持容量として機能する。

[0622]

図30Cに示す画素回路51G、および図30Dに示す画素回路51Hは、それぞれ上記画素回路51Eまたは画素回路51Fに、一対のゲートを有するトランジスタを適用した場合の例である。トランジスタ52A、トランジスタ52C、トランジスタ52Dには、一対のゲートが電氣的に接続されたトランジスタが適用され、トランジスタ52Bには、一方のゲートがソースと電氣的に接続されたトランジスタが適用されている。

[0623]

<変形例1>

図31Aおよび図31Bに表示装置90Aの変形例である表示装置90Bの斜視図を示す。図31Bは表示装置90Bが有する各層の構成を説明するための斜視図である。説明の繰り返しを減らすため、主に表示装置90Aと異なる点について説明する。

[0624]

表示装置90Bは、複数の画素回路51を含む画素回路群55と駆動回路65が重ねて設けられている。表示装置90Bにおいて、画素回路群55は複数の区画59に分けられ、駆動回路65は複数の区画39に分けられる。複数の区画39はそれぞれがソースドライバ回路66とゲートドライバ回路33を有する。

[0625]

図32Aに、表示装置90Bが有する画素回路群55の構成例を示す。図32Bに、表示装置90Bが有する駆動回路65の構成例を示す。区画59および区画39は、それぞれ m 行 n 列(m および n は、それぞれ1以上の整数。)のマトリクス状に配置されている。本明細書等において、1行1列目の区画59を区画59[1, 1]と示し、 m 行 n 列目の区画59を区画59[m , n]と示す。同様に、1行1列目の区画39を区画39[1, 1]と示し、 m 行 n 列目の区画39を区画39[m , n]と示す。図32Aおよび図32Bは、 m が4で、 n が8の場合を示している。すなわち、画素回路群55と駆動回路65が、それぞれ32分割されている。

[0626]

複数の区画59のそれぞれは、複数の画素回路51、複数の配線SL、および複数の配線GLを有する。複数の区画59のそれぞれにおいて、複数の画素回路51の一は、複数の配線SLの少なくとも一、および複数の配線GLの少なくとも一と、電氣的に接続される。

[0627]

区画59の一と区画39の一は重ねて設けられる(図32C参照)。例えば、区画59[i , j](i は1以上 m 以下の整数。 j は1以上 n 以下の整数。)と区画39[i , j]は重ねて設けられる。区画39[i , j]が有するソースドライバ回路66[i , j]は、区画59[i , j]が有する配線SLと電氣的に接続する。区画39[i , j]が有するゲートドライバ回路33[i , j]は、区画59[i , j]が有する配線GLと電氣的に接続する。ソースドライバ回路66[i , j]およびゲートドライバ回路33[i , j]は、区画59[i , j]が有する複数の画素回路51を制御する機能を有する。

[0628]

区画59[i , j]と区画39[i , j]を重ねて設けることで、区画59[i , j]が有する画素回路51と、区画39[i , j]が有するソースドライバ回路66およびゲートドライバ回路33との接続距離(配線長)を極めて短くできる。その結果、配線抵抗および寄生容量が減るため、充放電にかかる時間が少なくなり、高速駆動が実現できる。また、消費電力を低減できる。また、小型化および軽量化が実現できる。

[0629]

表示装置90Bは、区画39毎にソースドライバ回路66およびゲートドライバ回路33を有する構成である。よって、区画39に対応する区画59毎に表示部93を分割し、画像の書き換えを行うことができる。例えば、表示部93のうち、画像に変化が生じた区画のみ画像データを書き換え、変化のない区画は画像データを保持することが可能となり、消費電力の低減が実現できる。

[0630]

本実施の形態などでは、区画59毎に分割された表示部93の1つを副表示部95と呼ぶ。よって、副表示部95は区画39毎に分割された表示部93の1つでもある。表示部93は複数の副表示部95を有する。また、表示部93は複数の副表示部95で構成されているとも言える。図31および図32を用いて説明した表示装置90Bでは、表示部93が32個の副表示部95に分割される場合を示している(図31A参照)。副表示部95は図28等にした画素230を複数含む。具体的には、1つの副表示部95は、複数の画素回路51を含む区画59の1つと、複数の発光デバイス61と、を含む。また、1つの区画39は、1つの副表示部95に含まれる複数の画素230を制御する機能を有する。

[0631]

表示装置90Bは、機能回路40が有するタイミングコントローラ44によって、画像表示時の駆動周波数を副表示部95毎に任意に設定できる。機能回路40は、複数の区画39および複数の区画59それぞれの動作を制御する機能を有する。すなわち、機能回路40は、マトリクス状に配置された複数の副表示部95それぞれの駆動周波数および動作タイミングを制御する機能を有する。また、機能回路40は、副表示部間の同期調整を行なう機能を有する。

[0632]

区画39毎にタイミングコントローラ441および入出力回路442を設けてもよい(図32D参照)。入出力回路442として、例えば、I2C(Integrated Circuit)インターフェースなどを用いることができる。図32Cおよび図32Dでは、区画39[i, j]が有するタイミングコントローラ441を、タイミングコントローラ441[i, j]と示している。また、区画39[i, j]が有する入出力回路442を入出力回路442[i, j]と示している。

[0633]

例えば、機能回路40は、入出力回路442[i, j]に、ゲートドライバ回路33[i, j]の走査方向および駆動周波数の設定信号、ならびに、解像度を低くする際の画像データ間引き画素数(画像データの書き換え時に、書き換えを行なわない画素の数)などの動作パラメータを供給する。ソースドライバ回路66[i, j]およびゲートドライバ回路33[i, j]は、当該動作パラメータに従って動作する。

[0634]

副表示部95が後述する受光素子を有する場合、入出力回路442は、受光素子で光電変換された情報を機能回路40に出力する。

[0635]

本発明の一態様に係る電子装置における表示装置90Bは、画素回路51と駆動回路65を積層し、ユーザの視線の動きに応じて副表示部95毎の駆動周波数を異ならせることで、低消費電力化を図ることができる。

[0636]

図33Aに、4行8列の副表示部95を有する表示部93を示す。また図33Aでは、注視点Gを中心にする第1領域S1乃至第3領域S3を示している。演算部103は、複数の副表示部95のそれぞれを、第1領域S1または第2領域S2と重なる第1区域29Aと、第3領域S3と重なる第2区域29Bのいずれかに振り分ける。すなわち、演算部103は、複数の区画39のそれぞれを、第1区域29Aまたは第2区域29Bに振り分ける。この場合、第1領域S1および第2領域S2と重なる第1区域29Aは、注視点Gと重なる領域を含む。また、第2区域29Bは第1区域29Aの外側に位置する副表示部95を含む。(図33B参照)。

[0637]

複数の区画39それぞれが有する駆動回路(ソースドライバ回路66およびゲートドライバ回路33)の動作は機能回路40により制御される。例えば、第2区域29Bは、前述した安定注視野、誘導視野、および補助視野が含まれる第3領域S3と重なる区域であり、ユーザの識別力が低い区域である。よって、画像表示時において、単位時間当たりの画像データの書き換え回数(以下、「画像書き換え回数」ともいう。)を、第1区域29Aより第2区域29Bを少なくしても、ユーザが感じる

実質的な表示品位（以下、「実質的な表示品位」ともいう。）の低下は少ない。すなわち、第2区域29Bに含まれる副表示部95の駆動周波数（「第2駆動周波数」ともいう。）を第1区域29Aに含まれる副表示部95の駆動周波数（「第1駆動周波数」ともいう。）よりも低くしても、実質的な表示品位の低下は少ない。

[0638]

駆動周波数を低くすると、表示装置の消費電力を低減できる。その一方で、駆動周波数を低くすると、表示品位も低下する。特に、動画表示時の表示品位が低下する。本発明の一態様によれば、第2駆動周波数を第1駆動周波数よりも低くすることで、ユーザの視認性が低い区域の消費電力を低減しつつ、実質的な表示品位の低下を抑制できる。本発明の一態様によれば、表示品位の維持と消費電力の低減を両立できる。

[0639]

第1駆動周波数は、30Hz以上500Hz以下、好ましくは60Hz以上500Hz以下とすることができる。第2駆動周波数は第1駆動周波数以下が好ましく、第1駆動周波数の1/2以下がより好ましく、第1駆動周波数の1/5以下がより好ましい。

[0640]

第3領域S3に重なる副表示部95のうち、第2区域29Bの外側を第3区域29Cと設定し（図33C参照）、第3区域29Cに含まれる副表示部95の駆動周波数（「第3駆動周波数」ともいう。）を第2区域29Bよりも低くしてもよい。第3駆動周波数は第2駆動周波数以下が好ましく、第2駆動周波数の1/2以下がより好ましく、第2駆動周波数の1/5以下がより好ましい。画像書き換え回数を著しく少なくすることで、消費電力をさらに低減できる。また、必要に応じて、画像データの書き換えを停止してもよい。画像データの書き換えを停止することで、消費電力をさらに低減できる。

[0641]

このような駆動方法を行なう場合、画素回路51を構成するトランジスタにオフ電流が極めて少ないトランジスタを用いると好適である。例えば、画素回路51を構成するトランジスタにOSトランジスタを用いると好適である。OSトランジスタはオフ電流が著しく低いため、画素回路51に供給された画像データを長期間保持できる。特にトランジスタ52AにOSトランジスタを用いると好適である。

[0642]

表示部93に表示する映像シーンが変わる場合など、直前の画像よりも明るさ、コントラスト、または色調などが大きく異なる画像が表示される場合がある。このような場合、第1区域29Aと、第1区域29Aよりも駆動周波数が低い区域の間で、画像が切り換わるタイミングにずれが生じるため、両区間の間で明るさ、コントラスト、または色調などが大きく異なり、実質的な表示品位が損なわれる恐れがある。このように映像シーンが変わる場合などでは、一旦、第1区域29A以外の区域も第1区域29Aと同じ駆動周波数で画像の書き換えを行ない、その後に第1区域29A以外の区域の駆動周波数を低下させればよい。

[0643]

注視点Gの変動量が一定量を越えたと判断した場合、第1区域29A以外の区域も第1区域29Aと同じ駆動周波数で画像の書き換えを行ない、変動量が一定量以内であると判断した場合に、第1区域29A以外の区域の駆動周波数を低下させてもよい。また、注視点Gの変動量が少ないと判断した場合、第1区域29A以外の区域の駆動周波数をさらに低下させてもよい。

[0644]

表示装置90Bが、画像データを一時的に保持する記憶装置であるフレームメモリを有さない場合、もしくは、表示部93全体に対して1つのフレームメモリを有する場合、第2駆動周波数および第3駆動周波数は、どちらも第1駆動周波数の整数分の1にする必要がある。

[0645]

複数の副表示部95それぞれに対応するフレームメモリを設けることで、第2駆動周波数および第3駆動周波数を第1駆動周波数の整数分の1に限らず、任意の値に設定できる。第2駆動周波数および第3駆動周波数を任意の値に設定することによって、駆動周波数の設定自由度を高めることができる。よって、実質的な表示品位の低下を低減できる。

[0646]

なお、表示部93に設定する区域は、第1区域29A、第2区域29B、および第3区域29Cの3つに限定されない。表示部93に4以上の区域を設定してもよい。表示部93に複数の区域を設定し、段階的に駆動周波数を低くすることで、実質的な表示品位の低下をより少なくすることができる。

[0647]

第1区域29Aに表示する画像に対して、前述したアップコンバート処理を行なってもよい。第1区域29Aにアップコンバート処理された画像を表示することで、表示品位を高めることができる。また、第1区域29A以外の区域に表示する画像に対して、前述したアップコンバート処理を行なってもよい。第1区域29A以外の区域にアップコンバート処理された画像を表示することで、第1区域29A以外の区域の駆動周波数を低下させた場合の実質的な表示品位の低下をより少なくすることができる。

[0648]

なお、第1区域29Aに表示する画像のアップコンバート処理を高精度なアルゴリズムで行ない、第1区域29A以外の区域に表示する画像のアップコンバート処理を低精度なアルゴリズムで行なってもよい。このような場合においても、第1区域29A以外の区域の駆動周波数を低下させた場合の実質的な表示品位の低下をより少なくすることができる。

[0649]

画像データの解像度が表示部93の解像度よりも大きい場合、もしくは、高速書き換えと消費電力の低減を優先させたい場合など、目的などに応じて第1区域29A以外の区域に表示する画像に、ダウンコンバート処理を行なってもよい。例えば、第1区域29A以外の区域に表示する画像の書き換えを数行おき、数列おき、または数画素おきに行うことにより、高速書き換えと消費電力の低減が実現できる。

[0650]

注視点を含む第1区域29Aに表示する画像の解像度よりも、第1区域29A以外の区域に表示する画像の解像度を小さくすることで、映像信号生成（レンダリング）時の負荷が軽減される。このような処理を、「フォービエイテッド・レンダリング（Foveated Rendering）」ともいう。第1区域29A以外の区域の駆動周波数の低減とフォービエイテッド・レンダリングを組み合わせることで、表示品位の低下を抑えながら、さらなる消費電力の低減が実現できる。

[0651]

副表示部95毎に行う画像データの書き換えを、全ての副表示部95で同時に行うことで、高速書き換えが実現できる。すなわち、区画39毎に行う画像データの書き換えを、全ての区画39で同時

に行うことで、高速書き換えが実現できる。

[0652]

一般に、ソースドライバ回路は、線順次駆動の場合、ゲートドライバ回路が1行分の画素を選択している間に、1行分の全ての画素に、同時に画像データを書き込む。例えば、表示部93が副表示部95に分割されておらず、解像度が 4000×2000 画素である場合、ゲートドライバ回路が1行分の画素を選択している間に、ソースドライバ回路は4000個の画素に画像データを書き込む必要がある。フレーム周波数が120Hzの場合、1フレームの時間は約8.3msである。よって、ゲートドライバは2000行を約8.3msで選択する必要がある、ゲート線1行が選択される時間、つまり、1画素当たりの画像データの書き込み時間は約4.17 μ sとなる。すなわち、表示部の解像度が高くなるほど、また、フレーム周波数が高くなるほど、十分な画像データの書き換え時間の確保が難しくなる。

[0653]

本実施の形態で例示した表示装置90Bは、表示部93が行方向に4分割されている。よって、1つの副表示部95において、1画素当たりの画像データの書き込み時間を、表示部93が分割されていない場合より4倍長くできる。本発明の一態様によれば、フレーム周波数を240Hz、さらには360Hzにした場合でも画像データの書き換え時間の確保が容易になるため、表示品位の高い表示装置が実現できる。

[0654]

本実施の形態で例示した表示装置90Bは、表示部93が行方向に4分割されているため、ソースドライバ回路と画素回路を電氣的に接続する配線SLの長さが4分の1になる。このため、配線SLの抵抗値および寄生容量がそれぞれ4分の1になり、画像データの書き込み（書き換え）に必要な時間を短くすることができる。

[0655]

加えて、本実施の形態で例示した表示装置90Bは、表示部93が列方向に8分割されているため、ゲートドライバ回路と画素回路を電氣的に接続する配線GLの長さが8分の1になる。このため、配線GLの抵抗値および寄生容量がそれぞれ8分の1になり、信号の劣化および遅延が改善し、画像データの書き換え時間の確保が容易になる。

[0656]

本発明の一態様に係る表示装置90Bによれば、十分な画像データの書き込み時間の確保が容易であるため、表示画像の高速書き換えが実現できる。よって、表示品位の高い表示装置が実現できる。特に、動画表示に優れた表示装置が実現できる。

[0657]

ここで、本発明の一態様に係る表示装置90のシンククライアント(thin client)への適用について説明しておく。近年、サーバ側で主要な演算処理を実行し、クライアント側では限られた処理のみを行うシンククライアントが注目されている。シンククライアントの実行方式として、ネットワークブート方式、サーバベース方式、ブレードPC方式、およびデスクトップ仮想化(VDI)方式などが提唱されている。

[0658]

いずれの方式においても、シンククライアントでは、サーバからクライアントへ大量のデータが送信されるため、データ送信時の消費電力が大きくなる。クライアントとして本発明の一態様に係る表示

装置 90 を含む電子装置を用いることで、データ送信時の省電力化が実現できる。

[0659]

なお、本発明の一態様に係る表示装置 90B では、表示部 93 を 32 の副表示部 95 に分割する場合を例示した。ただし、本発明の一態様に係る表示装置 90B は、32 分割に限らず、16 分割、64 分割、または 128 分割などにしてもよい。表示部 93 の分割数を増やすと、ユーザが感じる実質的な表示品位の低下をより少なくすることができる。

[0660]

本実施の形態で例示した構成例、およびそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせることができる。

[0661]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせて実施することができる。また、本実施の形態に示す複数の構成及び対応する図面等は、互いに適宜組み合わせることが可能である。

[0662]

(実施の形態 6)

本実施の形態では、本発明の一態様の電子機器について、図 34 及び図 35 を用いて説明する。

[0663]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0664]

本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部等に、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

[0665]

電子機器として、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0666]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器として、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどの VR 向け機器、メガネ型の AR 向け機器、及び、MR 向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0667]

本発明の一態様の表示装置は、HD（画素数 1280×720 ）、FHD（画素数 1920×1080 ）、WQHD（画素数 2560×1440 ）、WQXGA（画素数 2560×1600 ）、4K（画素数 3840×2160 ）、8K（画素数 7680×4320 ）といった極めて高い解像度を有していることが好ましい。特に 4K、8K、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、 100 ppi 以上が好ましく、 300 ppi

以上が好ましく、500 p p i以上がより好ましく、1000 p p i以上がより好ましく、2000 p p i以上がより好ましく、3000 p p i以上がより好ましく、5000 p p i以上がより好ましく、7000 p p i以上がさらに好ましい。このように高い解像度及び高い精細度の一方または双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、1：1（正方形）、4：3、16：9、16：10など様々な画面比率に対応することができる。

[0668]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）を有してもよい。

[0669]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0670]

図34Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0671]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

[0672]

表示部6502に、本発明の一態様の表示装置を適用することができる。

[0673]

図34Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0674]

筐体6501の表示面側には透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

[0675]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が接着層（図示しない）により固定されている。

[0676]

表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されており、当該折り返された部分にFPC6515が接続されている。FPC6515には、IC6516が実装されている。FPC6515は、プリント基板6517に設けられた端子に接続されている。

[0677]

表示パネル6511には本発明の一態様のフレキシブルディスプレイを適用することができる。そ

のため、極めて軽量の電子機器を実現できる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、画素部の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0678]

図34Cにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0679]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0680]

図34Cに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び、別体のリモコン操作機7111により行うことができる。または、表示部7000にタッチセンサを備えていてもよく、指等で表示部7000に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有してもよい。リモコン操作機7111が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0681]

なお、テレビジョン装置7100は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間など）の情報通信を行うことも可能である。

[0682]

図34Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0683]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0684]

図34E及び図34Fに、デジタルサイネージの一例を示す。

[0685]

図34Eに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0686]

図34Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0687]

図34E及び図34Fにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[0688]

表示部7000が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0689]

表示部7000にタッチパネルを適用することで、表示部7000に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0690]

図34E及び図34Fに示すように、デジタルサイネージ7300またはデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311または情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311または情報端末機7411の画面に表示させることができる。また、情報端末機7311または情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[0691]

デジタルサイネージ7300またはデジタルサイネージ7400に、情報端末機7311または情報端末機7411の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0692]

図35A乃至図35Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、または操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）、マイクロフォン9008、等を有する。

[0693]

図35A乃至図35Gにおいて、表示部9001に、本発明の一態様の表示装置を適用することができる。

[0694]

図35A乃至図35Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有してもよい。また、電子機器にカメラ等を設け、静止画または動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有してもよい。

[0695]

図35A乃至図35Gに示す電子機器の詳細について、以下説明を行う。

[0696]

図35Aは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字及び画像情報をその複数の面に表示することができる。図35Aでは3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例として、電子メール、SNS、電話などの着信の通知、電子メールまたはSNSなどの題名、送信者名、日時、時刻、バッテリーの残量、電波強度などがある。または、情報9051が表示されている位置にはアイコン9050などを表示してもよい。

[0697]

図35Bは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0698]

図35Cは、タブレット端末9103を示す斜視図である。タブレット端末9103は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末9103は、筐体9000の正面に表示部9001、カメラ9002、マイクロフォン9008、スピーカ9003を有し、筐体9000の側面には操作用のボタンとしての操作キー9005、底面には接続端子9006を有する。

[0699]

図35Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0700]

図35E乃至図35Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図35Eは携帯情報端末9201を展開した状態、図35Gは折り畳んだ状態、図35Fは図35Eと図35Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0701]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせることで実施することができる。また、本実施の形態に示す複数の構成及び対応する図面等は、互いに適宜組み合わせることが可能である。

[0702]

(実施の形態7)

本実施の形態では、 p 行 q 列 (p および q は、それぞれ2以上の整数) のマトリクス状に配置された複数の画素230を有する副表示部95の構成例について説明する。図36Aは、副表示部95を説明するブロック図である。副表示部95は、区画39に設けられているソースドライバ回路66およびゲートドライバ回路33と、電氣的に接続される。

[0703]

図36Aでは、 p 行1列目の画素230を画素230 [p , 1] と示し、1行 q 列目の画素230を画素230 [1, q] と示し、 p 行 q 列目の画素230を画素230 [p , q] と示している。

[0704]

ゲートドライバ回路33に含まれる回路は、例えば走査線駆動回路として機能する。ソースドライバ回路66に含まれる回路は、例えば信号線駆動回路として機能する。

[0705]

例えば、画素230を構成するトランジスタにOSトランジスタを用い、駆動回路を構成するトランジスタにSiトランジスタを用いてもよい。OSトランジスタはオフ電流が小さいため、消費電力を低減できる。また、SiトランジスタはOSトランジスタよりも動作速度が速いため、駆動回路に用いると好適である。また、表示装置によっては、画素230を構成するトランジスタと駆動回路を構成するトランジスタの双方にOSトランジスタを用いてもよい。また、表示装置によっては、画素230を構成するトランジスタと駆動回路を構成するトランジスタの双方にSiトランジスタを用いてもよい。または、表示装置によっては、画素230を構成するトランジスタにSiトランジスタを用い、駆動回路を構成するトランジスタにOSトランジスタを用いてもよい。

[0706]

画素230を構成するトランジスタに、SiトランジスタとOSトランジスタの双方を用いてもよい。また、駆動回路を構成するトランジスタに、SiトランジスタとOSトランジスタの双方を用いてもよい。

[0707]

図36Aでは、各々が略平行に配設され、かつ、ゲートドライバ回路33によって電位が制御される p 本の配線GLと、各々が略平行に配設され、かつ、ソースドライバ回路66によって電位が制御される q 本の配線SLと、を示している。例えば、 r 行目 (r は任意の数を示し、本実施の形態などでは1以上 p 以下の整数である。) に配置されている画素230は、 r 行目の配線GLを介してゲートドライバ回路33と電氣的に接続される。また、 s 列目 (s は任意の数を示し、本実施の形態などでは1以上 q 以下の整数である。) に配置されている画素230は、 s 列目の配線SLを介してソースドライバ回路66と電氣的に接続される。図36Aでは、 r 行 s 列目の画素230を画素230 [r , s] と示している。

[0708]

なお、1つの行に含まれる画素230と電氣的に接続する配線GLは1本とは限らない。また、1つの列に含まれる画素230と電氣的に接続する配線SLは1本とは限らない。また、配線GLと配線SLは一例であり、画素230と接続する配線は、配線GLと配線SLに限らない。

[0709]

赤色光を制御する画素230、緑色光を制御する画素230、および青色光を制御する画素230

をストライプ状に配置し、これらをまとめて1つの画素240として機能させ、それぞれの画素230の発光量（発光輝度）を制御することで、フルカラー表示が実現できる。言い換えると、当該3つの画素230はそれぞれが副画素として機能する。すなわち、3つの副画素は、それぞれが赤色光、緑色光、または青色光の、発光量などを制御する（図36B1参照。）。なお、3つの副画素それぞれが制御する光の色は、赤（R）、緑（G）、青（B）の組み合わせに限らず、シアン（C）、マゼンタ（M）、黄（Y）であってもよい（図36B2参照。）。

[0710]

画素240を1920×1080のマトリクス状に配置すると、いわゆる2K解像度でフルカラー表示可能な表示部93を実現できる。また、例えば、画素240を3840×2160のマトリクス状に配置すると、いわゆる4K解像度でフルカラー表示可能な表示部93を実現できる。また、例えば、画素240を7680×4320のマトリクス状に配置すると、いわゆる8K解像度でフルカラー表示可能な表示部93を実現できる。画素240を増やすことで、16Kさらには32Kの解像度でフルカラー表示可能な表示部93を実現することも可能である。

[0711]

1つの画素240を構成する3つの画素230の配置は、デルタ配置にしてもよい（図36B3参照。）。具体的には、1つの画素240を構成する3つの画素230それぞれの中心点を結ぶ線が、三角形になるように配置してもよい。なお、画素230の配置は、ストライプ配置およびデルタ配置に限らない。画素230の配置を、ジグザグ配置、Sストライプ配置、ベイヤー配置、またはペンタイル配置にしてもよい。

[0712]

3つの副画素（画素230）それぞれの面積は同じでなくてもよい。発光色によって発光効率および信頼性などが異なる場合、発光色毎に副画素の面積を変えてもよい（図36B4参照。）。

[0713]

4つの副画素をまとめて1つの画素として機能させてもよい。例えば、赤色光、緑色光、青色光をそれぞれ制御する3つの副画素に、白色光を制御する副画素を加えてもよい（図36B5参照。）。白色光を制御する副画素を加えることで、表示領域の輝度を高めることができる。また、赤色光、緑色光、青色光をそれぞれ制御する3つの副画素に、黄色光を制御する副画素を加えてもよい（図36B6参照。）。また、シアン色光、マゼンタ色光、黄色光をそれぞれ制御する3つの副画素に、白色光を制御する副画素を加えてもよい（図36B7参照。）。

[0714]

1つの画素として機能させる副画素の数を増やし、赤、緑、青、シアン、マゼンタ、および黄などの光を制御する副画素を適宜組み合わせることで、中間調の再現性を高めることができる。よって、表示品位を高めることができる。

[0715]

本発明の一態様の表示装置は、さまざまな規格の色域を再現できる。例えば、テレビ放送で使われるPAL（Phase Alternating Line）規格およびNTSC（National Television System Committee）規格、パーソナルコンピュータ、デジタルカメラ、プリンタなどの電子装置に用いる表示装置で広く使われているsRGB（standard RGB）規格およびAdobe RGB規格、HDTV（High Definition Television、ハイビジョンともいう）で使われるITU-R BT. 709（Int

ernational Telecommunication Union Radiocommunication Sector Broadcasting Service (Television) 709) 規格、デジタルシネマ映写で使われるDCI-P3 (Digital Cinema Initiatives P3) 規格、UHDTV (Ultra High Definition Television、スーパーハイビジョンともいう) で使われるITU-R BT. 2020 (REC. 2020 (Recommendation 2020)) 規格などの色域を再現することができる。

[0716]

1つの画素240に受光素子を含む画素237を設けてもよい。図37Aに示す画素240は、緑色の光を呈する画素230 (G)、青色の光を呈する画素230 (B)、赤色の光を呈する画素230 (R)、および、受光素子を有する画素237 (S) がストライプ状に配置されている。なお、本明細書などでは、画素237を「撮像素素」ともいう。

[0717]

画素237が有する受光素子は、可視光を検出する素子であることが好ましく、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、赤色などの光のうち一つまたは複数を検出する素子が好ましい。また、画素237が有する受光素子は、赤外光を検出する素子であってもよい。

[0718]

図37Aに示す画素240には、ストライプ配置が適用されている。なお、受光素子を有する画素237で特定の色の光を検出する場合は、当該色の光を呈する画素230を画素237の隣に配置することで検出精度を高めることができ、好ましい。

[0719]

図37Bに示す画素240には、3つの画素230と1つの画素237がマトリクス配置されている。図37Bでは、赤の光を呈する画素230が受光素子を有する画素237と行方向に隣接し、青の光を呈する画素230と緑の光を呈する画素230が行方向に隣接する例を示すが、これに限定されない。

[0720]

図37Cに示す画素240には、Sストライプ配置に画素237を追加した構成を有する。図37Cの画素240は、1つの縦長の画素230と、2つの横長の画素230と、1つの横長の画素237と、を有する。なお、縦長の画素230は、R、G、Sのいずれかであってもよく、横長の副画素の並び順にも限定はない。

[0721]

図37Dでは、画素240aと画素240bが交互に配置されている例を示す。画素240aは、青の光を呈する画素230、緑の光を呈する画素230、および受光素子を有する画素237を有する。また、画素240bは、赤の光を呈する画素230、緑の光を呈する画素230、および受光素子を有する画素237を有する。画素240aと画素240bを併せて1つの画素240として機能する。図37Dでは、画素240aと画素240bの双方が、緑の光を呈する画素230と画素237を有しているが、これに限定されない。画素237を、画素240aと画素240bの双方が有することで、撮像素素の精細度を高めることができる。

[0722]

図37Eに示すレイアウトとすることで、各副画素の開口率を高めることができ好ましい。また、

図 3 7 F では、画素 2 3 0 および画素 2 3 7 の上面形状が、六角形である例を示している。

[0 7 2 3]

図 3 7 F に示す画素 2 4 0 は、横 1 列に画素 2 3 0 が配置され、その下に画素 2 3 7 が配置されている例である。

[0 7 2 4]

図 3 7 G に示す画素 2 4 0 は、横 1 列に画素 2 3 0、および、画素 2 3 0 X が配置され、その下に画素 2 3 7 が配置されている例である。

[0 7 2 5]

画素 2 3 0 X には、例えば、赤外光（I R）を呈する画素 2 3 0 を適用できる。すなわち、画素 2 3 0 X は、赤外光（I R）を発する発光デバイス 6 1 を有する。この場合、画素 2 3 7 は、赤外光を検出する受光素子を有することが好ましい。例えば、可視光を発する画素 2 3 0 で画像を表示しながら、副画素 X が発する赤外光の反射光を画素 2 3 7 で検出できる。

[0 7 2 6]

1 つの画素 2 4 0 に複数の画素 2 3 7 を設けてもよい。この場合、複数の画素 2 3 7 で検出する光の波長域は同じであってもよく、異なってもよい。例えば、複数の画素 2 3 7 の一部が可視光を検出し、他の一部が赤外光を検出してもよい。

[0 7 2 7]

画素 2 3 7 は全ての画素 2 4 0 に設けなくてもよい。一定の画素数毎に、画素 2 3 7 を含む画素 2 4 0 を設けてもよい。

[0 7 2 8]

画素 2 3 7 を用いて、もしくは、画素 2 3 7 と前述したセンサ 9 7 を用いて、例えば、指紋、掌紋、虹彩、網膜、脈形状（静脈形状、動脈形状を含む）、または顔などを用いた個人認証のための情報を検出できる。また、画素 2 3 7 を用いて、もしくは、画素 2 3 7 とセンサ 9 7 を用いて、ユーザの瞬き回数、瞼の挙動、瞳孔の大きさ、体温、脈拍、血液中の酸素飽和度などを計測し、ユーザの疲労度および健康状態などを検出できる。

[0 7 2 9]

ユーザの視線の動き、まばたきの回数、および、まばたきのリズムなどを用いて、電子装置の操作を実現できる。具体的には、画素 2 3 7 を用いて、もしくは、画素 2 3 7 とセンサ 9 7 を用いて、ユーザの視線の動き、まばたきの回数、および、まばたきのリズムなどの情報を検出し、これらの情報の一もしくは複数の組み合わせを電子装置の操作信号として用いればよい。例えば、まばたきをマウスのクリック動作に置き換えることも可能である。視線の動き、および、まばたきを検出することにより、ユーザは手に何も持たない状態で電子装置の入力操作を行なえる。よって、電子装置の操作性を高めることができる。

[0 7 3 0]

例えば、実施の形態 5 に記載のメガネ型の電子装置 1 5 0 の表示装置 9 0 に複数の撮像素素（画素 2 3 7）を設けることで、当該複数の撮像素素を視線検出部 8 4 として用いることができる。よって、電子装置の構成部品数を減らすことができる。よって、電子装置の軽量化、生産性向上、およびコストダウンなどが実現できる。

[0 7 3 1]

< 発光デバイスの構成例 >

本発明の一態様に係る表示装置に用いることができる発光デバイス 6 1 について説明する。

[0732]

図 38 A に示すように、発光デバイス 6 1 は、一対の電極（導電層 1 7 1、導電層 1 7 7）の間に、E L 層 1 7 5 を備える。E L 層 1 7 5 は、層 4 4 2 0、発光層 4 4 1 1、層 4 4 3 0 などの複数の層で構成することができる。層 4 4 2 0 は、例えば電子注入性の高い物質を含む層（電子注入層）および電子輸送性の高い物質を含む層（電子輸送層）などを備えることができる。発光層 4 4 1 1 は、例えば発光性の化合物を備える。層 4 4 3 0 は、例えば正孔注入性の高い物質を含む層（正孔注入層）および正孔輸送性の高い物質を含む層（正孔輸送層）を備えることができる。

[0733]

一対の電極間に設けられた層 4 4 2 0、発光層 4 4 1 1 および層 4 4 3 0 を備える構成は単一の発光ユニットとして機能することができ、本明細書などでは図 38 A の構成をシングル構造と呼ぶ。

[0734]

図 38 B は、図 38 A に示す発光デバイス 6 1 が備える E L 層 1 7 5 の変形例である。具体的には、図 38 B に示す発光デバイス 6 1 は、導電層 1 7 1 上の層 4 4 3 0-1 と、層 4 4 3 0-1 上の層 4 4 3 0-2 と、層 4 4 3 0-2 上の発光層 4 4 1 1 と、発光層 4 4 1 1 上の層 4 4 2 0-1 と、層 4 4 2 0-1 上の層 4 4 2 0-2 と、層 4 4 2 0-2 上の導電層 1 7 7 と、を備える。例えば、導電層 1 7 1 を陽極とし、導電層 1 7 7 を陰極とした場合、層 4 4 3 0-1 が正孔注入層として機能し、層 4 4 3 0-2 が正孔輸送層として機能し、層 4 4 2 0-1 が電子輸送層として機能し、層 4 4 2 0-2 が電子注入層として機能する。または、導電層 1 7 1 を陰極とし、導電層 1 7 7 を陽極とした場合、層 4 4 3 0-1 が電子注入層として機能し、層 4 4 3 0-2 が電子輸送層として機能し、層 4 4 2 0-1 が正孔輸送層として機能し、層 4 4 2 0-2 が正孔注入層として機能する。このような層構造とすることで、発光層 4 4 1 1 に効率よくキャリアを注入し、発光層 4 4 1 1 内におけるキャリアの再結合の効率を高めることが可能となる。

[0735]

なお、図 38 C に示すように層 4 4 2 0 と層 4 4 3 0 との間に複数の発光層（発光層 4 4 1 1、発光層 4 4 1 2、発光層 4 4 1 3）が設けられる構成も、シングル構造の一例である。

[0736]

図 38 D に示すように、複数の発光ユニット（E L 層 1 7 5 a、E L 層 1 7 5 b）が中間層（電荷発生層）4 4 4 0 を介して直列に接続された構成を、本明細書などではタンデム構造またはスタック構造と呼ぶ。なお、タンデム構造とすることで、高輝度発光が可能な発光デバイスが実現できる。

[0737]

発光デバイス 6 1 を図 38 D に示すタンデム構造にする場合、E L 層 1 7 5 a と E L 層 1 7 5 b それぞれの発光色を同じにしてもよい。例えば、E L 層 1 7 5 a および E L 層 1 7 5 b の発光色を、どちらも緑色にしてもよい。

[0738]

なお、赤色光（R）を発する発光デバイス 6 1、緑色光（G）を発する発光デバイス 6 1、および青色光（B）を発する発光デバイス 6 1 をそれぞれ副画素として用いて、これら 3 つの副画素で 1 つの画素を構成することで、フルカラー表示が実現できる。表示部 9 3 が R、G、B の 3 種類の副画素を含む場合、それぞれの発光デバイスをタンデム構造としてもよい。具体的には、R の副画素の E L 層 1 7 5 a、および E L 層 1 7 5 b は、それぞれ、赤色発光が可能な材料を有し、G の副画素の E L

層 175 a、および EL 層 175 b は、それぞれ、緑色発光が可能な材料を有し、B の副画素の EL 層 175 a、および EL 層 175 b は、それぞれ、青色発光が可能な材料を備える。言い換えると、発光層 4411 と発光層 4412 の材料を同じにしてもよい。EL 層 175 a と EL 層 175 b の発光色を同じにすることで、単位発光輝度あたりの電流密度を低減できる。よって、発光デバイス 61 の信頼性を高めることができる。

[0739]

発光デバイスの発光色は、EL 層 175 を構成する材料によって、赤、緑、青、シアン、マゼンタ、黄または白などとすることができる。また、発光デバイスにマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

[0740]

発光層には、R (赤)、G (緑)、B (青)、Y (黄)、O (橙) などの発光を示す発光物質を 2 種類以上含んでもよい。白色の光を発する発光デバイスは、発光層に 2 種類以上の発光物質を含む構成とすることが好ましい。白色発光を得るには、2 種類以上の発光物質の各々の発光が混合することにより白色となるような発光物質を選択することが好ましい。例えば、第 1 の発光層の発光色と第 2 の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する発光デバイスを得ることができる。また、発光層を 3 つ以上備える発光デバイスの場合も同様である。

[0741]

発光層には、R (赤)、G (緑)、B (青)、Y (黄)、O (橙) 等の発光を示す発光物質を 2 種類以上含むことが好ましい。または、発光物質を 2 種類以上有し、それぞれの発光物質の発光は、R、G、B のうち 2 以上の色のスペクトル成分を含むことが好ましい。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0742]

発光物質として、蛍光を発する物質 (蛍光材料)、燐光を発する物質 (燐光材料)、熱活性化遅延蛍光を示す物質 (熱活性化遅延蛍光 (Thermally Activated Delayed Fluorescence: TADF) 材料) などが挙げられる。発光物質として、有機化合物だけでなく、無機化合物 (量子ドット材料など) を用いることができる。

[0743]

本実施の形態及び対応する図面等は、少なくともその一部を本明細書中に記載する他の実施の形態、または実施例と適宜組み合わせることで実施することができる。また、本実施の形態に示す複数の構成及び対応する図面等は、互いに適宜組み合わせることが可能である。

[実施例]

[0744]

本実施例では、本発明の一態様に係る作製方法を用いてトランジスタを作製し、断面 STEM 像の観察、及び電気特性の測定を行った。

[0745]

本実施例では、図 13A 乃至図 16C に示す方法を用いて、図 5A 乃至図 5C に示すトランジスタ 200 を有する試料を作製した。なお、本実施例では、トランジスタ 200 だけを作製したため、図 13A 乃至図 16C に係る工程の一部を省略した。

[0746]

まず、基板 102 として、ガラス基板を用意し、当該ガラス基板上に下地絶縁膜として、膜厚 30

nmの窒化シリコン膜と、膜厚200nmの酸化窒化シリコン膜を成膜した。窒化シリコン膜及び酸化窒化シリコン膜の成膜には、PECVD法を用いた。

[0747]

次に、下地絶縁膜上に導電層212a及び導電層212bを形成した。導電層212a及び導電層212bには、スパッタリング法で成膜した、膜厚100nmのITO膜を用いた。

[0748]

次に、導電層212a及び導電層212bを覆って、絶縁膜110af及び絶縁膜110bfを成膜した。絶縁膜110afは、PECVD法で成膜した、膜厚30nmの窒化シリコン膜を用いた。絶縁膜110afの成膜は、成膜ガスとして、SiH₄ガス200sccm、N₂ガス2000sccm、NH₃ガス100sccmを用い、圧力を100Pa、電力を2000W、基板温度を350℃とした。絶縁膜110bfは、PECVD法で成膜した、膜厚500nmの酸化窒化シリコン膜を用いた。絶縁膜110bfの成膜は、成膜ガスとして、SiH₄ガス290sccm、N₂Oガス8700sccmを用い、圧力を200Pa、電力を1160W、基板温度を350℃とした。

[0749]

さらに絶縁膜110bfの成膜後に大気に曝すことなく、プラズマ処理を行った。プラズマ処理は、N₂Oガス3000sccmを用い、圧力を133Pa、電力を500W、基板温度を350℃、処理時間を240秒とした。

[0750]

次に、絶縁膜110bf上に膜厚20nmの金属酸化物層137を成膜してから、加熱処理を行った。金属酸化物層137は、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=1:1:1[原子数比])を用いたスパッタリング法により形成した。加熱処理は、乾燥空気雰囲気で行い、処理温度を250度、処理時間を1時間として行った。加熱処理の後、ウェットエッチング法を用いて金属酸化物層137を除去した。

[0751]

次に、絶縁膜110bf上に絶縁膜110cfを成膜した。絶縁膜110cfは、PECVD法で成膜した、膜厚30nmの窒化シリコン膜を用いた。絶縁膜110cfの成膜は、成膜ガスとして、SiH₄ガス200sccm、N₂ガス2000sccm、NH₃ガス100sccmを用い、圧力を100Pa、電力を2000W、基板温度を350℃とした。

[0752]

次に、絶縁膜110af乃至絶縁膜110cfの一部を除去して、直径3μmの開口145を有する絶縁層110a乃至絶縁層110cを形成した。開口145の形成には、ドライエッチング法を用いた。開口145は、導電層212aと導電層212bの間の領域と重なるように形成した。

[0753]

次に、開口145を覆うように膜厚20nmの金属酸化物膜108fを成膜した。金属酸化物膜108fは、In-Ga-Zn酸化物ターゲット(In:Ga:Zn=1:1:1[原子数比])を用いたスパッタリング法により形成した。成膜条件は、圧力を0.6Pa、電源電力を2.5kW、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を10%とした。

[0754]

次に、金属酸化物膜108f上に、PECVD法を用いて膜厚500nmの絶縁膜209fを成膜

した。絶縁膜209fの成膜は、成膜ガスとして、 SiH_4 ガス200 sccm、 N_2O ガス600 sccmを用い、圧力を200 Pa、電力を1200 W、基板温度を350℃とした。

[0755]

次に、絶縁膜209fに異方性エッチングを行って、開口145内に絶縁層209を形成した。絶縁層209の形成は、ドライエッチング法を用いた。ドライエッチング法では、エッチングガスとして、 C_4F_8 ガス100 sccmを用い、圧力を0.67 Paとし、上部電極の電力を6000 Wとし、下部電極の電力を3000 Wとし、処理時間を70秒とした。

[0756]

次に、絶縁層209をマスクとして金属酸化物膜108fを加工し、開口145内に半導体層208を形成した。半導体層208の形成は、ウェットエッチング法を用いた。ウェットエッチング法では、混酸アルミ液を用いて10秒間処理を行った。混酸アルミ液は、硝酸5%未満、酢酸10%未満、リン酸80%未満を含む、水溶液である。

[0757]

次に、プラズマ処理を行った。プラズマ処理は、 N_2O ガス18000 sccmを用い、圧力を200 Pa、電力を150 W、基板温度を350℃、処理時間を20秒とした。

[0758]

続いて、前述のプラズマ処理の後、大気に曝すことなく連続して絶縁層106を成膜した。絶縁層106は、PECVD法で成膜された、膜厚約50 nmの酸化窒化シリコン膜を用いた。絶縁層106の成膜は、成膜ガスとして、 SiH_4 ガス50 sccm、 N_2O ガス18000 sccmを用い、圧力を200 Pa、電力を250 W、基板温度を350℃とした。

[0759]

次に、絶縁層106の上に導電層204を形成した。導電層204は、膜厚50 nmのチタン膜と、膜厚200 nmのアルミニウム膜と、膜厚50 nmのチタン膜の積層構造とした。チタン膜及びアルミニウム膜は、スパッタリング法で成膜した。

[0760]

次に、形成したトランジスタ200を覆って、絶縁層195を成膜した。絶縁層195は、PECVD法で成膜された、膜厚300 nmの酸化窒化シリコン膜を用いた。絶縁層195の成膜は、成膜ガスとして、 SiH_4 ガス150 sccm、 N_2 ガス5000 sccm、 N_2O ガス500 sccm、 NH_3 ガス100 sccmを用い、圧力を100 Pa、電力を2500 W、基板温度を350℃とした。それから、乾燥空気雰囲気、300℃、1時間の加熱処理を行った。

[0761]

次に、絶縁層195を覆って、膜厚1.5 μm のポリイミド樹脂を成膜した。それから、窒素雰囲気、250℃、1時間の加熱処理を行った。

[0762]

以上のようにして、10個のトランジスタ200を有する試料を作製した。

[0763]

上記試料において、断面STEM像を撮影した結果について、図39B及び図39C、図40A及び図40Bに示す。ここで、図39Aは、上記試料の光学顕微鏡写真であり、図39Bは図39Aの破線A-A'に対応する断面STEM像であり、図39Cは図39Aの破線B-B'に対応する断面STEM像である。また、図40Aは図39Bの拡大写真であり、図40Bは図39Cの拡大写真で

ある。なお、上記試料は、日立ハイテク社製走査透過電子顕微鏡（STEM：Scanning Transmission Electron Microscope）（型番：HD-2300）を用いて、加速電圧200kVで撮影した。

[0764]

図40A及び図40Bに示すように、開口145の側壁に接して半導体層208を形成し、半導体層208に接してサイドウォール状の絶縁層209を形成することができた。開口145の直径が約 $3\mu\text{m}$ であるため、トランジスタ200のチャネル長は約 $4.7\mu\text{m}$ となった。また、半導体層の高さが約 $0.25\mu\text{m}$ であるため、チャネル幅は約 $0.5\mu\text{m}$ となった。また、トランジスタ200のゲート絶縁膜の膜厚は、絶縁層209と絶縁層106の膜厚の和をとって、約150nmとなった。このように、本実施例では、チャネル長がチャネル幅より大きいトランジスタ200を作製することができた。

[0765]

なお、本実施例の試料では、図8Bに示すトランジスタ200と同様に、半導体層208及び絶縁層209の上端部が、絶縁層110cの上面より低くなった。また、図8Cに示すトランジスタ200と同様に、半導体層208の上端部が絶縁層209の上端部より低くなったため、半導体層208の上端部の上に空洞が形成された。また、図8Cに示すトランジスタ200と同様に、半導体層208の突出部の側面が絶縁層209の開口145中央側の側面より後退したため、半導体層208の突出部の先に空洞が形成された。

[0766]

また、上記試料のトランジスタ200のID-VG特性を測定した結果について、図41に示す。図41は10個のトランジスタ200のID-VG特性である。

[0767]

トランジスタのID-VG特性の測定条件としては、ゲート電極に印加する電圧（以下、ゲート電圧（VG）ともいう）を、-10Vから+10Vまで0.1Vごとに印加した。また、ソース電極に印加する電圧（以下、ソース電圧（VS）ともいう）を0Vとし、ドレイン電極に印加する電圧（以下、ドレイン電圧（VD）ともいう）を、0.1V及び5.1Vとした。図41では、上記の条件において、ドレイン電極に流れる電流（以下、ドレイン電流（ID）ともいう）を測定した。

[0768]

図41に示すように、上記試料の10個のトランジスタ200のいずれにおいても、ノーマリーオフ特性を示しており、比較的良好な電気特性が得られた。

[0769]

以上のように、本実施例において、開口の側壁に接して半導体層が形成され、チャネル長がチャネル幅より大きいトランジスタを作製することができた。当該トランジスタにおいて、比較的良好な電気特性を得ることができた。

[0770]

本実施例は、実施の形態と適宜組み合わせることができる。

[符号の説明]

[0771]

10：半導体装置、20a：トランジスタ、20B：トランジスタ、20b：トランジスタ、20：トランジスタ、21a：半導体層、21b：半導体層、21：半導体層、22：絶縁層、23：ゲー

ト電極、24a：ソース電極、24b：ドレイン電極、25a：絶縁層、25b：絶縁層、25：絶縁層、26a：延伸部、26b：延伸部、26c：延伸部、28a：屈曲部、28b：屈曲部、29A：第1区域、29B：第2区域、29C：第3区域、30：開口、31：絶縁層、32：絶縁層、33：ゲートドライバ回路、34：レベルシフタ、35：増幅回路、36：検査回路、37：映像生成回路、38：映像分配回路、39：区画、40：機能回路、41：記憶装置、42a：色ムラ補正、42b：アップコンバート、42：GPU、43：EL補正回路、44：タイミングコントローラ、45：CPU、46：センサコントローラ、47：電源回路、48：温度センサ、49：輝度補正回路、50A：表示装置、50B：表示装置、51A：画素回路、51B：画素回路、51C：画素回路、51D：画素回路、51E：画素回路、51F：画素回路、51G：画素回路、51H：画素回路、51：画素回路、52A：トランジスタ、52B：トランジスタ、52C：トランジスタ、52D：トランジスタ、52：トランジスタ、53A：容量素子、53：容量素子、54：チャネル形成領域、55：画素回路群、59：区画、61：発光デバイス、62：層、63：トランジスタ、64：チャネル形成領域、65：駆動回路、66：ソースドライバ回路、67：デジタルアナログ変換回路、71：素子層、73：素子層、75：素子層、77：配線層、80：入出力回路、81：層、83：層、84：視線検出部、85：通信部、86：装着部、87：緩衝部材、88：レンズ、89：出力端子、90__L：表示装置、90__R：表示装置、90A：表示装置、90B：表示装置、90：表示装置、91：基板、92：基板、93：表示部、94：端子部、95：副表示部、97：センサ、98：入力端子、99A：イヤフォン、99B：イヤフォン、100C：トランジスタ、100：トランジスタ、101：動き検出部、102：基板、103：演算部、104：導電層、105：筐体、106：絶縁層、107：接着層、108f：金属酸化物膜、108：半導体層、109：絶縁層、110a：絶縁層、110af：絶縁膜、110b：絶縁層、110b1：絶縁層、110bf：絶縁膜、110c：絶縁層、110cf：絶縁膜、110d1：絶縁層、110：絶縁層、111：画素電極、112a：導電層、112b：導電層、112bf：導電膜、113a：第1の層、113b：第2の層、113c：第3の層、114：共通層、115：共通電極、116：導電層、118a：マスク層、119：基板、121：絶縁層、123：絶縁層、125：絶縁層、126a：導電層、126b：導電層、126c：導電層、127：絶縁層、128：層、129a：導電層、129b：導電層、129c：導電層、130B：発光デバイス、130G：発光デバイス、130R：発光デバイス、130：発光デバイス、131：保護層、137：金属酸化物層、139：膜、140：接続部、141：開口、143：開口、145：開口、146a：延伸部、146b：延伸部、146c：延伸部、148a：屈曲部、148b：屈曲部、150：電子装置、151：基板、152：基板、155：充填剤、159：レジストマスク、162：表示部、164：回路部、165：導電層、171：導電層、172：FPC、173：IC、175a：EL層、175b：EL層、175：EL層、177：導電層、182a：導電層、182b：導電層、182c：導電層、195：絶縁層、200B：トランジスタ、200C：トランジスタ、200：トランジスタ、204：導電層、208：半導体層、209f：絶縁膜、209：絶縁層、210：画素、212a：導電層、212b：導電層、216：導電層、217：空洞、218：空洞、230B：画素、230G：画素、230R：画素、230X：画素、230：画素、231：第1駆動回路部、232：第2駆動回路部、233：絶縁層、234：導電層、235：絶縁層、236：配線、237：画素、238：配線、240a：画素、240b：画素、240：画素、300：トランジスタ、310：基板、312：素子分離層、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：

絶縁層、316：導電層、317：絶縁層、320：絶縁層、322：絶縁層、324：絶縁層、326：絶縁層、328：導電層、330：導電層、350：絶縁層、352：絶縁層、354：絶縁層、356：導電層、441：タイミングコントローラ、442：入出力回路、500：表示モジュール、501：プリント配線板、502：端子部、503：ワイヤ、504：FPC、505：接続部、512：絶縁層、514：導電層、574：絶縁層、581：絶縁層、592：絶縁層、594：絶縁層、596：導電層、598：絶縁層、599：絶縁層、4411：発光層、4412：発光層、4413：発光層、4420：層、4430：層、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6510：保護部材、6511：表示パネル、6512：光学部材、6513：タッチセンサパネル、6515：FPC、6516：IC、6517：プリント基板、6518：バッテリー、7000：表示部、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機、9000：筐体、9001：表示部、9002：カメラ、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：アイコン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9101：携帯情報端末、9102：携帯情報端末、9103：タブレット端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項 1]

第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層と、トランジスタと、を有し、
前記トランジスタは、半導体層、第 3 の絶縁層、第 4 の絶縁層、ゲート電極、ソース電極、及びドレイン電極を有し、
前記ソース電極及び前記ドレイン電極は、前記第 1 の絶縁層上に設けられ、
前記第 2 の絶縁層は、前記第 1 の絶縁層に達し、且つ前記ソース電極の一部、及び前記ドレイン電極の一部と重なる開口を有し、
前記半導体層及び前記第 3 の絶縁層は、前記開口の周に沿って設けられ、
前記半導体層は、前記第 2 の絶縁層の前記開口における側面、前記第 1 の絶縁層の前記開口における上面、前記ソース電極の上面、及び前記ドレイン電極の上面に接して設けられ、
前記第 3 の絶縁層は、前記半導体層上に位置し、
前記第 4 の絶縁層は、前記第 3 の絶縁層、及び前記半導体層を覆い、前記第 1 の絶縁層に接し、
前記ゲート電極は、前記開口と重畳し、且つ前記第 4 の絶縁層上に位置し、
前記半導体層の少なくとも一部は、前記第 3 の絶縁層及び前記第 4 の絶縁層を介して、前記ゲート電極と対向する、
半導体装置。

[請求項 2]

請求項 1 において、
前記第 3 の絶縁層は、前記半導体層と、前記第 4 の絶縁層と、によって囲まれる、
半導体装置。

[請求項 3]

請求項 1 において、
前記半導体層は、少なくともインジウムを含む酸化物半導体を有する、
半導体装置。

[請求項 4]

請求項 3 において、
前記第 3 の絶縁層は、酸素とシリコンを含む、
半導体装置。

[請求項 5]

請求項 1 において、
前記開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、
半導体装置。

[請求項 6]

第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層と、第 1 のトランジスタと、第 2 のトランジスタと、を有し、
前記第 1 のトランジスタは、第 1 の半導体層、第 3 の絶縁層、第 4 の絶縁層、第 1 のゲート電極、第 1 のソース電極、及び第 1 のドレイン電極を有し、
前記第 1 のソース電極及び前記第 1 のドレイン電極は、前記第 1 の絶縁層上に設けられ、

前記第2の絶縁層は、前記第1の絶縁層に達し、且つ前記第1のソース電極の一部、及び前記第1のドレイン電極の一部と重なる第1の開口を有し、

前記第1の半導体層及び前記第3の絶縁層は、前記第1の開口の周に沿って設けられ、

前記第1の半導体層は、前記第2の絶縁層の前記第1の開口における側面、前記第1の絶縁層の前記第1の開口における上面、前記第1のソース電極の上面、及び前記第1のドレイン電極の上面に接して設けられ、

前記第3の絶縁層は、前記第1の半導体層上に位置し、

前記第4の絶縁層は、前記第3の絶縁層、及び前記第1の半導体層を覆い、前記第1の絶縁層に接し、

前記第1のゲート電極は、前記第1の開口と重畳し、且つ前記第4の絶縁層上に位置し、

前記第1の半導体層の少なくとも一部は、前記第3の絶縁層及び前記第4の絶縁層を介して、前記第1のゲート電極と対向し、

前記第2のトランジスタは、第2の半導体層、前記第4の絶縁層、第2のゲート電極、第2のソース電極、及び第2のドレイン電極を有し、

前記第2のソース電極と、前記第2のドレイン電極と、は異なる高さに位置し、

前記第2の絶縁層は、前記第2のソース電極及び前記第2のドレイン電極の一方に達する第2の開口を有し、

前記第2のソース電極及び前記第2のドレイン電極の他方は、前記第2の絶縁層上に設けられ、

前記第2の半導体層は、前記第2の絶縁層の前記第2の開口における側面、前記第2のソース電極及び前記第2のドレイン電極の一方の上面、並びに前記第2のソース電極及び前記第2のドレイン電極の他方の側面に接して設けられ、

前記第4の絶縁層は、前記第2の半導体層、前記第2のソース電極、及び前記第2のドレイン電極上に位置し、

前記第2のゲート電極は、前記第2の開口と重畳し、且つ前記第4の絶縁層上に位置する、半導体装置。

[請求項7]

請求項6において、

前記第3の絶縁層は、前記第1の半導体層と、前記第4の絶縁層と、によって囲まれる、半導体装置。

[請求項8]

請求項6において、

前記第1の半導体層及び前記第2の半導体層は、少なくともインジウムを含む酸化物半導体を有する、

半導体装置。

[請求項9]

請求項8において、

前記第3の絶縁層は、酸素とシリコンを含む、半導体装置。

[請求項10]

請求項6において、

前記第 1 の開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、
半導体装置。

[請求項 1 1]

第 1 の絶縁層上に、ソース電極及びドレイン電極を形成し、
前記ソース電極及び前記ドレイン電極を覆って、第 2 の絶縁層を形成し、
前記第 2 の絶縁層を加工して、前記第 1 の絶縁層に達し、且つ前記ソース電極の一部、及び前記ドレイン電極の一部と重なる開口を形成し、
前記開口を覆って、半導体層を成膜し、
前記半導体層上に、第 3 の絶縁層を成膜し、
ドライエッチング法を用いて前記第 3 の絶縁層を加工して、前記第 2 の絶縁層の前記開口における側面に沿ってサイドウォール状の前記第 3 の絶縁層を形成し、
ウェットエッチング法を用いて前記半導体層を加工して、前記第 2 の絶縁層の前記開口における側面に接するサイドウォール状の前記半導体層を形成し、
前記開口を覆って、第 4 の絶縁層を成膜し、
前記開口を覆って、前記第 4 の絶縁層上にゲート電極を形成する、
半導体装置の作製方法。

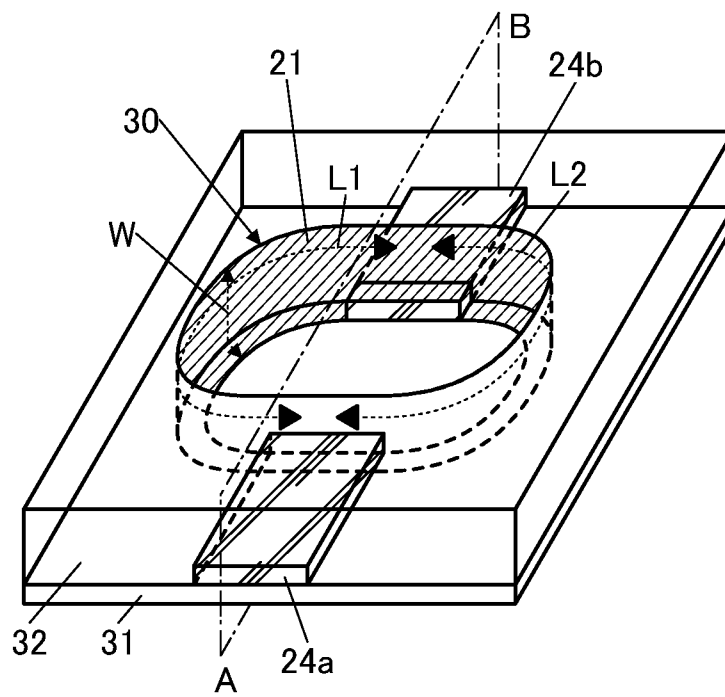


图 1B

20

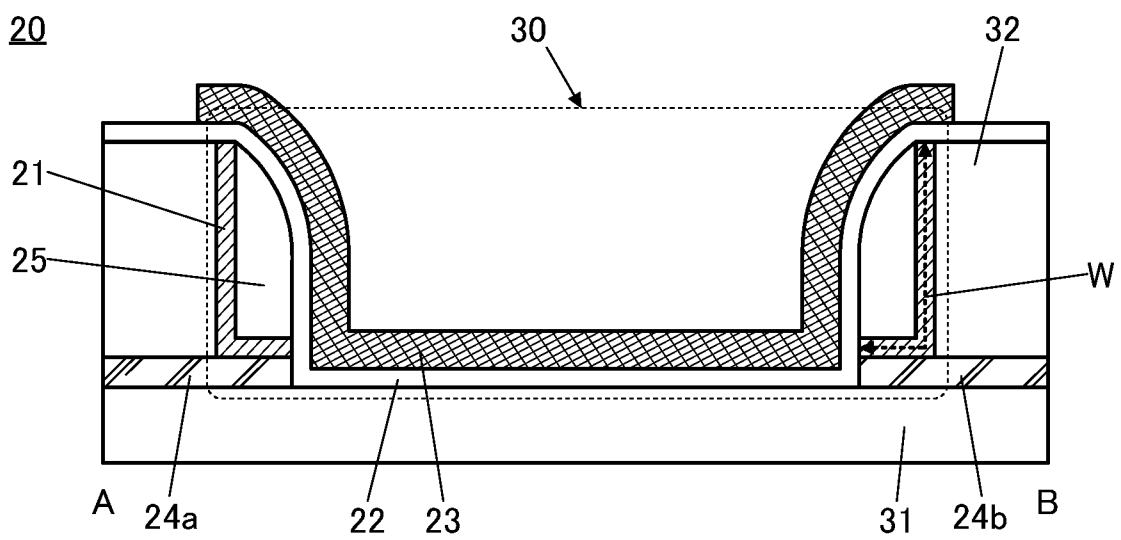


图 1C

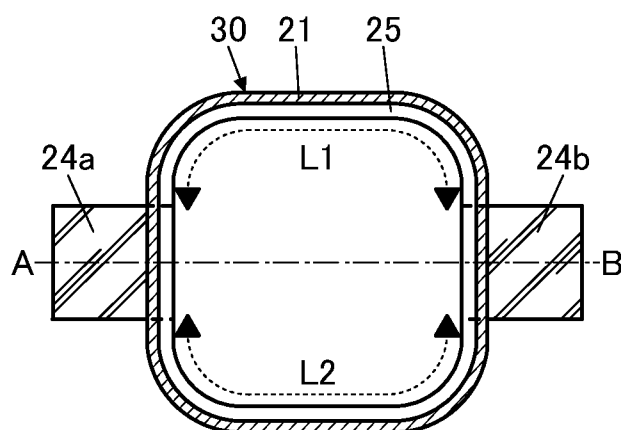
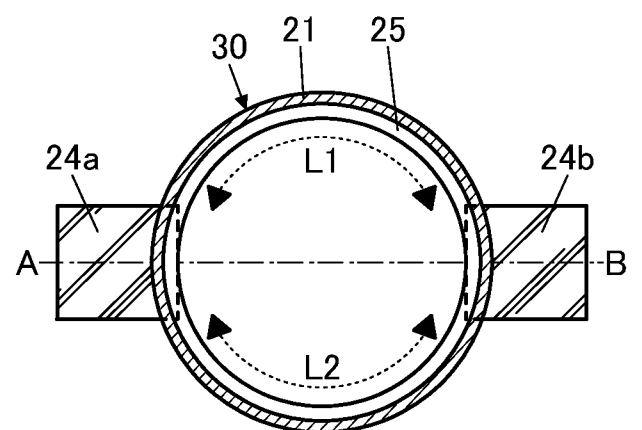


图 1D



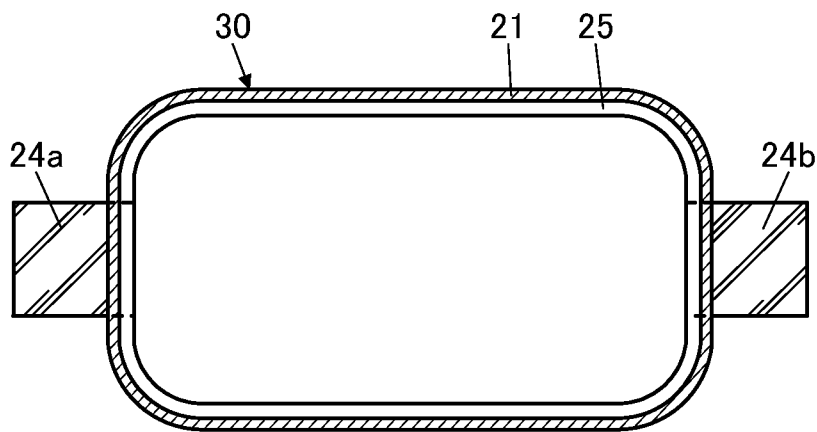


FIG. 2B

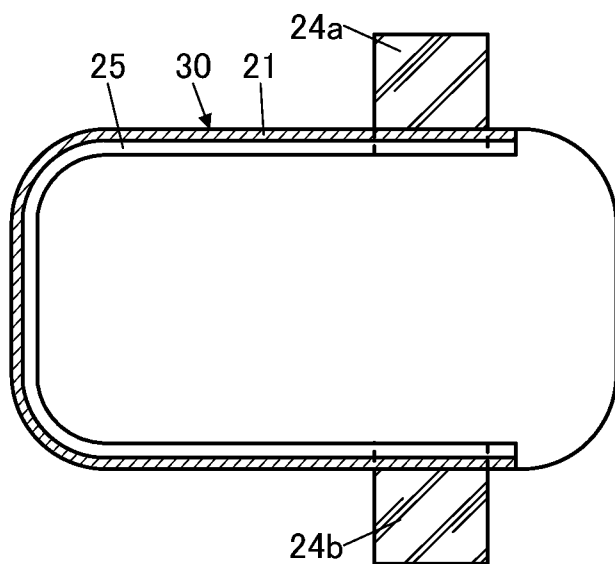


FIG. 2C

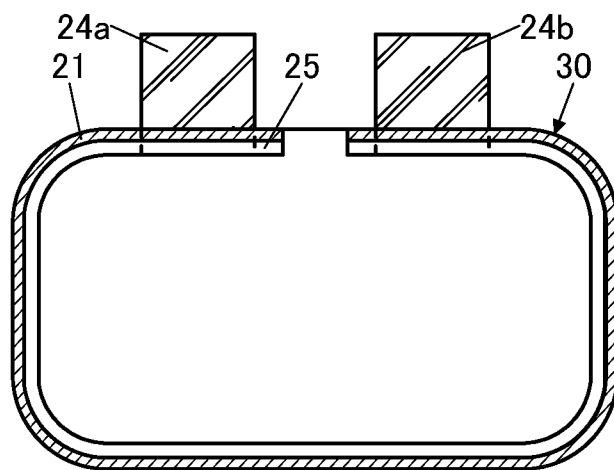


FIG. 2D

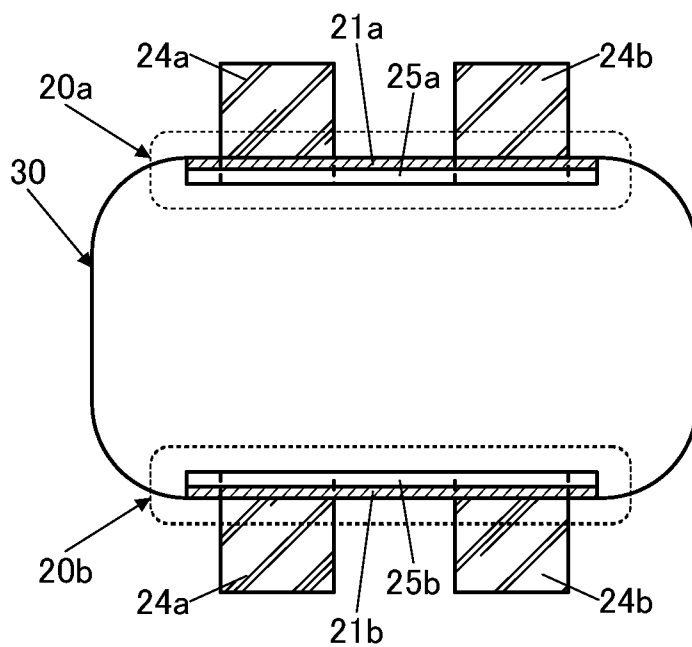


図3A

20B

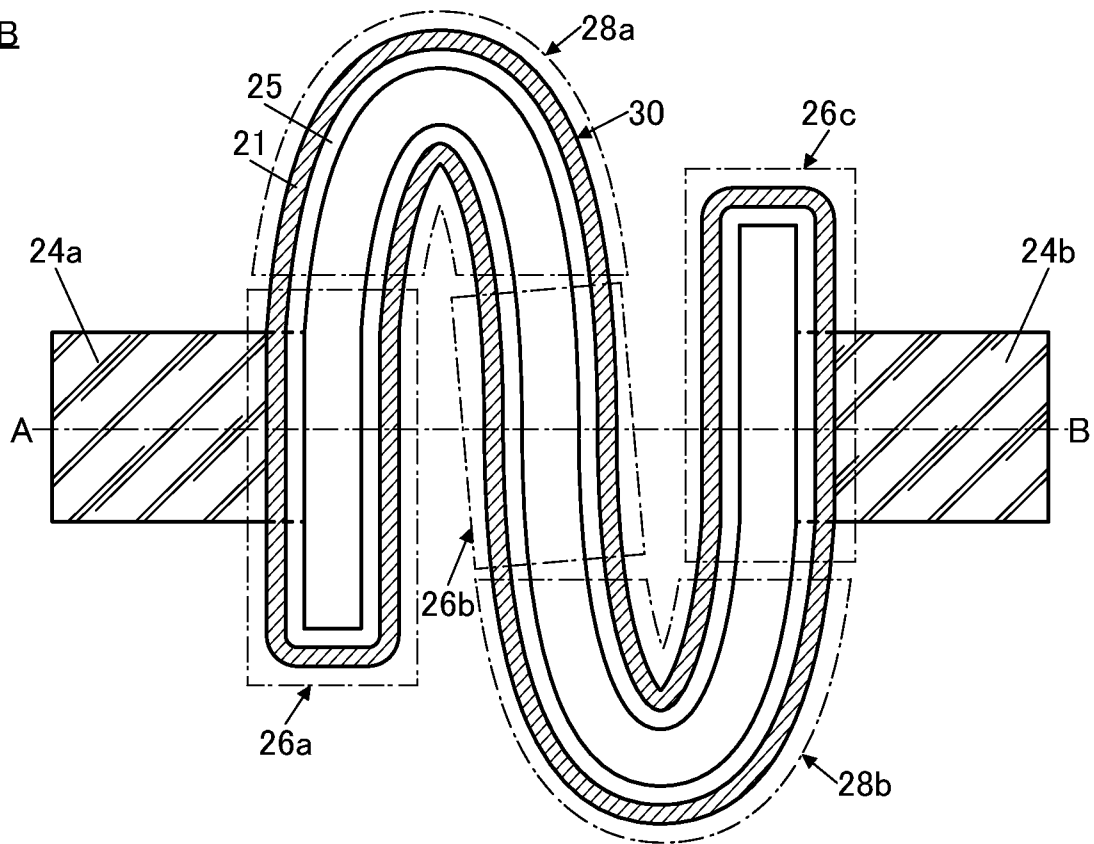


図3B

20B

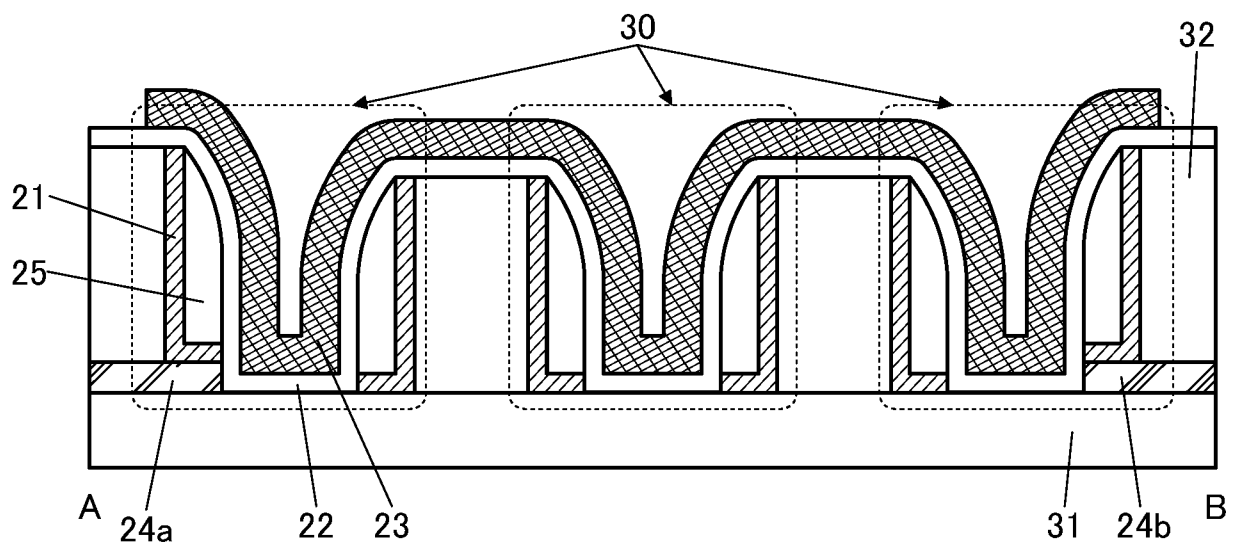


図4A

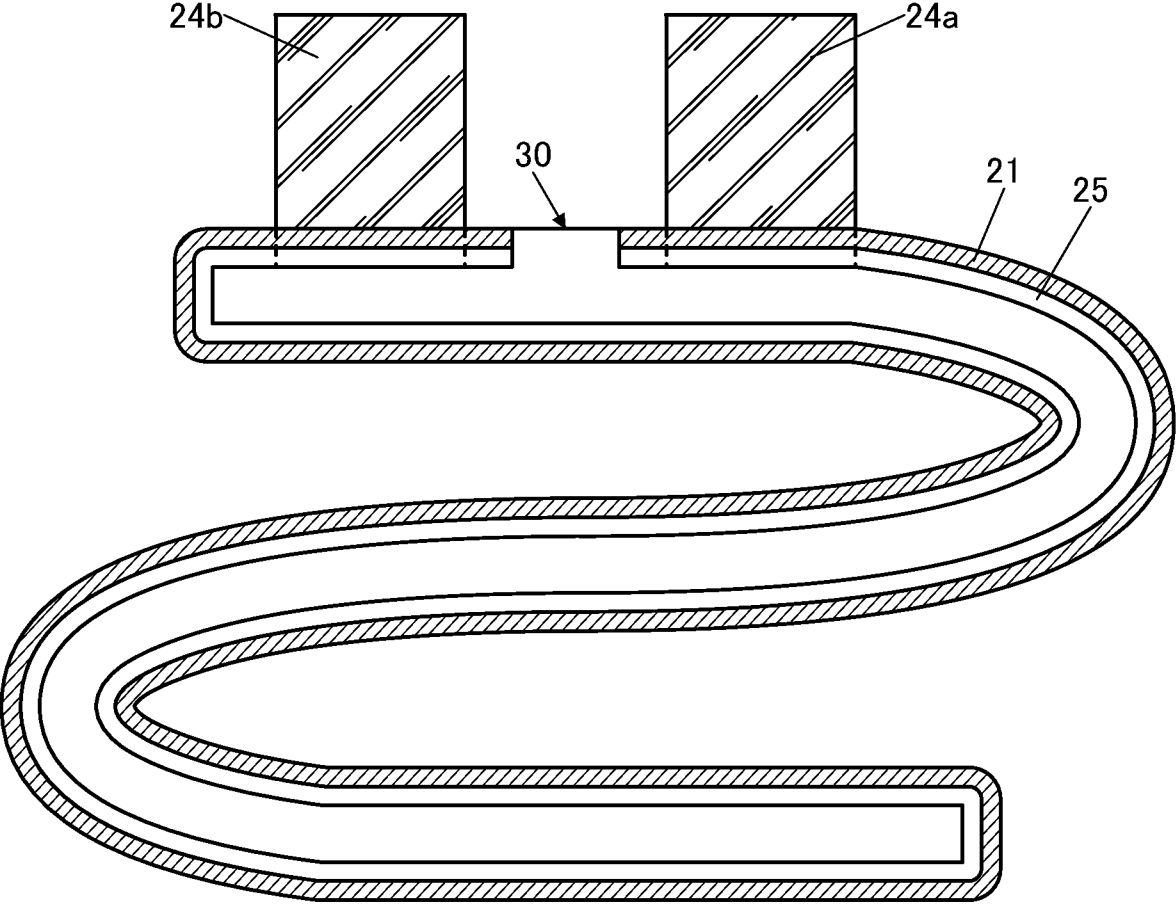


図4B

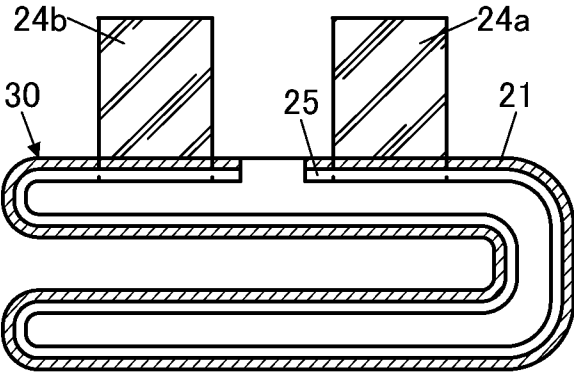


図4C

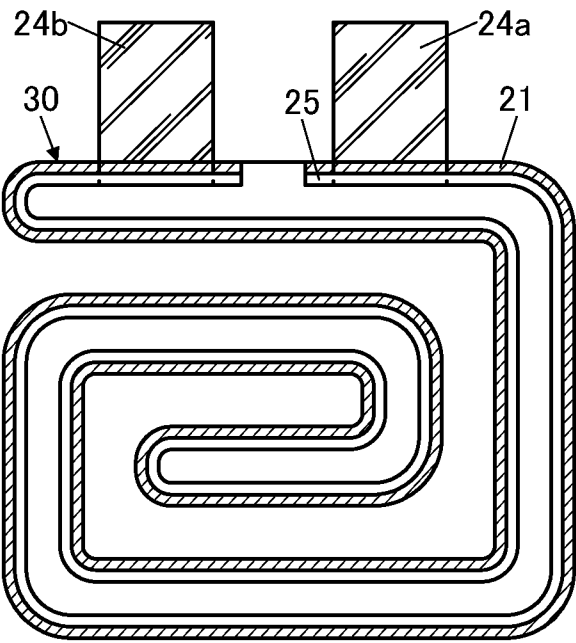


図5A

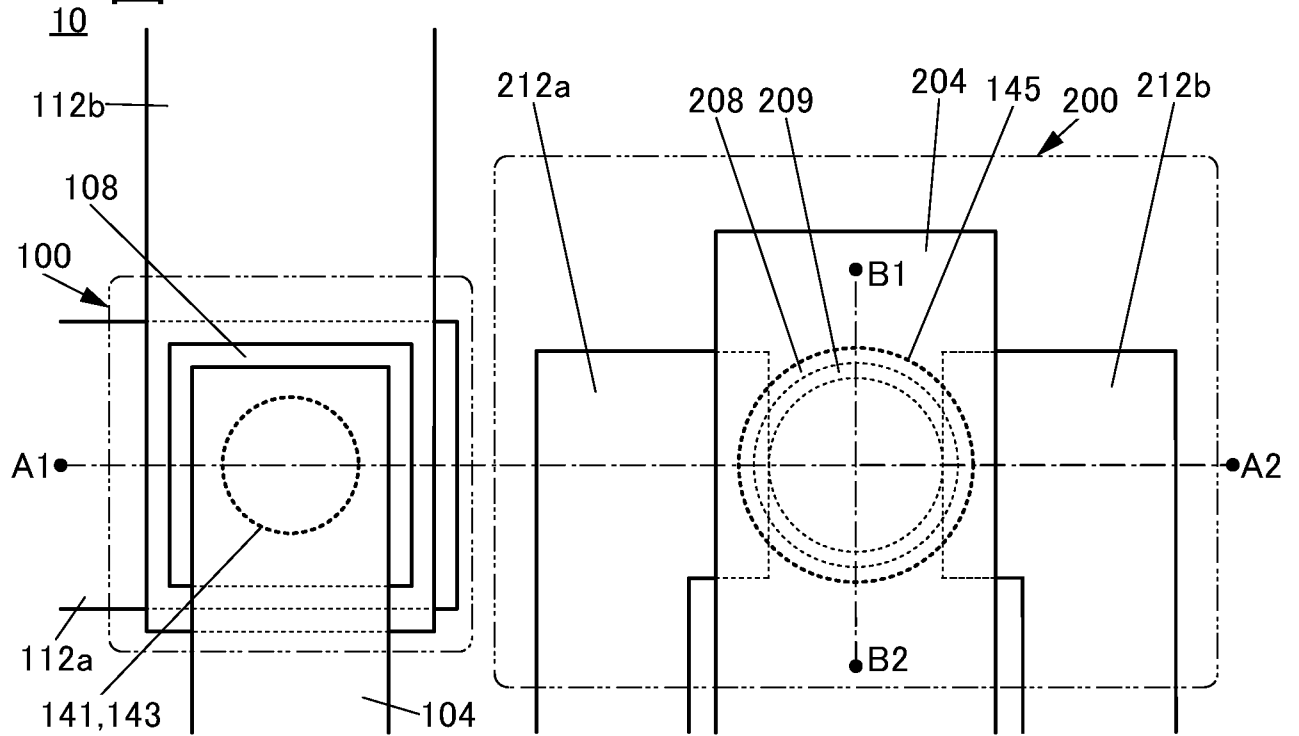


図5B

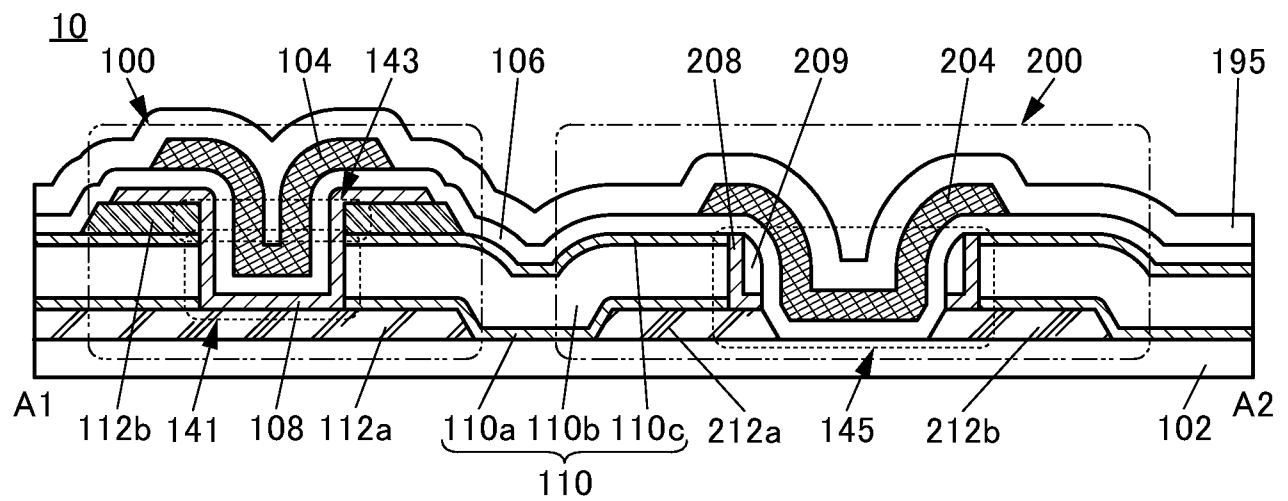


図5C

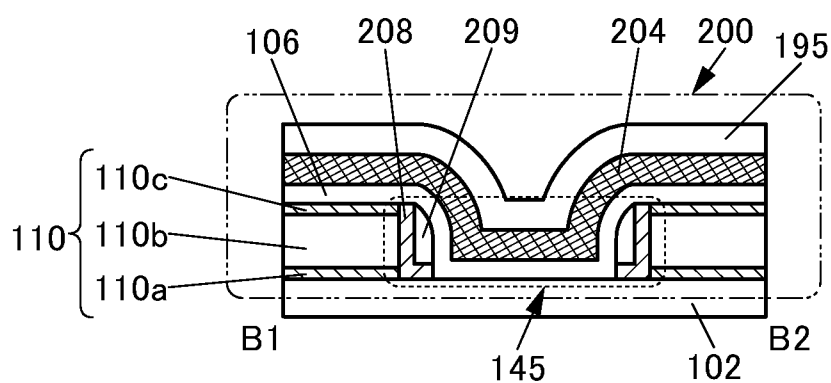




図 7A

100

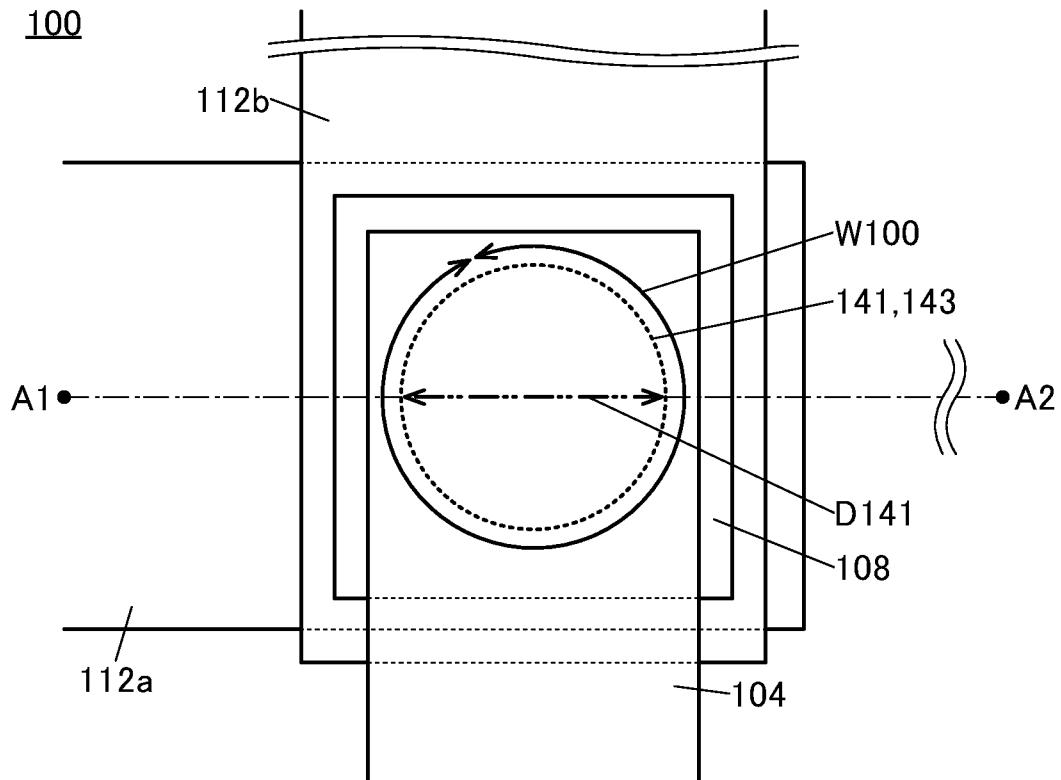


図 7B

100

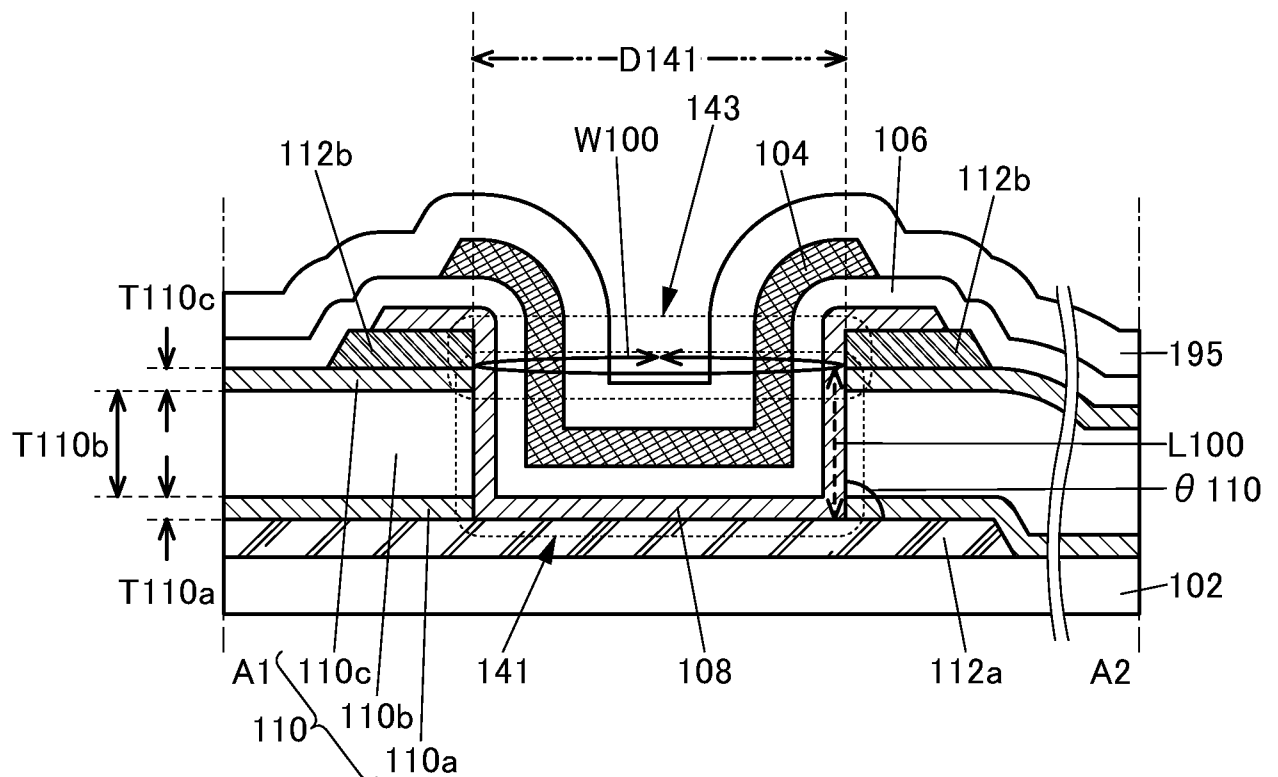


図8A

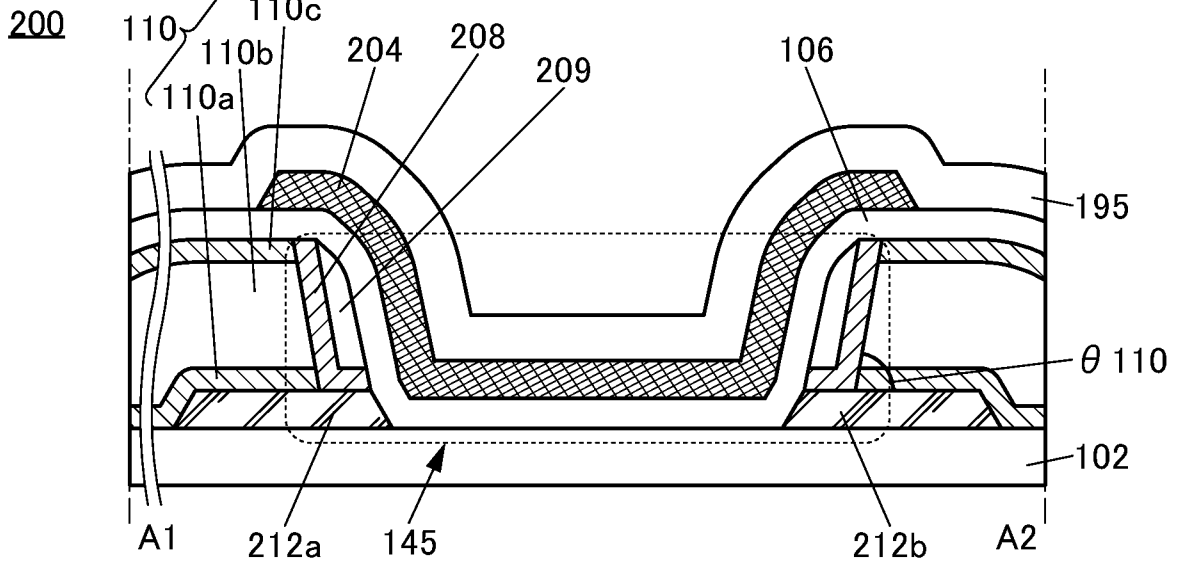


図8B

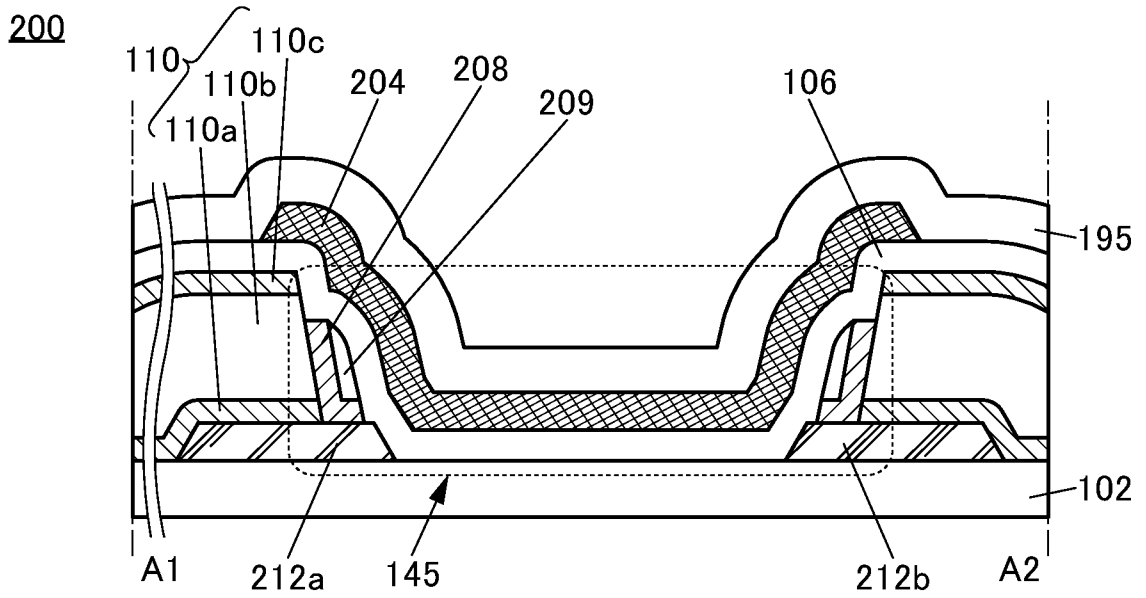
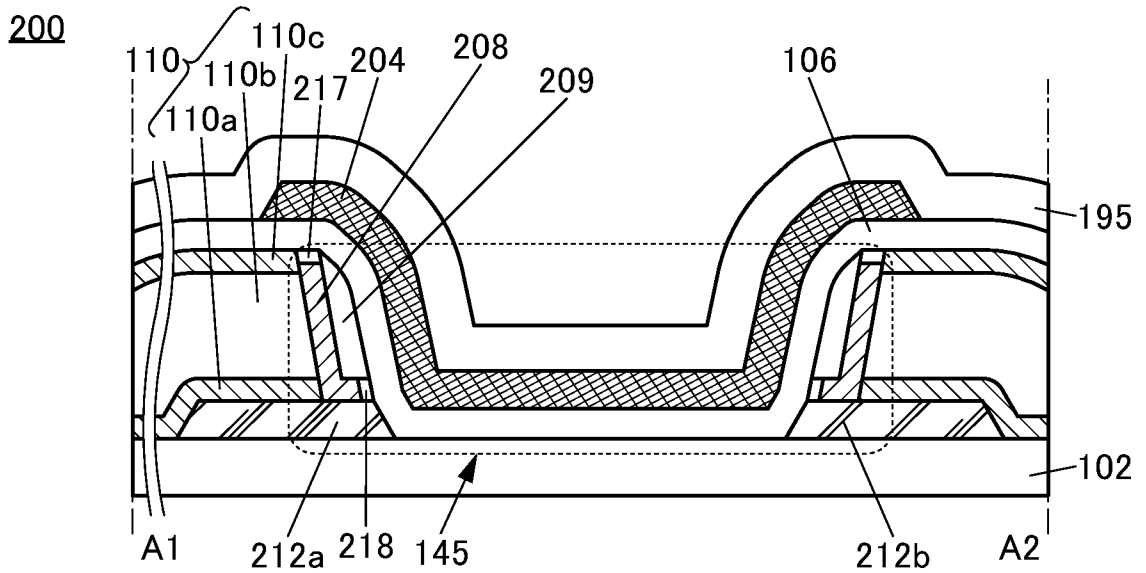


図8C



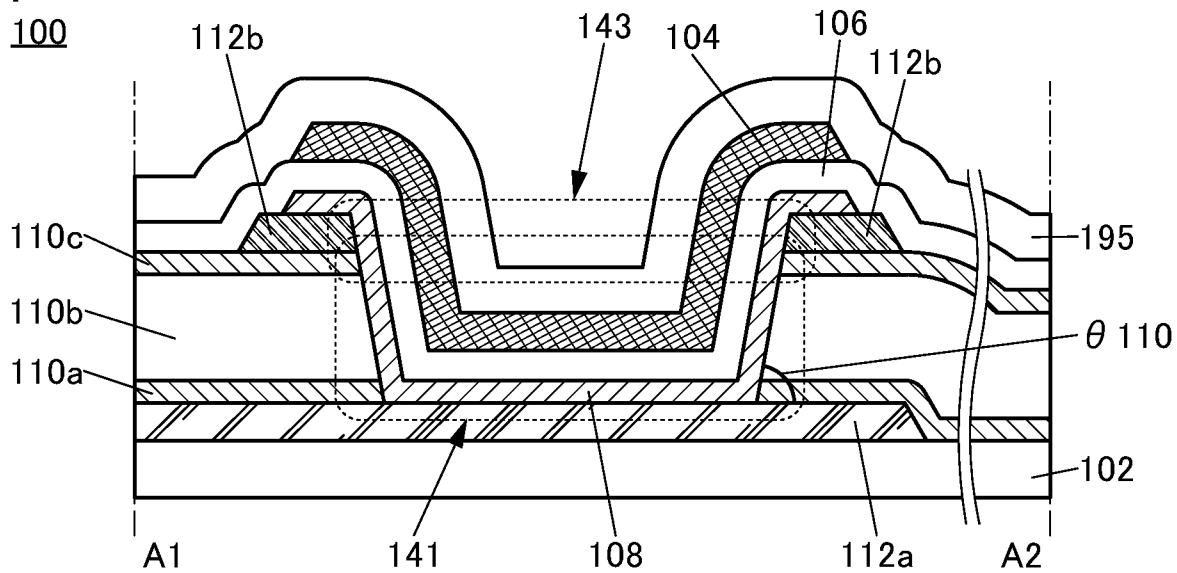
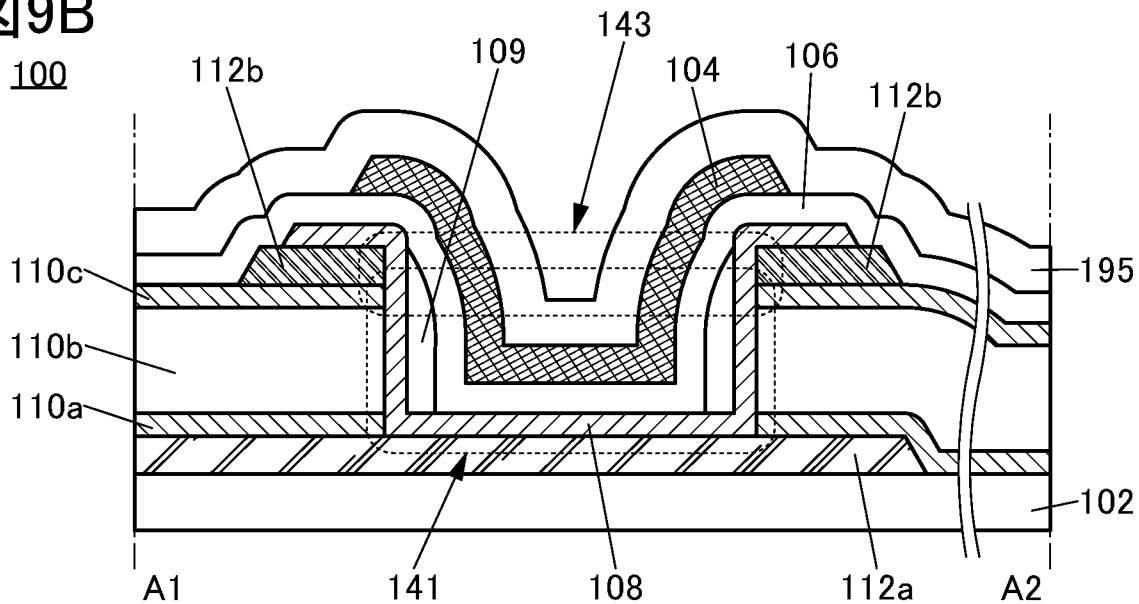
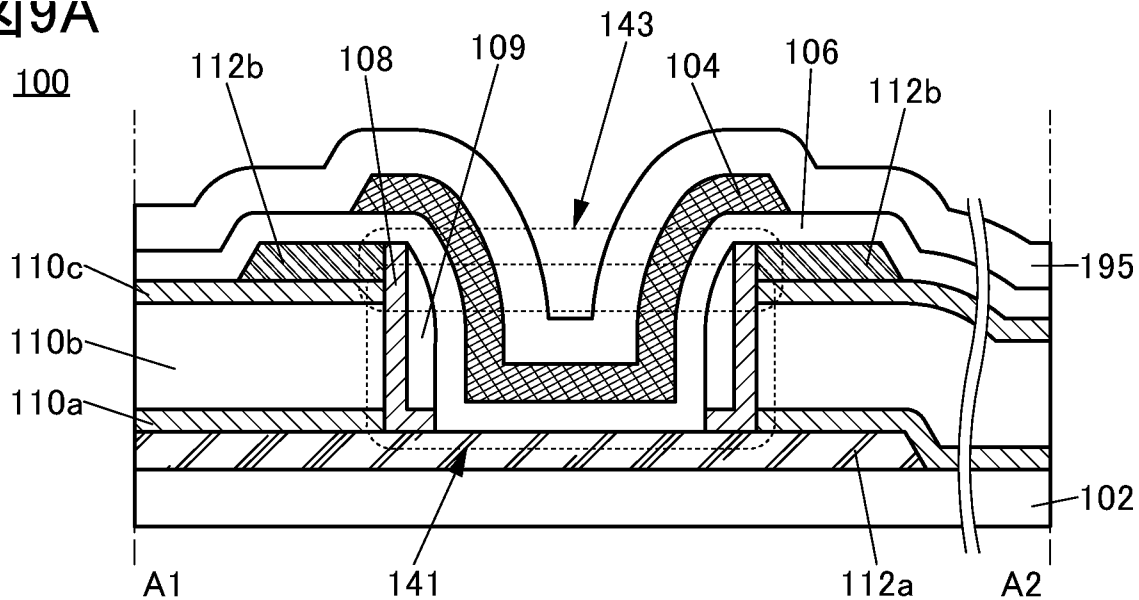


図 10A

200B

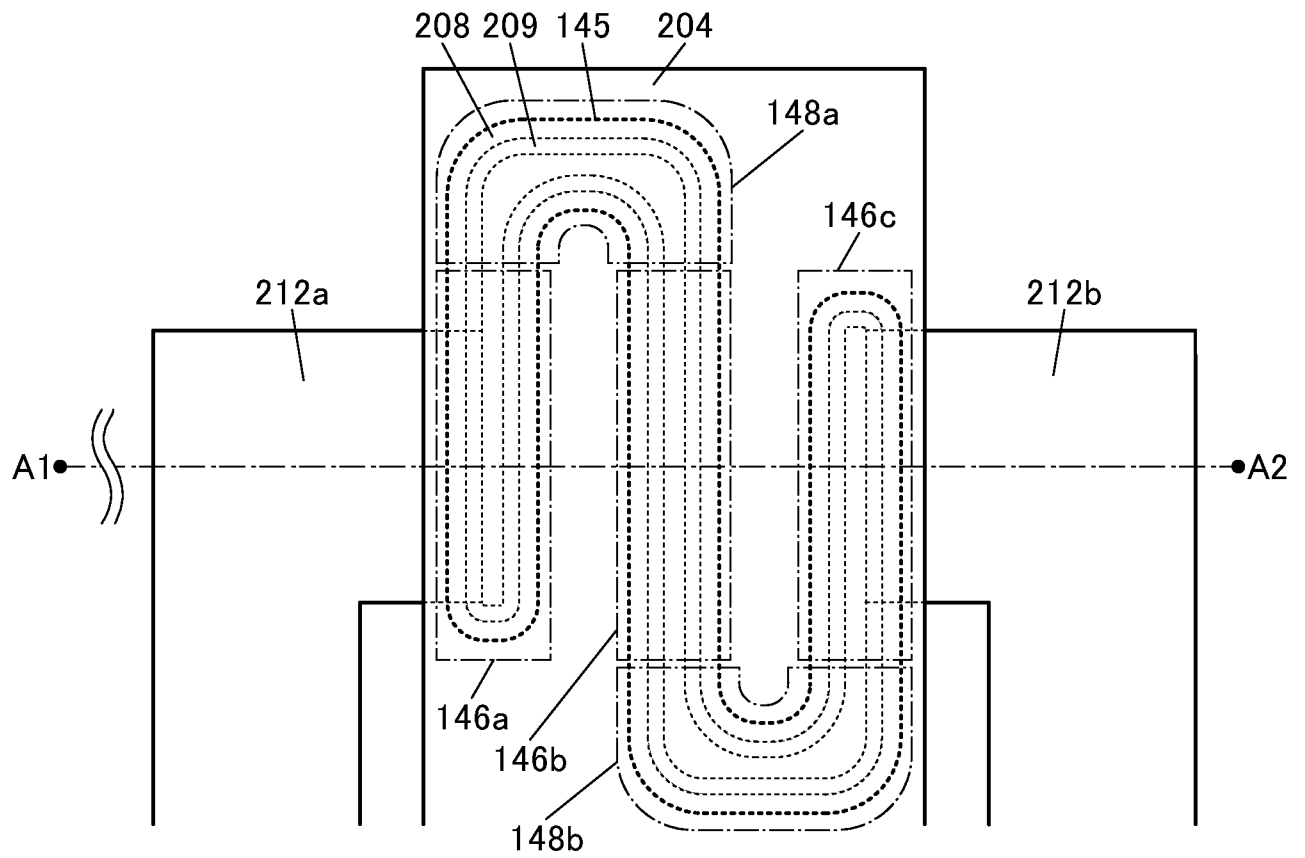
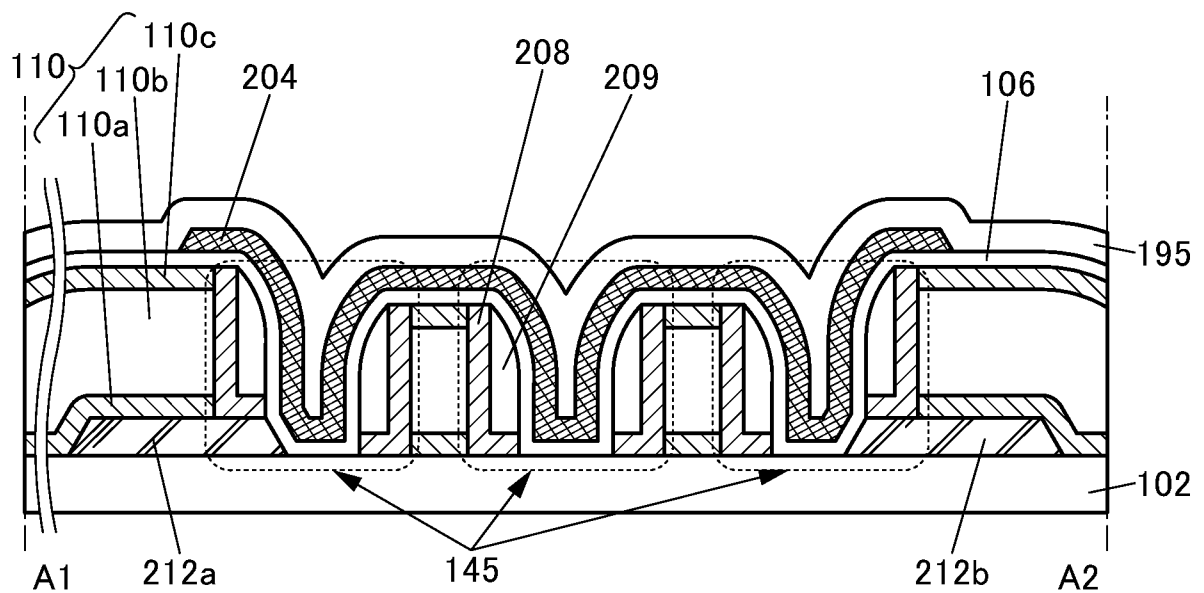


図 10B

200B



200B

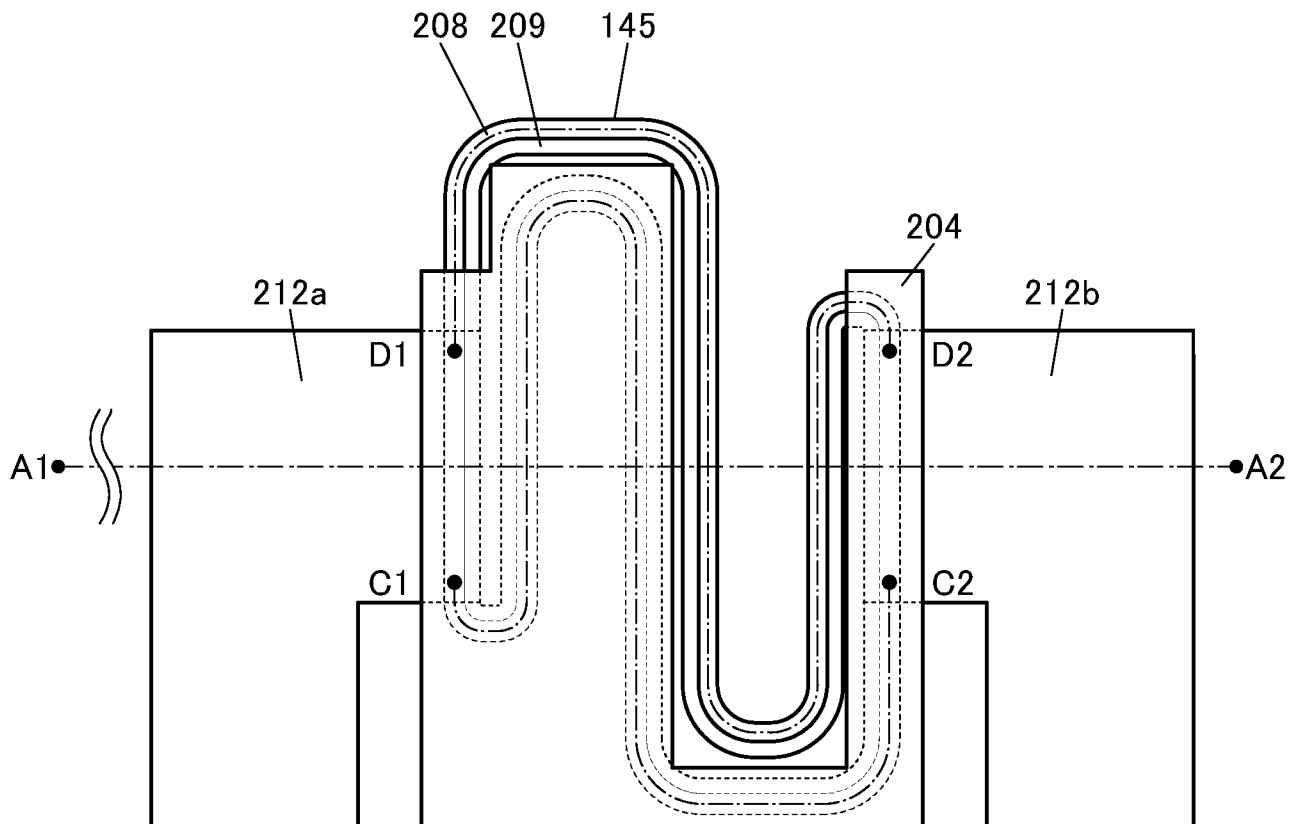
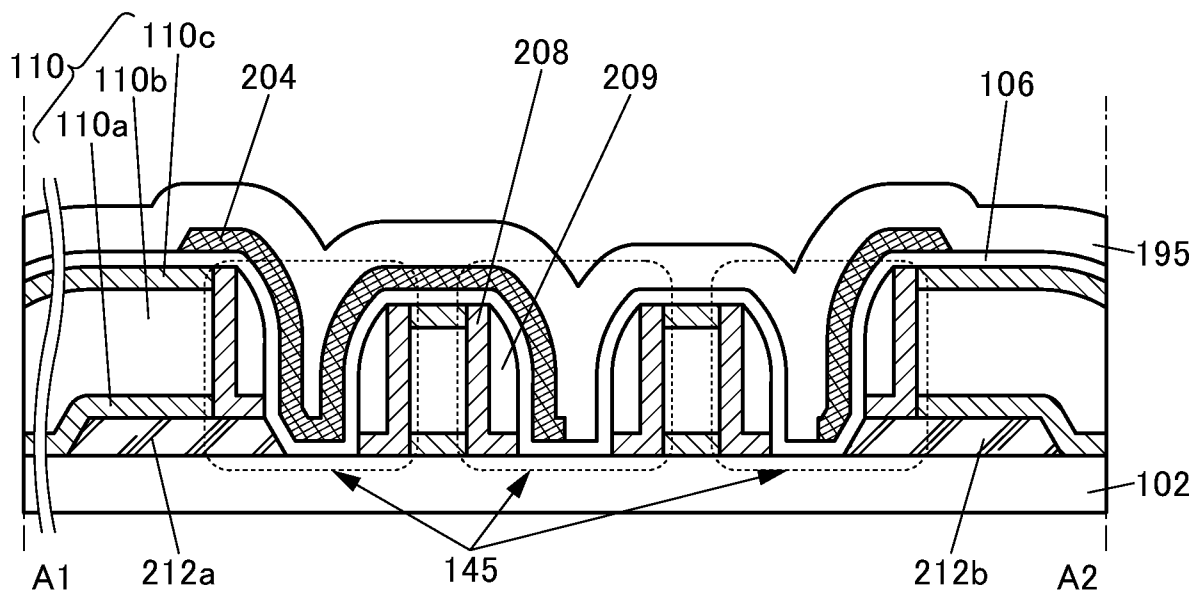
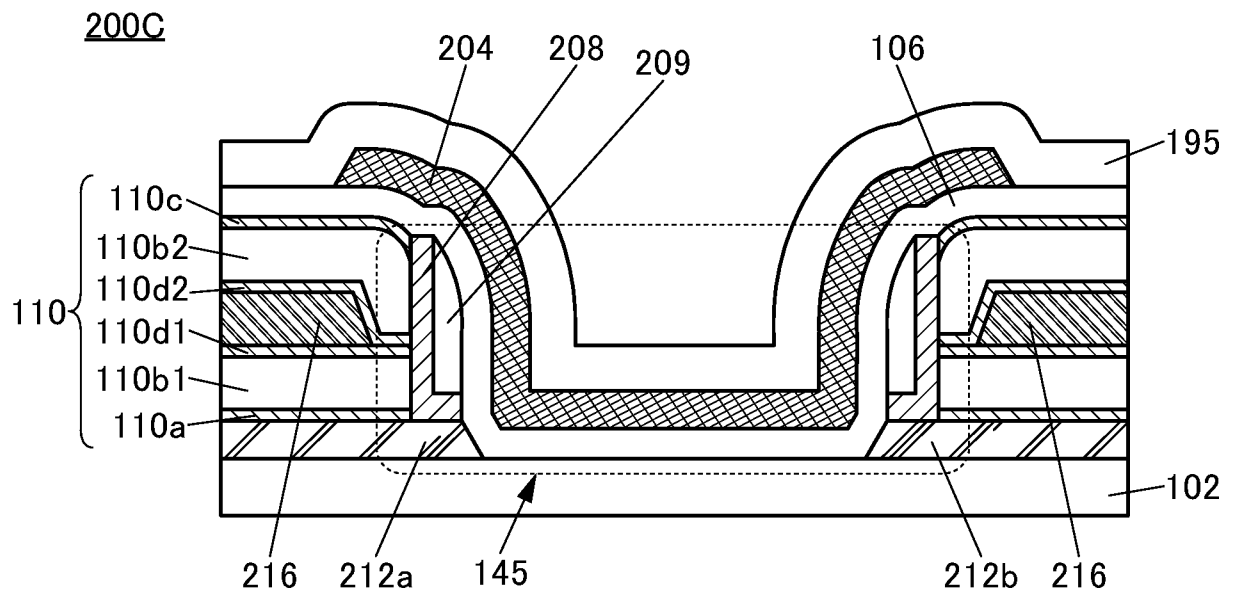


図 11B

200B





 12B

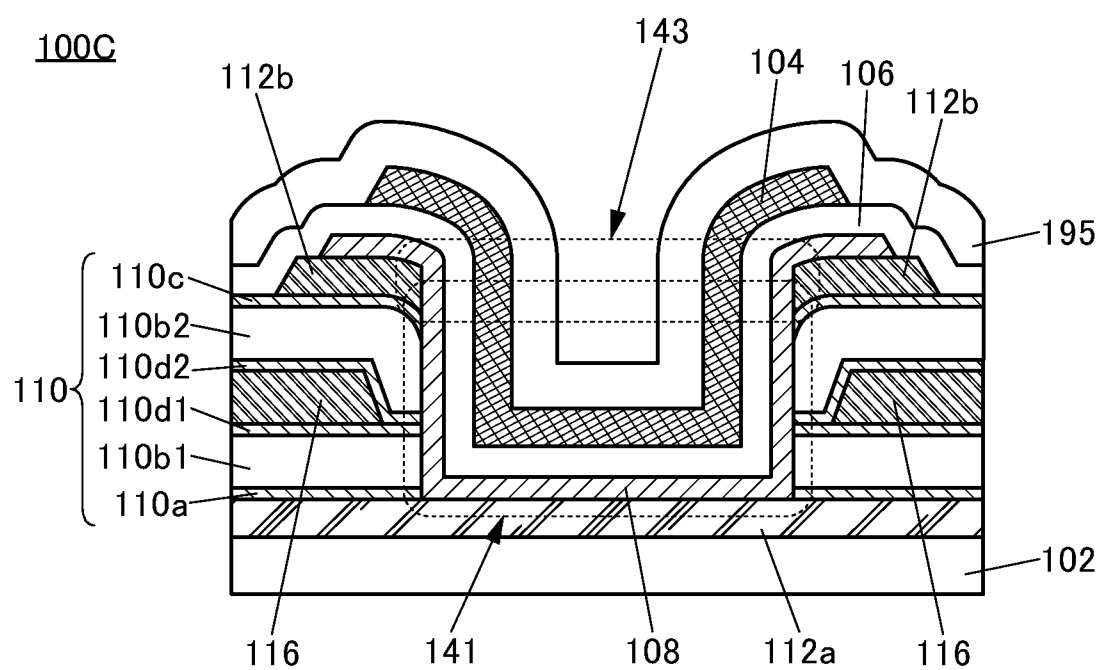


図13A

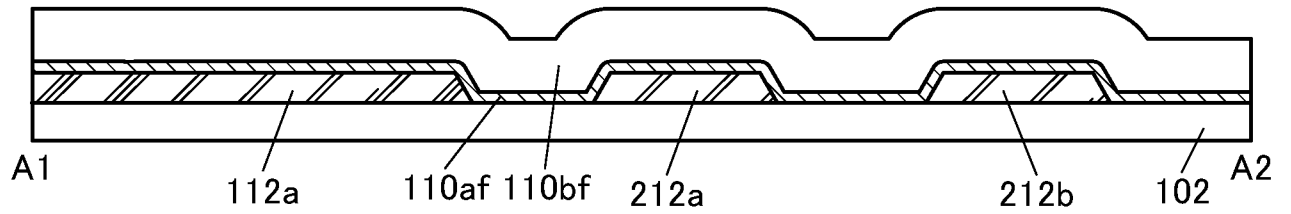


図13B

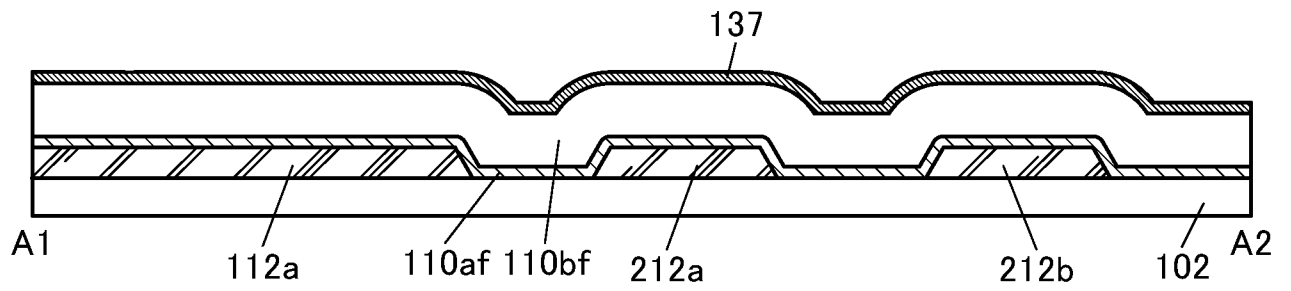


図13C

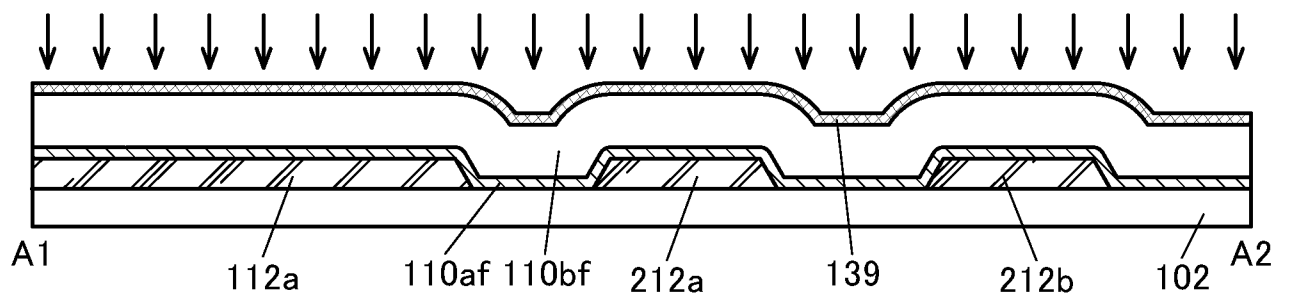


図13D

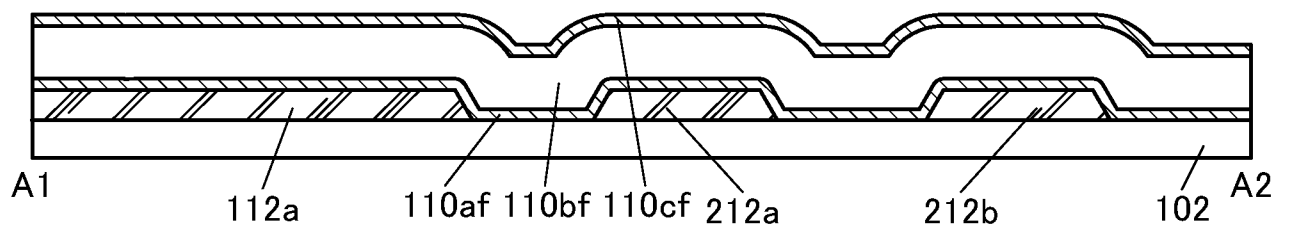


図13E

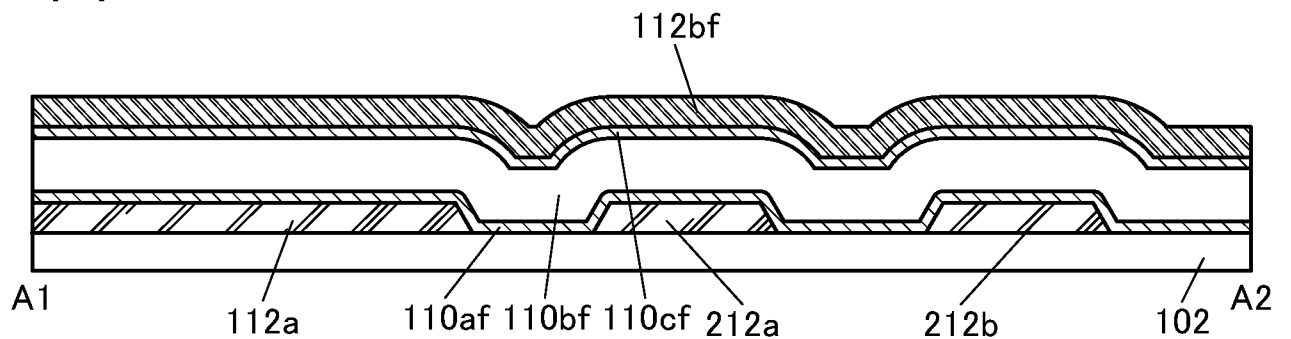


図14A

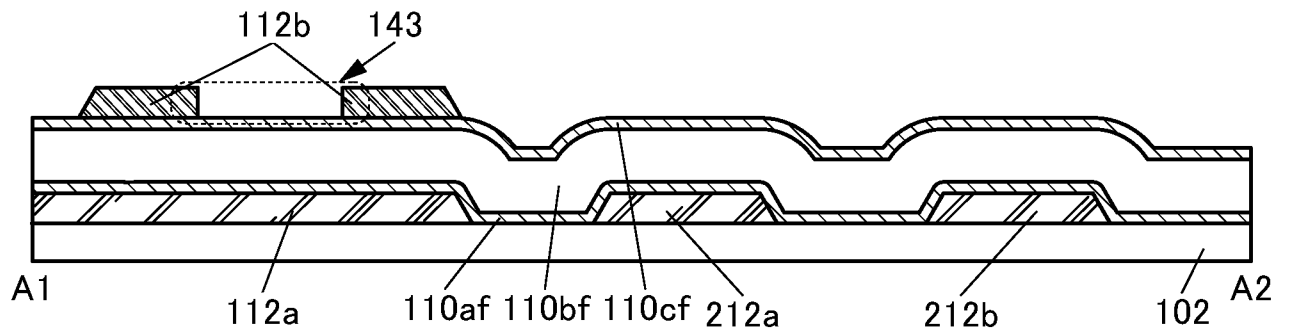


図14B

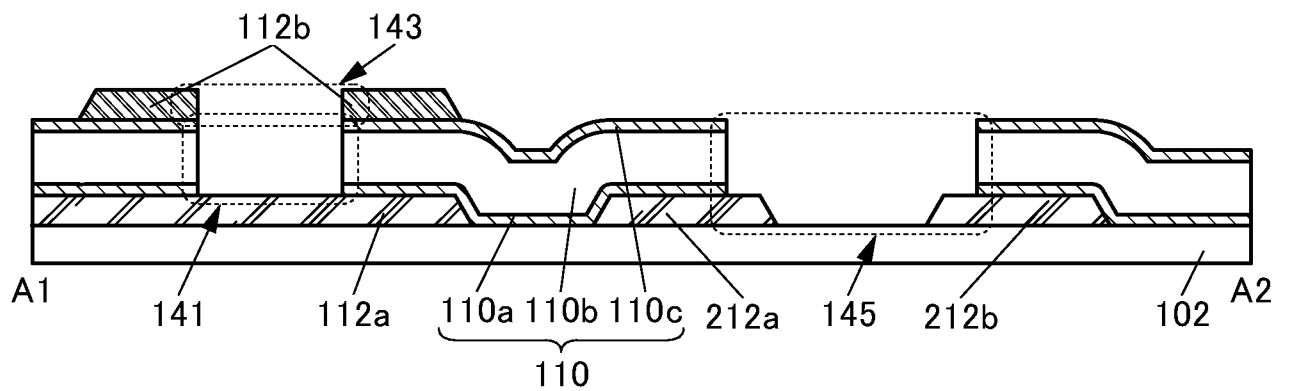


図14C

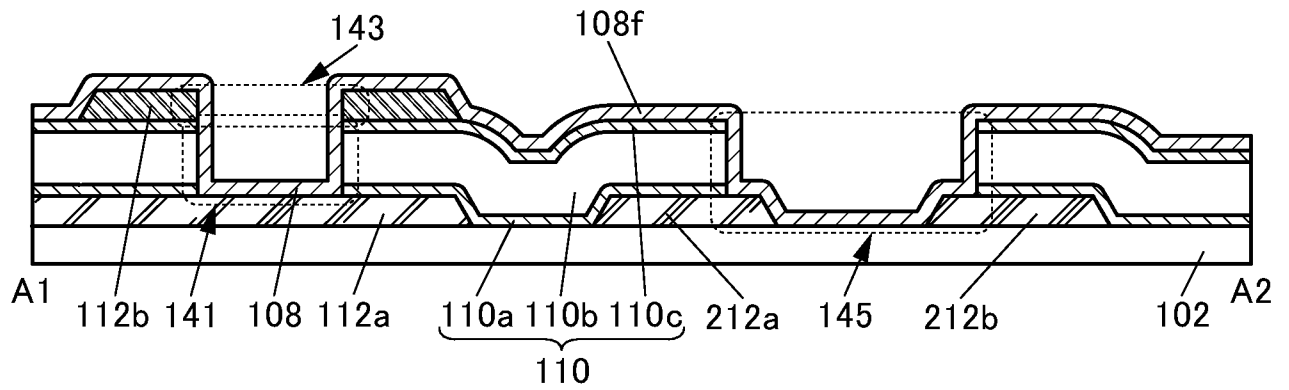


図14D

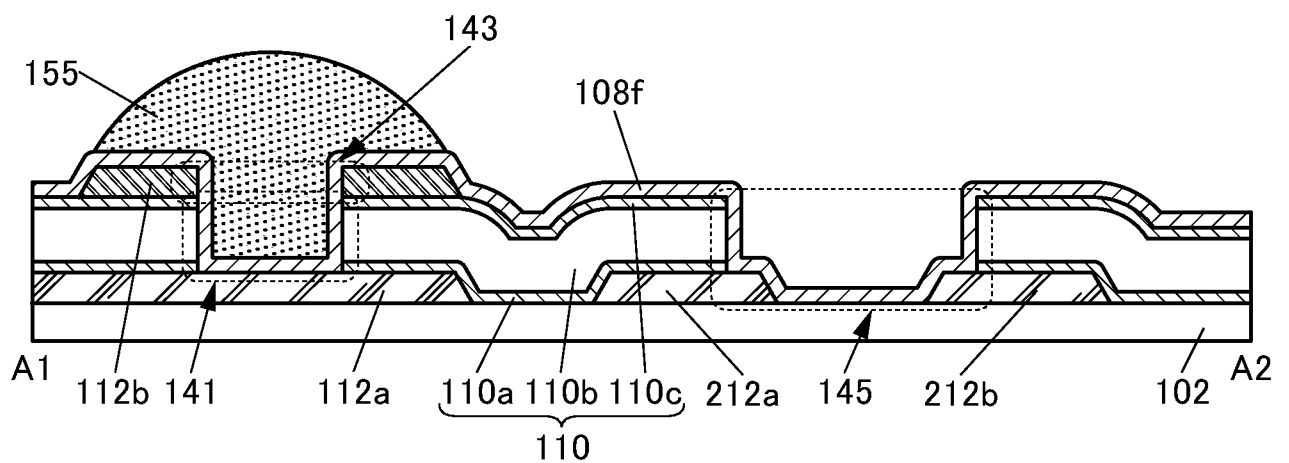


図15A

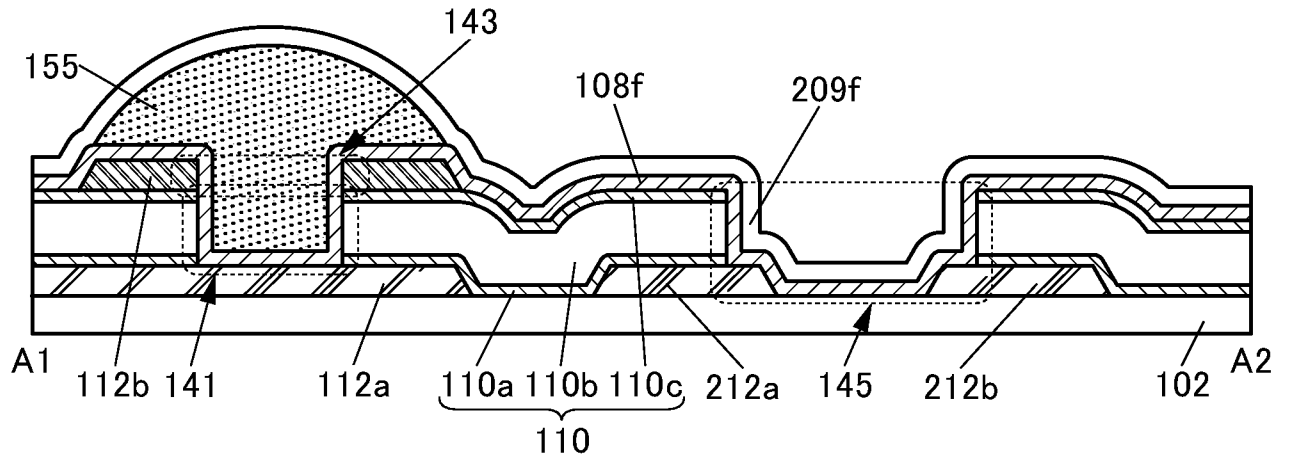


図15B

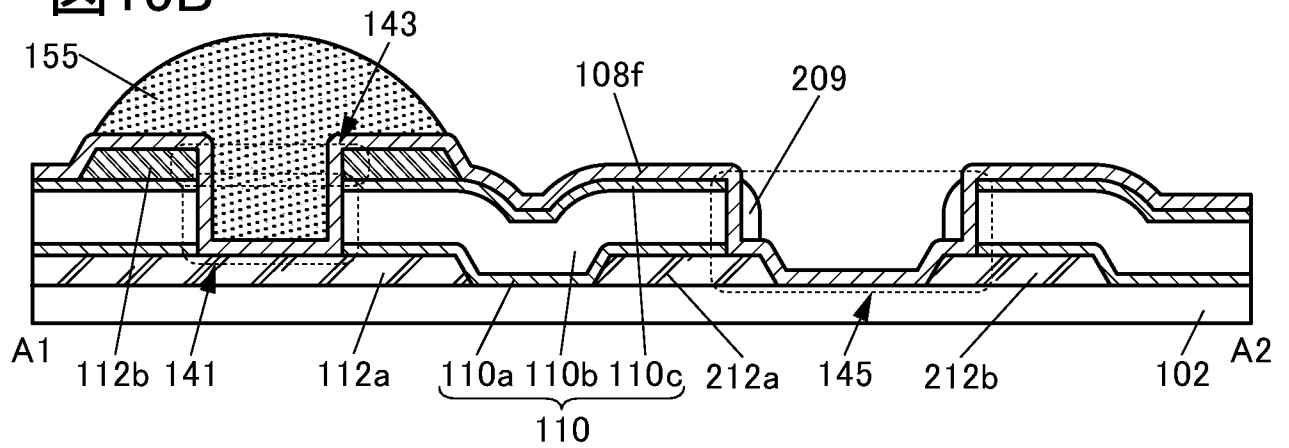


図15C

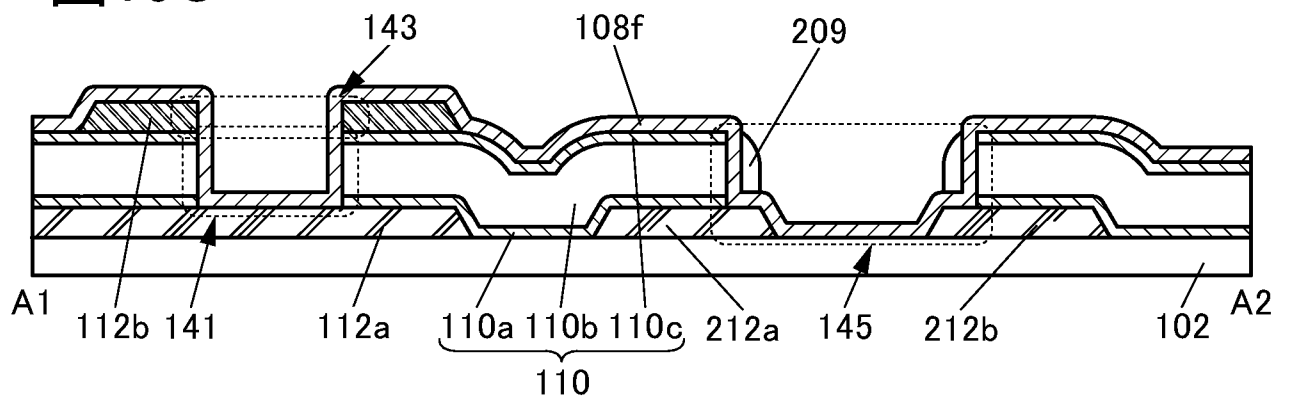


図15D

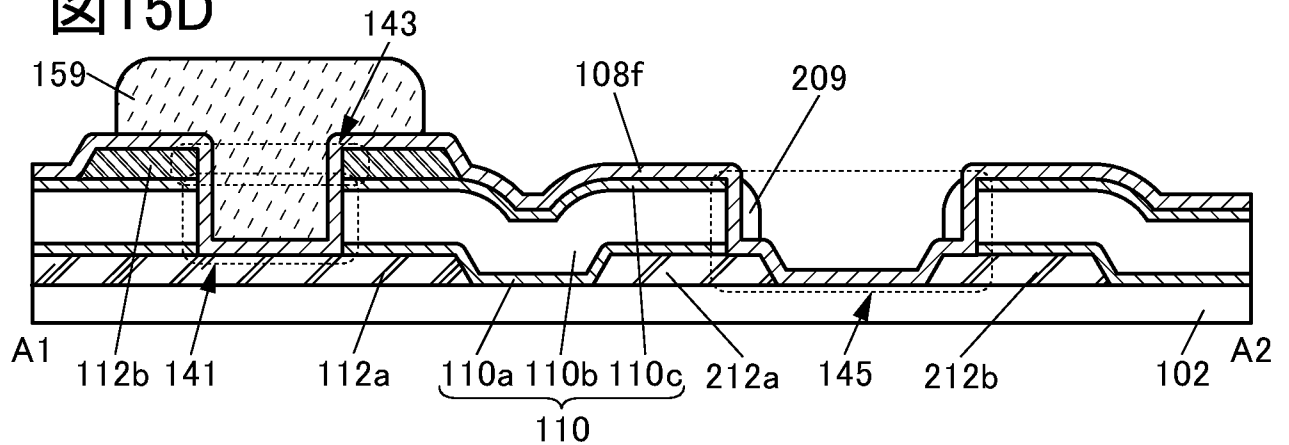


図16A

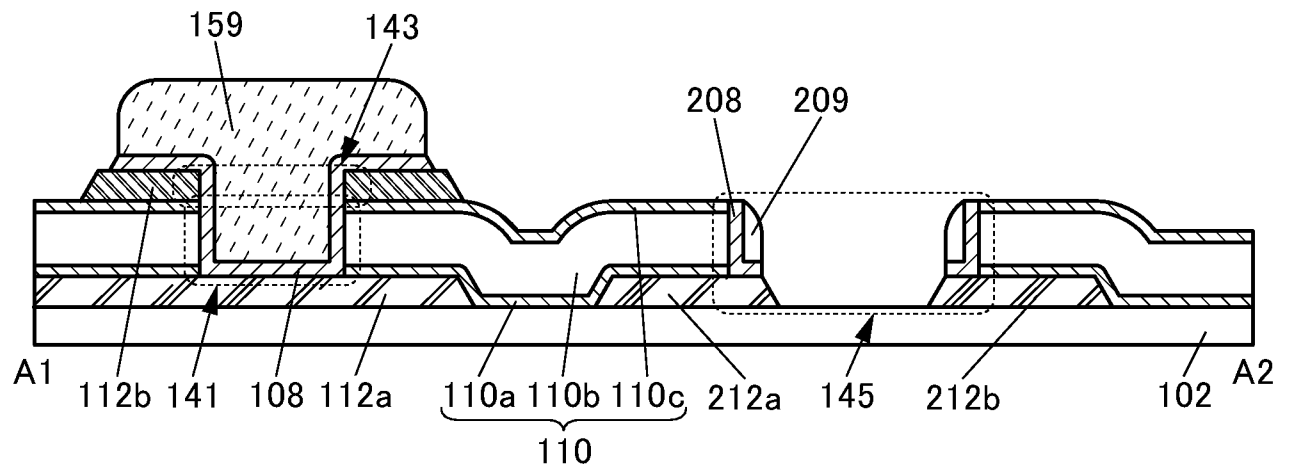


図16B

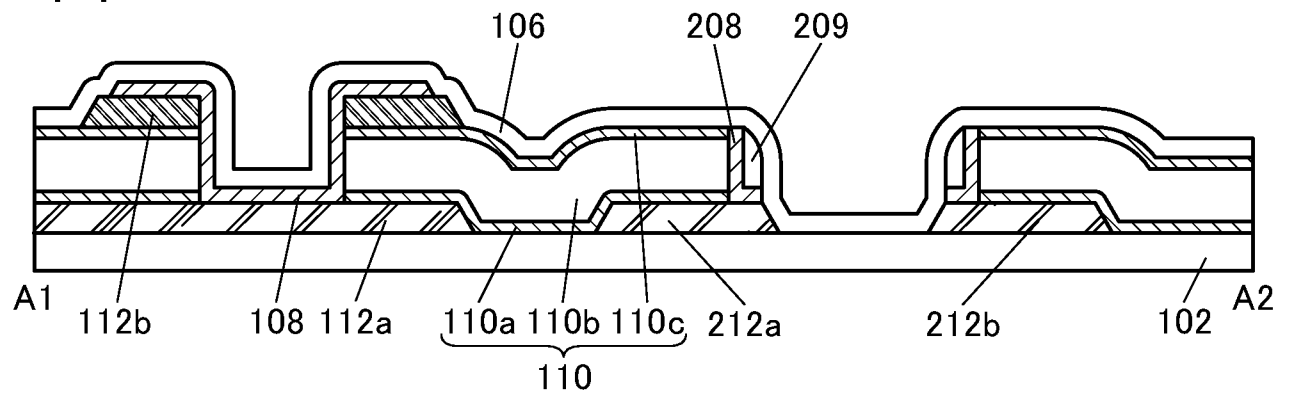
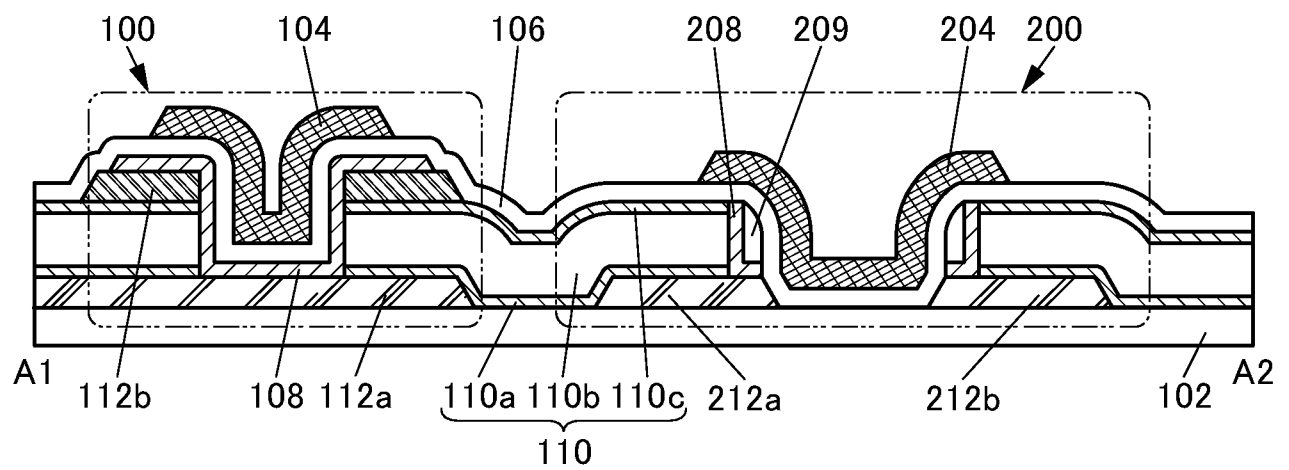


図16C



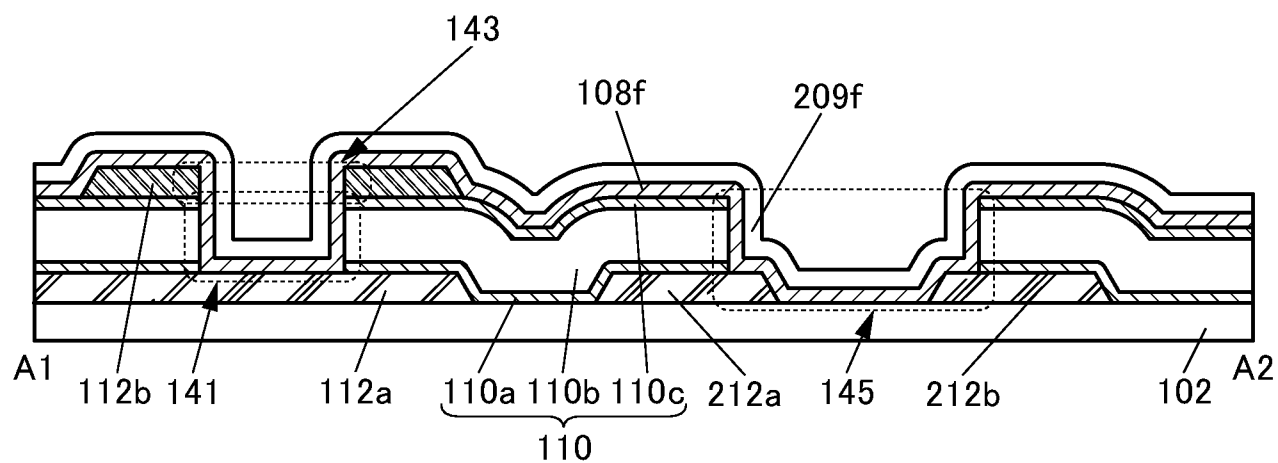


図 17B

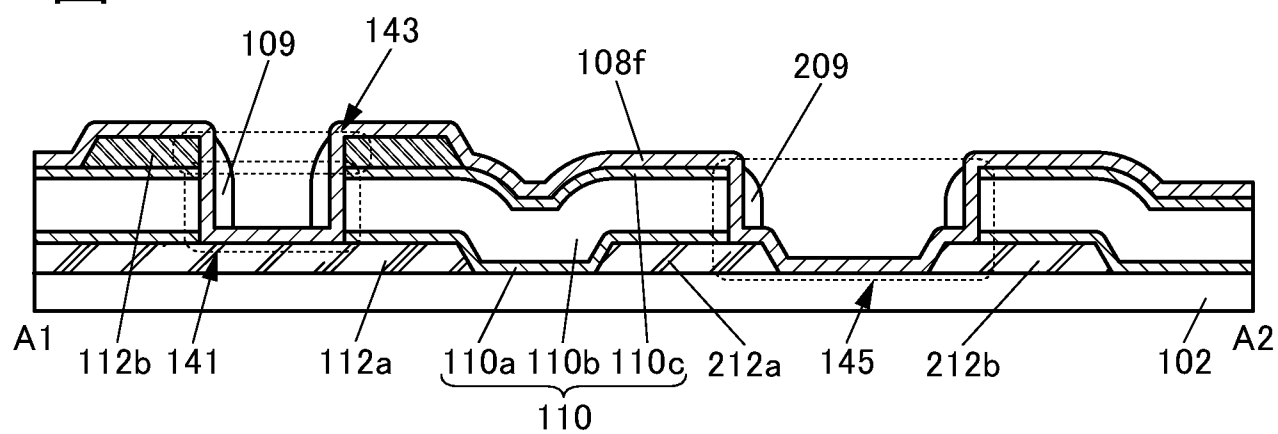


図 17C

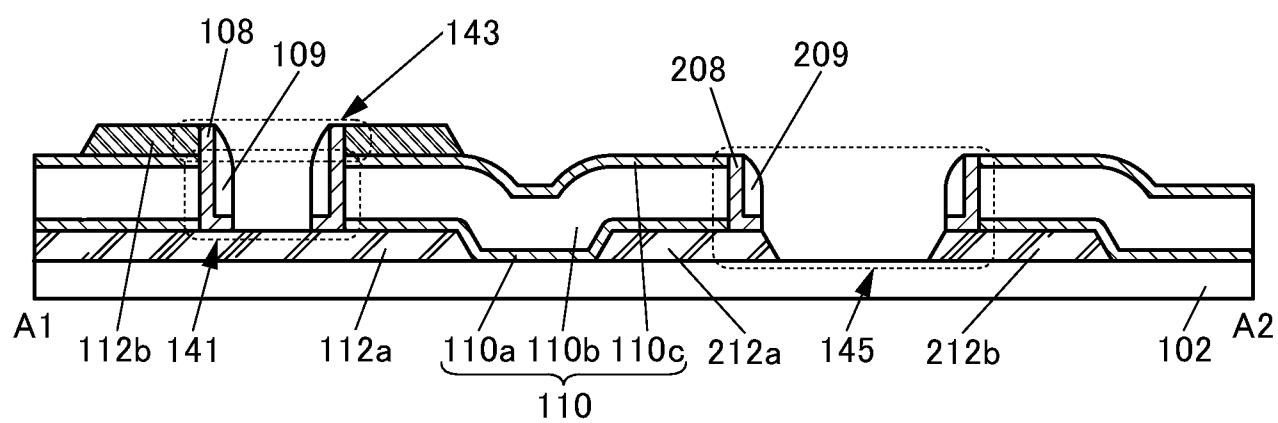


図18A

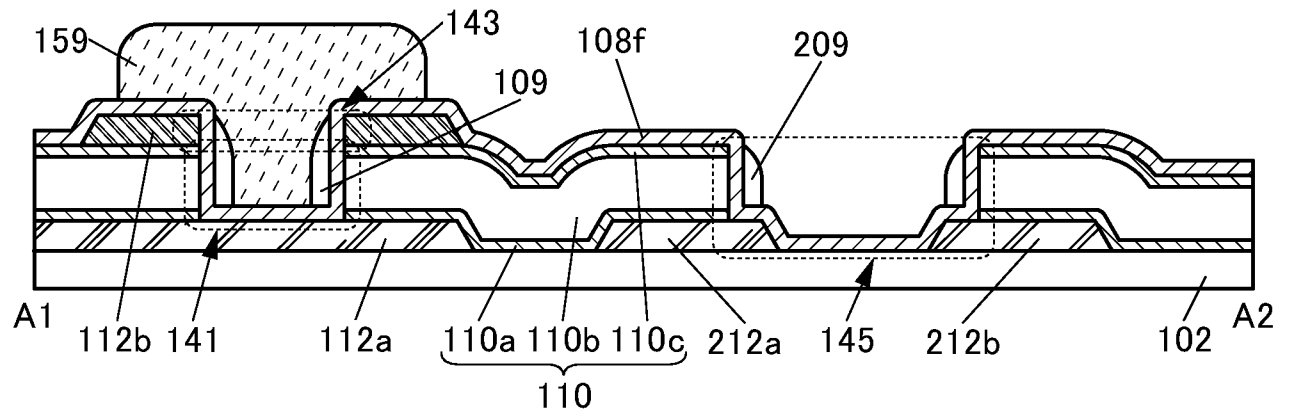


図18B

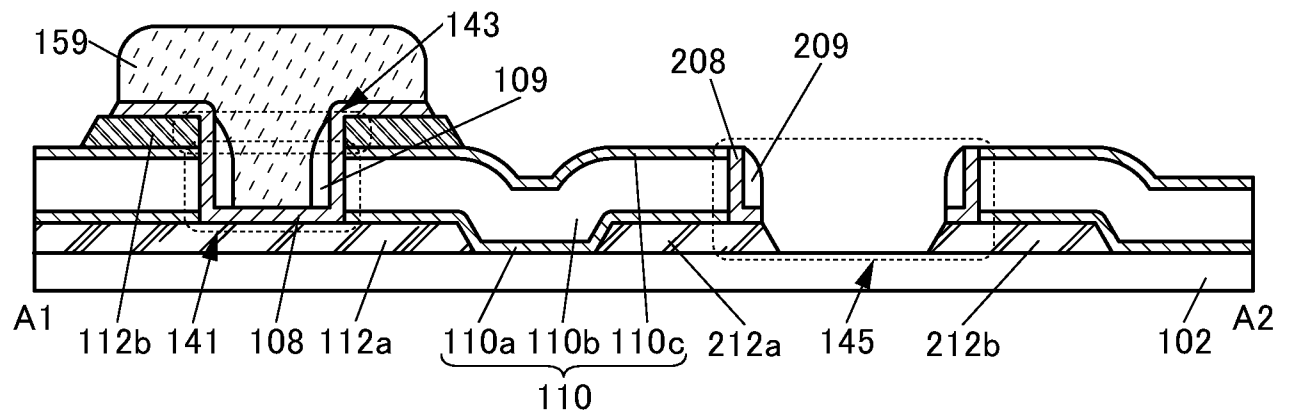


図21B

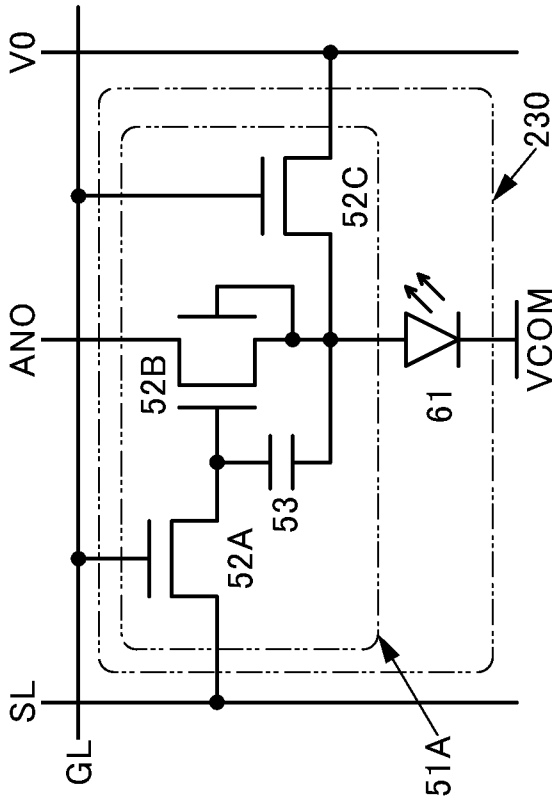


図21A

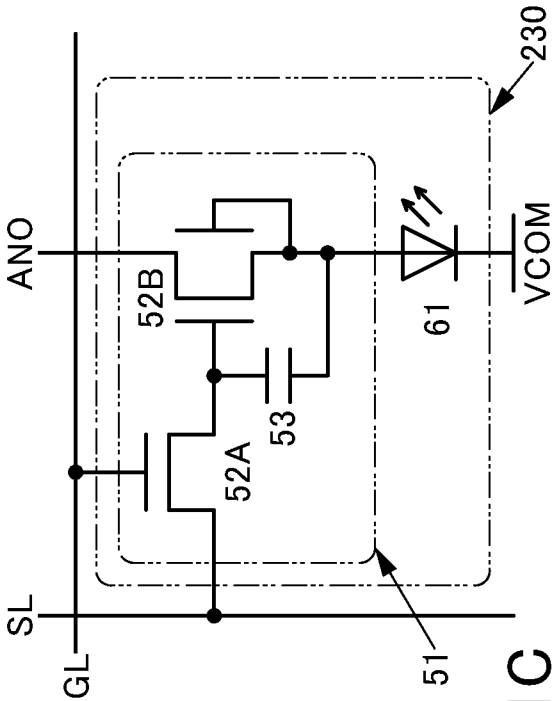
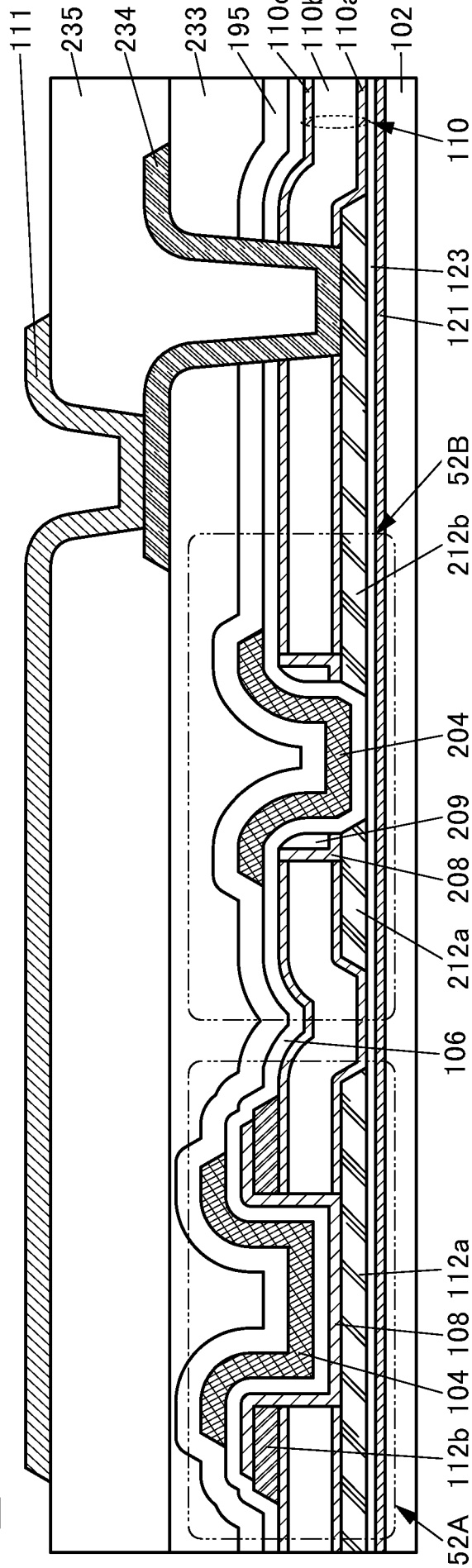


図21C

51



22

50B

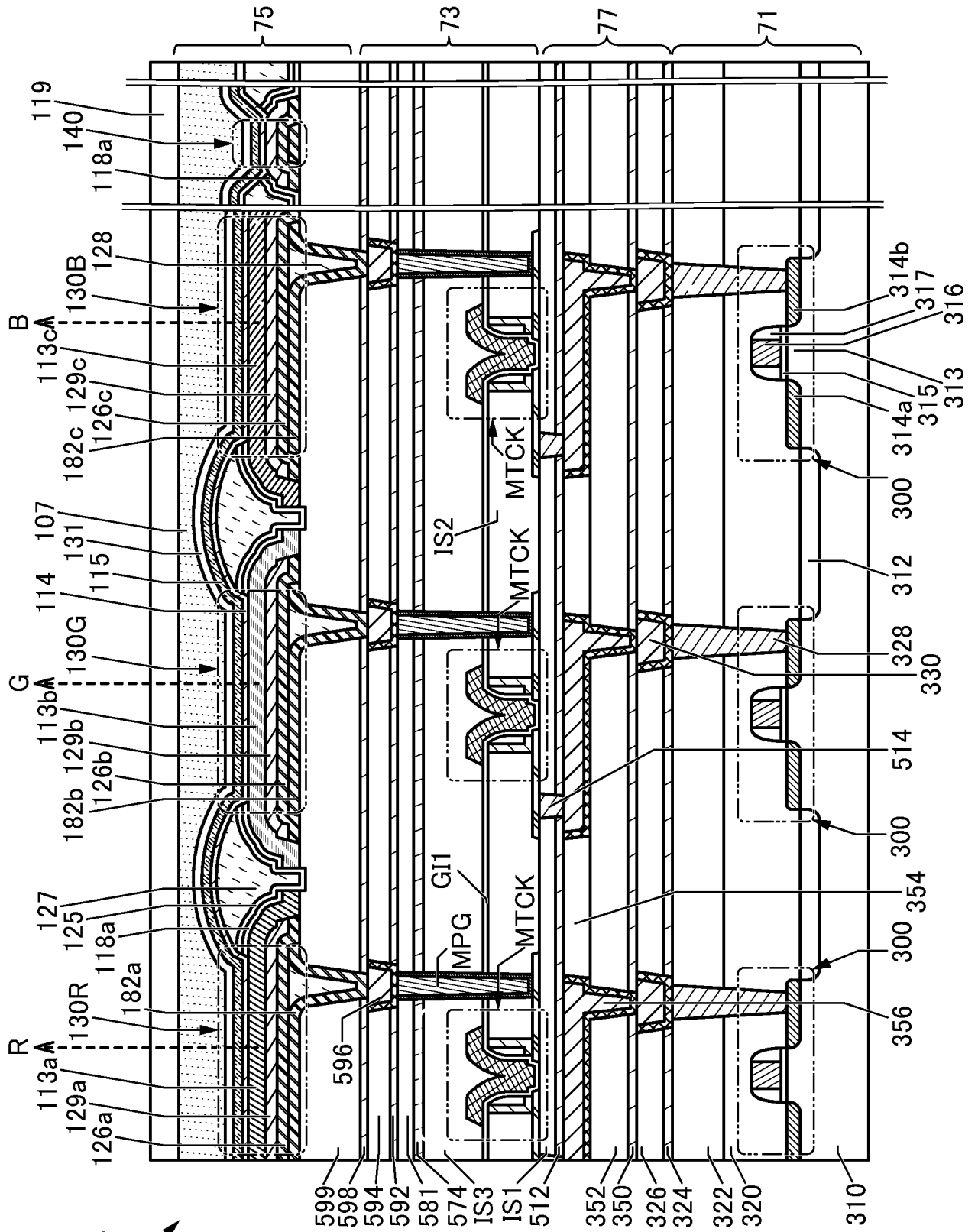


図23A

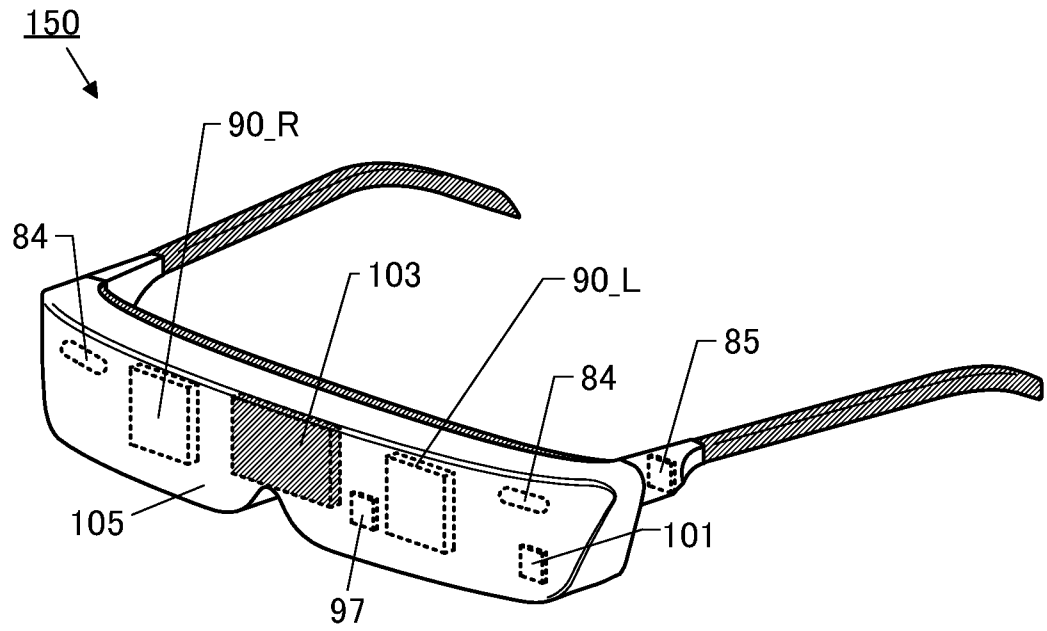


図23B

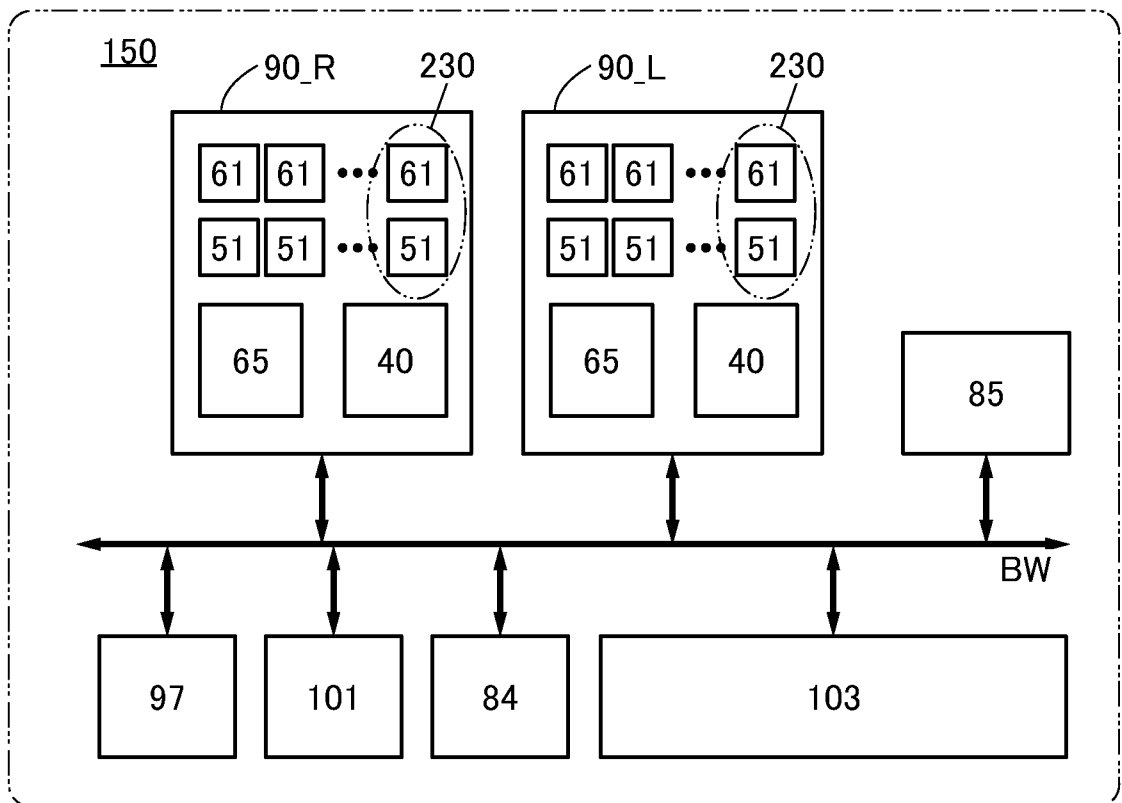


図24A

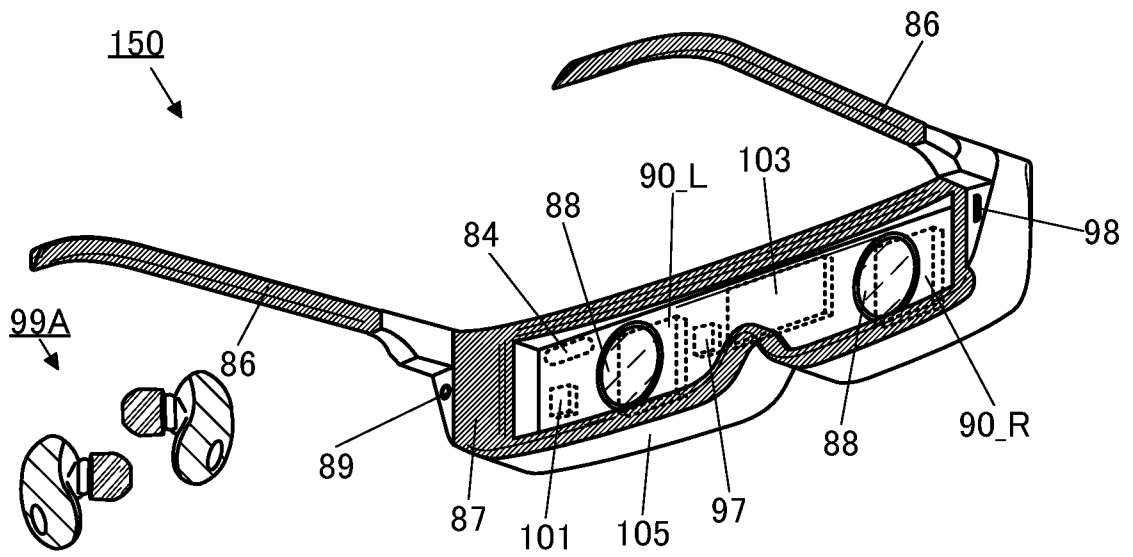


図24B

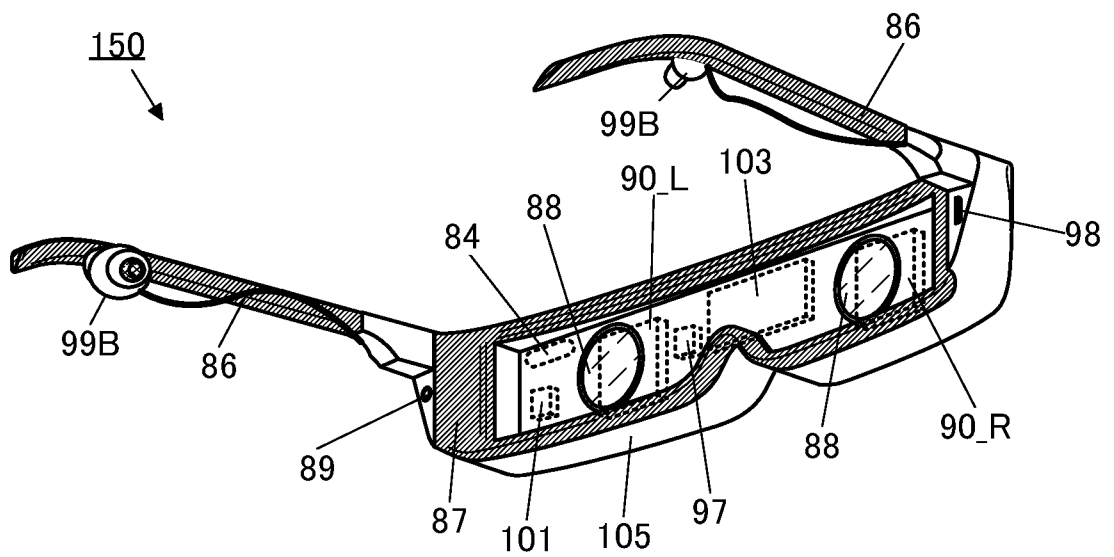


図25A

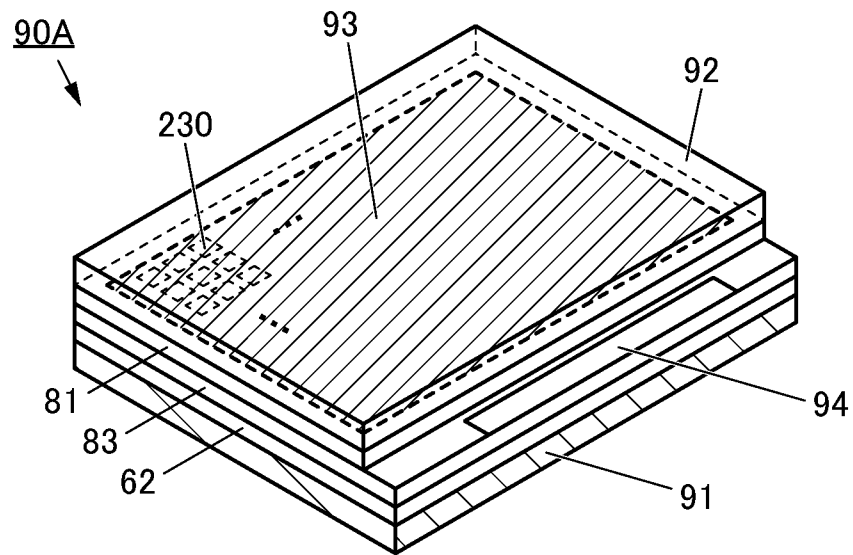
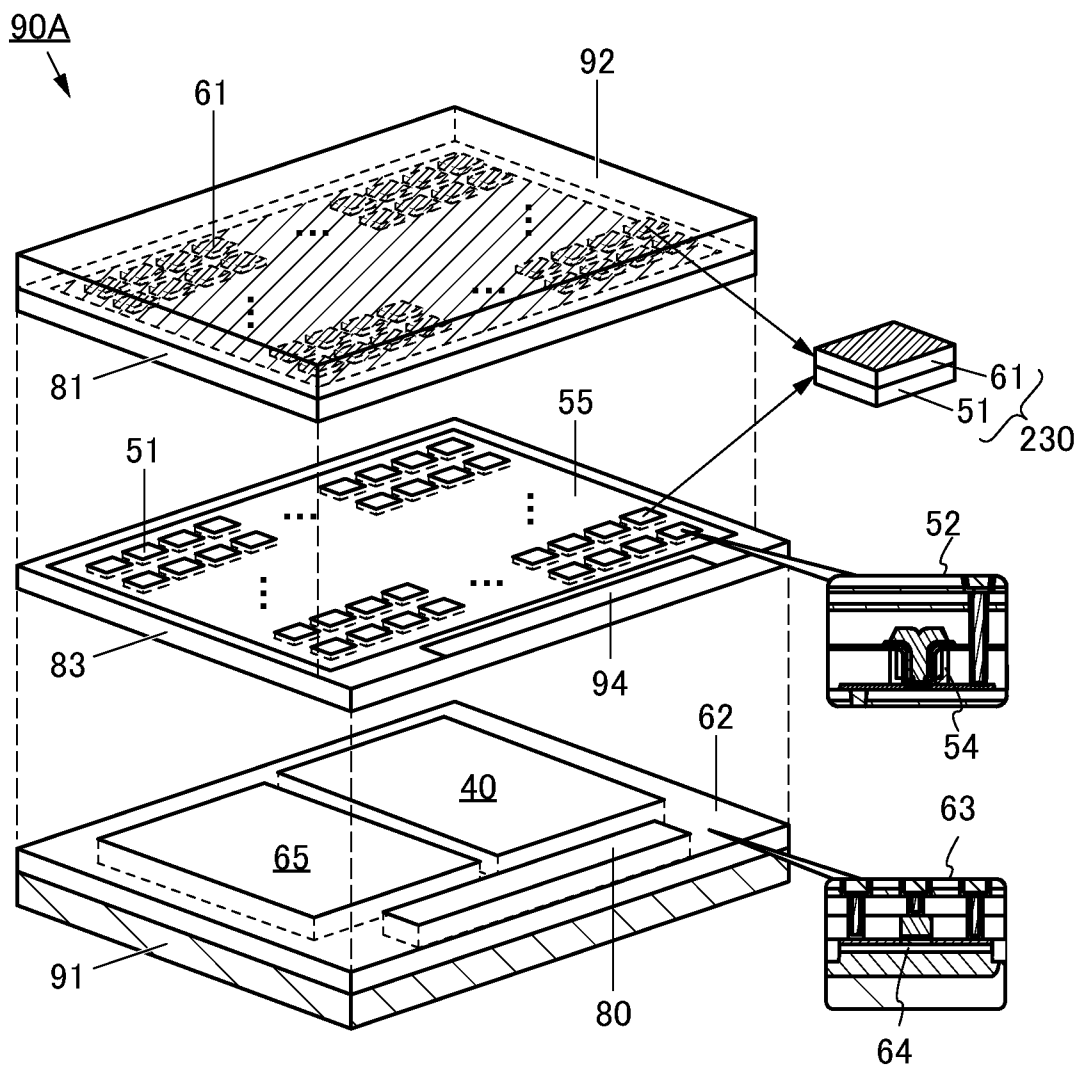


図25B



90A

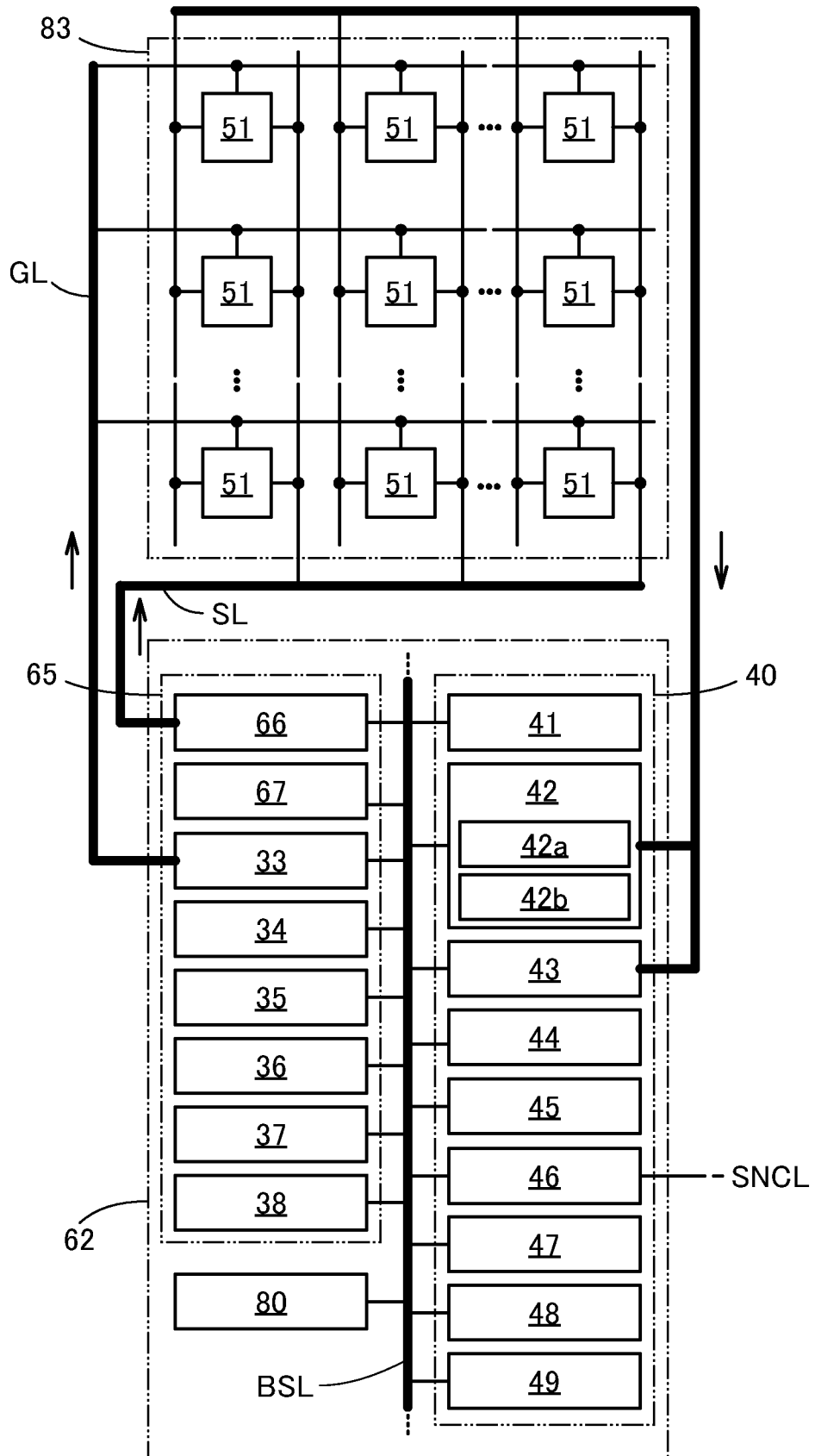


図27A

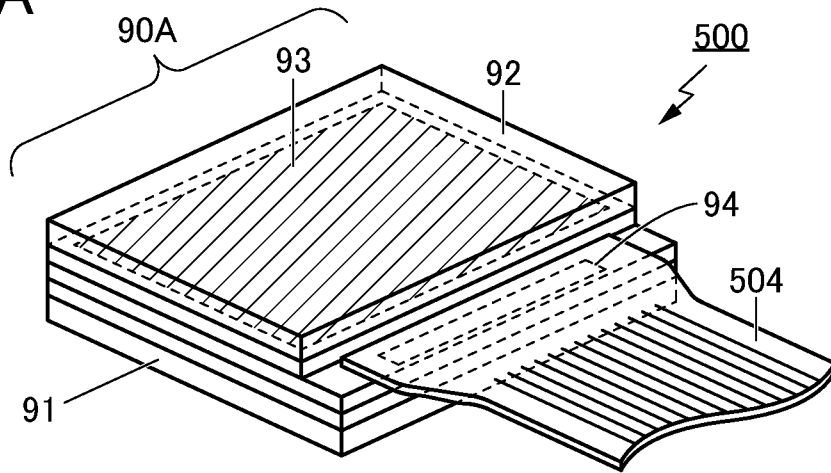


図27B

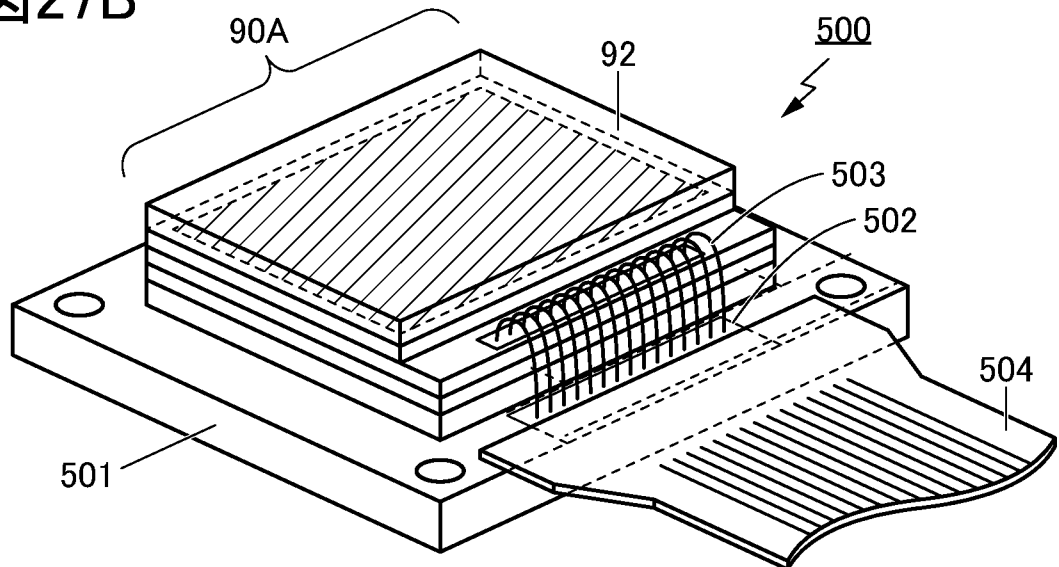


図27C

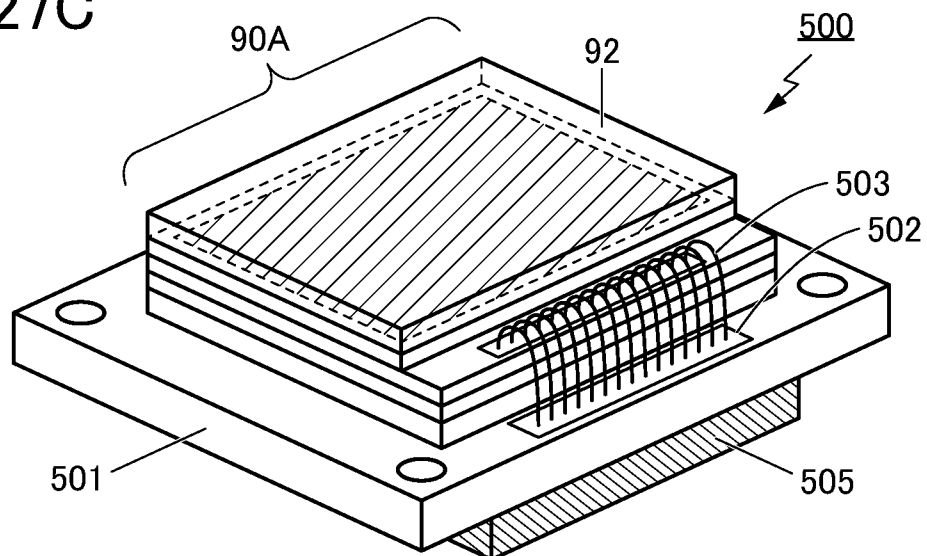


図28A

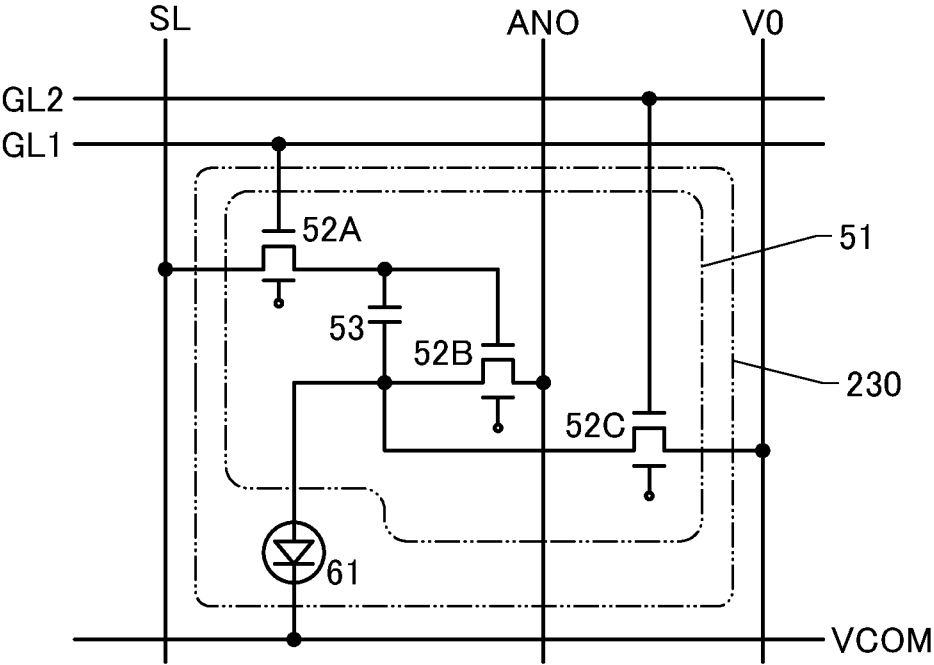


図28B

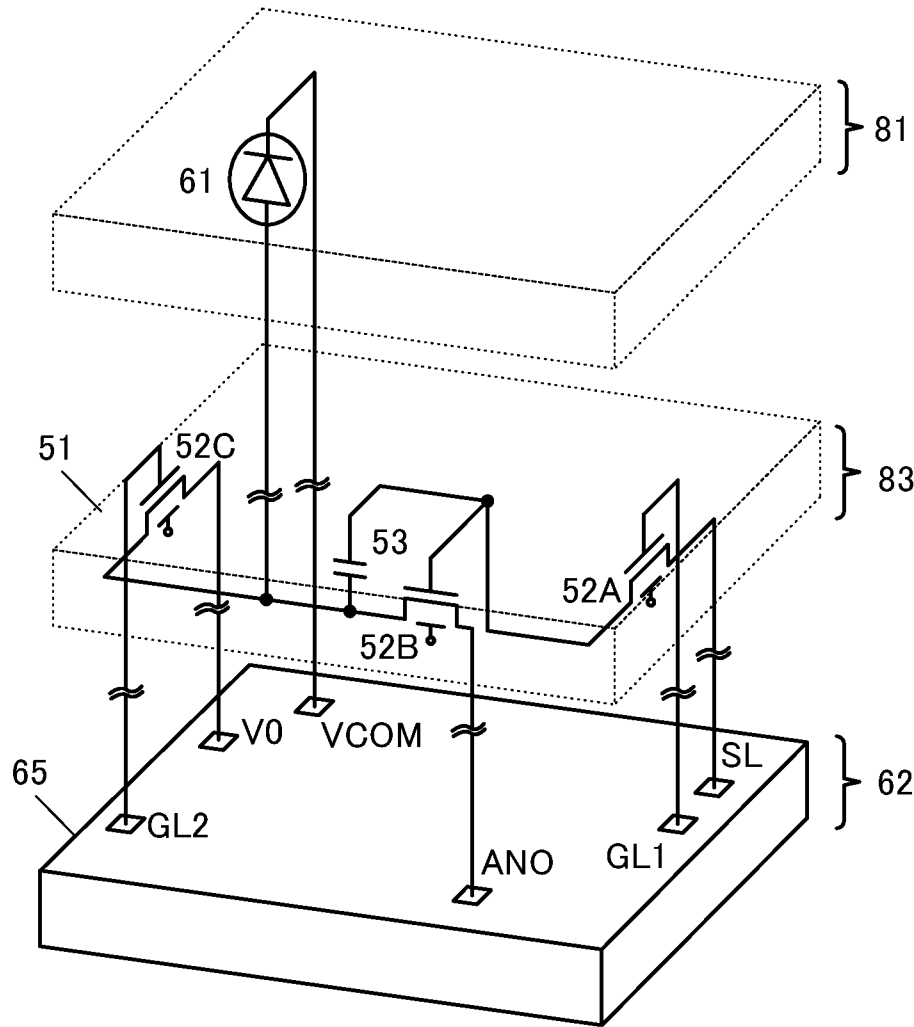


図29A

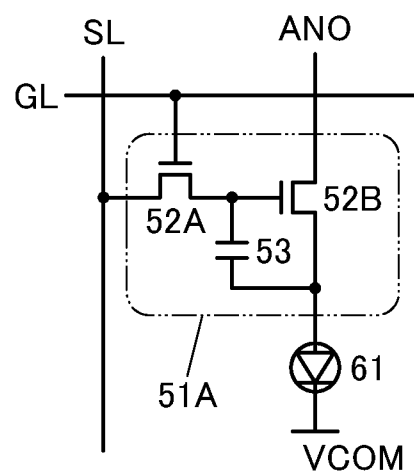


図29B

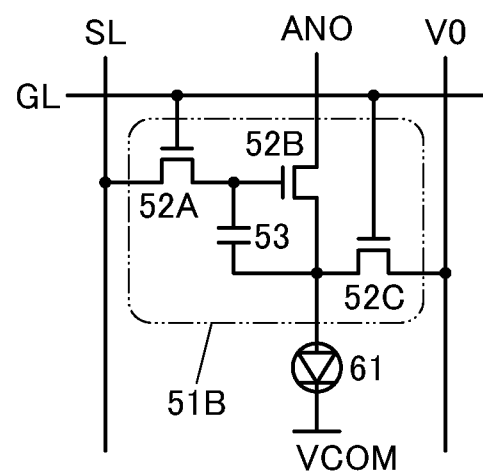


図29C

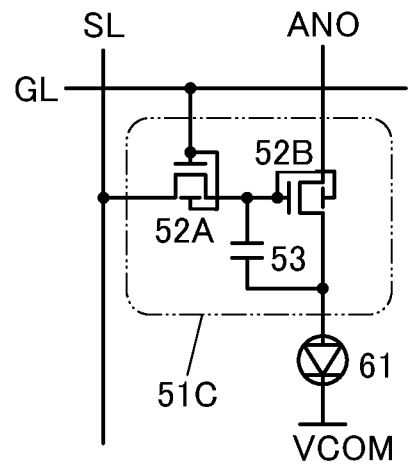


図29D

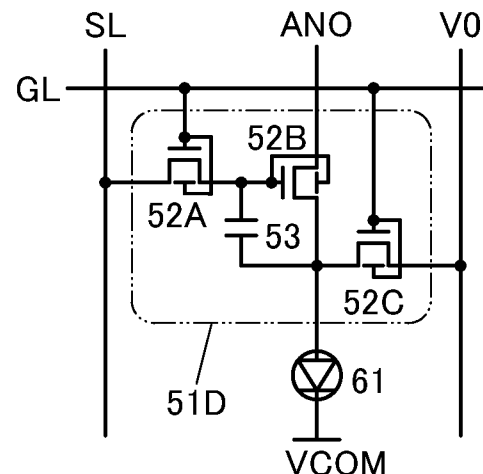


図30A

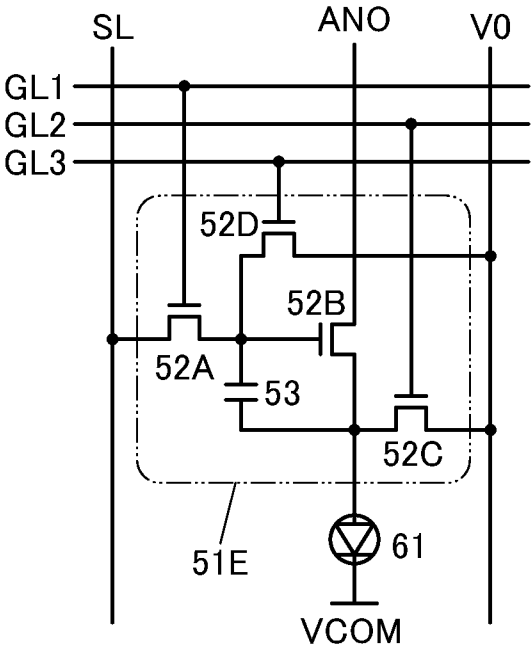


図30B

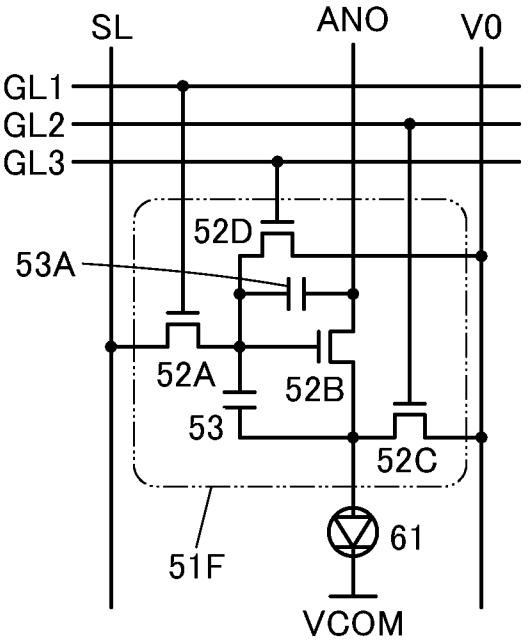


図30C

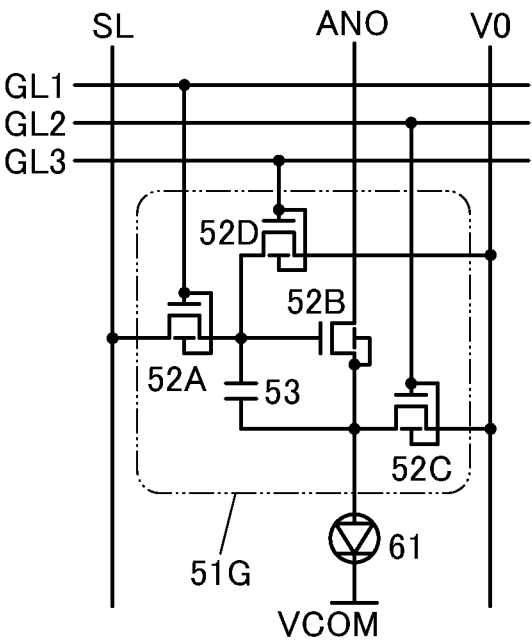


図30D

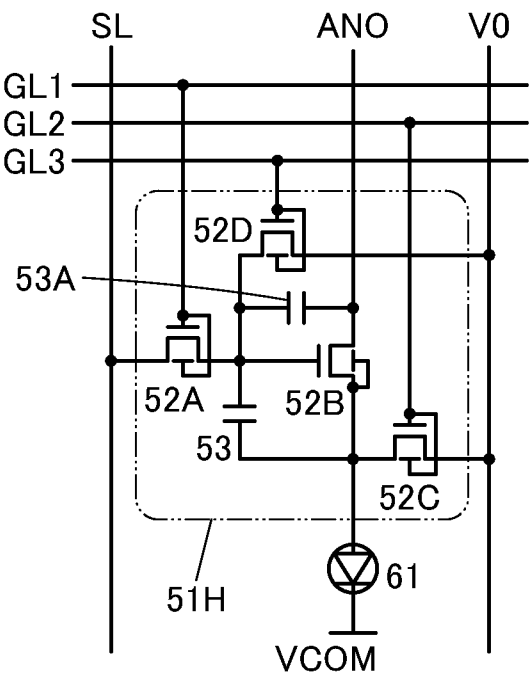


図31A

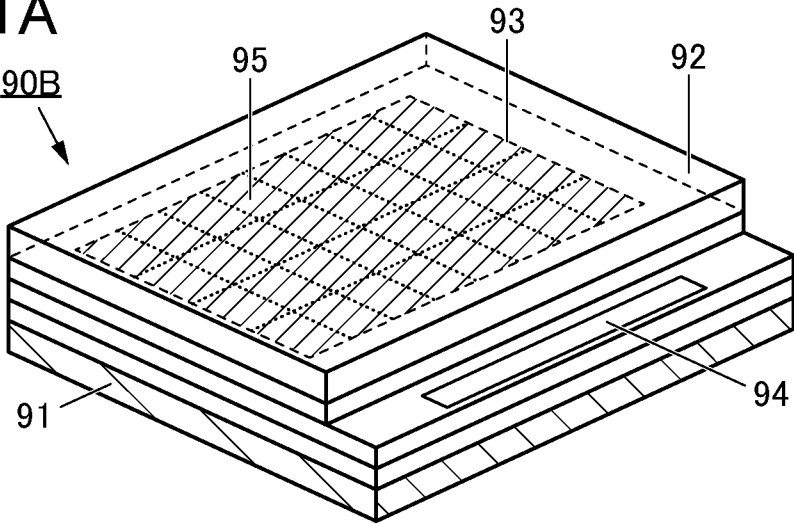


図31B

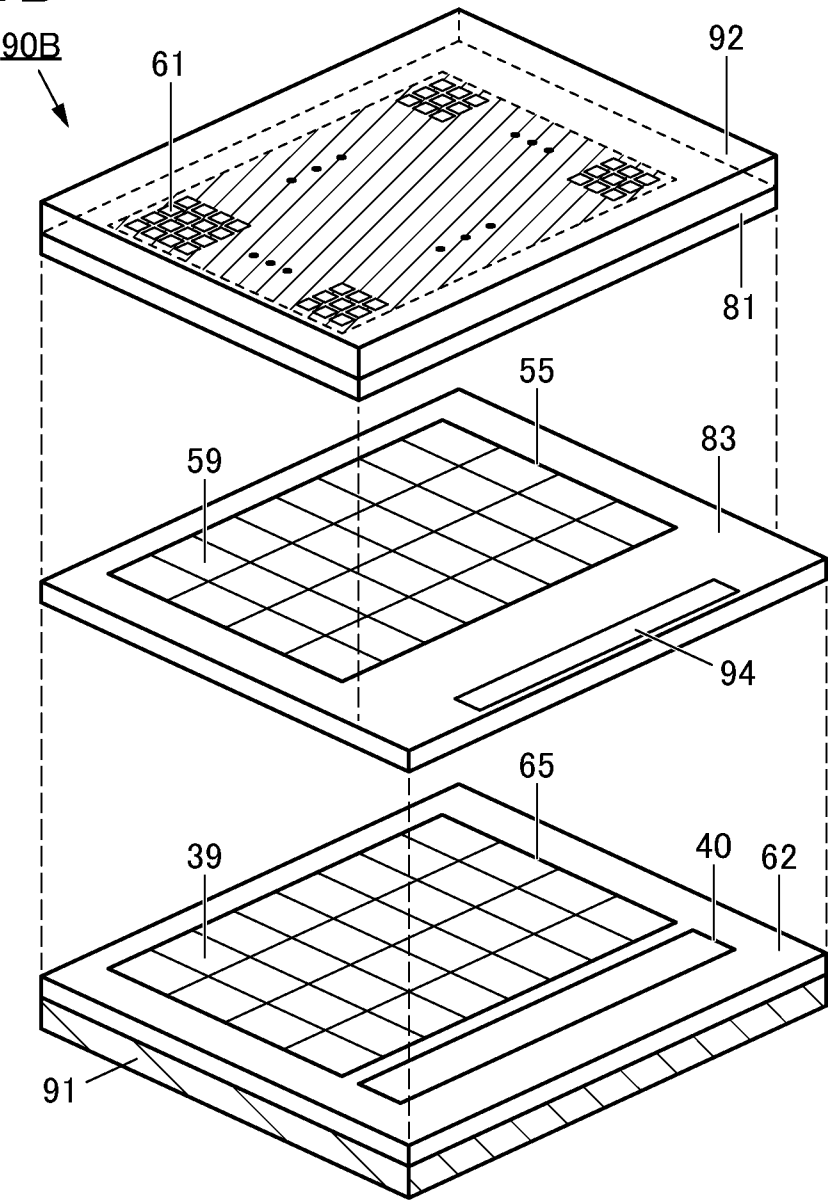


図32A

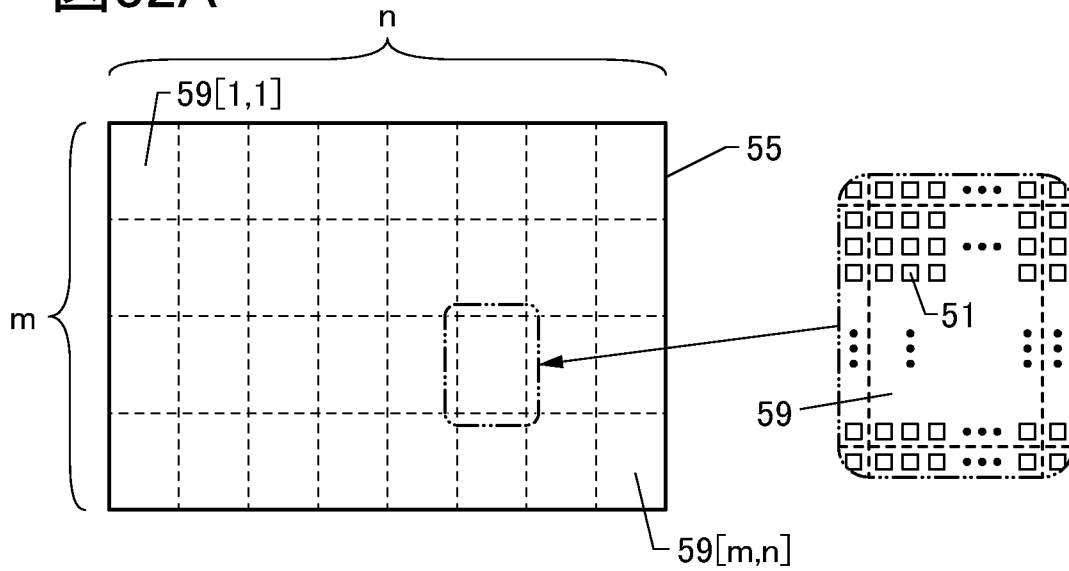


図32B

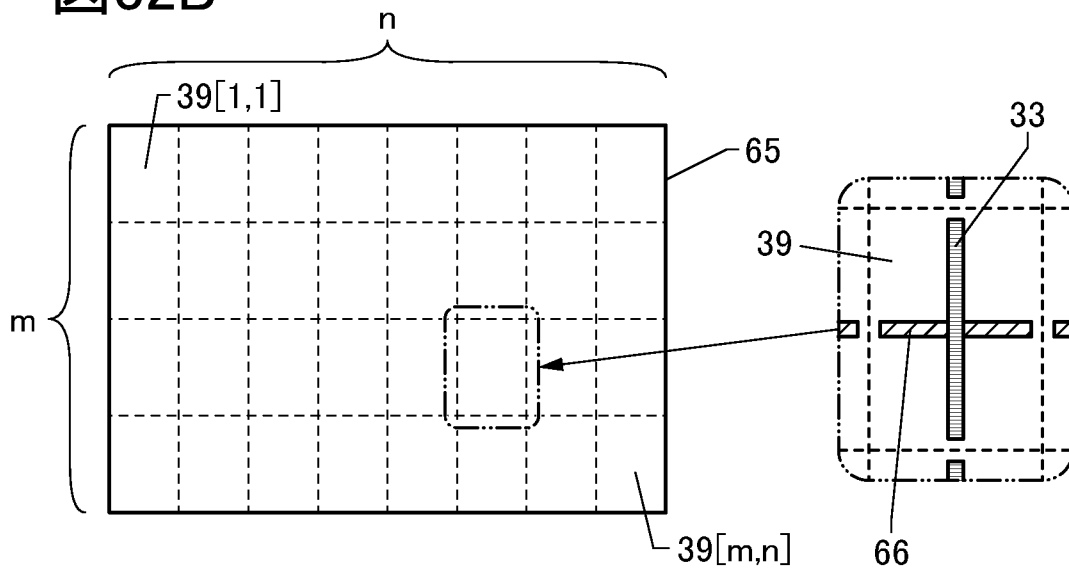


図32C

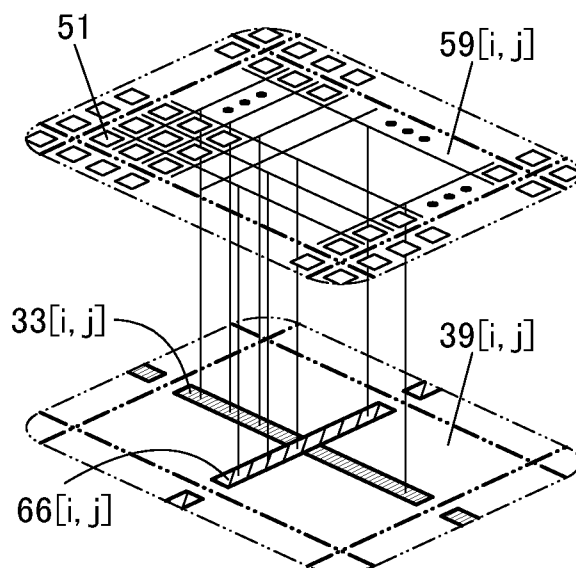


図32D

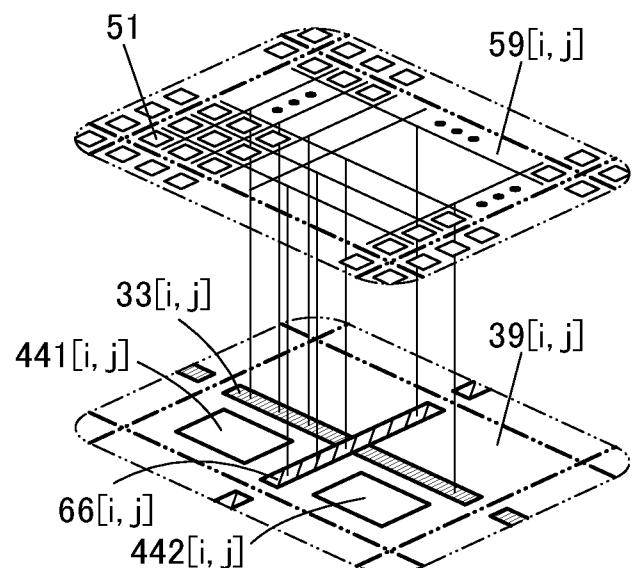


図33A

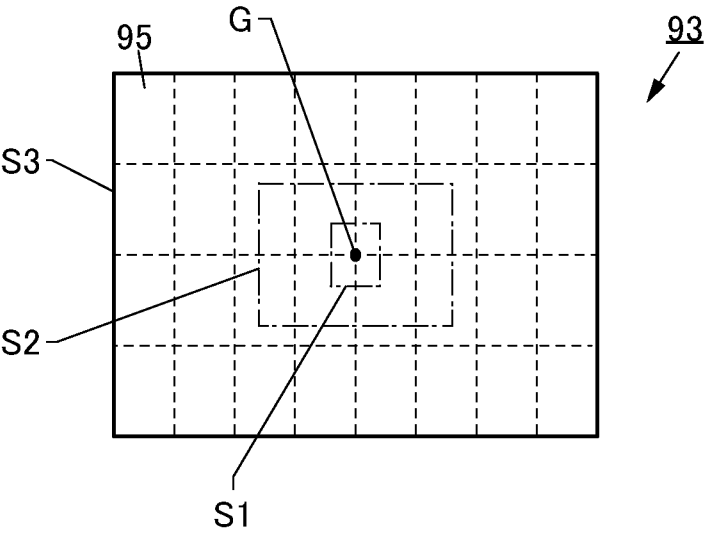


図33B

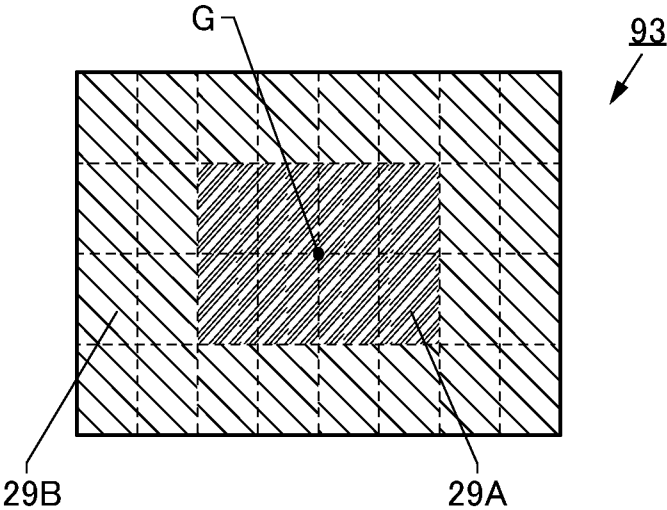
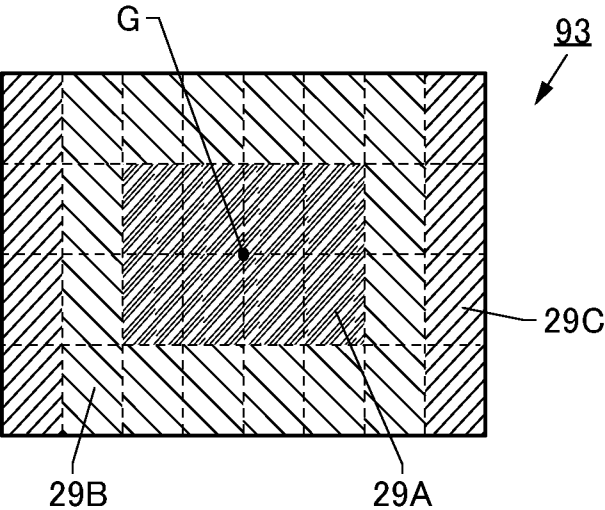
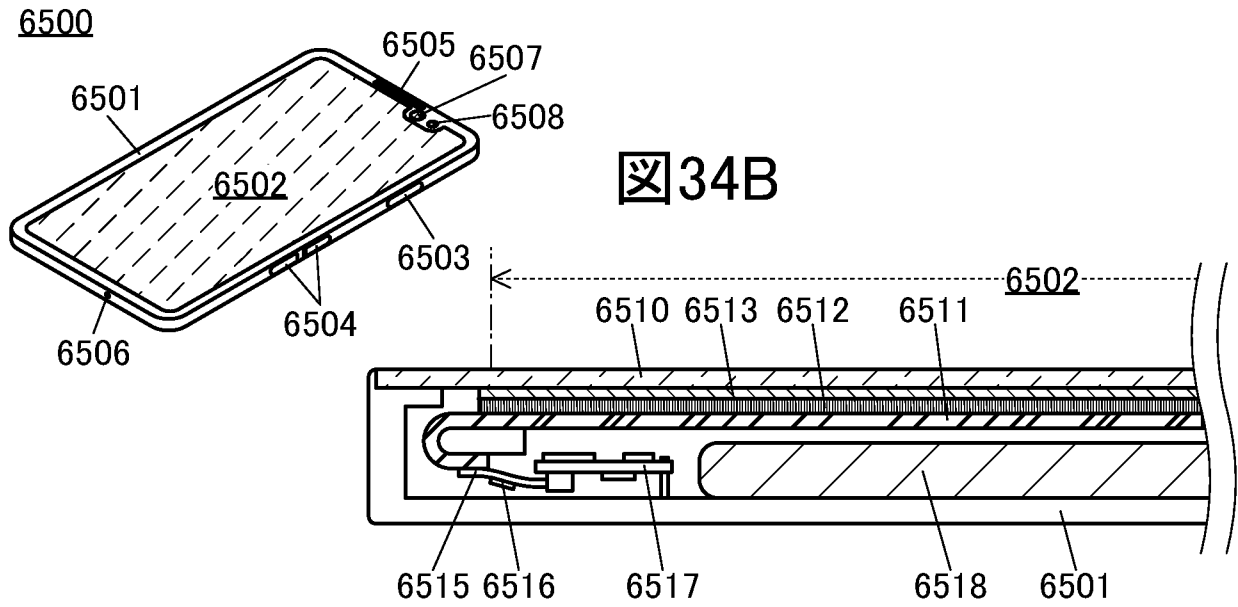
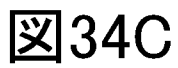
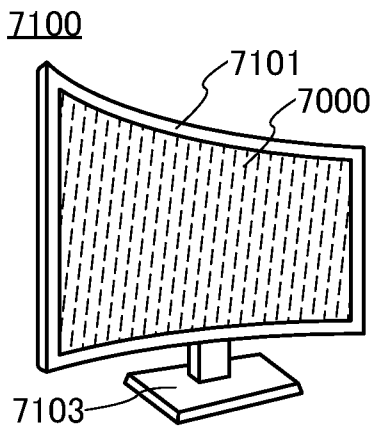


図33C

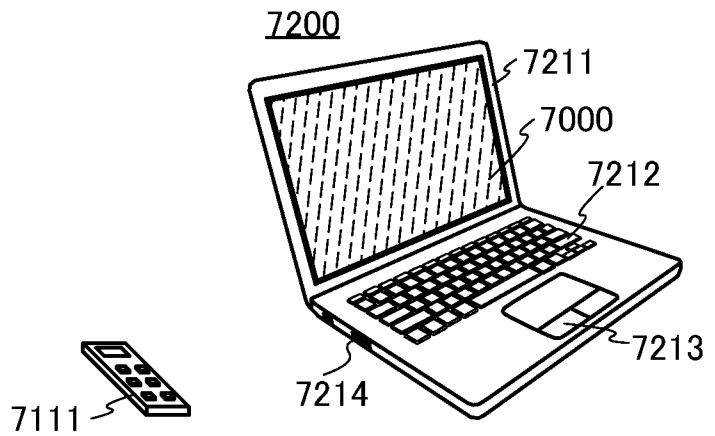




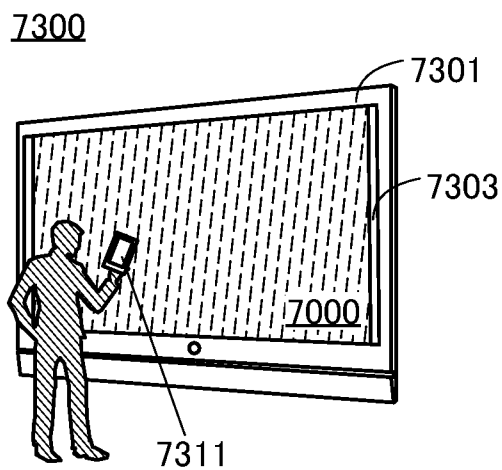
 34C

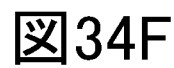


 34D



 34E



 34F

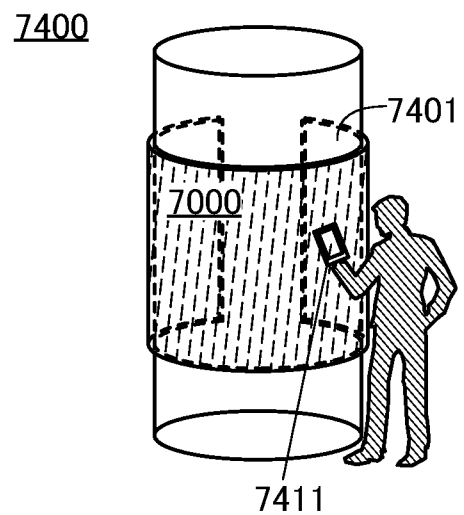


图35A

9101

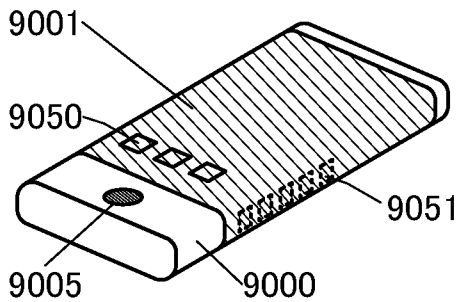


图35B

9102

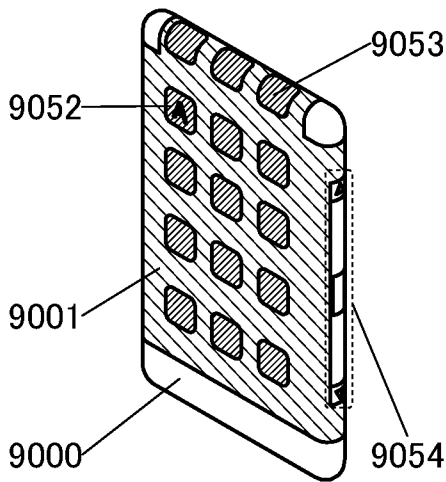


图35C

9103

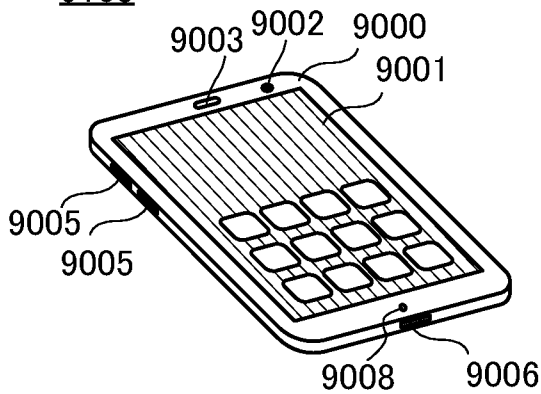


图35D

9200

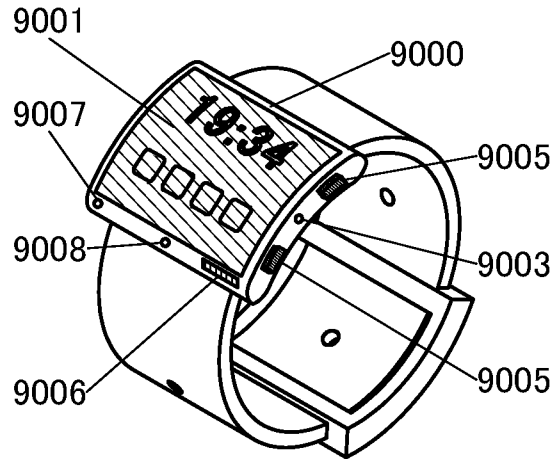


图35E

9201

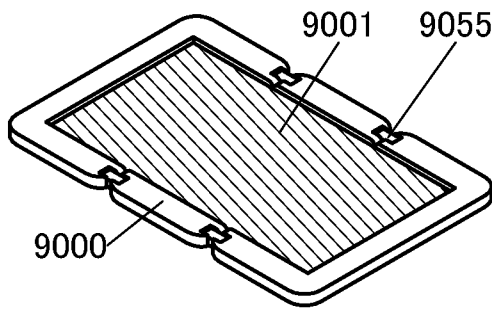


图35F

9201

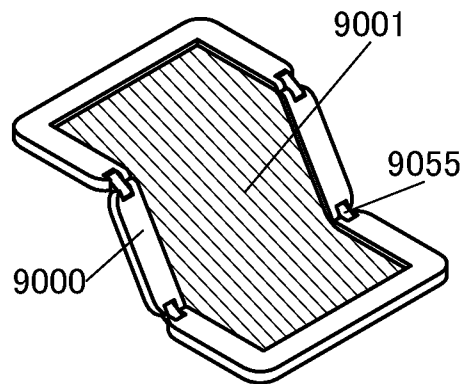
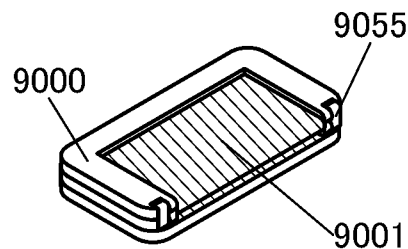


图35G

9201



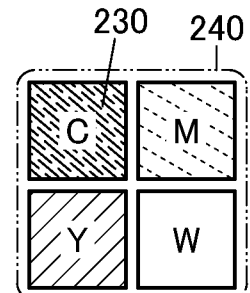
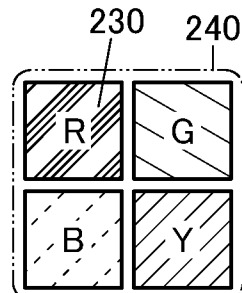
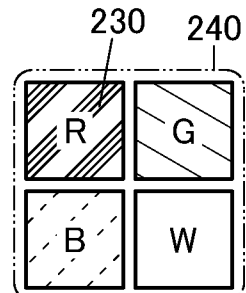
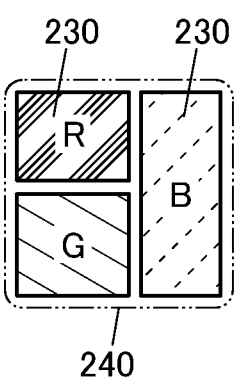
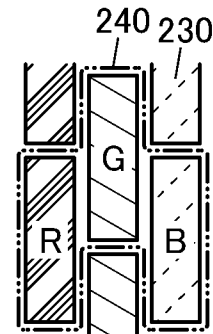
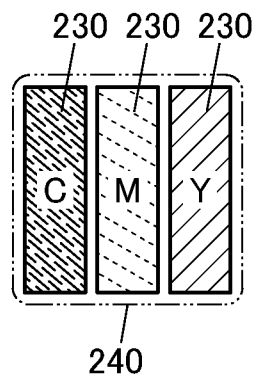
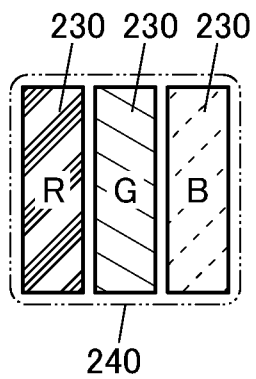
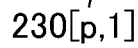


図37A

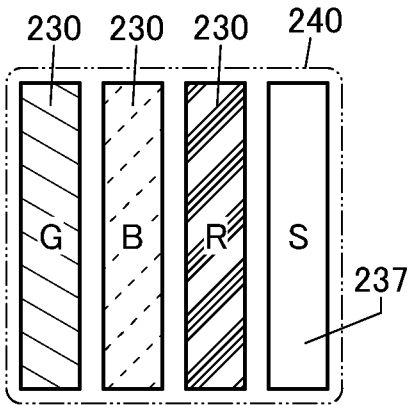


図37B

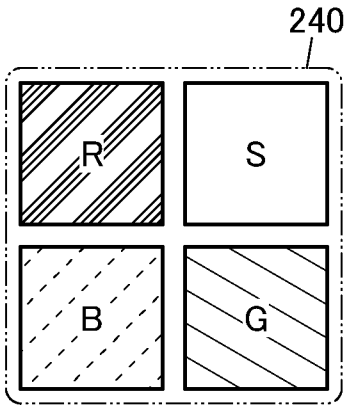


図37C

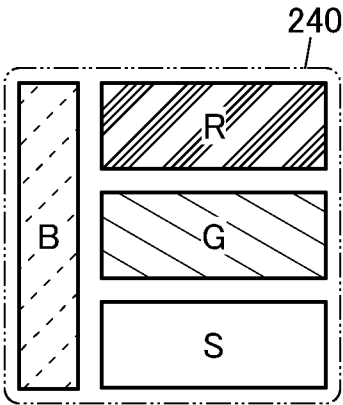


図37D

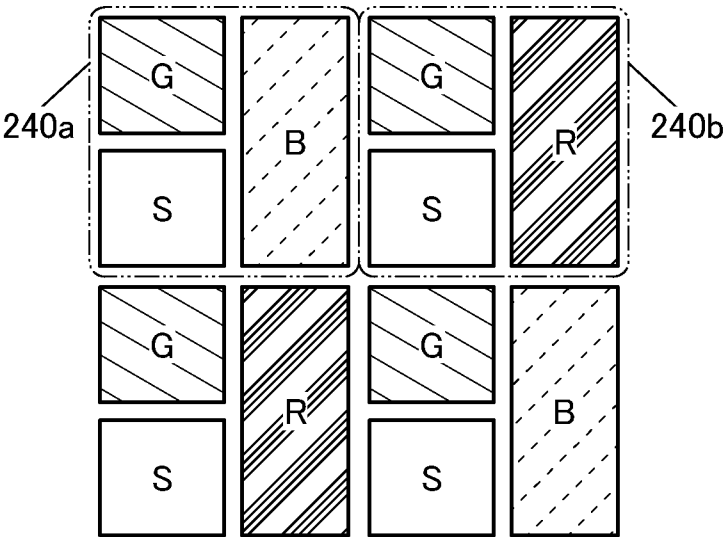


図37E

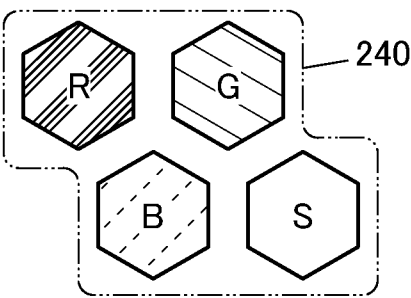


図37F

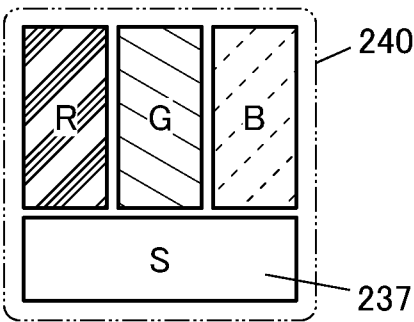


図37G

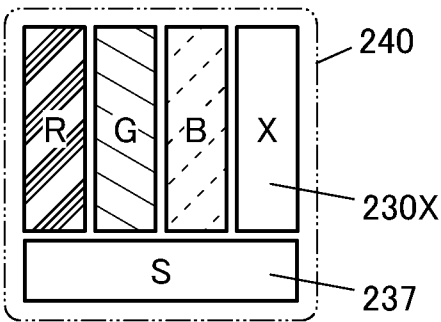


図38A

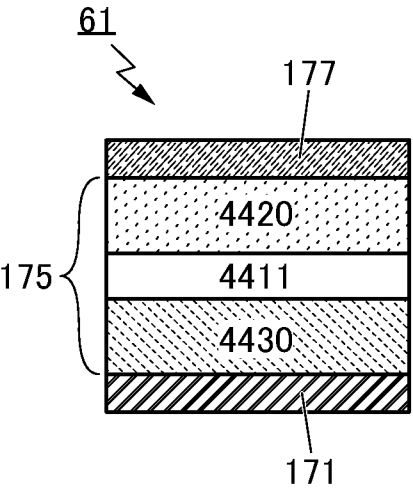


図38B

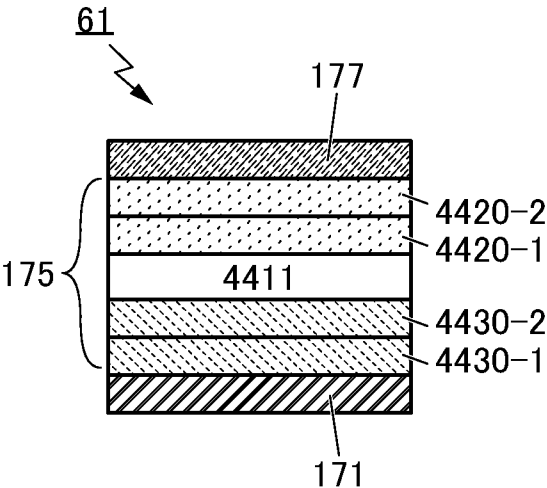


図38C

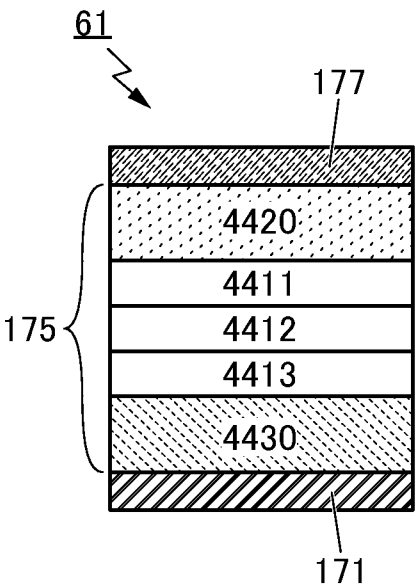


図38D

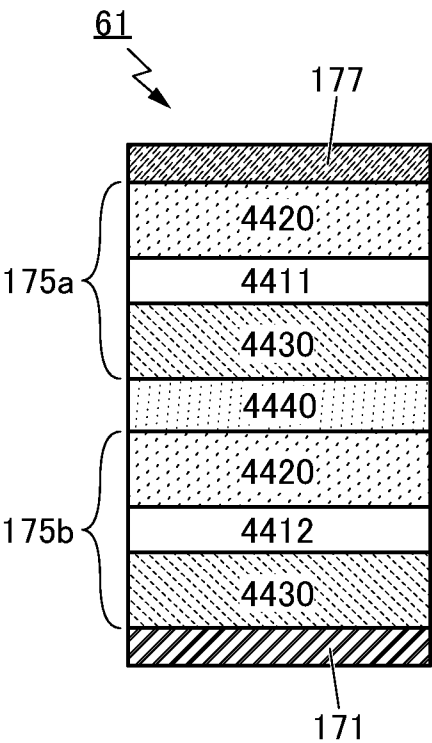


図39A

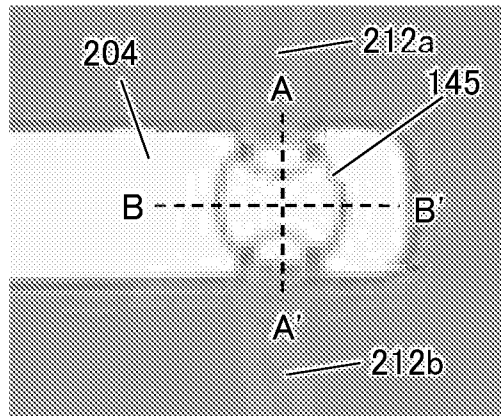


図39B

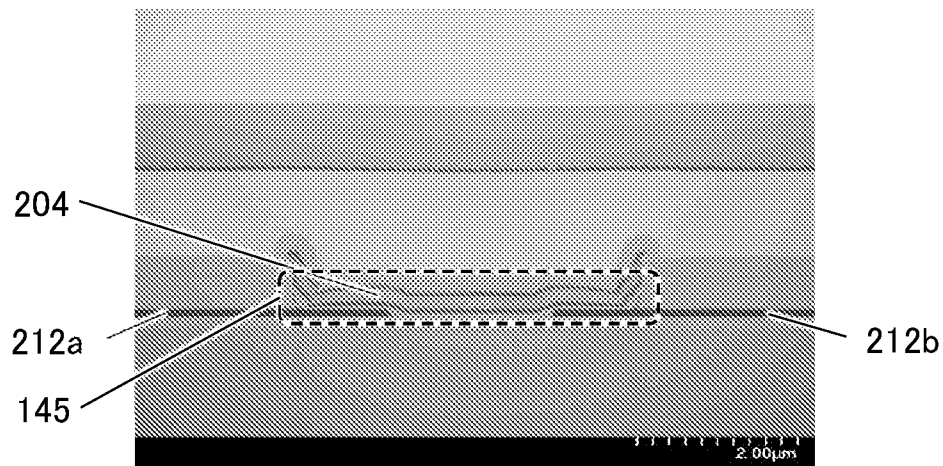


図39C

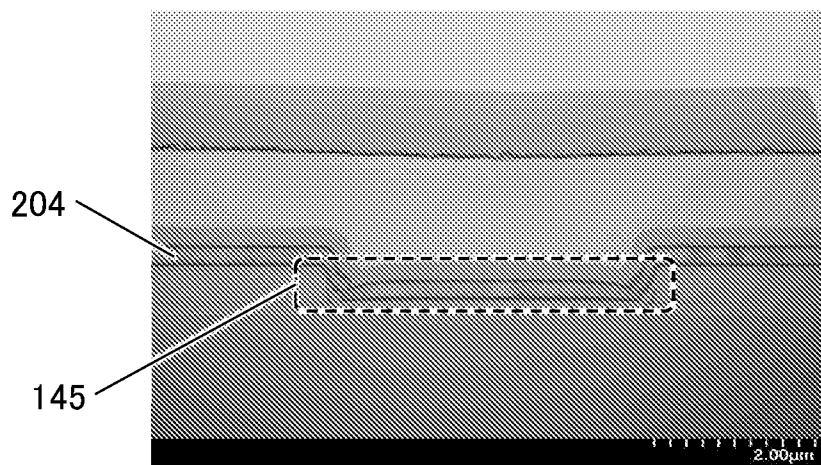


図40A

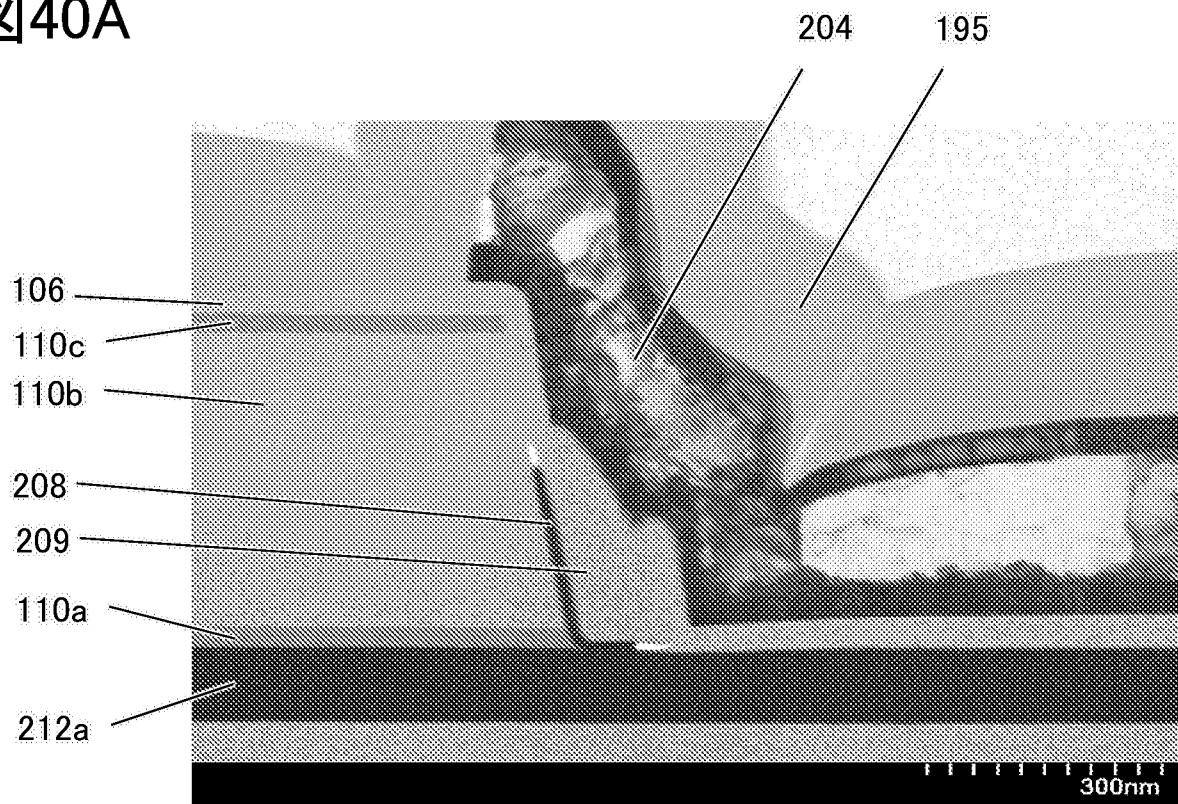
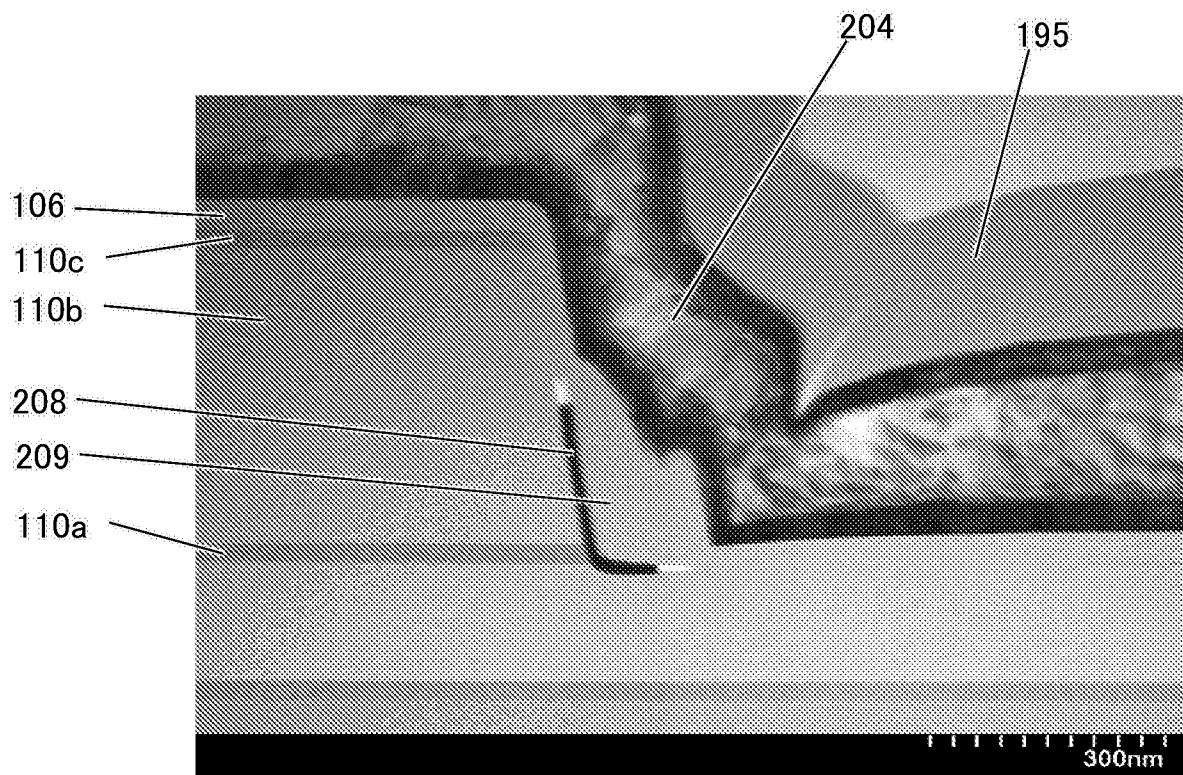
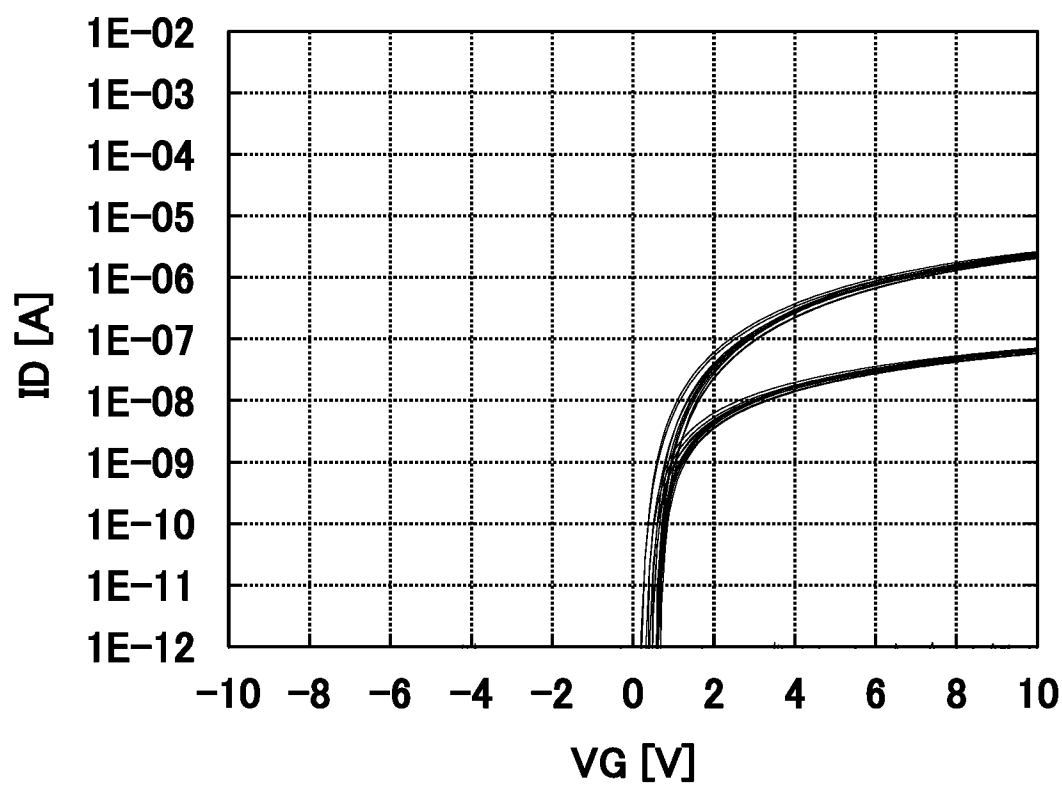


図40B





INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/052817

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 29/786</i> (2006.01)i; <i>G09F 9/00</i> (2006.01)i; <i>G09F 9/30</i> (2006.01)i; <i>H01L 21/8234</i> (2006.01)i; <i>H01L 27/088</i> (2006.01)i; <i>H05B 33/10</i> (2006.01)i; <i>H05B 33/14</i> (2006.01)i; <i>H10K 50/84</i> (2023.01)i; <i>H10K 59/12</i> (2023.01)i; <i>H10K 59/131</i> (2023.01)i; <i>H10K 71/20</i> (2023.01)i FI: H01L29/78 618C; H01L29/78 618B; H01L27/088 E; H01L27/088 331E; H01L27/088 A; H01L29/78 626A; G09F9/30 338; G09F9/30 348A; G09F9/00 338; H05B33/14 Z; H05B33/10; H10K71/20; H10K59/12; H10K59/131; H10K50/84 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/786; G09F9/00; G09F9/30; H01L21/8234; H01L27/088; H05B33/10; H05B33/14; H10K50/84; H10K59/12; H10K59/131; H10K71/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-108895 A (RENESAS ELECTRONICS CORPORATION) 02 June 2011 (2011-06-02) fig. 22	1-11
A	JP 8-340053 A (SONY CORPORATION) 24 December 1996 (1996-12-24) fig. 2	1-11
A	WO 2013/038553 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE LTD.) 21 March 2013 (2013-03-21) fig. 1	1-11
A	JP 2019-091902 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 June 2019 (2019-06-13) fig. 2	1-11
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 31 May 2024		Date of mailing of the international search report 11 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/052817

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-167452 A (JAPAN DISPLAY INC.) 21 September 2017 (2017-09-21) fig. 17-18	1-11
A	US 2021/0391430 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 16 December 2021 (2021-12-16) fig. 5	1-11
A	JP 2014-013851 A (HITACHI, LTD.) 23 January 2014 (2014-01-23) fig. 1	1-11
A	US 2020/0312937 A1 (SAMSUNG DISPLAY CO., LTD.) 01 October 2020 (2020-10-01) fig. 3	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/052817

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2011-108895	A	02 June 2011	(Family: none)			
JP	8-340053	A	24 December 1996	(Family: none)			
WO	2013/038553	A1	21 March 2013	CN	103119720	A	
				KR	10-2013-0056897	A	
JP	2019-091902	A	13 June 2019	US	2016/0218219	A1	
				fig. 2			
				KR	10-2017-0106358	A	
JP	2017-167452	A	21 September 2017	US	2017/0271375	A1	
				fig. 17-18			
				CN	107204362	A	
US	2021/0391430	A1	16 December 2021	CN	113394296	A	
JP	2014-013851	A	23 January 2014	(Family: none)			
US	2020/0312937	A1	01 October 2020	CN	111739894	A	
				KR	10-2020-0115753	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; H01L 21/8234(2006.01)i;
H01L 27/088(2006.01)i; H05B 33/10(2006.01)i; H05B 33/14(2006.01)i; H10K 50/84(2023.01)i;
H10K 59/12(2023.01)i; H10K 59/131(2023.01)i; H10K 71/20(2023.01)i
FI: H01L29/78 618C; H01L29/78 618B; H01L27/088 E; H01L27/088 331E; H01L27/088 A; H01L29/78 626A;
G09F9/30 338; G09F9/30 348A; G09F9/00 338; H05B33/14 Z; H05B33/10; H10K71/20; H10K59/12;
H10K59/131; H10K50/84

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; G09F9/00; G09F9/30; H01L21/8234; H01L27/088; H05B33/10; H05B33/14; H10K50/84; H10K59/12;
H10K59/131; H10K71/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-108895 A（ルネサスエレクトロニクス株式会社）02.06.2011（2011-06-02） 図22	1-11
A	JP 8-340053 A（ソニー株式会社）24.12.1996（1996-12-24） 図2	1-11
A	WO 2013/038553 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）21.03.2013（2013-03-21） 図1	1-11
A	JP 2019-091902 A（株式会社半導体エネルギー研究所）13.06.2019（2019-06-13） 図2	1-11

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
31.05.2024

国際調査報告の発送日
11.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西村 治郎 5F 1164

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-167452 A (株式会社ジャパンディスプレイ) 21.09.2017 (2017 - 09 - 21) 図17-18	1-11
A	US 2021/0391430 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 16.12.2021 (2021 - 12 - 16) Fig.5	1-11
A	JP 2014-013851 A (株式会社日立製作所) 23.01.2014 (2014 - 01 - 23) 図1	1-11
A	US 2020/0312937 A1 (SAMSUNG DISPLAY CO., LTD.) 01.10.2020 (2020 - 10 - 01) Fig.3	1-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/052817

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-108895	A	02.06.2011	(ファミリーなし)	
JP	8-340053	A	24.12.1996	(ファミリーなし)	
WO	2013/038553	A1	21.03.2013	CN 103119720	A
				KR 10-2013-0056897	A
JP	2019-091902	A	13.06.2019	US 2016/0218219	A1
				Fig. 2	
				KR 10-2017-0106358	A
JP	2017-167452	A	21.09.2017	US 2017/0271375	A1
				Figs. 17-18	
				CN 107204362	A
US	2021/0391430	A1	16.12.2021	CN 113394296	A
JP	2014-013851	A	23.01.2014	(ファミリーなし)	
US	2020/0312937	A1	01.10.2020	CN 111739894	A
				KR 10-2020-0115753	A