



(12) 发明专利

(10) 授权公告号 CN 101819815 B

(45) 授权公告日 2015.05.20

(21) 申请号 201010164945.9

CN 101529521 A, 2009.09.09,

(22) 申请日 2010.04.29

CN 101165806 A, 2008.04.23,

(73) 专利权人 上海华虹宏力半导体制造有限公司

审查员 常津铭

地址 201203 上海市张江高科技园区祖冲之路 1399 号

(72) 发明人 胡剑

(74) 专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

G11C 11/4197(2006.01)

(56) 对比文件

WO 9840973 A1, 1998.09.17,

CN 1408118 A, 2003.04.02,

CN 1875428 A, 2006.12.06,

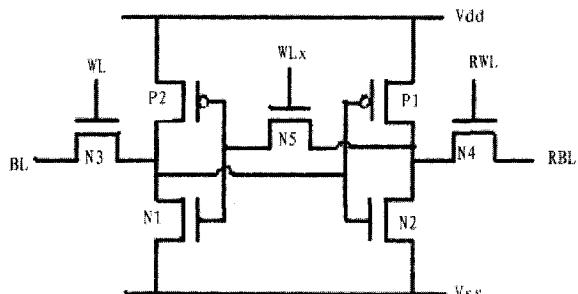
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种消除读取干扰的静态随机存储器

(57) 摘要

本发明提供了一种消除读取干扰的静态随机存储器，包括：第一 NMOS 管、第二 NMOS 管、第三 NMOS 管、第四 NMOS 管、第一 PMOS 管和第二 PMOS 管，其中第一 PMOS 管、第一 NMOS 管和第二 PMOS 管、第二 NMOS 管组成两个 COMS 倒相器，交叉耦合形成双稳态触发器，第三 NMOS 管和第二 PMOS 管相连，第四 NMOS 管和第一 PMOS 管相连，静态随机存储器还包括第五 NMOS 管，第五 NMOS 管和第一 PMOS 管、第二 PMOS 管分别相连，本发明在静态随机存储器中加入第五 NMOS 管，在执行读取任务时将第五 NMOS 管关闭，从而避免了读取干扰现象的 B 发生，提高了静态随机存储器读取状态的稳定性。



1. 一种消除读取干扰的静态随机存储器,包括:第一 NMOS 管、第二 NMOS 管、第三 NMOS 管、第四 NMOS 管、第一 PMOS 管和第二 PMOS 管,其中所述第一 PMOS 管、所述第一 NMOS 管和所述第二 PMOS 管、所述第二 NMOS 管组成两个 COMS 倒相器,交叉耦合形成双稳态触发器,所述第三 NMOS 管和所述第二 PMOS 管相连,所述第四 NMOS 管和所述第一 PMOS 管相连,

其特征在于:所述静态随机存储器还包括第五 NMOS 管,所述第五 NMOS 管和所述第一 PMOS 管、所述第二 PMOS 管分别相连;

其中,所述第五 NMOS 管的源极和所述第一 PMOS 管的源极或者漏极相连,所述第五 NMOS 管的漏极和所述第二 PMOS 管的栅极相连;或

所述第五 NMOS 管的漏极和所述第一 PMOS 管的源极或者漏极相连,所述第五 NMOS 管的源极和所述第二 PMOS 管的栅极相连。

## 一种消除读取干扰的静态随机存储器

### 技术领域

[0001] 本发明涉及一种半导体器件，尤其涉及一种消除读取干扰的静态随机存储器。

### 背景技术

[0002] 集成电路之内的元件密度可以利用缩减空间的集成电路设计 (reduced geometry integrated circuit designs) 原则，来增加集成电路的性能以及降低其实际成本。包含 Flash、SRAM (静态随机存取存储器)、OUM、EEPROM、FRAM、MRAM 等的现代集成电路存储器件都是利用此存数单元 (memory cell) 的原则的明显实例。集成电路存储器件内的密度正持续地增加，而与之伴随的是这类器件的单位存储成本的相应降低。密度的增加是利用在器件内制作较小的结构，以及利用缩减元件之间或构成元件的结构之间的分隔空间而完成的。通常，这类较小尺寸的设计准则 (design rules) 会伴随有布局，设计以及构造的修正，当使用这类较小尺寸的设计准则时，这些修正改变要通过缩减元件的大小才能实现，而且还要维持器件性能。作为一种实例，在多种现有的集成电路之中其操作电压的降低，是由于诸如缩减栅极氧化物厚度，以及增进微影程序控制上的误差才可能完成的。另一方面，缩减尺寸的设计准则也使得降低操作电压变成必要，以便小尺寸元件若以已有的较高操作电压操作时，得以限制所会产生的热载流子 (hot carriers)。第一代 SRAM 模块采用大尺寸 DIP 封装，该封装具有一定的高度，因为电池和 RAM 芯片叠放于 DIP 封装之中。DIP 封装的优点在于器件可以插入 DIP 插座，方便替换和存储，或从一个印制板转移到另一个。虽然这些优点至今仍非常有用，但相比之下，更有必要发展表面贴装技术，以及将工作电压由 5V 变为 3.3V。第二代 SRAM 模块采用两片式方案——PowerCap 模块 (PCM)，即由直接焊接到印刷板的基座 (包含 SRAM) 以及 PowerCap (也就是锂电池) 两部分组成。与 DIP 模块相比，这类器件具有两个主要优点：它们采用表面贴装，并且具有标准引脚配置。换句话说，无论多大容量的 SRAM，其封装和引脚数是相同的。因此，设计人员可以加大系统存储容量，而无须担心需要改变 PCB 布局。电池更换起来也很容易。第三代也就是最新的 SRAM 模块，它不但解决了先前产品所存在的问题，同时增加了更多功能。这类新型 SRAM 是单片 BGA 模块，内置可充电锂电池。和 PCM 一样，采用这种封装形式的所有 SRAM 无论其容量大小，封装尺寸和引脚配置都是相同的。此类模块采用表面贴装，并且是单片器件。因此设计更加坚固可靠，较上一代器件可承受更强的机械震动。由于电池是可充电的，因此数据保存时间的概念有了另外一层含义。用等效使用寿命一词来描述更为恰当，这类器件等效使用寿命可高达 200 年。另外，这种模块能承受 +230°C 的回流焊温度，而提供的无铅封装器件可承受 +260°C 的温度。

[0003] 单元面积和单元稳定性是 SRAM 设计的两个重要方面。单元面积在很大程度上决定了存储器芯片的尺寸；单元稳定性决定了存储器的数据可靠性，这里所述的稳定性包括读取稳定性和写入稳定性。SRAM 的主流单元结构包含 6 个 MOS 晶体管，其构成可以是全 CMOS 平面结构，也可以是叠层式三维结构。请参考图 1，图 1 是现有技术中六晶体管的 SRAM 的结构示意图，图中，所述 SRAM 由六个晶体管构成，所述六个晶体管中，包括四个 NMOS 管

(N1、N2、N3、N4) 和两个 PMOS 管 (P1、P2)，其中第一 PMOS 管 P1、第一 NMOS 管 N1 和第二 PMOS 管 P2、第二 NMOS 管 N2 组成两个 COMS 倒相器，交叉耦合形成双稳态触发器；选通管第三 NMOS 管 N3、第四 NMOS 管 N4 提供数据输入和输出的途径和控制；图中 BL、 $\overline{BL}$  为位线控制信号，WL 为该单元的字线，在读取操作中，V1 电压增加时，就可能会引起当前锁定状态的改变。而当 CMOS 技术进入超深亚微米之后，三维 SRAM 的稳定性变差，尤其是读取状态的稳定性变差，其主要原因是 2 个 PMOS 负载管是由非对准的背栅工艺技术制造的，当对存储器内的同一个区块所储存的资料进行多次读取时，例如十万至百万次间的读取次数，很有可能会发生所读取的资料是错误的，甚至此被多次读取区块内所存储的资料会发生异常或遗失。而此类现象以本发明领域具有通常知识者惯称为“读取干扰”(read-disturb)，也因有着这样的现象存在着，无不驱使各家厂商必须发展出防止读取干扰的技术，借以来有效地抑制读取干扰发生的几率。请参考图 2，图 2 是现有技术中改进的静态随机存储器的结构示意图，图 2 中的 SRAM 比图 1 中 SRAM 增加了两个 NMOS 管 (N6、N7)，当要对存储期内的一区块所存储的资料进行读取时，将会使用额外增加的两个 NMOS 管，从而避免在读取的过程中产生读取干扰，保证读取的准确性，然而，原本 SRAM 的缺点便是集成度低，功耗较大，相同的容量体积较大，增加了两个 NMOS 管，势必会很大程度上增加 SRAM 的体积，不利于提高 SRAM 的使用效率。

## 发明内容

[0004] 本发明要解决的技术问题是提供一种静态随机存储器，解决静态随机存储器在读取时候容易发生读取干扰的问题。

[0005] 为了实现上述目的，本发明提出一种消除读取干扰的静态随机存储器，包括：第一 NMOS 管、第二 NMOS 管、第三 NMOS 管、第四 NMOS 管、第一 PMOS 管和第二 PMOS 管，其中所述第一 PMOS 管、所述第一 NMOS 管和所述第二 PMOS 管、所述第二 NMOS 管组成两个 COMS 倒相器，交叉耦合形成双稳态触发器，所述第三 NMOS 管和所述第二 PMOS 管相连，所述第四 NMOS 管和所述第一 PMOS 管相连，所述静态随机存储器还包括第五 NMOS 管，所述第五 NMOS 管和所述第一 PMOS 管、所述第二 PMOS 管分别相连。

[0006] 可选的，所述第五 NMOS 管的源极和所述第一 PMOS 管的源极或者漏极相连，所述第五 NMOS 管的漏极和所述第二 PMOS 管的栅极相连。

[0007] 可选的，所述第五 NMOS 管的漏极和所述第一 PMOS 管的源极或者漏极相连，所述第五 NMOS 管的源极和所述第二 PMOS 管的栅极相连。

[0008] 本发明一种消除读取干扰的静态随机存储器的有益技术效果为：本发明在静态随机存储器中加入第五 NMOS 管，在执行读取任务时将第五 NMOS 管关闭，从而避免了读取干扰现象的发生，提高了静态随机存储器读取状态的稳定性。

## 附图说明

[0009] 图 1 是现有技术静态随机存储器的结构示意图。

[0010] 图 2 是现有技术中改进的静态随机存储器的结构示意图。

[0011] 图 3 是本发明一种消除读取干扰的静态随机存储器的结构示意图。

[0012] 图 4 是本发明一种消除读取干扰的静态随机存储器的操作表格。

## 具体实施方式

[0013] 以下结合附图和具体实施方式对本发明作进一步的详细说明。

[0014] 请参考图 3, 图 3 是本发明一种消除读取干扰的静态随机存储器, 该静态随机存储器是在现有的六晶体管的静态随机存储器的基础上增加了一个 NMOS 管, 现有的 SRAM 由六个晶体管构成, 所述六个晶体管中, 包括四个 NMOS 管 (N1、N2、N3、N4) 和两个 PMOS 管 (P1、P2), 其中第一 PMOS 管 P1、第一 NMOS 管 N1 和第二 PMOS 管 P2、第二 NMOS 管 N2 组成两个 COMS 倒相器, 交叉耦合形成双稳态触发器; 选通管第三 NMOS 管 N3、第四 NMOS 管 N4 提供数据输入和输出的途径和控制; 图中 BL、 $\overline{BL}$  为位线控制信号, WL 为该单元的字线, 所述静态随机存储器还包括第五 NMOS 管, 所述第五 NMOS 管和所述第一 PMOS 管、所述第二 PMOS 管分别相连。

[0015] 本发明 SRAM 存储单元的工作原理是: 当字线控制信号 WL 为高电平时, 选通管第三 NMOS 管  $M_{n3}$ 、第四 NMOS 管  $M_{n4}$  导通, 由第一 PMOS 管  $M_{p1}$ 、第一 NMOS 管  $M_{n1}$  和第二 PMOS 管  $M_{p2}$ 、第二 NMOS 管  $M_{n2}$  组成的交叉耦合触发器可从位线 BL、 $\overline{BL}$  输出或输入信号, 当使用第二 NMOS 管和第四 NMOS 管进行读取操作时, 关闭第五 NMOS 管, 截断该线路的电流, 从而避免了读取干扰的发生, 提高了静态随机存储器读取状态的稳定性。所述第五 NMOS 管的源极和所述第一 PMOS 管的源极或者漏极相连, 所述第五 NMOS 管的漏极和所述第二 PMOS 管的栅极相连。所述第五 NMOS 管的漏极和所述第一 PMOS 管的源极或者漏极相连, 所述第五 NMOS 管的源极和所述第二 PMOS 管的栅极相连。关于源极和漏极的连接, 实际使用时, 也是可以互换使用的。

[0016] 读出的信号经过灵敏放大器后输出, 晶体管构成的放大器要做到不失真地将信号电压放大, 就必须保证晶体管的发射结正偏、集电结反偏, 即应该设置它的工作点。所谓工作点就是通过外部电路的设置使晶体管的基极、发射极和集电极处于所要求的电位(可根据计算获得)。这些外部电路就称为偏置电路(可理解为, 设置 PN 结正、反偏的电路), 偏置电路向晶体管提供的电流就称为偏置电流。以常用的共射放大电路说吧, 主流是从发射极到集电极的 IC, 偏流就是从发射极到基极的 IB, 相对与主电路而言, 为基极提供电流的电路就是所谓的偏置电路。

[0017] 最后, 请参考图 4, 图 4 是本发明一种消除读取干扰的静态随机存储器的操作表格, 在进行读取操作时, 图 3 中 RWL 上的信号为“1”, 对 RBL 继续预充电, WL 上的信号为“0”, BL 上无操作, WLx 上的信号为“0”; 在进行写入操作时, 图 3 中 RWL 上的信号为“1”, RBL 上的信号为“0”或者“1”, WL 上的信号为“1”, BL 上的信号为“0”或“1”, WLx 上的信号为“1”; 存储器进行状态保持时, 图 3 中 RWL 上的信号为“0”, RBL 上的信号为“1”, WL 上的信号为“0”, BL 上的信号为“1”, WLx 上的信号为“1”。

[0018] 虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明。本发明所述技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰。因此, 本发明的保护范围当视权利要求书所界定者为准。

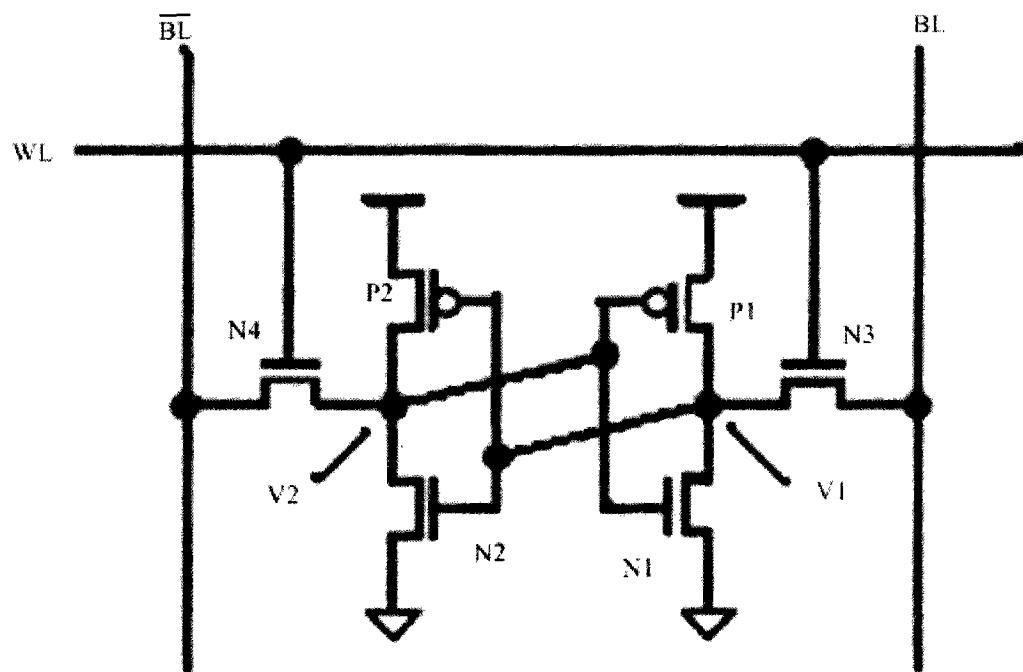


图 1

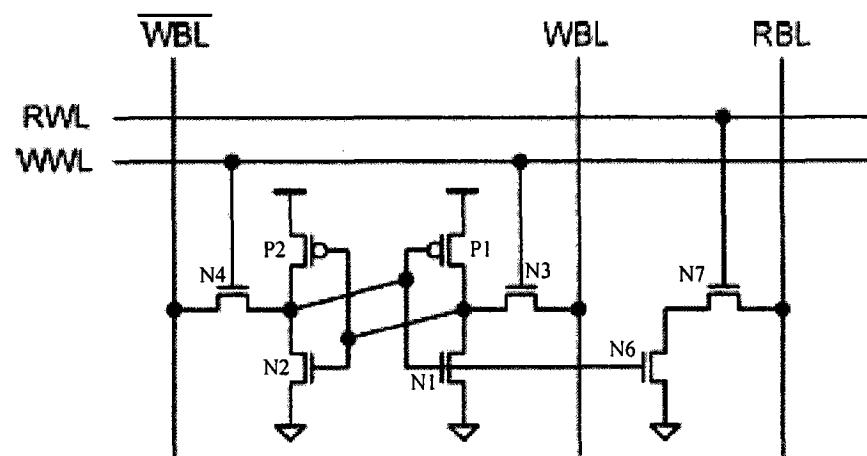


图 2

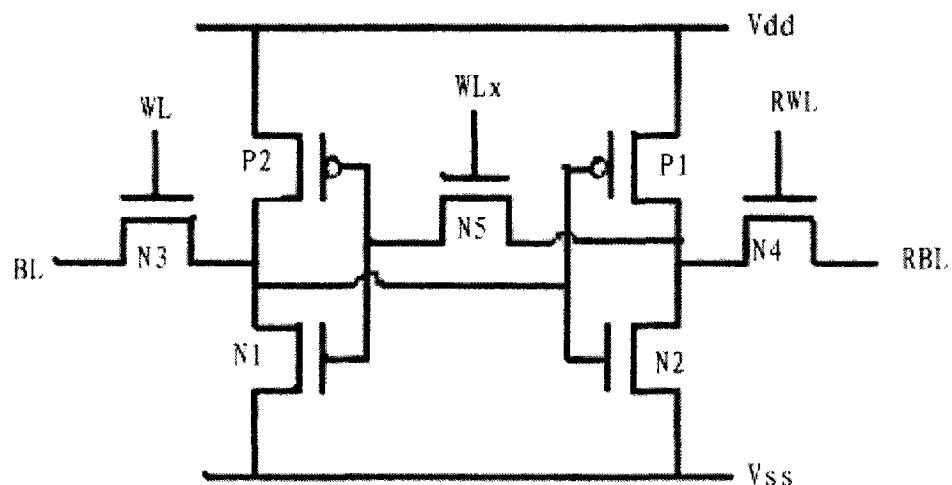


图 3

	RWL	RBL	WL	BL	WLx
读取	1	预充电	0	无操作	0
写入	1	0 or 1	1	0 or 1	1
保持	0	1	0	1	1

图 4