

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-197680

(P2014-197680A)

(43) 公開日 平成26年10月16日(2014. 10. 16)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 A	5 B O 1 1
H O 1 L 27/04 (2006.01)	H O 1 L 21/82 B	5 F O 3 8
H O 1 L 21/82 (2006.01)	G O 6 F 1/00 3 3 2 A	5 F O 6 4
G O 6 F 1/32 (2006.01)	H O 3 K 23/00 D	
H O 3 K 23/00 (2006.01)		

審査請求 有 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2014-86061 (P2014-86061)	(71) 出願人	000153878
(22) 出願日	平成26年4月18日 (2014. 4. 18)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2009-216312 (P2009-216312) の分割	(72) 発明者	熱海 知昭
原出願日	平成21年9月18日 (2009. 9. 18)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2008-243452 (P2008-243452)	F ターム (参考)	5B011 EA09 LL01
(32) 優先日	平成20年9月23日 (2008. 9. 23)		5F038 AZ02 CA02 CA17 CD02 CD05
(33) 優先権主張国	日本国 (JP)		CD06 CD12 CD13 DF01 DF08
			DF12 EZ10 EZ20
			5F064 AA04 BB19 BB20 BB21 DD02
			DD03 DD25 EE02 EE03 EE08
			EE22 EE42 EE43 EE54 HH09
			HH10

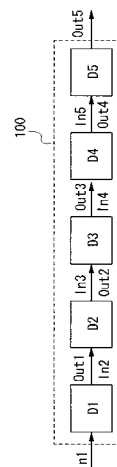
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】 (修正有)

【課題】分周回路において消費電流を削減することを課題とする。特に、多段の分周回路において消費電流を削減すること課題とする。

【解決手段】多段の分周回路100では、初段ほど入力される信号の周波数が高く、後段ほど入力される信号の周波数は低くなる。よって、高い周波数の信号が入力される分周回路に対応する基本セル(D1)から優先的に配置し、配線接続を行う。つまり、高い周波数の信号が入力される配線を、より低い周波数の信号が入力される配線と比較して、配線長が短く、他の配線との交差が少なくなるように、即ち配線の寄生容量、寄生抵抗が小さくなるように、多段の分周回路に対応する複数の基本セルをレイアウトする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路が有する配線の寄生容量は、第 j (j は i より大きく n 以下の自然数) 段の分周回路が有する配線の寄生容量よりも小さくなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【請求項 2】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路に電氣的に接続された配線の寄生容量は、第 j (j は i より大きく n 以下の自然数) 段の分周回路に電氣的に接続された配線の寄生容量よりも小さくなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【請求項 3】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路が有する配線の寄生抵抗は、第 j (j は i より大きく n 以下の自然数) 段の分周回路が有する配線の寄生抵抗よりも小さくなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【請求項 4】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路に電氣的に接続された配線の寄生抵抗は、第 j (j は i より大きく n 以下の自然数) 段の分周回路に電氣的に接続された配線の寄生抵抗よりも小さくなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【請求項 5】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路が有する配線の配線長は、第 j (j は i より大きく n 以下の自然数) 段の分周回路が有する配線の配線長よりも短くなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【請求項 6】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路に電氣的に接続された配線の配線長は、第 j (j は i より大きく n 以下の自然数) 段の分周回路に電氣的に接続された配線の配線長よりも短くなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【請求項 7】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路が有する配線と他の配線とが交差する回数は、第 j (j は i より大きく n 以下の自然数) 段の分周回路が有する配線と他の配線とが交差する回数よりも少なくなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法

10

20

30

40

50

。

【請求項 8】

n (n は 2 以上の自然数) 段の分周回路と、記憶素子と、アンテナと、を有し、無線信号を用いて情報の送信を行う半導体装置の作製方法であって、

第 i (i は 1 以上 n より小さい自然数) 段の分周回路に電氣的に接続された配線と他の配線とが交差する回数は、第 j (j は i より大きく n 以下の自然数) 段の分周回路に電氣的に接続された配線と他の配線とが交差する回数よりも少なくなるように、第 i 段の分周回路に対応する基本セルと第 j 段の分周回路に対応する基本セルを配置することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は分周回路を有する半導体装置の作製方法に関する。特に、前段の分周回路の出力が後段の分周回路の入力となるように電氣的に接続された複数の分周回路に信号を入力することにより、より低い周波数の信号へと順に変換する多段の分周回路を有する半導体装置の作製方法に関する。

【0002】

分周回路を有する半導体装置として、RFID (Radio Frequency Identification) タグ (IDチップ、ICタグ、IDタグ、RFタグ、無線タグ、電子タグ、トランスポンダともいわれる) がある。RFIDタグは、記憶素子に必要な情報を記憶し、非接触手段、一般的には無線信号を用い、通信装置により内部の情報を読み取るものである。本発明はRFIDタグの作製方法に関する。

20

【背景技術】

【0003】

論理回路を有する半導体装置を作製するために、論理回路のレイアウトを行う。論理回路のレイアウトは、機能毎にセルを作製し、これを基本セル (スタンダードセル等ともいう) として、複数の基本セルを配線で電氣的に接続することによって行う。複数の基本セルの配置と配線接続は自動配置配線ツールを用いて行われることが多い。

【0004】

例えば、自動配置配線ツールを用いて論理回路のレイアウトを行う場合の設計フローを図 2 に示す。論理回路は、機能設計、論理合成、自動配置配線などの工程を経てレイアウトされる。

30

【0005】

機能設計では、機能回路の動作をハードウェア記述言語 (以下、HDL) により記述する。目的とする機能回路の機能が実現されているかなど、適宜シミュレーションを行なって確認する。

【0006】

論理合成では、上記のHDLで記述された動作を、論理合成ツールを用いて実際の電気回路に書き換える。この電気回路は一般にネットリストと呼ばれる形式で得られる。ネットリストとは電気回路に含まれる基本セルの入力端子または出力端子の接続情報である。論理合成時には、まず各配線における仮の寄生容量を決め、論理合成ツールが寄生容量に応じた駆動能力の基本セルを選択し、動作速度等、所定の仕様を満たすようにネットリストを最適化する。

40

【0007】

自動配置配線では、ネットリストを元にフォトマスクを作成する。まずネットリストに含まれる基本セルを仮配置し、各基本セルの入力端子および出力端子をネットリストに従って順に電氣的に接続していく。全ての端子を電氣的に接続することでフォトマスクが完成する。

【0008】

自動配置配線後、各配線における寄生容量を抽出し、再度動作速度を見積もる。この動

50

作検証時に、所定の仕様が満たされない場合は、自動配置配線、若しくは論理合成の段階に戻ることになる。論理合成に戻る場合、各配線における仮の寄生容量の値にかえて、配置配線後の寄生容量を用いる。引き続き所定の仕様が得られない場合は、これらの工程を繰り返すことになる。このように、自動配置配線では、各基本セルの動作速度、遅延時間を考慮して複数の基本セルの配置と配線接続が行われる（例えば、特許文献1を参照）。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2005-136359号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0010】

自動配置配線ツールによって論理回路のレイアウトを行うと、配線の引き回し距離や他の配線との配線交差の回数が多くなり、寄生容量や寄生抵抗が大きくなる傾向にある。寄生容量や寄生抵抗が大きくなると回路の消費電流は増大する。また、分周回路のように高い周波数の信号が入力される回路では、低い周波数の信号が入力される回路と比較して、配線の寄生容量や寄生抵抗が同じ場合でも回路で消費される消費電流は大きくなる。

【0011】

本発明の一態様は、分周回路において消費電流を削減することを課題とする。特に、多段の分周回路において消費電流を削減することを課題とする。

20

【0012】

また、RFIDタグは、無線信号によって電力を受け取り動作する。受信した電力から電源電圧を生成するため、RFIDタグの消費電流の上限値はおのずと決まる。また、受信電力はリーダ／ライタとの通信距離の2乗に反比例するので通信距離が長ければ、それだけRFIDタグの消費電流を小さくする必要がある。このため、RFIDタグは消費電力ができるだけ小さいほうがよい。そこで、本発明の一態様はRFIDタグにおいて消費電流を削減することを課題とする。

【課題を解決するための手段】

【0013】

多段の分周回路では、初段ほど入力される信号の周波数が高く、後段ほど入力される信号の周波数は低くなる。また、多段の分周回路では、初段ほど出力される信号の周波数が高く、後段ほど出力される信号の周波数は低くなる。よって、高い周波数の信号が入力及び出力される分周回路に対応する基本セルから優先的に配置し、配線接続を行う。つまり、高い周波数の信号が入力及び出力される配線を、より低い周波数の信号が入力及び出力される配線と比較して、配線長が短く、他の配線との交差が少なくなるように、即ち配線の寄生容量、寄生抵抗が小さくなるように、多段の分周回路に対応する複数の基本セルをレイアウトする。

30

【0014】

本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となるように電氣的に接続された複数の分周回路に第1の信号を入力することにより、第1の信号より低い周波数の第2の信号に変換する多段の分周回路を有する半導体装置の作製方法であって、前段の分周回路の有する配線又は前段の分周回路に電氣的に接続された配線の寄生容量は、後段の分周回路の有する配線又は後段の分周回路に電氣的に接続された配線の寄生容量よりも小さくなるように、前段の分周回路に対応する基本セルと後段の分周回路に対応する基本セルを配置することを特徴とする。

40

【0015】

本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となるように電氣的に接続された複数の分周回路に第1の信号を入力することにより、第1の信号より低い周波数の第2の信号に変換する多段の分周回路を有する半導体装置の作製方法であって、前段の分周回路の有する配線又は前段の分周回路に電氣的に接続された配線の寄生抵抗は、

50

後段の分周回路の有する配線又は後段の分周回路に電氣的に接続された配線の寄生抵抗よりも小さくなるように、前段の分周回路に対応する基本セルと後段の分周回路に対応する基本セルを配置することを特徴とする。

【0016】

本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となるように電氣的に接続された複数の分周回路に第1の信号を入力することにより、第1の信号より低い周波数の第2の信号に変換する多段の分周回路を有する半導体装置の作製方法であって、前段の分周回路の有する配線又は前段の分周回路に電氣的に接続された配線の配線長は、後段の分周回路の有する配線又は後段の分周回路に電氣的に接続された配線の配線長よりも短くなるように、前段の分周回路に対応する基本セルと後段の分周回路に対応する基本セルを配置することを特徴とする。

10

【0017】

本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となるように電氣的に接続された複数の分周回路に第1の信号を入力することにより、第1の信号より低い周波数の第2の信号に変換する多段の分周回路を有する半導体装置の作製方法であって、前段の分周回路の有する配線又は前段の分周回路に電氣的に接続された配線と他の配線とが交差する回数は、後段の分周回路の有する配線又は後段の分周回路に電氣的に接続された配線と他の配線とが交差する回数よりも少なくなるように、前段の分周回路に対応する基本セルと後段の分周回路に対応する基本セルを配置することを特徴とする。

20

【発明の効果】

【0018】

本発明の一態様では、多段の分周回路において、高い周波数の信号が入力及び出力される分周回路に対応する基本セルから優先的に配置して配線接続を行い、周波数の高い信号が入力及び出力される分周回路において配線の寄生容量、寄生抵抗を小さくする。こうして、多段の分周回路全体において消費電流を大きく低減することができる。そのため、消費電流を削減した半導体装置を提供することができる。また、消費電力を削減したRFIDタグを提供することができる。

【図面の簡単な説明】

【0019】

【図1】多段の分周回路を示すブロック図。

30

【図2】論理回路のレイアウトの設計フローを示す図。

【図3】RFIDタグとリーダー／ライタの構成を示す図。

【図4】RFIDタグのアナログ部の構成を示す図。

【図5】RFIDタグのデジタル部の構成を示す図。

【図6】実施例1における多段の分周回路の構成を示す図。

【図7】本発明の一態様の多段の分周回路のレイアウトを示すマスク図。

【図8】従来の多段の分周回路のレイアウトを示すマスク図。

【図9】クロック生成回路内の各基本セルの消費電流を示す図。

【発明を実施するための形態】

【0020】

40

以下に、本発明の実施の形態及び実施例を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

(実施の形態1)

多段の分周回路の回路図を図1に示す。なお、周波数を分周することができる最小単位の基本セルが分周回路に相当し、該基本セルを複数段用いることで多段の分周回路を形成

50

することができる。図1において、5段の分周回路100を例示したが、本発明の一態様は一般に n (n は2以上の自然数)段の分周回路に適用することができる。

【0022】

図1中、第 i (i は5以下の自然数)段の分周回路を D_i と示し、 D_i に入力される信号を In_i 、 D_i から出力される信号を Out_i で示す。第1段の分周回路 D_1 は入力された信号 In_1 を分周して(周波数を低くして)第2段の分周回路 D_2 に入力する。同様に、第2段の分周回路 D_2 乃至第4段の分周回路 D_4 も入力された信号を分周して後段の分周回路に入力する。第5段の分周回路 D_5 も入力された信号を分周し、その出力信号 Out_5 を多段の分周回路100の出力信号として出力する。第1段の分周回路 D_1 乃至第5段の分周回路 D_5 がそれぞれ入力された信号を $1/2$ の周波数の信号に変換して出力する回路の場合、図1に示す多段の分周回路100は入力された信号 In_1 を $1/32$ の周波数の信号 Out_5 に変換して出力する。

10

【0023】

一般に、 n 段の分周回路の場合、第 i (i は n 以下の自然数)段の分周回路を D_i とし、 D_i に入力される信号を In_i 、 D_i から出力される信号を Out_i とする。第1段の分周回路は入力された信号 In_1 を分周して(周波数を低くして)第2段の分周回路に入力する。同様に、第2段の分周回路乃至第 $(n-1)$ 段の分周回路も入力された信号を分周して後段の分周回路に入力する。第 n 段の分周回路も入力された信号を分周し、その出力信号 Out_n を多段の分周回路の出力信号として出力する。第1段の分周回路乃至第 n 段の分周回路がそれぞれ入力された信号を $1/2$ の周波数の信号に変換して出力する回路の場合、 n 段の分周回路は入力された信号を $1/2^n$ の周波数の信号に変換して出力する。

20

【0024】

本発明の一態様にかかる半導体装置の作製方法では、 In_i の周波数が一番高い分周回路に対応する基本セルから優先的にレイアウトすることの特徴とする。即ち、第1段の分周回路 D_1 に対応する基本セルから順に優先的にレイアウトすることの特徴とする。

【0025】

例えば、第1段の分周回路の有する配線又は第1段の分周回路に電氣的に接続された配線の寄生容量は、第2段の分周回路乃至第5段の分周回路の有する配線又は第2段の分周回路乃至第5段の分周回路に電氣的に接続された配線の寄生容量よりも小さくなるように、第1段の分周回路に対応する基本セルと第2段の分周回路乃至第5段の分周回路に対応する基本セルを配置することの特徴とする。

30

【0026】

例えば、第1段の分周回路の有する配線又は第1段の分周回路に電氣的に接続された配線の寄生抵抗は、第2段の分周回路乃至第5段の分周回路の有する配線又は第2段の分周回路乃至第5段の分周回路に電氣的に接続された配線の寄生抵抗よりも小さくなるように、第1段の分周回路に対応する基本セルと第2段の分周回路乃至第5段の分周回路に対応する基本セルを配置することの特徴とする。

【0027】

例えば、第1段の分周回路の有する配線又は第1段の分周回路に電氣的に接続された配線の配線長は、第2段の分周回路乃至第5段の分周回路の有する配線又は第2段の分周回路乃至第5段の分周回路に電氣的に接続された配線の配線長よりも短くなるように、第1段の分周回路に対応する基本セルと第2段の分周回路乃至第5段の分周回路に対応する基本セルを配置することの特徴とする。

40

【0028】

例えば、第1段の分周回路の有する配線又は第1段の分周回路に電氣的に接続された配線と他の配線とが交差する回数は、第2段の分周回路乃至第5段の分周回路の有する配線又は第2段の分周回路乃至第5段の分周回路に電氣的に接続された配線と他の配線とが交差する回数よりも少なくなるように、第1段の分周回路に対応する基本セルと第2段の分周回路乃至第5段の分周回路に対応する基本セルを配置することの特徴とする。

50

【0029】

更に、第2段の分周回路に対応する基本セルと、第3段の分周回路乃至第5段の分周回路に対応する基本セルとが、上記と同様の関係を満たすように配置してもよい。

【0030】

更に、第3段の分周回路に対応する基本セルと、第4段の分周回路及び第5段の分周回路に対応する基本セルとが、上記と同様の関係を満たすように配置してもよい。

【0031】

更に、第4段の分周回路に対応する基本セルと、第5段の分周回路に対応する基本セルとが、上記と同様の関係を満たすように配置してもよい。

【0032】

なお、分周回路が有する配線又は分周回路に電氣的に接続される配線には、分周回路どうしを電氣的に接続する配線と、分周回路とそれ以外の回路とを電氣的に接続する配線とが含まれる。前者の配線の場合、複数の分周回路が当該配線を共有していることになる。また、1つの分周回路が、分周回路以外の複数の回路と電氣的に接続されていれば、1つの分周回路が後者の配線を複数有することになる。いずれにしろ、本発明の一態様では、高い周波数の信号が入力及び出力される配線を、より低い周波数の信号が入力及び出力される配線と比較して、配線長が短く、他の配線との交差が少なくなるように、即ち配線の寄生容量、寄生抵抗が小さくなるように、多段の分周回路に対応する複数の基本セルをレイアウトしていればよい。

【0033】

従って、本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となる複数の分周回路を有する半導体装置の作製方法であって、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、入力側の配線の寄生容量がより小さくなるように配置されており、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、出力側の配線の寄生容量及び出力を入力に帰還させる配線の寄生容量がより小さくなるように配置されている。

【0034】

また、本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となる複数の分周回路を有する半導体装置の作製方法であって、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、入力側の配線の寄生抵抗がより小さくなるように配置されており、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、出力側の配線の寄生抵抗及び出力を入力に帰還させる配線の寄生抵抗がより小さくなるように配置されている。

【0035】

また、本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となる複数の分周回路を有する半導体装置の作製方法であって、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、入力側の配線の配線長がより短くなるように配置されており、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、出力側の配線の配線長及び出力を入力に帰還させる配線の配線長がより短くなるように配置されている。

【0036】

また、本発明の一態様は、前段の分周回路の出力が後段の分周回路の入力となる複数の分周回路を有する半導体装置の作製方法であって、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、入力側の配線と他の配線とが交差する回数がより少なくなるように配置されており、複数の分周回路は、後段の分周回路よりも前段の分周回路の方が、出力側の配線と他の配線とが交差する回数及び出力を入力に帰還させる配線と他の配線とが交差する回数がより少なくなるように配置されている。

【0037】

こうして、多段の分周回路100全体において消費電流を大きく低減することができる。そのため、消費電流を削減した半導体装置を提供することができる。

【0038】

(実施の形態 2)

本実施の形態では、実施の形態 1 で示した多段の分周回路を有する R F I D タグについて説明する。

【0039】

図 3 に、R F I D タグ 2 0 0 と、R F I D タグ 2 0 0 と無線通信によってデータの入出力を行うリーダ／ライタ 2 0 1 とを有する無線通信システムの構成を示す。R F I D タグ 2 0 0 は、アンテナ 2 0 2 と、アンテナ 2 0 2 と信号の送受信を行う回路部 2 0 3 とを有する。リーダ／ライタ 2 0 1 は、アンテナ 2 0 6 と、アンテナ 2 0 6 と信号の送受信を行う回路部 2 0 7 とを有する。R F I D タグ 2 0 0 とリーダ／ライタ 2 0 1 とは、アンテナ 2 0 2 とアンテナ 2 0 6 とによって、変調された搬送波 2 1 1 (無線信号ともいう)を送受信することによりデータの入出力を行う。回路部 2 0 3 は、アナログ部 2 0 4 及びデジタル部 2 0 5 を有する。アナログ部 2 0 4 は、アンテナ 2 0 2 と信号の送受信を行う。デジタル部 2 0 5 は、アナログ部 2 0 4 と信号の送受信を行う。

【0040】

R F I D タグ 2 0 0 の内部の回路について更に具体的な構成例を示す。図 4 に、アナログ部 2 0 4 の構成を示す。アナログ部 2 0 4 は、共振容量 5 0 1 と、帯域フィルタ 5 0 2 と、電源回路 5 0 3 と、復調回路 5 0 6 と、変調回路 5 0 7 とを有する。共振容量 5 0 1 は、アンテナ 2 0 2 が所定の周波数の信号を受信し易くするように設けられている。アンテナ 2 0 2 から入力された変調された搬送波は、帯域フィルタ 5 0 2 によってノイズを除去され、電源回路 5 0 3 及び復調回路 5 0 6 に入力される。電源回路 5 0 3 は、整流回路 5 0 4 及び保持容量 5 0 5 を有する。帯域フィルタ 5 0 2 を介して入力された変調された搬送波は、整流回路 5 0 4 によって整流され、更に保持容量 5 0 5 によって平滑化される。こうして、電源回路 5 0 3 は直流電圧を生成する。電源回路 5 0 3 において生成された直流電圧 5 1 1 は電源電圧として、R F I D タグ 2 0 0 が有する回路部 2 0 3 内の各回路に供給される。帯域フィルタ 5 0 2 を介して入力された変調された搬送波は、復調回路 5 0 6 によって復調され、復調された信号 5 1 2 はデジタル部 2 0 5 に入力される。また、デジタル部 2 0 5 から出力された変調信号 5 1 3 (変調方式に対応した搬送波を変調するための信号)は、変調回路 5 0 7 に入力される。変調回路 5 0 7 は、入力された信号に応じて搬送波を負荷変調し、アンテナ 2 0 2 に出力する。

【0041】

図 5 に、デジタル部 2 0 5 の構成を示す。デジタル部 2 0 5 は、クロック生成回路 3 0 9 と、コード抽出回路 3 0 1 と、コード判定回路 3 0 2 と、巡回冗長検査回路 3 0 3 と、メモリコントローラ 3 0 8 と、メモリ 3 0 5 と、符号化出力回路 3 0 4 とを有する。アナログ部 2 0 4 から入力される、変調された搬送波を復調回路 5 0 6 によって復調した信号 5 1 2 は、コード抽出回路 3 0 1 に入力され、信号の有するコードが抽出される。また、アナログ部 2 0 4 から入力される信号 5 1 2 はクロック生成回路 3 0 9 にも入力される。更に、クロック生成回路 3 0 9 には信号 1 1 3 が入力される。信号 1 1 3 はアナログ部 2 0 4 の帯域フィルタ 5 0 2 から出力された信号である。クロック生成回路 3 0 9 は入力された信号から所定の周波数のクロック信号を生成する。生成されたクロック信号はデジタル部 2 0 5 の各回路に入力される。コード抽出回路 3 0 1 の出力は、コード判定回路 3 0 2 に入力され、抽出されたコードが解析される。解析されたコードは、巡回冗長検査回路 3 0 3 に入力され、送信エラーを識別するための演算処理が行われる。こうして、巡回冗長検査回路 3 0 3 は符号化出力回路 3 0 4 に C R C 3 1 1 を出力する。メモリ 3 0 5 及びメモリ 3 0 5 をコントロールするメモリコントローラ 3 0 8 は、コード判定回路 3 0 2 から入力される信号に応じて、記憶された U I D 3 1 2 を符号化出力回路 3 0 4 に出力する。コード判定回路 3 0 2 は、変調方式に応じた信号 (例えば、振幅変調を行う場合か、周波数変調を行う場合かを選択する信号)である変調モード選択信号 1 1 5 を符号化出力回路 3 0 4 に出力する。また、コード判定回路 3 0 2 は、データの伝送速度を複数段階に切り替えるための伝送速度切り替え信号 1 1 4 を符号化出力回路 3 0 4 に出力する。符号化出力回路 3 0 4 は、変調モードに応じた変調信号 (例えば、振幅変調信号または周波数変

調信号)を出力する。符号化出力回路304から出力される変調信号513は、アナログ部204の変調回路507に入力される。

【0042】

実施の形態1等で説明した多段の分周回路は、クロック生成回路309の一部に用いることができる。

【0043】

デジタル部205全体の消費電流のうち、クロック生成回路309の消費電流が占める割合は他の回路(コード抽出回路301、コード判定回路302、符号化出力回路304、巡回冗長検査回路303、メモリコントローラ308等)の消費電流と比較して非常の大きい。デジタル部205全体の消費電流のうち、クロック生成回路309の消費電流が占める割合は50%以上、例えば80%程度である。本発明の一態様にかかる半導体装置の作製方法を用いてクロック生成回路309中の多段の分周回路を作製することにより、クロック生成回路309の消費電流を削減することができるので、デジタル部205の消費電流を大きく削減することができる。そのため、RFIDタグ200の消費電流を大幅に削減することができる。

10

【0044】

本実施の形態は他の実施の形態と自由に組み合わせて実施することができる。

【実施例1】

【0045】

本発明の一態様にかかる半導体装置の作製方法についてより具体的に説明する。

20

【0046】

図6は、図1に示した多段の分周回路100を、DFFを用いた基本セル103、基本セル104、基本セル105、基本セル106、基本セル107によって作製した例である。基本セル103が第1段の分周回路に対応し、基本セル104が第2段の分周回路に対応し、基本セル105が第3段の分周回路に対応し、基本セル106が第4段の分周回路に対応し、基本セル107が第5段の分周回路に対応する。DFFはD型フリップフロップ回路である。なお、図6において5段の分周回路100を例示したが、本発明の一態様は一般にn(nは2以上の自然数)段の分周回路に適用することができる。

【0047】

基本セル103において、CLK端子には配線1001が電氣的に接続され、D端子及びQB端子には配線1003が電氣的に接続され、Q端子には配線1004が電氣的に接続される。

30

【0048】

基本セル104において、CLK端子には配線1003が電氣的に接続され、D端子及びQB端子には配線1005が電氣的に接続され、Q端子には配線1006が電氣的に接続される。

【0049】

基本セル105において、CLK端子には配線1005が電氣的に接続され、D端子及びQB端子には配線1007が電氣的に接続され、Q端子には配線1008が電氣的に接続される。

40

【0050】

基本セル106において、CLK端子には配線1007が電氣的に接続され、D端子及びQB端子には配線1009が電氣的に接続され、Q端子には配線1010が電氣的に接続される。

【0051】

基本セル107において、CLK端子には配線1009が電氣的に接続され、D端子及びQB端子には配線1011が電氣的に接続され、Q端子には配線1012が電氣的に接続される。

【0052】

配線1001に入力される信号が多段の分周回路100の入力信号となり、配線101

50

1 に出力される信号が多段の分周回路 1 0 0 の出力信号となる。

【0 0 5 3】

基本セル 1 0 3 乃至基本セル 1 0 7 を構成する D F F はそれぞれ、Q B 端子が D 端子に接続されており、C L K 端子に入力された信号の周波数を $1/2$ にして Q 端子及び Q B 端子から出力する。よって、配線 1 0 0 1 に 1 3 . 5 6 M H z の周波数の信号が入力されると、配線 1 0 0 3 及び配線 1 0 0 4 には 6 . 7 8 M H z の周波数の信号が入力され、配線 1 0 0 5 及び配線 1 0 0 6 には 3 . 3 9 M H z の周波数の信号が入力され、配線 1 0 0 7 及び配線 1 0 0 8 には 1 . 6 9 5 M H z の周波数の信号が入力され、配線 1 0 0 9 及び配線 1 0 1 0 には 0 . 8 4 7 5 M H z の周波数の信号が入力され、配線 1 0 1 1 及び配線 1 0 1 2 には 0 . 4 2 3 7 5 M H z の周波数の信号が入力される。こうして、多段の分周回路 1 0 0 は入力された 1 3 . 5 6 M H z の周波数の信号を $1/32$ の周波数の信号に変換して出力する。

10

【0 0 5 4】

図 7 は、本発明の一態様を用いて作製したフォトマスクである。図 7 中、図 6 に対応する基本セル及び配線を図 6 と同じ符号で示す。一方、図 8 は、従来の自動配置配線ツールを用いた作製したフォトマスクである。図 8 中、図 6 に対応する基本セル及び配線を図 6 と同じ符号で示す。

【0 0 5 5】

本発明の一態様の構成である図 7 と従来例である図 8 を比較すると、本発明の一態様の構成では、高周波の信号が入力される基本セルを優先的に配置し、当該基本セルに電氣的に接続される配線の配線長を短く、他の配線と交差する回数を少なくするように配置している。例えば、本発明の一態様の構成では、従来例と比較して、多段の分周回路 1 0 0 において一番高い周波数の信号が入力される配線 1 0 0 1 の配線長が短くなるように基本セル 1 0 3 乃至基本セル 1 0 7 が配置されている。また、多段の分周回路 1 0 0 において二番目に高い周波数の信号が入力される配線 1 0 0 4 の配線長が短く、他の配線と交差する回数を少なくなるように基本セル 1 0 3 乃至基本セル 1 0 7 が配置されている。多段の分周回路 1 0 0 において三番目に高い周波数の信号が入力される配線 1 0 0 5 の配線長が短く、他の配線と交差する回数を少なくなるように基本セル 1 0 3 乃至基本セル 1 0 7 が配置されている。

20

【0 0 5 6】

図 9 は、図 6 で示した多段の分周回路 1 0 0 を用いた R F I D タグのクロック生成回路において、基本セル 1 0 3 乃至基本セル 1 0 7 それぞれの消費電流をシミュレーションして導出し、その割合を示した図である。図 9 (A) は図 8 で示した従来の自動配置配線ツールを用いて多段の分周回路を作製した場合の割合であり、図 9 (B) は図 7 で示した本発明の一態様を用いて多段の分周回路を作製した場合の割合である。図 9 (B) は図 9 (A) における消費電流を 1 とした場合の消費電流の割合を示している。

30

【0 0 5 7】

本発明の一態様では従来と比較して、高い周波数の信号が入力される基本セルほど、消費電流が低減されていることがわかる。こうして、R F I D タグのクロック生成回路全体において 2 2 % の消費電流を削減することができる。

40

【0 0 5 8】

本実施例は、実施の形態と組み合わせて実施することができる。

【符号の説明】

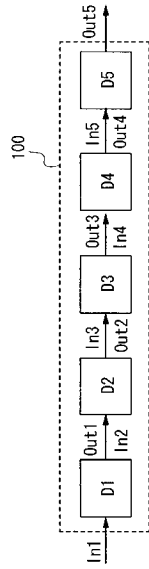
【0 0 5 9】

1 0 0 分周回路
1 0 3 基本セル
1 0 4 基本セル
1 0 5 基本セル
1 0 6 基本セル
1 0 7 基本セル

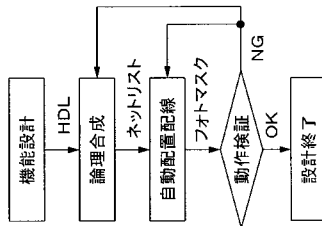
50

1 1 3	信号	
1 1 4	伝送速度切り替え信号	
1 1 5	変調モード選択信号	
2 0 0	R F I D タグ	
2 0 1	リーダ／ライター	
2 0 2	アンテナ	
2 0 3	回路部	
2 0 4	アナログ部	
2 0 5	デジタル部	
2 0 6	アンテナ	10
2 0 7	回路部	
2 1 1	変調された搬送波	
3 0 1	コード抽出回路	
3 0 2	コード判定回路	
3 0 3	巡回冗長検査回路	
3 0 4	符号化出力回路	
3 0 5	メモリ	
3 0 8	メモリコントローラ	
3 0 9	クロック生成回路	
3 1 1	C R C	20
3 1 2	U I D	
5 0 1	共振容量	
5 0 2	帯域フィルタ	
5 0 3	電源回路	
5 0 4	整流回路	
5 0 5	保持容量	
5 0 6	復調回路	
5 0 7	変調回路	
5 1 1	直流電圧	
5 1 2	信号	30
5 1 3	変調信号	
1 0 0 1	配線	
1 0 0 3	配線	
1 0 0 4	配線	
1 0 0 5	配線	
1 0 0 6	配線	
1 0 0 7	配線	
1 0 0 8	配線	
1 0 0 9	配線	
1 0 1 0	配線	40
1 0 1 1	配線	
1 0 1 2	配線	

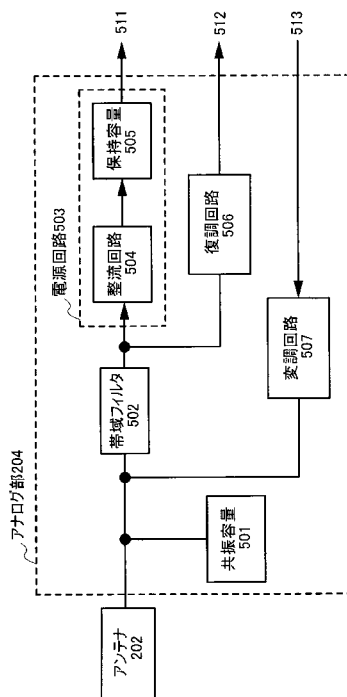
【図 1】



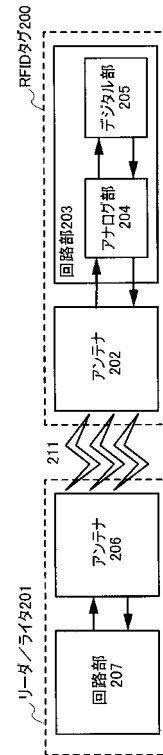
【図 2】



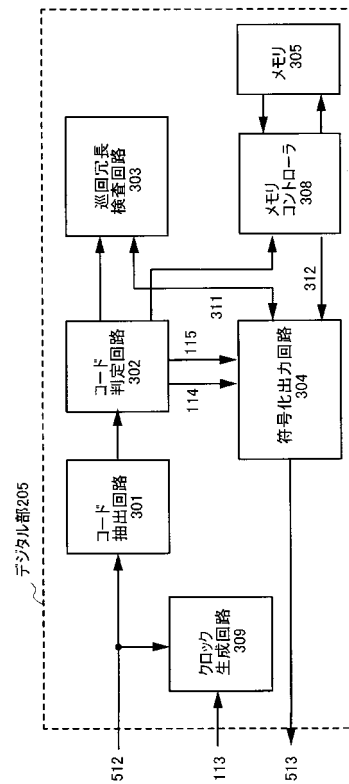
【図 4】



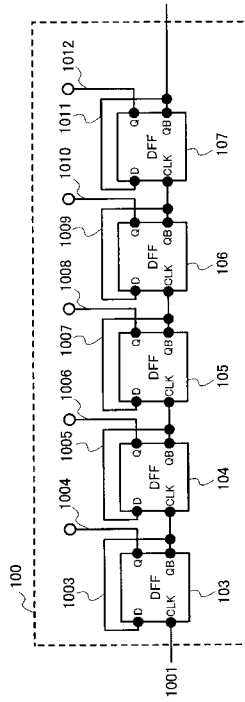
【図 3】



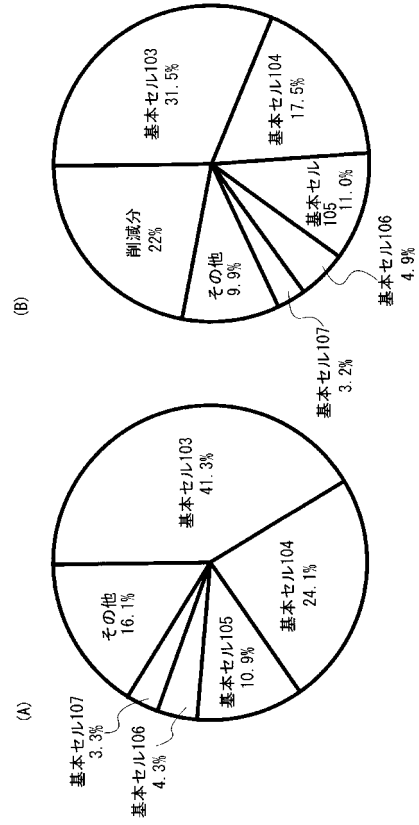
【図 5】



【図 6】



【図 9】



【図 8】

