

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年11月21日(21.11.2013)



(10) 国際公開番号
WO 2013/171996 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2013/002941
- (22) 国際出願日: 2013年5月7日(07.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-112453 2012年5月16日(16.05.2012) JP
特願 2012-130680 2012年6月8日(08.06.2012) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 山下 賢哉(YAMASHITA, Kenya).
- (74) 代理人: 特許業務法人 松田国際特許事務所 (TOKKYOGYOMUHOJIN MATSUDAKOKUSAI-TOKKYOJIMUSYO); 〒5320003 大阪府大阪市淀川

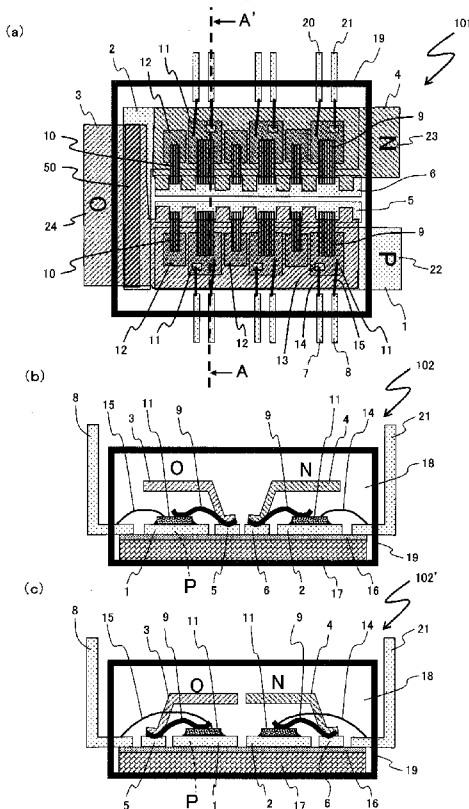
区宮原5丁目1番3号新大阪生島ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: POWER SEMICONDUCTOR MODULE

(54) 発明の名称: 電力用半導体モジュール



(57) Abstract: This power semiconductor module (101) is provided with: a first frame (1) and a second frame (2) at which a plurality of transistor chips (11) and diode chips (12) are disposed; a first intermediate frame (5) neighboring the first frame; a second intermediate frame (6) neighboring the second frame; a third frame (3) that is electrically connected to the first intermediate frame and that is disposed above the first frame; a fourth frame (4) that is electrically connected to the second intermediate frame and that is disposed above the second frame; a power source terminal (22) provided on an extension of the first frame; a ground terminal (23) provided on an extension of the fourth frame; and an output terminal (24) provided on an extension to which the second frame and third frame are electrically connected. The third frame (3) and fourth frame (4) are disposed parallel to each other, and the power source terminal, ground terminal, and output terminal are disposed in a manner so that the induced voltages arising in the third frame (3) and in the fourth frame (4) are in directions opposite each other.

(57) 要約: 電力用半導体モジュール(101)は、複数のトランジスタチップ(11)及びダイオードチップ(12)が配置された第1フレーム(1)及び第2フレーム(2)と、第1フレームに隣接する第1中間フレーム(5)と、第2フレームに隣接する第2中間フレーム(6)と、第1中間フレームに電気的に接続されて第1フレームの上方に配置された第3フレーム(3)と、第2中間フレームに電気的に接続されて第2フレームの上方に配置された第4フレーム(4)と、第1フレームの延長上に設けられた電源端子部(22)と、第4フレームの延長上に設けられた接地端子部(23)と、第2フレーム及び第3フレームが電気的に繋がれた延長上に設けられた出力端子部(24)とを備える。第3フレーム(3)及び第4フレーム(4)は、互いに平行に配置されており、第3フレーム(3)及び第4フレーム(4)に発生する誘起電圧が互いに逆方向となるように、電源端子部、接地端子部及び出力端子部が配置されている。

WO 2013/171996 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：電力用半導体モジュール

技術分野

[0001] 本発明は、電力用半導体モジュールの構造に関するものである。

背景技術

[0002] 電力を変換する電力用半導体モジュールは、省エネルギーの観点から高効率化が求められている。

[0003] その為に、半導体素子としては、絶縁ゲート型バイポーラトランジスタ（IGBT）から、ワイドバンドギャップ系電力用半導体素子（SiC、GaN）を用いたトランジスタへの移行が進んでいる。特に、炭化珪素（SiC）を用いた絶縁ゲート型トランジスタは、高耐圧で低オン抵抗を実現でき、ユニポーラ型デバイスが故に高速動作が可能であり、実用化が期待されている。

[0004] 動作中のモジュールの発熱は、そのほとんどを半導体素子からの発熱が占める。デバイスに電流が流れている時に発熱する導通損失によるものと、デバイスがオン状態からオフ状態、オフ状態からオン状態に移行する際のスイッチング時に発生するスイッチング損失によるものが、半導体素子からの発熱のほとんどの割合を占める。

[0005] 前述したようにワイドバンドギャップ系材料で構成される電力用半導体素子を用いれば、スイッチング損失を大幅に低減できるので、同じ損失での高周波動作が可能となる。その結果、リアクトルや容量の大きさを小さくでき、電力変換装置を小さく構成することができる。従って、インバーター自体の容積を大幅に低減出来るために、装置自体の構成を小型集積化することが可能となるので、期待されている。

[0006] ここで、デバイスの高速動作化を実現する為には、平滑コンデンサーの電源側からモジュール各相を通してグラウンド側までのインダクタンスの低減化が重要な因子となる。電源電圧の高電圧化、大電流化、及びデバイスの高

速化に伴い、このインダクタンス値が大きくなるとデバイスには悪影響となる。具体的には、オン時には貫通電流、オフ時には跳ね上がり電圧が問題となり、最悪の場合、素子の破壊につながる。

[0007] 特に、大電流化に伴い複数チップを実装する構成では、パッケージサイズが大きくなるので、大電流化とインダクタンス値は相反する関係になる。

[0008] 特許文献1には、複数電力用半導体チップを搭載した際に、モジュールが低インダクタンスを実現する為の従来技術が開示されている。

[0009] 図10に、特許文献1に記載の、従来の電力用半導体モジュールの平面図を示す。

[0010] この電力用半導体モジュールでは、大電流化する為にアーム内でチップを並列に並べる配置をとり、バスバーを中央に配置し、ハイサイド側素子群73とローサイド側素子群74がバスバーを挟むような構成としている。

[0011] バスバーの正極側内部電極71とバスバーの負極側内部電極72が対向するように配置して、互いの電流が逆向きに流れるような構成をとることによりインダクタンスの低減効果を図っている。

[0012] このように、従来の電力用半導体モジュールでは、電流が逆向きに流れるバスバーを近くに配置することで磁界を打ち消しあう原理（相互インダクタンスの効果）を利用することで、低インダクタンス化を図っている。

先行技術文献

特許文献

[0013] 特許文献1：特開2004-22960号公報

発明の概要

発明が解決しようとする課題

[0014] しかしながら、上記した従来の電力用半導体モジュールの構成では、モジュールサイズが大型化し、インダクタンス成分の十分な低減を実現できなかった。

[0015] すなわち、バスバーの正極側内部電極71及びバスバーの負極側内部電極

72には大電流が流れるので、インダクタンス低減の為に、これらを幅広く構成しなければならない。その結果、モジュールサイズはこのバスバー領域の分だけ大型化して、電流経路全体が広がってしまう。そして、電流経路全体が広がった分、インダクタンス成分が大きくなってしまうので、インダクタンス成分の十分な低減効果を得ることができない。

[0016] 本発明は、上記従来の課題を考慮して、モジュールサイズを小型化して配線インダクタンスを低減できる電力用半導体モジュールを提供することを目的とする。

課題を解決するための手段

[0017] 上述した課題を解決するために、第1の本発明は、
複数の第1トランジスタ及び第1ダイオードが配置された第1フレームと、
、
複数の第2トランジスタ及び第2ダイオードが配置された第2フレームと、
、
前記第1フレームに隣接する第1中間フレームと、
前記第2フレームに隣接する第2中間フレームと、
前記第1中間フレームに電氣的に接続されて、前記第1フレームの上方に配置された第3フレームと、
前記第2中間フレームに電氣的に接続されて、前記第2フレームの上方に配置された第4フレームと、
前記第1フレームの延長上に設けられた電源端子と、
前記第4フレームの延長上に設けられた接地端子と、
前記第2フレーム及び前記第3フレームが電氣的に繋がれた延長上に設けられた出力端子とを備え、
前記第1トランジスタのドレイン電極は、前記第1フレームに接続され、
前記第1トランジスタのソース電極及び前記第1ダイオードのアノード電極は、前記第1中間フレームに金属の第1接続線で接続され、
前記第2トランジスタのドレイン電極は、前記第2フレームに接続され、

前記第2トランジスタのソース電極及び前記第2ダイオードのアノード電極は、前記第2中間フレームに金属の第2接続線で接続され、

前記第1トランジスタ及び前記第2トランジスタの近傍に、ゲート端子及びソース端子が配置され、

全ての前記フレームは、放熱板の上に、樹脂系材料で構成された絶縁体を介して配置され、全ての前記フレームの少なくとも一部が、モールド樹脂で覆われており、

前記第3フレーム及び前記第4フレームは、互いに平行に配置されており、前記第3フレーム及び前記第4フレームに発生する誘起電圧が互いに逆方向となるように、前記電源端子、前記接地端子及び前記出力端子が配置されていることを特徴とする電力用半導体モジュールである。

[0018] また、第2の本発明は、

前記第1中間フレームに前記第3フレームの足が接続され、

前記第2中間フレームに前記第4フレームの足が接続され、

前記第3フレームの足は、複数の前記第1接続線の間配置され、

前記第4フレームの足は、複数の前記第2接続線の間配置されていることを特徴とする、第1の本発明の電力用半導体モジュールである。

[0019] また、第3の本発明は、

前記第3フレームは、前記第1トランジスタ及び前記第1ダイオードの上方を覆うように配置されており、

前記第4フレームは、前記第2トランジスタ及び前記第2ダイオードの上方を覆うように配置されている、ことを特徴とする、第1の本発明の電力用半導体モジュールである。

[0020] また、第4の本発明は、

前記第1トランジスタのゲート電極は、前記第1中間フレームとは反対の側に配置され、

前記第2トランジスタのゲート電極は、前記第2中間フレームとは反対の側に配置されていることを特徴とする、第1の本発明の電力用半導体モジュ

ールである。

[0021] また、第5の本発明は、

複数の第1トランジスタ及び第1ダイオードが配置された第1金属導電体島と、

複数の第2トランジスタ及び第2ダイオードが配置された第2金属導電体島と、

前記第1金属導電体島に隣接する第1中間金属導電体島と、

前記第2金属導電体島に隣接する第2中間金属導電体島と、

前記第1中間金属導電体島に電氣的に接続されて、前記第1金属導電体島の上方に配置された第5フレームと、

前記第2中間金属導電体島に電氣的に接続されて、前記第2金属導電体島の上方に配置された第6フレームと、

前記第1金属導電体島の延長上に設けられた電源端子と、

前記第6フレームの延長上に設けられた接地端子と、

前記第2金属導電体島及び前記第5フレームが電氣的に繋がり、前記第2金属導電体島に接続された出力端子とを備え、

前記第1トランジスタのドレイン電極は、前記第1金属導電体島に接続され、

前記第1トランジスタのソース電極及び前記第1ダイオードのアノード電極は、前記第1中間金属導電体島に金属の第1接続線で接続され、

前記第2トランジスタのドレイン電極は、前記第2金属導電体島に接続され、

前記第2トランジスタのソース電極及び前記第2ダイオードのアノード電極は、前記第2中間金属導電体島に金属の第2接続線で接続され、

前記第1トランジスタ及び前記第2トランジスタの近傍に、ゲート端子及びソース端子が配置され、

全ての前記金属導電体島は、放熱板の上に、セラミック材料で構成された絶縁体を介して配置され、全ての前記金属導電体島の少なくとも一部が、ゲ

ル状の樹脂で覆われており、

前記第5フレーム及び前記第6フレームは、互いに平行に配置されており、前記第5フレーム及び前記第6フレームに発生する誘起電圧が互いに逆方向となるように、前記電源端子、前記接地端子及び前記出力端子が配置されていることを特徴とする電力用半導体モジュールである。

[0022] また、第6の本発明は、

前記第1中間金属導電体島に前記第5フレームの足が接続され、
前記第2中間金属導電体島に前記第6フレームの足が接続され、
前記第5フレームの足は、複数の前記第1接続線の間配置され、
前記第6フレームの足は、複数の前記第2接続線の間配置されていることを特徴とする、第5の本発明の電力用半導体モジュールである。

[0023] また、第7の本発明は、

前記第5フレームは、前記第1トランジスタ及び前記第1ダイオードの上方を覆うように配置されており、
前記第6フレームは、前記第2トランジスタ及び前記第2ダイオードの上方を覆うように配置されている、ことを特徴とする、第5の本発明の電力用半導体モジュールである。

[0024] また、第8の本発明は、

前記第1接続線及び前記第2接続線は、リボンで構成されていることを特徴とする、第1または第5の本発明の電力用半導体モジュールである。

[0025] また、第9の本発明は、

前記第1接続線及び前記第2接続線は、クリップで構成されていることを特徴とする、第1または第5の本発明の電力用半導体モジュールである。

[0026] また、第10の本発明は、

前記第1トランジスタのゲート電極は、前記第1中間金属導電体島とは反対の側に配置され、

前記第2トランジスタのゲート電極は、前記第2中間金属導電体島とは反対の側に配置されていることを特徴とする、第5の本発明の電力用半導体モ

ジュールである。

発明の効果

[0027] 本発明により、モジュールサイズを小型化して配線インダクタンスを低減できる電力用半導体モジュールを提供できる。

図面の簡単な説明

[0028] [図1] (a) 本発明の実施の形態1における電力用半導体モジュールの平面図、(b) 本発明の実施の形態1における電力用半導体モジュールの、図1(a)のA-A'における断面図、(c) 本発明の実施の形態1における電力用半導体モジュールの変形例の断面図

[図2] (a) ~ (f) 本発明の実施の形態1の電力用半導体モジュールの組立フローを示す平面図

[図3] (a) 本発明の実施の形態2における電力用半導体モジュールの平面図、(b) 本発明の実施の形態2における電力用半導体モジュールの、図3(a)のB-B'における断面図、(c) 本発明の実施の形態2における電力用半導体モジュールの変形例の断面図

[図4] (a) ~ (f) 本発明の実施の形態2の電力用半導体モジュールの組立フローを示す平面図

[図5] (a) 本発明の実施の形態3における電力用半導体モジュールの平面図、(b) 本発明の実施の形態3における電力用半導体モジュールの、図5(a)のA-A'における断面図

[図6] (a) ~ (e) 本発明の実施の形態3の電力用半導体モジュールの組立フローを示す平面図

[図7] 本発明の実施の形態3における電力用半導体モジュールの等価回路図

[図8] (a) 本発明の実施の形態4における電力用半導体モジュールの平面図、(b) 本発明の実施の形態4における電力用半導体モジュールの、図8(a)のB-B'における断面図

[図9] (a) ~ (e) 本発明の実施の形態4の電力用半導体モジュールの組立フローを示す平面図

[図10]従来の電力用半導体モジュールの平面図

発明を実施するための形態

[0029] (実施の形態1)

本発明の実施の形態1の樹脂封止型の電力用半導体モジュールの平面図であるモジュール構成101を図1(a)に示す。

[0030] また、図1(a)におけるA-A'で切断した本実施の形態1の電力用半導体モジュールの断面構成102を図1(b)に示す。

[0031] また、図2(a)～図2(f)に、本実施の形態1の電力用半導体モジュールの組立フロー図を示す。図2(a)～図2(f)は、それぞれ、本実施の形態1の電力用半導体モジュールの組立時の平面図を示している。

[0032] 本実施の形態1の電力用半導体モジュールの構成について説明する前に、まず、図2(a)～図2(f)を用いて本実施の形態1の電力用半導体モジュールの組立工程について説明する。

[0033] 図2(a)は、下地のリードフレームである、第1フレーム1、第2フレーム2、第1中間フレーム5、第2中間フレーム6、ハイサイド側ゲート端子7、ローサイド側ソース端子20、ハイサイド側ソース端子8、及びローサイド側ゲート端子21の平面図である。ここで、実際には、これらのリードがバラバラにならないように枠に固定され、最終モールドが完了した後に枠から切り離されるが、この部分の詳細説明に関しては省略する。

[0034] 図2(b)において、図2(a)で説明したリードフレーム上に半導体素子であるトランジスタチップ11、及びダイオードチップ12がダイボンディングされることで実装される。トランジスタチップ11として、IGBTやSiC-MOSFETといったトランジスタを実装する。このとき、第1フレーム1及び第2フレーム2に実装されるトランジスタチップ11のドレイン電極またはコレクタ電極は、第1フレーム1及び第2フレーム2に接続され、第1フレーム1及び第2フレーム2に実装されるダイオードチップ12のカソード電極も、第1フレーム1及び第2フレーム2に接続される。

[0035] 本実施の形態1の電力用半導体モジュールでは、1アームにIGBTやS

i C-MOSFETといったトランジスタチップ11を3つ、ダイオードチップ12を3つ、交互に配置する例を示している。

[0036] その後、第1フレーム1に実装されたトランジスタチップ11のソース電極またはエミッタ電極が第1中間フレーム5にワイヤー接続され、第2フレーム2に実装されたトランジスタチップ11のソース電極またはエミッタ電極が第2中間フレーム6にワイヤー接続される。

[0037] さらに、第1フレーム1に実装されたトランジスタチップ11のゲートパッド13とリードフレームのハイサイド側のゲート端子7がワイヤー接続され、トランジスタチップ11のソースパッドとリードフレームのハイサイド側のソース端子8がワイヤー接続される。同様に、第2フレーム2に実装されたトランジスタチップ11のゲートパッド13とリードフレームのローサイド側のゲート端子21がワイヤー接続され、トランジスタチップ11のソースパッドとリードフレームのローサイド側のソース端子20がワイヤー接続される。

[0038] 次に、図2(c)において、バスバーとして機能する正電極側の第3フレーム3と、負電極側の第4フレーム4を準備する。

[0039] そして、図2(d)において、第4フレーム4を第2フレーム2の上方に配置し、第4フレーム4の足が、第2中間フレーム6に金属接合される。

[0040] 次に、図2(e)において、第3フレーム3を第1フレーム1の上方に配置し、第3フレーム3を、接合点50で第2フレーム2に金属接合する。また、第3フレーム3の足が、第1中間フレーム5に金属接合される。

[0041] その後、図2(f)において、絶縁樹脂18によりモールドされ、絶縁樹脂の外枠19で規定される形状で全体を封止することで、モジュールが固定化される。

[0042] このような組立フローを経ることで、本実施の形態1の電力用半導体モジュールが完成する。

[0043] 次に、図1(a)及び図1(b)を用いて、図2(a)～図2(f)に示した組立フローを経て作製した本実施の形態1の電力用半導体モジュールの

構成について説明する。

- [0044] 第1フレーム1上及び第2フレーム2上に、複数の半導体チップがダイボンド材により接着されることで実装される。これらの半導体チップは、トランジスタチップ11及びダイオードチップ12で構成される。
- [0045] 第1フレーム1及び第2フレーム2は、放熱板17上に絶縁体16を介して配置される。放熱板17は、熱伝導率の大きいCu、Alといった材料で構成するのが良い。絶縁体16は、熱伝導性が良く、かつ電気絶縁性の良い材料で構成するのが良い。
- [0046] 配線全体は、絶縁樹脂18によりモールドされ、絶縁樹脂の外枠19によりモジュールの形状が定義される。
- [0047] なお、トランジスタチップ11としてSiC-MOSFETを用いる本実施の形態1の電力用半導体モジュールの構成が、本発明の電力用半導体モジュールの一例にあたる。また、第1フレーム1上に実装するトランジスタチップ11及びダイオードチップ12が、それぞれ、本発明の第1トランジスタ及び第1ダイオードの一例にあたる。また、第2フレーム2上に実装するトランジスタチップ11及びダイオードチップ12が、それぞれ、本発明の第2トランジスタ及び第2ダイオードの一例にあたる。
- [0048] 第1フレーム1と第2フレーム2の間に、これらのフレームより幅の狭い第1中間フレーム5及び第2中間フレーム6が、第1中間フレーム5は第1フレーム1に近い側に略平行に、第2中間フレーム6は第2フレーム2に近い側に略平行に配置されている。
- [0049] 第1中間フレーム5及び第2中間フレーム6は、電力用半導体モジュールの中心線、すなわち図1(a)の平面図において、モジュール構成101を上下に二等分する線を基準として、その中心線を挟んで相対する位置に配置されている。
- [0050] 第1フレーム1上のトランジスタチップ11のソース電極またはエミッタ電極から第1中間フレーム5に金属の接続線9で接続されており、第1フレーム1上のダイオードチップ12のアノード電極から第1中間フレーム5に

金属の接続線 10 で接続されている。第 1 中間フレーム 5 上の、金属の接続線 9、10 が無い場所に、第 1 フレーム 1 の上方に配置されている第 3 フレーム 3 の足が接続されている。

[0051] 第 2 フレーム 2 上のトランジスタチップ 11 のソース電極またはエミッタ電極から第 2 中間フレーム 6 に金属の接続線 9 で接続されており、第 2 フレーム 2 上のダイオードチップ 12 のアノード電極から第 2 中間フレーム 6 に金属の接続線 10 で接続されている。第 2 中間フレーム 6 上の、金属の接続線 9、10 が無い場所に、第 2 フレーム 2 の上方に配置されている第 4 フレーム 4 の足が接続されている。

[0052] なお、第 1 フレーム 1 上のトランジスタチップ 11 及びダイオードチップ 12 と第 1 中間フレーム 5 とを接続する金属の接続線 9 及び 10 が、本発明の金属の第 1 接続線の一例にあたる。また、第 2 フレーム 2 上のトランジスタチップ 11 及びダイオードチップ 12 と第 2 中間フレーム 6 とを接続する金属の接続線 9 及び 10 が、本発明の金属の第 2 接続線の一例にあたる。

[0053] 第 3 フレーム 3 は、第 1 フレーム 1 の半導体チップ搭載領域、すなわち 3 つのトランジスタチップ 11 及び 3 つのダイオードチップ 12 が実装されている領域の上方を少なくとも覆う構成とすることが望ましい。また同様に、第 4 フレーム 4 は、第 2 フレーム 2 の半導体チップ搭載領域を少なくとも覆う構成とすることが望ましい。

[0054] 第 1 フレーム 1 上のトランジスタチップ 11 のソース電極またはエミッタ電極から第 1 中間フレーム 5 に接続するのに用いられる金属の接続線 9 は、通常であれば、Al のワイヤーを複数本で構成し、大電流にも対応している。

[0055] 最近では、Al のリボン、Cu のリボンで構成することで、接合信頼性を向上させつつ、さらなる大電流化、高放熱性を実現することができる。また、金属の接続線 9 に代えて、Al クリップ、Cu クリップ、その他材料からなるクリップを用いても同様の機能を実現することが可能である。

[0056] ダイオードチップ 12 のアノード電極から第 1 中間フレーム 5 に接続する

のに用いられる金属の接続線10も、上記と同様である。

[0057] また、第2フレーム2上のトランジスタチップ11及びダイオードチップ12と、第2中間フレーム6とを結線するのに用いられる金属の接続線9及び10も、上記と同様である。

[0058] 第1フレーム1の延長上の電源端子部22は、電極としての機能を有しており、P（電源）端子として機能する。

[0059] 第4フレーム4の延長上の接地端子部23は、電極としての機能を有しており、N（接地）端子として機能する。

[0060] 第3フレーム3と第2フレーム2は、P端子及びN端子とは逆側に配置されている金属接合点50で結線されており、第3フレーム3の延長上の出力端子部24は、電極としての機能を有しており、O（出力）端子として機能する。

[0061] 図1（a）に示すように、第3フレーム3と第4フレーム4を互いに平行に配置するとともに、P端子及びN端子とは逆側にO端子を配置したことで、正極側バスバーである第3フレーム3と負極側バスバーである第4フレーム4の各電流が逆方向に流れ、相互インダクタンスの効果で、インダクタンスを低減させることができる。換言すれば、第3フレーム3及び第4フレーム4に発生する誘起電圧が互いに逆方向となるように、電源端子部22（P端子）、接地端子部23（N端子）及び出力端子部24（O端子）が配置されている。

[0062] このような構成により、第1中間フレーム5、第2中間フレーム6、第3フレーム3及び第4フレーム4を組み合わせて用いることで、半導体チップ上の空間を幅広の低インダクタンス化を実現できる配線（バスバー）として利用することができるので、電力用半導体モジュールの小形化も実現でき、半導体チップを搭載している第1フレーム1と第2フレーム2の配置を近接させることができる為に、更なる低インダクタンス化を実現することを達成することが可能となる。

[0063] ゲート配線に関しては、ゲートドライバーからの距離を最短に構成するの

が有利である。従って、それぞれのトランジスタの近傍に、ゲート配線用のリードとしてハイサイド側ゲート端子7及びローサイド側ゲート端子21と、ソース配線用のリードとしてハイサイド側ソース端子8及びローサイド側ソース端子20を形成しておくのがよい。

[0064] それぞれのトランジスタチップ11にゲートドライバーを配置する構成が望ましいが、特に、高速動作が必要でない用途では複数のトランジスタチップのゲート、ソースを1つのリードにまとめるような構成でもよい。

[0065] ゲート配線用のリードであるハイサイド側ゲート端子7及びローサイド側ゲート端子21には、トランジスタチップ11のゲートパッド13から金属のゲート配線14を形成する。また、ソース配線用のリードであるハイサイド側ソース端子8及びローサイド側ソース端子20には、金属のソース配線15を形成する。

[0066] この構成により、トランジスタチップ11から、ゲート配線用のリード及びソース配線用のリードまでは、金属配線により電氣的に接続される。

[0067] 但し、第1フレーム1上のトランジスタチップ11のゲート電極は、図1(a)に示すように、電力用半導体モジュール中央の第1中間フレーム5とは反対側に配置されるような構成とし、第2フレーム2上のトランジスタチップ11のゲート電極は、電力用半導体モジュール中央の第2中間フレーム6とは反対側に配置されるような構成とするのが、配線も短くなり有利である。

[0068] これらのフレーム間を絶縁する為に、図1(b)に示すように、下面側に配置される放熱板17上に絶縁体16を配置し、その上に各フレームを配置し、絶縁樹脂の外枠19で規定されるように絶縁樹脂18によってモールドをする構成をとるのが望ましい。

[0069] ここに示した例に限らず、半導体チップの数や配置は、電力用半導体モジュールの電流定格で任意の組み合わせで決定されるものであるので、特に規定されるものではない。

[0070] 半導体チップ数の最小構成単位は、トランジスタチップ1つのみ、または

、トランジスタチップ及びダイオードチップが1つの構成であるが、このような構成であってもデバイスの高速動作を達成する為にはインダクタンス低減の要求があるので、本実施の形態1の電力用半導体モジュールの構成を適用することによる効果は大きい。

[0071] 特に、トランジスタチップの数とダイオードチップの数がそろっている必要はなく、これらの数がそろっていなくても、本実施の形態1の効果は発揮される。

[0072] (実施の形態2)

実施の形態1では、樹脂封止型のモジュールで本発明を説明してきたが、本発明のコンセプトは、これに限るものではなく、金属絶縁基板上に形成するモジュールに適用しても同様の効果が得られる。その他の形態でも、同様の効果が得られる。

[0073] 本発明の実施の形態2として、金属絶縁基板型の電力用半導体モジュールの平面図であるモジュール構成103を図3(a)に示す。

[0074] また、図3(a)におけるB-B'で切断した本実施の形態2の電力用半導体モジュールの断面構成104を図3(b)に示す。

[0075] また、図4(a)～図4(f)に、本実施の形態2の電力用半導体モジュールの組立フロー図を示す。図4(a)～図4(f)は、それぞれ、本実施の形態2の電力用半導体モジュールの組立時の平面図を示している。

[0076] 本実施の形態2の電力用半導体モジュールの構成について説明する前に、まず、図4(a)～図4(f)を用いて本実施の形態2の電力用半導体モジュールの組立工程について説明する。

[0077] 図4(a)は、下地のセラミック基板上の配線パターン図である。

[0078] 銅箔のパターンである、第1金属導電体島31、第2金属導電体島33、第1中間金属導電体島35、第2中間金属導電体島36、接地端子形成用島44、ハイサイド側ゲート端子37、ローサイド側ソース端子25、ハイサイド側ソース端子38、ローサイド側ゲート端子26が基板上に形成されている。このセラミック基板がケース49に取り付けられている。

- [0079] 図3(b)に絶縁体46として示しているセラミック基板は、接着層63を介して放熱板47上に取り付けられて構成されるが、この部分の詳細説明に関しては説明を省略する。
- [0080] 図4(b)において、リードフレームである第1金属導電体島31及び第2金属導電体島33上に、半導体素子であるトランジスタチップ41及びダイオードチップ42がダイボンディングされることで実装される。トランジスタチップ41として、IGBTやSiC-MOSFETといったトランジスタを実装する。このとき、第1金属導電体島31及び第2金属導電体島33に実装されるトランジスタチップ41のドレイン電極またはコレクタ電極は、第1金属導電体島31及び第2金属導電体島33に接続され、第1金属導電体島31及び第2金属導電体島33に実装されるダイオードチップ42のカソード電極も、第1金属導電体島31及び第2金属導電体島33に接続される。
- [0081] 本実施の形態2の電力用半導体モジュールでは、1アームにIGBTやSiC-MOSFETといったトランジスタチップ11を3つ、ダイオードチップ12を3つ、交互に配置する例を示している。
- [0082] その後、第1金属導電体島31に実装されたトランジスタチップ41のソース電極またはエミッタ電極が第1中間金属導電体島35にワイヤー接続され、第2金属導電体島33に実装されたトランジスタチップ41のソース電極またはエミッタ電極が第2中間金属導電体島36にワイヤー接続される。
- [0083] さらに、第1金属導電体島31に実装されたトランジスタチップ41のゲートパッドとリードフレームのハイサイド側のゲート端子37がワイヤー接続され、トランジスタチップ41のソースパッドとリードフレームのハイサイド側のソース端子38がワイヤー接続される。同様に、第2金属導電体島33に実装されたトランジスタチップ41のゲートパッドとリードフレームのローサイド側のゲート端子26がワイヤー接続され、トランジスタチップ41のソースパッドとリードフレームのローサイド側のソース端子25がワイヤー接続される。

- [0084] 次に、図4(c)において、バスバーとして機能する正電極側の第5フレーム32と、負電極側の第6フレーム34を準備する。
- [0085] そして、図4(d)において、第6フレーム34を第2金属導電体島33の上方に配置し、第6フレーム34の足が、第2中間金属導電体島36に金属接合される。
- [0086] 次に、図4(e)において、第5フレーム32を第1金属導電体島31の上方に配置し、第5フレーム32を、接合点51で第2金属導電体島33に金属接合する。また、第5フレーム32の足が、第1中間金属導電体島35に金属接合される。
- [0087] その後、図4(f)において、電源端子27、接地端子28及び出力端子29を形成する。最後に、ケース49にシリコンゲル48を注入することで絶縁強度を安定化される。
- [0088] このような組立フローを経ることで、本実施の形態2の電力用半導体モジュールが完成する。
- [0089] 次に、図3(a)及び図3(b)を用いて、図4(a)～図4(f)に示した組立フローを経て作製した本実施の形態2の電力用半導体モジュールの構成について説明する。
- [0090] 絶縁体46は、セラミック基板で構成される。例えば、窒化アルミ(AI₃N)基板、窒化珪素(Si₃N₄)基板が最適で、その他、アルミナ(Al₂O₃)基板といったものもよく用いられ、その表面に大電流を流せる厚い金属配線が形成される。
- [0091] 図3(a)に示すように、互いに略並行に配置された第1金属導電体島31と第2金属導電体島33の間に、これらの島より幅の狭い第1中間金属導電体島35及び第2中間金属導電体島36が、第1中間金属導電体島35は第1金属導電体島31に近い側に略平行に、第2中間金属導電体島36は第2金属導電体島33に近い側に略平行に配置されている。
- [0092] 第1中間金属導電体島35及び第2中間金属導電体島36は、電力用半導体モジュールの中心線、すなわち図3(a)の平面図において、ケース49

の外形を上下に二等分する線を基準として、その中心線を挟んで相対する位置に配置されている。

[0093] 第1金属導電体島31上及び第2金属導電体島33上に、複数の半導体チップがダイボンダ材により接着されることで実装される。これらの半導体チップは、トランジスタチップ41及びダイオードチップ42で構成される。

[0094] 第1金属導電体島31及び第2金属導電体島33は、放熱板47上に絶縁体46を介して配置される。第1金属導電体島31、第2金属導電体島33は、絶縁体46に接着層62により固定される。放熱板47は、熱伝導率の大きいCu、Alといった材料で構成するのが良い。絶縁体46は、放熱板47に接着層63により固定される。絶縁体46は、熱伝導性が良く、かつ電気絶縁性の良い材料で構成するのが良い。

[0095] なお、トランジスタチップ41としてSiC-MOSFETを用いる本実施の形態2の電力用半導体モジュールの構成が、本発明の電力用半導体モジュールの一例にあたる。また、第1金属導電体島31上に実装するトランジスタチップ41及びダイオードチップ42が、それぞれ、本発明の第1トランジスタ及び第1ダイオードの一例にあたる。また、第2金属導電体島33上に実装するトランジスタチップ41及びダイオードチップ42が、それぞれ、本発明の第2トランジスタ及び第2ダイオードの一例にあたる。

[0096] 本実施の形態2の電力用半導体モジュール全体は、ケース49により外形が決められ、高耐熱シリコンゲル48等により満たされ、耐電圧等を確保する。

[0097] 第1金属導電体島31上のトランジスタチップ41のソース電極またはエミッタ電極から第1中間金属導電体島35に金属の接続線39で接続されており、第1金属導電体島31上のダイオードチップ42のアノード電極から第1中間金属導電体島35に金属の接続線40で接続されている。第1金属導電体島31上の、金属の接続線39、40が無い場所に、第1金属導電体島31の上方に配置されている第5フレーム32の足が接続されている。

[0098] 第2金属導電体島33上のトランジスタチップ41のソース電極またはエ

ミッタ電極から第2中間金属導電体島36に金属の接続線39で接続されており、第2金属導電体島33上のダイオードチップ42のアノード電極から第2中間金属導電体島36に金属の接続線40で接続されている。第2中間金属導電体島36上の、金属の接続線39、40が無い場所に、第2金属導電体島33の上方に配置されている第6フレーム34の足が接続されている。

[0099] なお、第1金属導電体島31上のトランジスタチップ41及びダイオードチップ42と第1中間金属導電体島35とを接続する金属の接続線39及び40が、本発明の金属の第1接続線の一例にあたる。また、第2金属導電体島33上のトランジスタチップ41及びダイオードチップ42と第2中間金属導電体島36とを接続する金属の接続線39及び40が、本発明の金属の第2接続線の一例にあたる。

[0100] 第5フレーム32は、第1金属導電体島31の半導体チップ搭載領域、すなわち3つのトランジスタチップ41及び3つのダイオードチップ42が実装されている領域の上方を少なくとも覆う構成とすることが望ましい。また同様に、第6フレーム34は、第2金属導電体島33の半導体チップ搭載領域を少なくとも覆う構成とすることが望ましい。

[0101] 第1金属導電体島31上のトランジスタチップ41のソース電極またはエミッタ電極から第1中間金属導電体島35に接続するのに用いられる金属の接続線39は、通常であれば、Alのワイヤーを複数本で構成し、大電流にも対応している。

[0102] 最近では、Alのリボン、Cuのリボンで構成することで、接合信頼性を向上させつつ、さらなる大電流化、高放熱性を実現することができる。また、金属の接続線39に代えて、Alクリップ、Cuクリップ、その他材料からなるクリップを用いても同様の機能を実現することが可能である。

[0103] ダイオードチップ42のアノード電極から第1中間金属導電体島35に接続するのに用いられる金属の接続線40も、上記と同様である。

[0104] 第1金属導電体島31の延長部分は、電極としての機能を有しており、P

(電源) 端子 27 として機能する。

[0105] 第 6 フレーム 34 の延長部分は、電極としての機能を有しており、N (接地) 端子 28 と接続される。ここで、接地端子 (N) 形成用島 44 を設けておき、ここに第 6 フレームを接合点 43 と接合させることで端子を形成するのが望ましい。

[0106] 第 5 フレーム 32 と第 2 金属導電体島 33 は、P 端子 27 及び N 端子 28 とは逆側に配置されている金属接合点 51 で結線されており、第 2 金属導電体島 33 の延長部分は、電極としての機能を有しており、O (出力) 29 端子として機能する。

[0107] このように、第 1 中間金属導電体島 35 及び第 2 中間金属導電体島 36 を利用することで、半導体チップ上の空間をバスバーとして構成することができるので、バスバーを少なくとも半導体チップが占める領域分広げることができるようになり、幅広の配線を用いて低インダクタンス化を実現することが可能となる。

[0108] また、電力用半導体モジュールのサイズも大幅に低減させることが可能となる。従って、配線長も短くなり更に低インダクタンス化が図れるので効果が大きい。

[0109] ゲート配線に関しては、ゲートドライバーからの距離を最短に構成するのが有利である。従って、それぞれのトランジスタの近傍に、ゲート配線用のリードとしてハイサイド側ゲート端子 37 及びローサイド側ゲート端子 26 と、ソース配線用のリードとしてハイサイド側ソース端子 38 及びローサイド側ソース端子 25 を形成しておくのがよい。

[0110] それぞれのトランジスタチップ 41 にゲートドライバーを配置する構成が望ましいが、特に、高速動作が必要でない用途では複数のトランジスタチップのゲート、ソースを 1 つのリードにまとめるような構成でもよい。

[0111] この構成により、トランジスタチップ 41 から、ゲート配線用のリード及びソース配線用のリードまでは、金属配線により電氣的に接続される。

[0112] 但し、第 1 金属導電体島 31 上のトランジスタチップ 41 のゲート電極は

、図3(a)に示すように、電力用半導体モジュール中央の第1中間金属導電体島35とは反対側に配置されるような構成とし、第2金属導電体島33上のトランジスタチップ41のゲート電極は、電力用半導体モジュール中央の第2中間金属導電体島36とは反対側に配置されるような構成とするのが、配線も短くなり有利である。

[0113] これらのフレーム間を絶縁する為に、下面側に配置される放熱板47上に絶縁体46を配置し、その上に各フレームを配置し、シリコーンゲル48にて封止する構成をとるのが望ましい。

[0114] ここに示した例に限らず、半導体チップの数や配置は、電力用半導体モジュールの電流定格で任意の組み合わせで決定されるものであるので、特に規定されるものではない。

[0115] 半導体チップ数の最小構成単位は、トランジスタチップ1つのみ、または、トランジスタチップ及びダイオードチップが1つの構成であるが、このような構成であってもデバイスの高速動作を達成する為にはインダクタンス低減の要求があるので、本実施の形態2の電力用半導体モジュールの構成を適用することによる効果は大きい。

[0116] なお、本実施の形態2の構成においても、実施の形態1と同様に、トランジスタチップの数とダイオードチップの数がそろっている必要はない。

[0117] 以上に説明したように、各実施の形態の電力用半導体モジュールの構成によれば、半導体素子上の空間に幅広なリードフレームを配置することで正極バスバー、負極バスバーを構成するので、配線インダクタンスを低減でき、モジュールサイズを小型化することができる。その結果、ノイズに強い電力用半導体モジュールの構成にすることが可能になる。また、半導体素子に直接バスバー接続させることが無い為に、接合信頼性を格段に向上させることが可能になる。

[0118] なお、図10に示した従来の構成では、バスバーと半導体チップを直接接合させる為、構成している半導体チップ間に温度分布があると、接合界面に大きなストレスがかかりデバイスの信頼性を劣化させるという課題もあった

。より詳細には、温度が高い部分では膨張が大きく低温の部分では膨張が小さいことから、長期間の使用後にバスバーと半導体チップとの接合部にクラックが入ったり、半導体チップとダイパッド間のダイボンダ材にクラックが入ったりといった不具合が起こることも判明した。様々な試験の結果、複数の半導体チップを一つのバスバーで連結することは信頼性確保上好ましくない構成であることも判明した。

[0119] 各実施の形態で説明した本発明の構成によれば、半導体チップとフレーム間接合の代わりにフレームとフレーム間の金属接合で結線が実現できる為に、より大きな熱、振動ストレスを印加することで強固な接合を実現できる。半導体チップと中間フレームの接合に関しては、半導体チップ毎の配線とすることで半導体チップ間に温度分布が発生してもそれぞれの半導体チップとフレーム間接合が個別に信頼性を確保できれば全体の信頼性を向上させることができる。このような構成にすることで、上記で説明した従来の課題を解決できることが判明した。

[0120] 以上に説明したように、本発明の電力用半導体モジュールの構成によれば、困難である半導体チップとバスバーの強接合を実現できなくても、中間フレームと幅広いバスバーフレームを組み合わせる構成により、正極側バスバー及び負極側バスバーを共に半導体チップ上の空間に配置できるようになる為に幅広い構成を実現できるので、配線インダクタンスを従来技術と比べて大幅に低減することが可能になる。これにより、モジュール全体としてノイズに強く信頼性の高い電力用半導体モジュールを提供することが可能になる。また、同時にバスバー領域を確保する必要が無い為に、モジュールサイズを小形化することが可能となる。

[0121] なお、上記実施の形態では、第1中間フレーム5と第2中間フレーム6が、第1フレーム1と第2フレーム2との間に配置されている場合について説明したが(図1(b)参照)、これに限らず例えば、図1(c)に示す様に、第1中間フレーム5と第2中間フレーム6が、第1フレーム1及び第2フレーム2の外側に配置されていても良い。ここで、図1(c)は、本発明の

実施の形態 1 における図 1 (a)、(b) に示した電力用半導体モジュールの変形例としての電力用半導体モジュールの断面構成 102' を示す断面図である。

[0122] また、上記実施の形態では、第 1 中間金属導電体島 35 と第 2 中間金属導電体島 36 が、第 1 金属導電体島 31 と第 2 金属導電体島 33 との間に配置されている場合について説明したが (図 3 (b) 参照)、これに限らず例えば、図 3 (c) に示す様に、第 1 中間金属導電体島 35 と第 2 中間金属導電体島 36 が、第 1 金属導電体島 31 及び第 2 金属導電体島 33 の外側に配置されていても良い。ここで、図 3 (c) は、本発明の実施の形態 1 における図 3 (a)、(b) に示した電力用半導体モジュールの変形例としての電力用半導体モジュールの断面構成 104' を示す断面図である。

[0123] (実施の形態 3)

本発明の実施の形態 3 の樹脂封止型の電力用半導体モジュールの平面図であるモジュール構成 1101 を図 5 (a) に示す。

[0124] また、図 5 (a) における A-A' で切断した本実施の形態 3 の電力用半導体モジュールの断面構成 1102 を図 5 (b) に示す。

[0125] また、図 6 (a) ~ 図 6 (e) に、本実施の形態 3 の電力用半導体モジュールの組立フロー図を示す。図 6 (a) ~ 図 6 (e) は、それぞれ、本実施の形態 3 の電力用半導体モジュールの組立時の平面図を示している。

[0126] 本実施の形態 3 の電力用半導体モジュールの構成について説明する前に、まず、図 6 (a) ~ 図 6 (e) を用いて本実施の形態 3 の電力用半導体モジュールの組立工程について説明する。

[0127] 図 6 (a) は、下地のリードフレームである、第 1 フレーム 301、第 2 フレーム 302、第 1 中間フレーム 305、第 2 中間フレーム 306、ハイサイド側ゲート端子 307、ローサイド側ソース端子 320、ハイサイド側ソース端子 308、及びローサイド側ゲート端子 321 の平面図である。ここで、実際には、これらのリードがバラバラにならないように枠に固定され、最終モールドが完了した後に枠から切り離されるが、この部分の詳細説明

に関しては省略する。

- [0128] 図6 (b) において、図6 (a) で説明したリードフレーム上に半導体素子であるトランジスタチップ311、及びダイオードチップ312がダイボンディングされることで実装される。トランジスタチップ311として、IGBTやSiC-MOSFETといったトランジスタを実装する。このとき、第1フレーム301及び第2フレーム302に実装されるトランジスタチップ311のドレイン電極またはコレクタ電極は、第1フレーム301及び第2フレーム302に接続され、第1フレーム301及び第2フレーム302に実装されるダイオードチップ312のカソード電極も、第1フレーム301及び第2フレーム302に接続される。
- [0129] 本実施の形態3の電力用半導体モジュールでは、1アームにIGBTやSiC-MOSFETといったトランジスタチップ311を3つ、ダイオードチップ312を3つ、交互に配置する例を示している。
- [0130] その後、第1フレーム301に実装されたトランジスタチップ311のソース電極またはエミッタ電極が第1中間フレーム305にワイヤー接続され、第2フレーム302に実装されたトランジスタチップ311のソース電極またはエミッタ電極が第2中間フレーム306にワイヤー接続される。
- [0131] さらに、第1フレーム301に実装されたトランジスタチップ311のゲートパッド313とリードフレームのハイサイド側のゲート端子307がワイヤー接続され、トランジスタチップ311のソースパッドとリードフレームのハイサイド側のソース端子308がワイヤー接続される。同様に、第2フレーム302に実装されたトランジスタチップ311のゲートパッド313とリードフレームのローサイド側のゲート端子321がワイヤー接続され、トランジスタチップ311のソースパッドとリードフレームのローサイド側のソース端子320がワイヤー接続される。
- [0132] 次に、図6 (c) において、バスバーとして機能する正電極側の第3フレーム303と、負電極側の第4フレーム304を準備する。実際には、第3フレーム303及び第4フレーム304の形状を加工し、それらのリードフ

レーム間に絶縁体1200を配置して接着させる。このようにして、絶縁体1200を介して第3フレーム303及び第4フレーム304が平行に配置された複合体を形成する。

[0133] そして、図6(d)において、図6(c)において形成した第3フレーム303及び第4フレーム304の複合体を、第1フレーム301及び第2フレーム302の上方に配置し、第3フレーム303の足が第1中間フレーム305に金属接合され、第4フレーム304の足が、第2中間フレーム306に金属接合される。またこのとき、第3フレーム303の足が、接合点350で第2フレーム302に金属接合される。

[0134] その後、図6(e)において、絶縁樹脂318によりモールドされ、絶縁樹脂の外枠319で規定される形状で全体を封止することで、モジュールが固定化される。

[0135] このような組立フローを経ることで、本実施の形態3の電力用半導体モジュールが完成する。

[0136] 次に、図5(a)及び図5(b)を用いて、図6(a)～図6(e)に示した組立フローを経て作製した本実施の形態3の電力用半導体モジュールの構成について説明する。

[0137] 第1フレーム301上及び第2フレーム302上に、複数の半導体チップがダイボンド材により接着されることで実装される。これらの半導体チップは、トランジスタチップ311及びダイオードチップ312で構成される。

[0138] 第1フレーム301及び第2フレーム302は、放熱板317上に絶縁体316を介して配置される。放熱板317は、熱伝導率の大きいCu、Alといった材料で構成するのが良い。絶縁体316は、熱伝導性が良く、かつ電気絶縁性の良い材料で構成するのが良い。

[0139] 配線全体は、絶縁樹脂318によりモールドされ、絶縁樹脂の外枠319によりモジュールの形状が定義される。

[0140] なお、トランジスタチップ311としてSiC-MOSFETを用いる本実施の形態3の電力用半導体モジュールの構成が、本発明の電力用半導体モ

ジュールの一例にあたる。また、第1フレーム301上に実装するトランジスタチップ311及びダイオードチップ312が、それぞれ、本発明の第1トランジスタ及び第1ダイオードの一例にあたる。また、第2フレーム302上に実装するトランジスタチップ311及びダイオードチップ312が、それぞれ、本発明の第2トランジスタ及び第2ダイオードの一例にあたる。また、絶縁体316が、本発明の第1絶縁体の一例にあたる。

[0141] 第1フレーム301及び第2フレーム302の外側に、これらのフレームより幅の狭い第1中間フレーム305及び第2中間フレーム306が、第1中間フレーム305は第1フレーム301に近い側に略平行に、第2中間フレーム306は第2フレーム302に近い側に略平行に配置されている。

[0142] 第1フレーム301上のトランジスタチップ311のソース電極またはエミッタ電極から第1中間フレーム305に金属の接続線309で接続されており、第1フレーム301上のダイオードチップ312のアノード電極から第1中間フレーム305に金属の接続線310で接続されている。第1中間フレーム305上の、金属の接続線309、10が無い場所に、第1フレーム301の上方に配置されている第3フレーム303の足が接続されている。

[0143] 第2フレーム302上のトランジスタチップ311のソース電極またはエミッタ電極から第2中間フレーム306に金属の接続線309で接続されており、第2フレーム302上のダイオードチップ312のアノード電極から第2中間フレーム306に金属の接続線310で接続されている。第2中間フレーム306上の、金属の接続線309、10が無い場所に、第2フレーム302の上方に配置されている第4フレーム304の足が接続されている。

[0144] なお、第1フレーム301上のトランジスタチップ311及びダイオードチップ312と第1中間フレーム305とを接続する金属の接続線309及び10が、本発明の金属の第1接続線の一例にあたる。また、第2フレーム302上のトランジスタチップ311及びダイオードチップ312と第2中

間フレーム306とを接続する金属の接続線309及び10が、本発明の金属の第2接続線の一例にあたる。

[0145] 更に、第3フレーム303は、第4フレーム304と上下方向に重ねて配置し、それらの間に絶縁体1200を挟むことで絶縁耐圧を確保した上での最近接構造とし、第1フレーム301と第2フレーム302上に配置されたトランジスタチップ311及びダイオードチップ312を覆うように構成するのが望ましい。

[0146] なお、絶縁体1200が、本発明の第2絶縁体の一例にあたる。

[0147] ここで、絶縁体1200は、第3フレーム303と第4フレーム304間の距離を確保する目的で設けるものなので、他にこれらのフレーム間距離を確保する手段があれば、絶縁体1200を設ける必要はなく、別の手段を用いてこれらのフレーム間距離を確保するようにしてもよい。

[0148] 第3フレーム303及び第4フレーム304間の絶縁体1200は、絶縁樹脂またはセラミックで構成するのが望ましい。

[0149] また、絶縁体1200の厚みは、耐圧と電気特性のトレードオフの関係で適切に設定される。フレーム間距離が近ければ近い程、インダクタンスは低減するが、耐圧は低下する。フレーム間距離が離れば離れる程、耐圧は向上できるが磁界の打ち消し効果は低下し、インダクタンスは大きくなる。

[0150] 絶縁体1200がセラミックで構成される場合、最大電界強度は 1 MV/cm 程度以下に設定されるのが適切である。 1 kV の耐電圧を確保する為には $10\text{ }\mu\text{m}$ の厚みが必要になる。実際には、これ以上の電界を印加しても即座に破壊ということにはならないが、 $300\text{ }^\circ\text{C}$ 以上の高温環境で20年以上のライフを確保しようとするならば 1 MV/cm 程度以下に設定するのが好ましい。

[0151] 実際の絶縁体1200の厚みとしては、耐電圧に依存することになるが、最薄の設定として（耐電圧／（ 1 MV/cm ））に設定するのが望ましい。このように設定することでインダクタンス低減効果を最大限に発揮できる。

実際の電力用半導体モジュールに必要な耐電圧として、最低1 k V以上は必要となるので、絶縁体1200の厚みの最薄の構成としては、10 μ m以上となる。

[0152] また、絶縁体1200の厚みの上限としては、1 mm程度以下に設定することが望ましい。このように設定することでインダクタンス低減効果を発揮させることが可能になる。

[0153] 図7に、本実施の形態3における電力用半導体モジュールの等価回路図を示す。

[0154] 図7に示すL1、L2、L3、L5、L6及びL7は、トランジスタチップ311と第1中間フレーム305及び第2中間フレーム306間のインダクタンスを示している。L4及びL8は、それぞれ第3フレーム303及び第4フレーム304が有する配線インダクタンスとなる。これらは、幅広なバスバーを用いることで低減可能であるが、図5(a)に示すように、P(電源)端子とN(接地)端子を、電力用半導体モジュールの側面のうち同じ側面側に配置し、O(出力)端子を相対する反対側の側面側に配置して、第3フレーム303に流れる電流の向きと第4フレーム304に流れる電流の向きが反対向きになるように構成することで、磁界の打ち消し効果によるインダクタンス低減効果を用いて配線インダクタンスのさらなる低減を実現でき、事実上、L4及びL8を無視できる程度まで低減することが可能になる。

[0155] その結果、実際のインダクタンスとしてはソース電極と中間リードを繋ぐ配線のインダクタンス(L1、L2、L3、L5、L6及びL7)のみが実質のインダクタンス値となるが、1チップ当たりの電流量は全体の電流量に比べて小さいので、電力用半導体モジュール全体の電気特性は良好な動作を実現することができる。

[0156] このように、L4及びL8を事実上無視できる程度まで低減できることにより、大電流を流した時のトランジスタのスイッチングがオフ時のサージ電圧の発生、スイッチングがオン・オフ時のゲート発振等のゲート駆動上の不

具合を抑制することができる。これが、本実施の形態3の電力用半導体モジュールの特徴である。

[0157] また、第1フレーム301、第2フレーム302、第3フレーム303及び第4フレーム304の位置関係においても、より好ましい構成があるので、その構成について以下に説明する。

[0158] 本来、第1フレーム301及び第2フレーム302上に位置する第3フレーム303及び第4フレーム304の上下の位置関係は、上記で説明したインダクタンスのL4及びL8の低減効果に影響を及ぼさない。従って、第1フレーム301及び第2フレーム302と、第3フレーム303及び第4フレーム304間の距離を十分に確保できていれば、第3フレーム303及び第4フレーム304の上下の配置構成は、いずれの構成も可能である。しかし、第3フレーム303及び第4フレーム304の足を短くしていくと、第3フレーム303及び第4フレーム304の上下の配置構成において悪影響が出てくる構成がある。

[0159] 第3フレーム303及び第4フレーム304の足を短くできれば、更なるインダクタンスの低減化を実現できる上に、これらのフレームが放熱板としても機能するようになるのでさらに有利な構造となる。

[0160] この効果を効果的に発揮させる為には、つまり、第3フレーム303及び第4フレーム304の足を短くしていく場合には、第4フレーム304の上側に第3フレーム303を配置する構成が望ましい。第4フレーム304は、接地されているので、電位が固定することによりノイズに強い構造にすることが可能となる。

[0161] しかし、仮に、第3フレーム303が第4フレームの下側に配置され第3フレーム303が第1フレーム301及び第2フレーム302の直上に配置されている構造とした場合に、第3フレーム303及び第4フレーム304の足を短くしていけば、悪影響を及ぼす構成となってしまう。

[0162] 具体的には、第2フレーム302上のローサイド側のトランジスタチップ311のゲート入力信号にノイズを生み出す原因となる。これは、第3フレ

ーム303とゲート配線314が容量結合を持ち、第3フレーム303の電圧は0V～電源電圧まで変動することにより発生する。より具体的には、ローサイド側のトランジスタチップ311がオフした瞬間、第3フレーム303の電圧は電源電圧まで上昇する。その際に、ローサイド側のトランジスタチップ311がオフ状態にも関わらずゲート配線が正の電圧に吊り上げられることにより起こる。特に、ローサイド側のトランジスタチップ311を駆動するドライバーの電源は共通で駆動させる場合が多く、その結果、ドライバー入力信号線距離が長くなるのでノイズ耐性はハイサイド側よりも弱い。従って、ローサイド側の素子のノイズ耐性を向上させる為にも、第2フレーム302に搭載されたトランジスタチップ311直上のバスバーは、接地された第4フレーム304であることがノイズ耐性の観点からも好ましい。

[0163] 第1フレーム301上のトランジスタチップ311のソース電極またはエミッタ電極から第1中間フレーム305に接続するのに用いられる金属の接続線309は、通常であれば、Alのワイヤーを複数本で構成し、大電流にも対応している。

[0164] 最近では、Alのリボン、Cuのリボンで構成することで、接合信頼性を向上させつつ、さらなる大電流化、高放熱性を実現することができる。また、金属の接続線309に代えて、Alクリップ、Cuクリップ、その他材料からなるクリップを用いても同様の機能を実現することが可能である。

[0165] ダイオードチップ312のアノード電極から第1中間フレーム305に接続するのに用いられる金属の接続線310も、上記と同様である。

[0166] また、第2フレーム302上のトランジスタチップ311及びダイオードチップ312と、第2中間フレーム306とを結線するのに用いられる金属の接続線309及び10も、上記と同様である。

[0167] 第1フレーム301の延長上の電源端子部322は、電極としての機能を有しており、P（電源）端子として機能する。

[0168] 第4フレーム304の延長上の接地端子部323は、電極としての機能を有しており、N（接地）端子として機能する。

- [0169] 第3フレーム303と第2フレーム302は、P端子及びN端子とは逆側に配置されている金属接合点350で結線されており、第2フレーム302の延長上の出力端子部324は、電極としての機能を有しており、O（出力）端子として機能する。
- [0170] このような構成により、第1中間フレーム305、第2中間フレーム306、第3フレーム303及び第4フレーム304を組み合わせることで、半導体チップ上の空間を幅広の配線（バスバー）配置として有効活用させることができるので、さらなる電力用半導体モジュールの小形化を実現でき、低インダクタンス化にはより有利な構造となる。半導体チップを搭載している第1フレーム301と第2フレーム302を近接させることができる為に、配線長が短くなり更なる低インダクタンス化を実現することが可能となる。
- [0171] ゲート配線314に関しては、ハイサイド側ゲート端子307及びローサイド側ゲート端子321と、それぞれに対応するトランジスタチップ311のゲートパッド313間に金属ワイヤーで繋ぎ込まれる。
- [0172] ソース配線315に関しては、ハイサイド側ソース端子308及びローサイド側ソース端子320と、それぞれに対応するトランジスタチップ311のソース電極間に金属ワイヤーで繋ぎ込まれる。
- [0173] これらのフレーム間の絶縁を確保する為に、図5（b）に示すように、下面側に配置される放熱板317上に絶縁体316を配置し、その上に各フレームを配置し、外形が絶縁樹脂の外枠319で規定されるように絶縁樹脂318によってモールドをする構成にするのが望ましい。
- [0174] ここに示した例に限らず、半導体チップの数や配置は、電力用半導体モジュールの電流定格で任意の組み合わせで決定されるものであるので、特に規定されるものではない。
- [0175] 半導体チップ数の最小構成単位は、トランジスタチップ1つのみ、または、トランジスタチップ及びダイオードチップが1つの構成であるが、このような構成であってもデバイスの高速動作を達成する為にはインダクタンス低

減の要求があるので、本実施の形態3の電力用半導体モジュールの構成を適用することによる効果は大きい。

[0176] 特に、トランジスタチップの数とダイオードチップの数がそろっている必要はなく、これらの数がそろっていなくても、本実施の形態3の効果は発揮される。

[0177] 本実施の形態3の電力用半導体モジュールの構成によれば、半導体素子上の空間を用いて幅広なりードフレームである第3フレーム303及び第4フレーム304を重ねて配置し、第3フレーム303で正極側バスバーを構成し、第4フレーム304で負極側バスバーを構成することで配線インダクタンスを低減でき、モジュールサイズを小型化することが可能となる。特に、正極側バスバーと負極側バスバーとの間に絶縁体1200を挟むことで、絶縁耐圧を確保した上で最近接構造とでき、加えて、第3フレーム303及び第4フレーム304のそれぞれにおいて、電流を逆向きに流す構成を取ることによって、相互インダクタンスの効果で、ソース電極側のインダクタンス値を大幅に低減でき、大電流を流してもより安定した駆動を可能とする。換言すれば、第3フレーム303及び第4フレーム304に発生する誘起電圧が互いに逆方向となるように、各部が配置されている。

[0178] その結果、ノイズに強い電力用半導体モジュールの構成にすることが可能になる。また、半導体素子に直接バスバー接続させることが無い為に、接合信頼性を格段に向上させた構成とすることができる。

[0179] (実施の形態4)

実施の形態3では、樹脂封止型のモジュールで本発明を説明してきたが、本発明のコンセプトは、これに限るものではなく、金属絶縁基板上に形成するモジュールに適用しても同様の効果が得られる。その他の形態でも、同様の効果が得られる。

[0180] 本発明の実施の形態4として、金属絶縁基板型の電力用半導体モジュールの平面図であるモジュール構成1103を図8(a)に示す。

[0181] また、図8(a)におけるB-B'で切断した本実施の形態4の電力用半

導体モジュールの断面構成 1104 を図 8 (b) に示す。

- [0182] また、図 9 (a) ~ 図 9 (e) に、本実施の形態 4 の電力用半導体モジュールの組立フロー図を示す。図 9 (a) ~ 図 9 (e) は、それぞれ、本実施の形態 4 の電力用半導体モジュールの組立時の平面図を示している。
- [0183] 本実施の形態 4 の電力用半導体モジュールの構成について説明する前に、まず、図 9 (a) ~ 図 9 (e) を用いて本実施の形態 4 の電力用半導体モジュールの組立工程について説明する。
- [0184] 図 9 (a) は、下地のセラミック基板上の配線パターン図である。
- [0185] 銅箔のパターンである、第 1 金属導電体島 331、第 2 金属導電体島 333、第 1 中間金属導電体島 335、第 2 中間金属導電体島 336、接地端子形成用島 344、ハイサイド側ゲート端子 337、ローサイド側ソース端子 325、ハイサイド側ソース端子 338、ローサイド側ゲート端子 326 が基板上に形成されている。
- [0186] 第 1 金属導電体島 331 及び第 2 金属導電体島 333 は、これらのパターン上に半導体チップが実装される。また、ハイサイド側ゲート端子 337 及びハイサイド側ソース端子 338 は、それぞれゲートパッド、ソースパッドに電気信号を送る為のリードである。同様に、ローサイド側ゲート端子 326 及びローサイド側ソース端子 325 も、それぞれ、ゲートパッド、ソースパッドに電気信号を送る為のリードが形成されるパターンである。
- [0187] これらの配線パターンが形成されたセラミック基板が、ケース 349 に取り付けられている。図 8 (b) に絶縁体 346 として示しているセラミック基板は、接着層 363 を介して放熱板 347 上に取り付けられて構成されるが、この部分の詳細説明に関しては説明を省略する。
- [0188] 図 9 (b) において、リードフレームである第 1 金属導電体島 331 及び第 2 金属導電体島 333 上に、半導体素子であるトランジスタチップ 341 及びダイオードチップ 342 がダイボンディングされることで実装される。トランジスタチップ 341 として、IGBT や SiC-MOSFET といったトランジスタを実装する。このとき、第 1 金属導電体島 331 及び第 2 金

属導電体島 333 に実装されるトランジスタチップ 341 のドレイン電極またはコレクタ電極は、第 1 金属導電体島 331 及び第 2 金属導電体島 333 に接続され、第 1 金属導電体島 331 及び第 2 金属導電体島 333 に実装されるダイオードチップ 342 のカソード電極も、第 1 金属導電体島 331 及び第 2 金属導電体島 333 に接続される。

[0189] 本実施の形態 4 の電力用半導体モジュールでは、1 アームに IGBT や SiC-MOSFET といったトランジスタチップ 311 を 3 つ、ダイオードチップ 312 を 3 つ、交互に配置する例を示している。

[0190] その後、第 1 金属導電体島 331 に実装されたトランジスタチップ 341 のソース電極またはエミッタ電極が第 1 中間金属導電体島 335 にワイヤー接続され、第 2 金属導電体島 333 に実装されたトランジスタチップ 341 のソース電極またはエミッタ電極が第 2 中間金属導電体島 336 にワイヤー接続される。

[0191] さらに、第 1 金属導電体島 331 に実装されたトランジスタチップ 341 のゲートパッドとリードフレームのハイサイド側のゲート端子 337 がワイヤー接続され、トランジスタチップ 341 のソースパッドとリードフレームのハイサイド側のソース端子 338 がワイヤー接続される。同様に、第 2 金属導電体島 333 に実装されたトランジスタチップ 341 のゲートパッドとリードフレームのローサイド側のゲート端子 326 がワイヤー接続され、トランジスタチップ 341 のソースパッドとリードフレームのローサイド側のソース端子 325 がワイヤー接続される。

[0192] 次に、図 9 (c) において、バスバーとして機能する正電極側の第 5 フレーム 332 と、負電極側の第 6 フレーム 334 を準備する。実際には、第 5 フレーム 332 及び第 6 フレーム 334 の形状を加工し、それらのリードフレーム間に絶縁体 1201 を配置して接着させる。このようにして、絶縁体 1201 を介して第 5 フレーム 332 及び第 6 フレーム 334 が平行に配置された複合体を形成する。

[0193] そして、図 9 (d) において、図 9 (c) において形成した第 5 フレーム

332及び第6フレーム334の複合体を、第1金属導電体島331及び第2金属導電体島333の上方に配置し、第5フレーム332の足が第1中間金属導電体島335に金属接合され、第6フレーム334の足が、第2中間金属導電体島336に金属接合される。またこのとき、第5フレーム332の足が、接合点351で第2金属導電体島333に金属接合される。

[0194] その後、図9(e)において、電源端子327、接地端子328及び出力端子329を形成する。最後に、ケース349にシリコンゲル348を注入することで絶縁強度が安定化される。

[0195] このような組立フローを経ることで、本実施の形態4の電力用半導体モジュールが完成する。

[0196] 次に、図8(a)及び図8(b)を用いて、図9(a)～図9(e)に示した組立フローを経て作製した本実施の形態4の電力用半導体モジュールの構成について説明する。

[0197] 絶縁体346は、セラミック基板で構成される。例えば、窒化アルミ(AlN)基板、窒化珪素(SiN)基板が最適で、その他、アルミナ(Al₂O₃)基板といったものもよく用いられ、その表面に大電流を流せる厚い金属配線が形成される。

[0198] 図8(a)に示すように、互いに略並行に配置された第1金属導電体島331と第2金属導電体島333の外側に、これらの島より幅の狭い第1中間金属導電体島335及び第2中間金属導電体島336が、第1中間金属導電体島335は第1金属導電体島331に近い側に略平行に、第2中間金属導電体島336は第2金属導電体島333に近い側に略平行に配置されている。

[0199] 第1金属導電体島331上及び第2金属導電体島333上に、複数の半導体チップがダイボンド材により接着されることで実装される。これらの半導体チップは、トランジスタチップ341及びダイオードチップ342で構成される。

[0200] 第1金属導電体島331及び第2金属導電体島333は、放熱板347上

に絶縁体346を介して配置される。第1金属導電体島331及び第2金属導電体島333は、絶縁体346に接着層362により固定される。放熱板347は、熱伝導率の大きいCu、Alといった材料で構成するのが良い。絶縁体346は、放熱板347に接着層363により固定される。絶縁体346は、熱伝導性が良く、かつ電気絶縁性の良い材料で構成するのが良い。

[0201] なお、トランジスタチップ341としてSiC-MOSFETを用いる本実施の形態4の電力用半導体モジュールの構成が、本発明の電力用半導体モジュールの一例にあたる。また、第1金属導電体島331上に実装するトランジスタチップ341及びダイオードチップ342が、それぞれ、本発明の第1トランジスタ及び第1ダイオードの一例にあたる。また、第2金属導電体島333上に実装するトランジスタチップ341及びダイオードチップ342が、それぞれ、本発明の第2トランジスタ及び第2ダイオードの一例にあたる。また、絶縁体346が、本発明の第1絶縁体の一例にあたる。

[0202] 本実施の形態4の電力用半導体モジュール全体は、ケース349により外形が決められ、高耐熱シリコンゲル348等により満たされ、耐電圧等を確保する。

[0203] 第1金属導電体島331上のトランジスタチップ341のソース電極またはエミッタ電極から第1中間金属導電体島335に金属の接続線339で接続されており、第1金属導電体島331上のダイオードチップ342のアノード電極から第1中間金属導電体島335に金属の接続線40で接続されている。第1中間金属導電体島335上の、金属の接続線339、340が無い場所に、第1金属導電体島331の上方に配置されている第5フレーム332の足が接続されている。

[0204] 第2金属導電体島333上のトランジスタチップ341のソース電極またはエミッタ電極から第2中間金属導電体島336に金属の接続線339で接続されており、第2金属導電体島333上のダイオードチップ342のアノード電極から第2中間金属導電体島336に金属の接続線40で接続されている。第2中間金属導電体島336上の、金属の接続線339、340が無

い場所に、第2金属導電体島333の上方に配置されている第6フレーム334の足が接続されている。

[0205] なお、第1金属導電体島331上のトランジスタチップ341及びダイオードチップ342と第1中間金属導電体島335とを接続する金属の接続線339及び340が、本発明の金属の第1接続線の一例にあたる。また、第2金属導電体島333上のトランジスタチップ341及びダイオードチップ342と第2中間金属導電体島336とを接続する金属の接続線339及び340が、本発明の金属の第2接続線の一例にあたる。

[0206] 更に、第5フレーム332は第6フレーム334との間に絶縁体1201を挟むように配置され、第1金属導電体島331と第2金属導電体島333上に配置されたトランジスタチップ341及びダイオードチップ342を覆うように構成するのが望ましい。

[0207] なお、絶縁体1201が、本発明の第2絶縁体の一例にあたる。

[0208] 第5フレーム332及び第6フレーム334間の絶縁体1201は、絶縁樹脂またはセラミックで構成するのが望ましい。

[0209] また、絶縁体1201の厚みは、耐圧と電気特性のトレードオフの関係で適切に設定されるのは実施の形態3において説明した通りであるので詳細の説明は省略する。インダクタンス低減効果を発揮するのに、絶縁体1201の厚みを10 μ m以上、1mm以下に設定するのも実施の形態3において説明した通りである。

[0210] 第1金属導電体島331上のトランジスタチップ341のソース電極またはエミッタ電極から第1中間金属導電体島335に接続するのに用いられる金属の接続線339は、通常であれば、Alのワイヤーを複数本で構成し、大電流にも対応している。

[0211] 最近では、Alのリボン、Cuのリボンで構成することで、接合信頼性を向上させつつ、さらなる大電流化、高放熱性を実現することができる。また、金属の接続線339に代えて、Alクリップ、Cuクリップ、その他材料からなるクリップを用いても同様の機能を実現することが可能である。

- [0212] ダイオードチップ342のアノード電極から第1中間金属導電体島335に接続するのに用いられる金属の接続線40も、上記と同様である。
- [0213] また、第2金属導電体島333上のトランジスタチップ341及びダイオードチップ342と、第2中間金属導電体島336とを結線するのに用いられる金属の接続線339、340も、上記と同様である。
- [0214] 第1金属導電体島331の延長部分は、電極としての機能を有しており、P（電源）端子327として機能する。
- [0215] 第6フレーム334の延長部分は、電極としての機能を有しており、N端子（接地端子）328と接続される。ここで、接地端子（N）形成用島344を設けておき、ここに第6フレームを接合点343と接合させることで端子を形成するのが望ましい。
- [0216] 第5フレーム332と第2金属導電体島333は、P端子（電源端子）327及びN端子（接地端子）328とは逆側に配置されている金属接合点351で結線されており、第2金属導電体島333の延長部分は、電極としての機能を有しており、O端子（出力端子）329として機能する。
- [0217] このような構成により、第1中間金属導電体島335、第2中間金属導電体島336、第5フレーム332及び第6フレーム334を組み合わせることで、半導体チップ上の空間を幅広の低インダクタンス化を実現できる配線（バスバー）として利用することができるので、電力用半導体モジュールの小形化も実現でき、半導体チップを搭載している第1金属導電体島331と第2金属導電体島333の配置を近接させることができる為に、更なる低インダクタンス化を実現することを達成することが可能となる。
- [0218] また、電力用半導体モジュールのサイズも大幅に低減させることが可能となる。従って、配線長も短くなり更に低インダクタンス化が図れるので効果が大きい。
- [0219] ゲート配線に関しては、ハイサイド側ゲート端子337及びローサイド側ゲート端子326と、それぞれに対応するトランジスタチップ341のゲートパッド間に金属ワイヤーで繋ぎ込まれる。

- [0220] ソース配線に関しては、ハイサイド側ソース端子338及びローサイド側ソース端子325と、それぞれに対応するトランジスタチップ341のソース電極間に金属ワイヤーで繋ぎ込まれる。
- [0221] 下面側に配置される放熱板347上に絶縁体346を配置し、その上に各フレームを配置している構成で、外枠で規定されるケース349にシリコンゲル348等を注入して絶縁を確保することで、本実施の形態4の電力用半導体モジュールは完成する。
- [0222] ここに示した例に限らず、半導体チップの数や配置は、電力用半導体モジュールの電流定格で任意の組み合わせで決定されるものであるので、特に規定されるものではない。
- [0223] 半導体チップ数の最小構成単位は、トランジスタチップ1つのみ、または、トランジスタチップ及びダイオードチップが1つの構成であるが、このような構成であってもデバイスの高速動作を達成する為にはインダクタンス低減の要求があるので、本実施の形態4の電力用半導体モジュールの構成を適用することによる効果は大きい。
- [0224] なお、本実施の形態4の構成においても、実施の形態3と同様に、トランジスタチップの数とダイオードチップの数がそろっている必要はない。
- [0225] なお、図10に示した従来の構成では、バスバーと半導体チップを直接接合させる為、構成している半導体チップ間に温度分布があると、接合界面に大きなストレスがかかりデバイスの信頼性を劣化させるという課題もあった。より詳細には、温度が高い部分では膨張が大きく低温の部分では膨張が小さいことから、長期間の使用後にバスバーと半導体チップとの接合部にクラックが入ったり、半導体チップとダイパッド間のダイボンド材にクラックが入ったりといった不具合が起こることも判明した。様々な試験の結果、複数の半導体チップを一つのバスバーで連結することは信頼性確保上好ましくない構成であることも判明した。
- [0226] 各実施の形態で説明した本発明の構成によれば、半導体チップとフレーム間接合の代わりにフレームとフレーム間の金属接合で結線が実現できる為に

、より大きな熱、振動ストレスを印加することで強固な接合を実現できる。半導体チップと中間フレームの接合に関しては、半導体チップ毎の配線とすることで半導体チップ間に温度分布が発生してもそれぞれの半導体チップとフレーム間接合が個別に信頼性を確保できれば全体の信頼性を向上させることができる。このような構成にすることで、上記で説明した従来の課題を解決できることが判明した。

[0227] 以上に説明したように、本発明の電力用半導体モジュールの構成によれば、困難である半導体チップとバスバーの強接合を実現できなくても、中間フレームを利用して幅広い正極側バスバー及び負極側バスバーを半導体チップ上の空間で重ね合わせることで最近接の構成を取ることにより、従来技術に比べて、配線インダクタンスを大幅に低減することが可能になる。これにより、モジュール全体としてノイズに強く信頼性の高い電力用半導体モジュールを提供することが可能になる。

[0228] 上記の通り、本発明の電力用半導体モジュールによれば、
複数の第1トランジスタ及び第1ダイオードが配置された第1フレームと、
、
複数の第2トランジスタ及び第2ダイオードが配置された、前記第1フレームに隣接する第2フレームと、
前記第1フレーム及び前記第2フレームの外側に配置され、前記第1フレームに隣接する第1中間フレームと、
前記第1フレーム及び前記第2フレームの外側に配置され、前記第2フレームに隣接する第2中間フレームと、
前記第1中間フレームに電氣的に接続されて、前記第1フレームの上方に配置された第3フレームと、
前記第2中間フレームに電氣的に接続されて、前記第2フレームの上方に配置された第4フレームと、
前記第1フレームの延長上に設けられた電源端子と、
前記第4フレームの延長上に設けられた接地端子と、

前記第2フレーム及び前記第3フレームが電氣的に繋がれた延長上に設けられた出力端子とを備え、

前記第1トランジスタのドレイン電極は、前記第1フレームに接続され、
前記第1トランジスタのソース電極及び前記第1ダイオードのアノード電極は、前記第1中間フレームに金属の第1接続線で接続され、

前記第2トランジスタのドレイン電極は、前記第2フレームに接続され、
前記第2トランジスタのソース電極及び前記第2ダイオードのアノード電極は、前記第2中間フレームに金属の第2接続線で接続され、

前記第1中間フレーム及び前記第2中間フレームの近傍に、ゲート端子及びソース端子が配置され、

全ての前記フレームは、放熱板の上に、樹脂系材料で構成された第1絶縁体を介して配置され、全ての前記フレームの少なくとも一部が、モールド樹脂で覆われており、

第2絶縁体が、前記第3フレーム及び前記第4フレームの間に挟まれており、前記第3フレーム及び前記第4フレームには、上下方向に互いに重なっている部分があり、

前記第3フレーム及び前記第4フレームを流れる各電流が互いに逆方向に流れるように構成されていることを特徴とする。

[0229] また、本発明の電力用半導体モジュールによれば、
前記第1中間フレームに前記第3フレームの足が接続され、
前記第2中間フレームに前記第4フレームの足が接続され、
前記第3フレームの足は、複数の前記第1接続線の間配置され、
前記第4フレームの足は、複数の前記第2接続線の間配置されていることを特徴とする。

[0230] また、本発明の電力用半導体モジュールによれば、
前記第4フレームは、前記第1フレーム及び前記第2フレームの上方に配置され、
前記第3フレームは、前記第4フレームの上方に配置されている。

- [0231] また、本発明の電力用半導体モジュールによれば、
前記電源端子及び前記接地端子は、前記電力用半導体モジュールの側面のうち同じ側面側に配置されており、
前記出力端子は、前記電力用半導体モジュールの側面のうち、前記電源端子及び前記接地端子とは反対側の側面側に配置されている。
- [0232] また、本発明の電力用半導体モジュールによれば、
複数の第1トランジスタ及び第1ダイオードが配置された第1金属導電体島と、
複数の第2トランジスタ及び第2ダイオードが配置された、前記第1金属導電体島に隣接する第2金属導電体島と、
前記第1金属導電体島及び前記第2金属導電体島の外側に配置され、前記第1金属導電体島に隣接する第1中間金属導電体島と、
前記第1金属導電体島及び前記第2金属導電体島の外側に配置され、前記第2金属導電体島に隣接する第2中間金属導電体島と、
前記第1中間金属導電体島に電氣的に接続されて、前記第1金属導電体島の上方に配置された第5フレームと、
前記第2中間金属導電体島に電氣的に接続されて、前記第2金属導電体島の上方に配置された第6フレームと、
前記第1金属導電体島の延長上に設けられた電源端子と、
前記第6フレームの延長上に設けられた接地端子と、
前記第2金属導電体島及び前記第5フレームが電氣的に繋がり、前記第2金属導電体島に接続された出力端子とを備え、
前記第1トランジスタのドレイン電極は、前記第1金属導電体島に接続され、
前記第1トランジスタのソース電極及び前記第1ダイオードのアノード電極は、前記第1中間金属導電体島に金属の第1接続線で接続され、
前記第2トランジスタのドレイン電極は、前記第2金属導電体島に接続され、

前記第2トランジスタのソース電極及び前記第2ダイオードのアノード電極は、前記第2中間金属導電体島に金属の第2接続線で接続され、

前記第1中間金属導電体島及び前記第2中間金属導電体島の近傍に、ゲート端子及びソース端子が配置され、

全ての前記金属導電体島は、放熱板の上に、セラミック材料で構成された第1絶縁体を介して配置され、全ての前記金属導電体島の少なくとも一部が、ゲル状の樹脂で覆われており、

第2絶縁体が、前記第5フレーム及び前記第6フレームの間に挟まれており、前記第5フレーム及び前記第6フレームには、上下方向に互いに重なっている部分があり、

前記第5フレーム及び前記第6フレームを流れる各電流が互いに逆方向に流れるように構成されていることを特徴とする。

[0233] また、本発明の電力用半導体モジュールによれば、
前記第1中間金属導電体島に前記第5フレームの足が接続され、
前記第2中間金属導電体島に前記第6フレームの足が接続され、
前記第5フレームの足は、複数の前記第1接続線の間配置され、
前記第6フレームの足は、複数の前記第2接続線の間配置されている。

[0234] また、本発明の電力用半導体モジュールによれば、
前記第5フレームは、前記第6フレームの上方に配置されている。

[0235] また、本発明の電力用半導体モジュールによれば、
前記第1接続線及び前記第2接続線は、リボンで構成されている。

[0236] また、本発明の電力用半導体モジュールによれば、
前記第1接続線及び前記第2接続線は、クリップで構成されている。

[0237] また、上記構成により、モジュールサイズを小型化して配線インダクタンスを低減でき、ノイズに強い電力用半導体モジュールを提供できる。

産業上の利用可能性

[0238] 本発明に係る電力用半導体モジュールは、モジュールサイズを小型化して配線インダクタンスを低減できる効果を有し、電源電圧の高電圧化、大電流

化及びデバイス的高速化等が要求される場合に利用する電力用半導体モジュール等として有用である。

符号の説明

- [0239]
- 1 第1フレーム
 - 2 第2フレーム
 - 3 第3フレーム
 - 4 第4フレーム
 - 5 第1中間フレーム
 - 6 第2中間フレーム
 - 7 ハイサイド側ゲート端子
 - 8 ハイサイド側ソース端子
 - 9、10 金属の接続線
 - 11 トランジスタチップ
 - 12 ダイオードチップ
 - 13 ゲートパッド
 - 14 ゲート配線
 - 15 ソース配線
 - 16 絶縁体
 - 17 放熱板
 - 18 絶縁樹脂
 - 19 絶縁樹脂の外枠
 - 20 ローサイド側ソース端子
 - 21 ローサイド側ゲート端子
 - 22 電源端子部 (P)
 - 23 接地端子部 (N)
 - 24 出力端子部 (O)
 - 25 ローサイド側ソース端子
 - 26 ローサイド側ゲート端子

- 27 電源端子 (P)
- 28 接地端子 (N)
- 29 出力端子 (O)
- 31 第1金属導電体島
- 32 第5フレーム
- 33 第2金属導電体島
- 34 第6フレーム
- 35 第1中間金属導電体島
- 36 第2中間金属導電体島
- 37 ハイサイド側ゲート端子
- 38 ハイサイド側ソース端子
- 39、40 金属の接続線
- 41 トランジスタチップ
- 42 ダイオードチップ
- 43 接合点
- 44 接地端子 (N) 形成用島
- 46 絶縁体
- 47 放熱板
- 48 シリコンゲル
- 49 ケース
- 50、51 接合点
- 62、63 接着層
- 71 バスバーの正極側内部電極
- 72 バスバーの負極側内部電極
- 73 ハイサイド側素子群
- 74 ローサイド側素子群
- 101 モジュール構成
- 102 モジュール断面構成

- 103 モジュール構成
- 104 モジュール断面構成
- 301 第1フレーム
- 302 第2フレーム
- 303 第3フレーム
- 304 第4フレーム
- 305 第1中間フレーム
- 306 第2中間フレーム
- 307 ハイサイド側ゲート端子
- 308 ハイサイド側ソース端子
- 309、310 金属の接続線
- 311 トランジスタチップ
- 312 ダイオードチップ
- 313 ゲートパッド
- 314 ゲート配線
- 315 ソース配線
- 316 絶縁体
- 317 放熱板
- 318 絶縁樹脂
- 319 絶縁樹脂の外枠
- 320 ローサイド側ソース端子
- 321 ローサイド側ゲート端子
- 322 電源端子部 (P)
- 323 接地端子部 (N)
- 324 出力端子部 (O)
- 325 ローサイド側ソース端子
- 326 ローサイド側ゲート端子
- 327 電源端子 (P)

- 3 2 8 接地端子 (N)
- 3 2 9 出力端子 (O)
- 3 3 1 第 1 金属導電体島
- 3 3 2 第 5 フレーム
- 3 3 3 第 2 金属導電体島
- 3 3 4 第 6 フレーム
- 3 3 5 第 1 中間金属導電体島
- 3 3 6 第 2 中間金属導電体島
- 3 3 7 ハイサイド側ゲート端子
- 3 3 8 ハイサイド側ソース端子
- 3 3 9、3 4 0 金属の接続線
- 3 4 1 トランジスタチップ
- 3 4 2 ダイオードチップ
- 3 4 3 接合点
- 3 4 4 接地端子 (N) 形成用島
- 3 4 6 絶縁体
- 3 4 7 放熱板
- 3 4 8 シリコーンゲル
- 3 4 9 ケース
- 3 5 0、3 5 1 接合点
- 3 6 2、3 6 3 接着層
- 1 1 0 1 モジュール構成
- 1 1 0 2 モジュール断面構成
- 1 1 0 3 モジュール構成
- 1 1 0 4 モジュール断面構成
- 1 2 0 0、1 2 0 1 絶縁体

請求の範囲

[請求項1]

複数の第1トランジスタ及び第1ダイオードが配置された第1フレームと、

複数の第2トランジスタ及び第2ダイオードが配置された第2フレームと、

前記第1フレームに隣接する第1中間フレームと、

前記第2フレームに隣接する第2中間フレームと、

前記第1中間フレームに電氣的に接続されて、前記第1フレームの上方に配置された第3フレームと、

前記第2中間フレームに電氣的に接続されて、前記第2フレームの上方に配置された第4フレームと、

前記第1フレームの延長上に設けられた電源端子と、

前記第4フレームの延長上に設けられた接地端子と、

前記第2フレーム及び前記第3フレームが電氣的に繋がれた延長上に設けられた出力端子とを備え、

前記第1トランジスタのドレイン電極は、前記第1フレームに接続され、

前記第1トランジスタのソース電極及び前記第1ダイオードのアノード電極は、前記第1中間フレームに金属の第1接続線で接続され、

前記第2トランジスタのドレイン電極は、前記第2フレームに接続され、

前記第2トランジスタのソース電極及び前記第2ダイオードのアノード電極は、前記第2中間フレームに金属の第2接続線で接続され、

前記第1トランジスタ及び前記第2トランジスタの近傍に、ゲート端子及びソース端子が配置され、

全ての前記フレームは、放熱板の上に、樹脂系材料で構成された絶縁体を介して配置され、全ての前記フレームの少なくとも一部が、モールド樹脂で覆われており、

前記第3フレーム及び前記第4フレームは、互いに平行に配置されており、前記第3フレーム及び前記第4フレームに発生する誘起電圧が互いに逆方向となるように、前記電源端子、前記接地端子及び前記出力端子が配置されていることを特徴とする電力用半導体モジュール。

[請求項2] 前記第1中間フレームに前記第3フレームの足が接続され、前記第2中間フレームに前記第4フレームの足が接続され、前記第3フレームの足は、複数の前記第1接続線の間配置され、前記第4フレームの足は、複数の前記第2接続線の間配置されていることを特徴とする、請求項1に記載の電力用半導体モジュール。

[請求項3] 前記第3フレームは、前記第1トランジスタ及び前記第1ダイオードの上方を覆うように配置されており、前記第4フレームは、前記第2トランジスタ及び前記第2ダイオードの上方を覆うように配置されている、ことを特徴とする、請求項1に記載の電力用半導体モジュール。

[請求項4] 前記第1トランジスタのゲート電極は、前記第1中間フレームとは反対の側に配置され、前記第2トランジスタのゲート電極は、前記第2中間フレームとは反対の側に配置されていることを特徴とする、請求項1に記載の電力用半導体モジュール。

[請求項5] 複数の第1トランジスタ及び第1ダイオードが配置された第1金属導電体島と、複数の第2トランジスタ及び第2ダイオードが配置された第2金属導電体島と、前記第1金属導電体島に隣接する第1中間金属導電体島と、前記第2金属導電体島に隣接する第2中間金属導電体島と、前記第1中間金属導電体島に電氣的に接続されて、前記第1金属導電体島の上方に配置された第5フレームと、

前記第2中間金属導電体島に電氣的に接続されて、前記第2金属導電体島の上方に配置された第6フレームと、

前記第1金属導電体島の延長上に設けられた電源端子と、

前記第6フレームの延長上に設けられた接地端子と、

前記第2金属導電体島及び前記第5フレームが電氣的に繋がり、前記第2金属導電体島に接続された出力端子とを備え、

前記第1トランジスタのドレイン電極は、前記第1金属導電体島に接続され、

前記第1トランジスタのソース電極及び前記第1ダイオードのアノード電極は、前記第1中間金属導電体島に金属の第1接続線で接続され、

前記第2トランジスタのドレイン電極は、前記第2金属導電体島に接続され、

前記第2トランジスタのソース電極及び前記第2ダイオードのアノード電極は、前記第2中間金属導電体島に金属の第2接続線で接続され、

前記第1トランジスタ及び前記第2トランジスタの近傍に、ゲート端子及びソース端子が配置され、

全ての前記金属導電体島は、放熱板の上に、セラミック材料で構成された絶縁体を介して配置され、全ての前記金属導電体島の少なくとも一部が、ゲル状の樹脂で覆われており、

前記第5フレーム及び前記第6フレームは、互いに平行に配置されており、前記第5フレーム及び前記第6フレームに発生する誘起電圧が互いに逆方向となるように、前記電源端子、前記接地端子及び前記出力端子が配置されていることを特徴とする電力用半導体モジュール。

[請求項6]

前記第1中間金属導電体島に前記第5フレームの足が接続され、

前記第2中間金属導電体島に前記第6フレームの足が接続され、

前記第5フレームの足は、複数の前記第1接続線の間配置され、
前記第6フレームの足は、複数の前記第2接続線の間配置されて
いることを特徴とする、請求項5に記載の電力用半導体モジュール。

[請求項7]

前記第5フレームは、前記第1トランジスタ及び前記第1ダイオードの上方を覆うように配置されており、

前記第6フレームは、前記第2トランジスタ及び前記第2ダイオードの上方を覆うように配置されている、ことを特徴とする、請求項5に記載の電力用半導体モジュール。

[請求項8]

前記第1接続線及び前記第2接続線は、リボンで構成されていることを特徴とする、請求項1または5に記載の電力用半導体モジュール。

[請求項9]

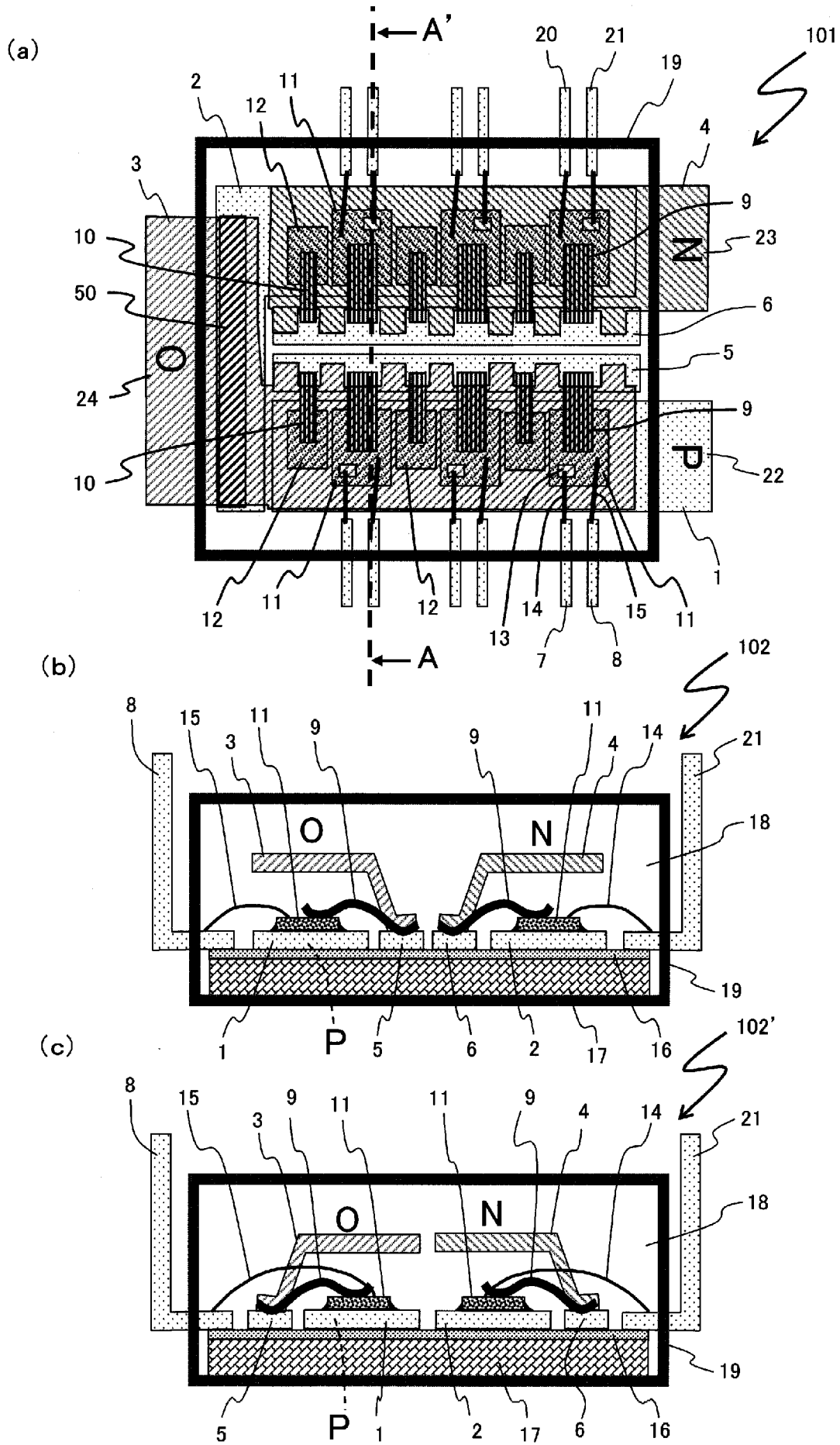
前記第1接続線及び前記第2接続線は、クリップで構成されていることを特徴とする、請求項1または5に記載の電力用半導体モジュール。

[請求項10]

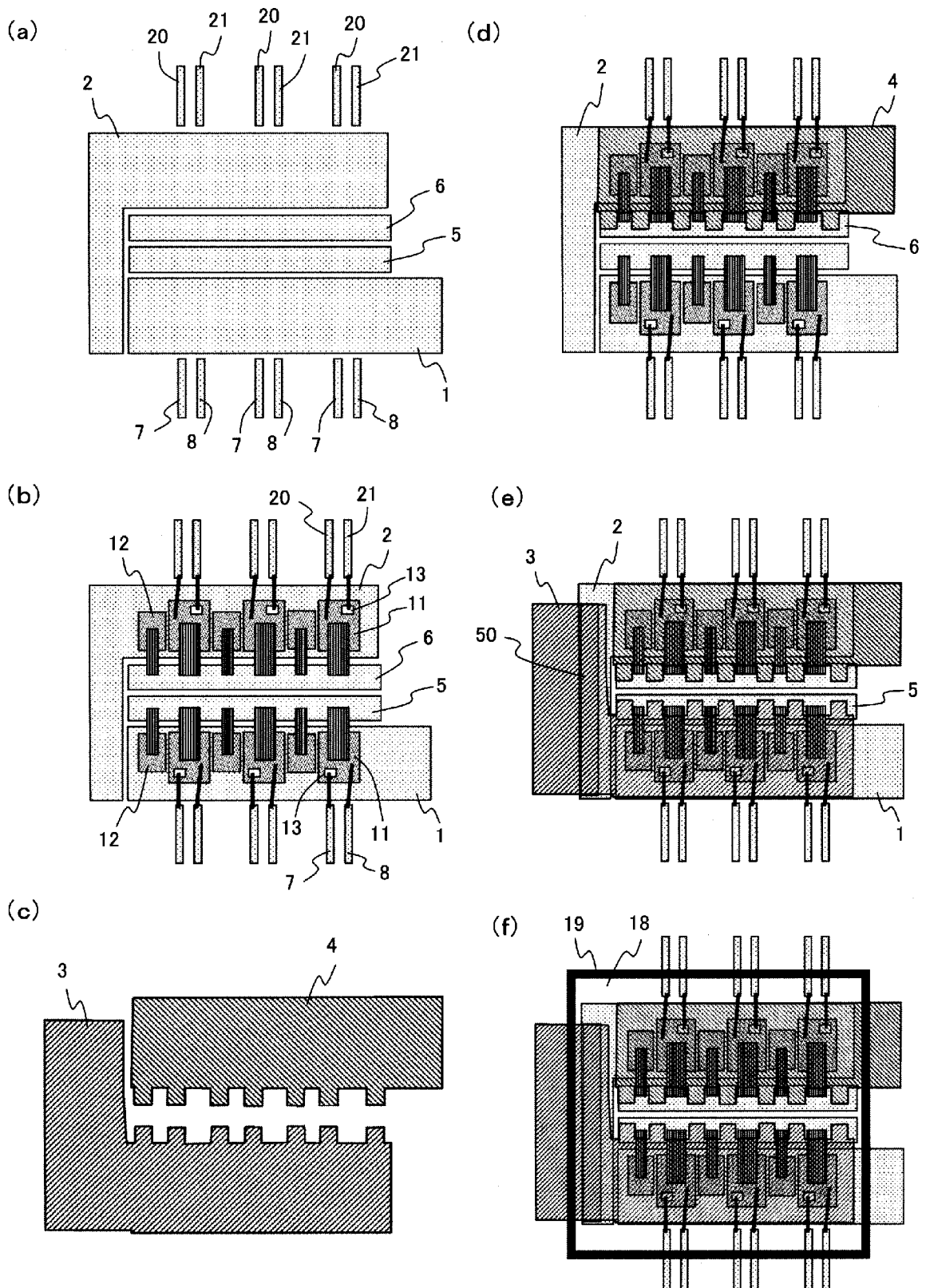
前記第1トランジスタのゲート電極は、前記第1中間金属導電体島とは反対の側に配置され、

前記第2トランジスタのゲート電極は、前記第2中間金属導電体島とは反対の側に配置されていることを特徴とする、請求項5に記載の電力用半導体モジュール。

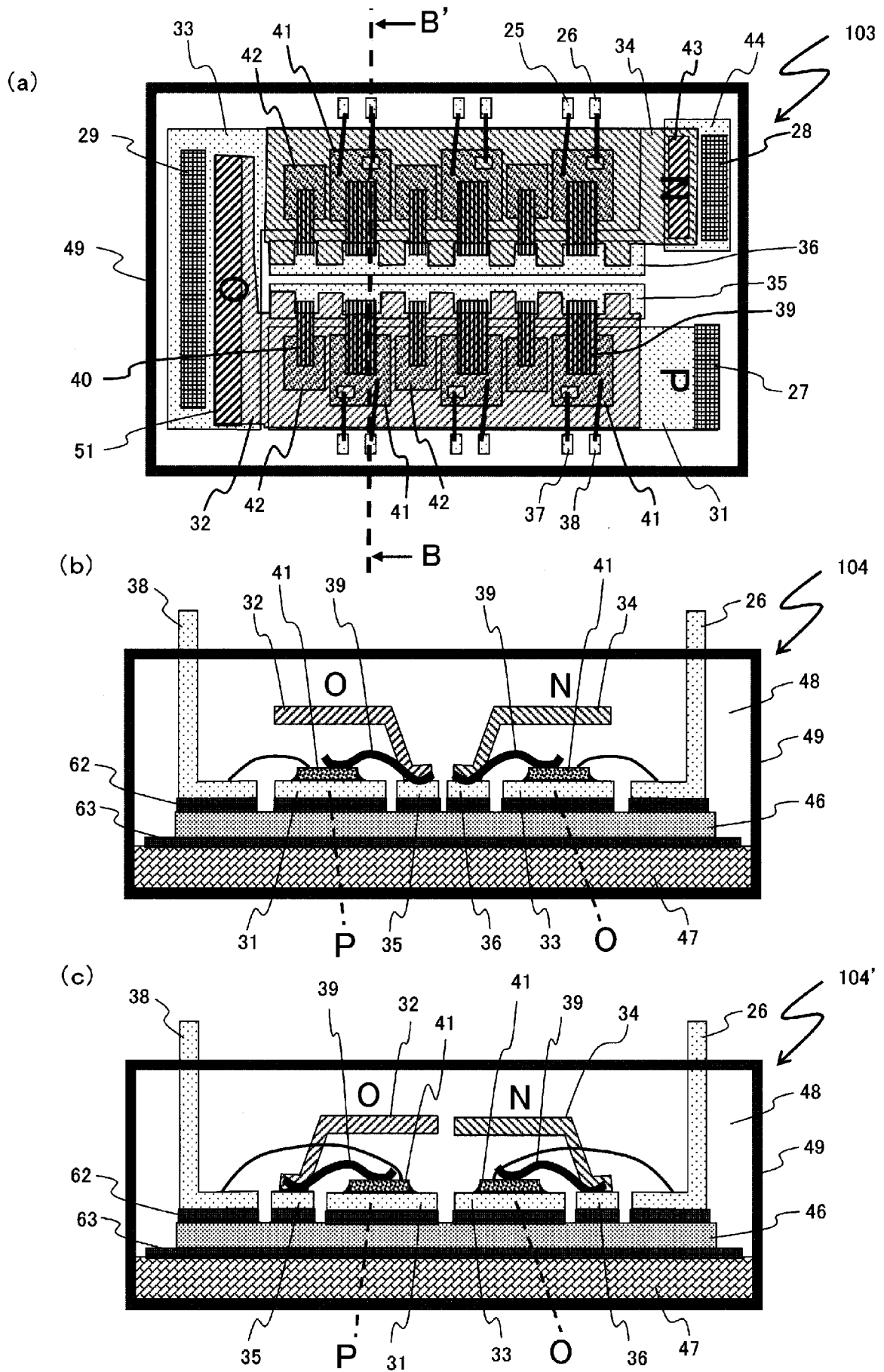
[図1]



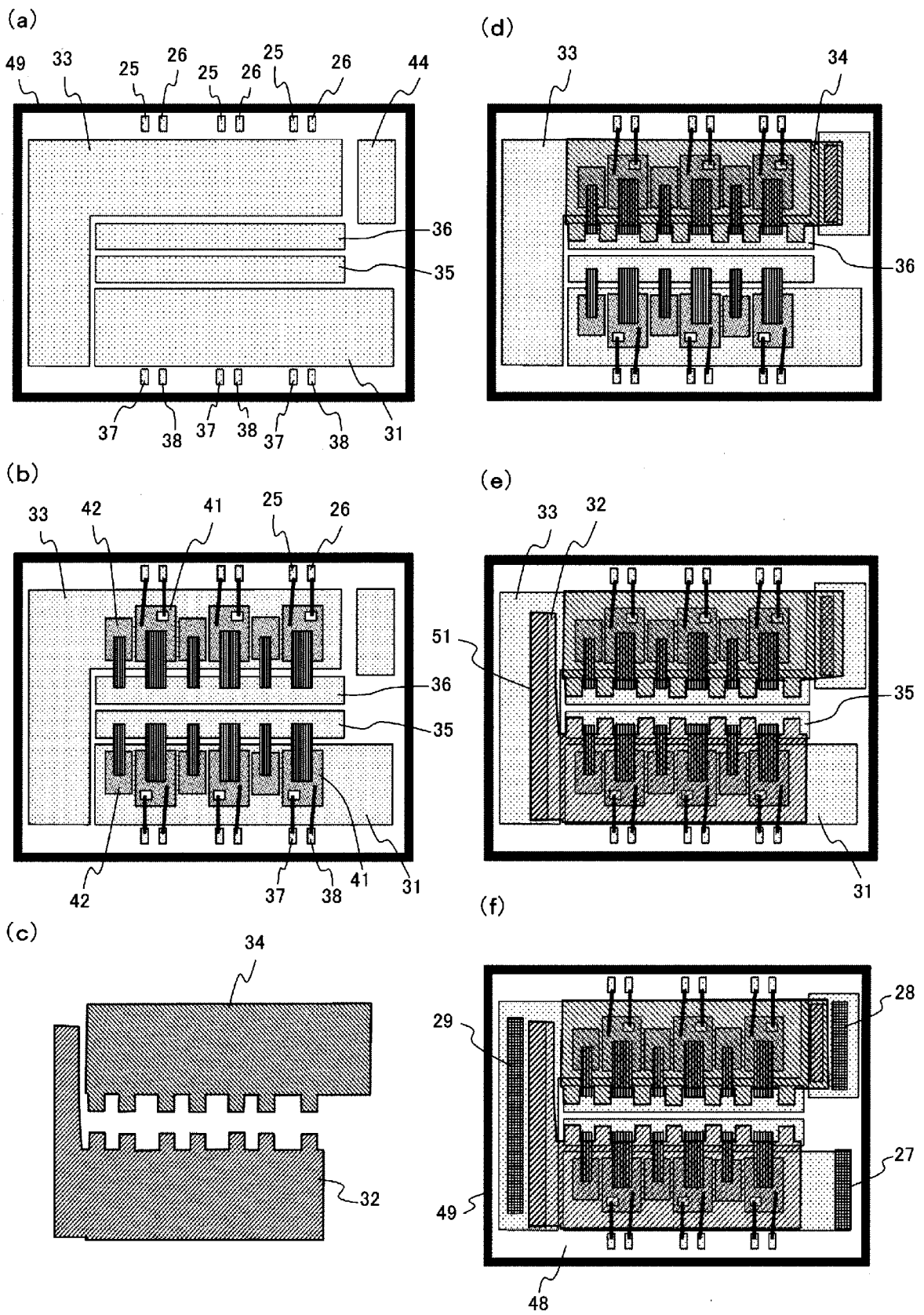
[図2]



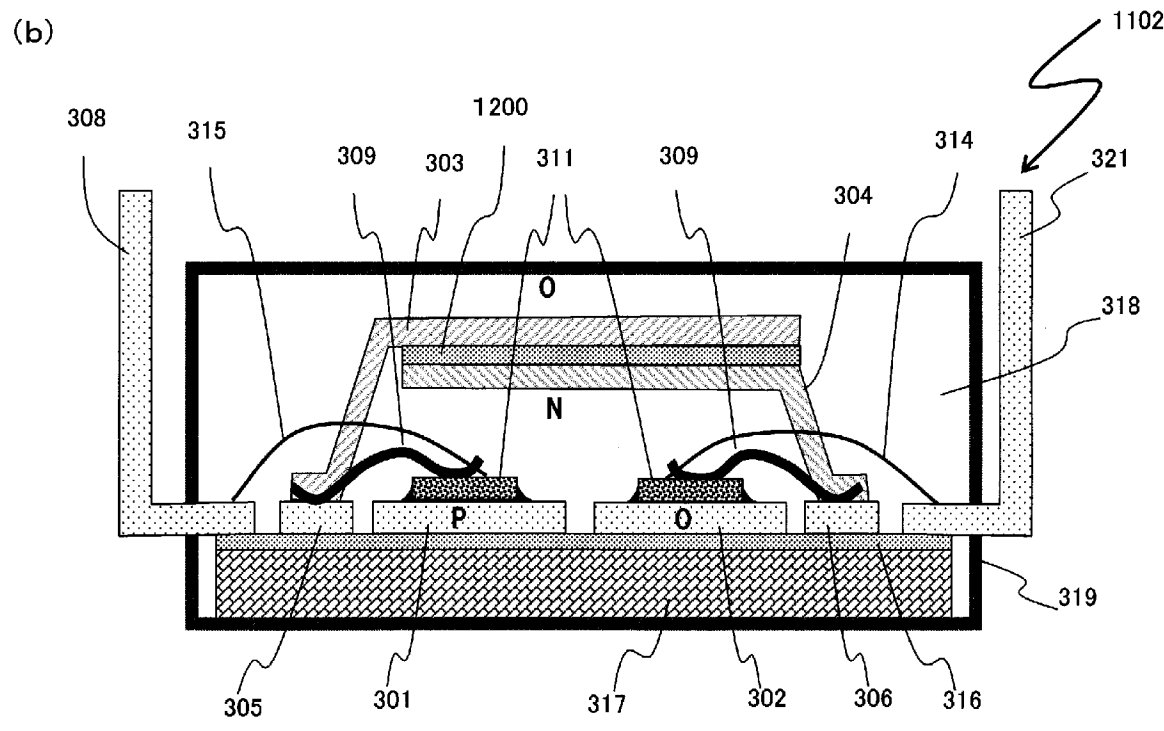
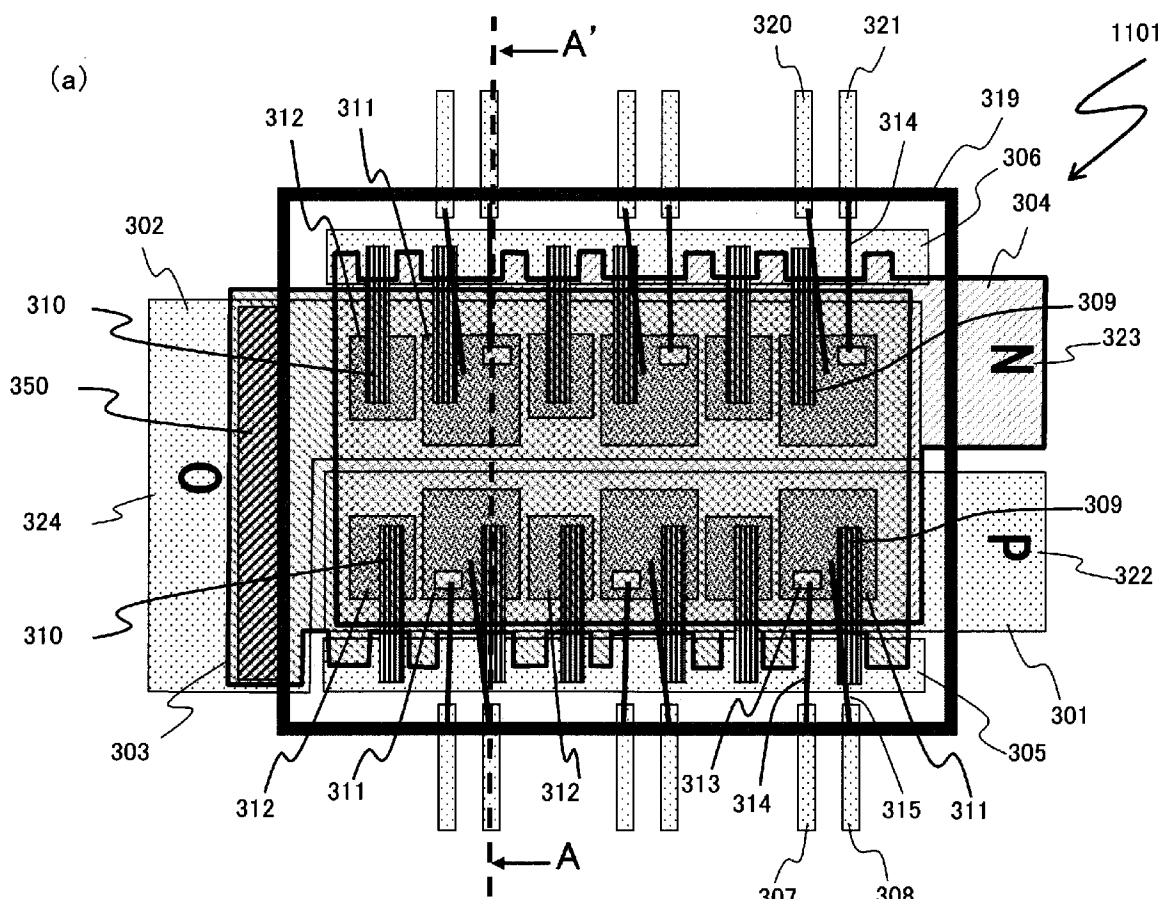
[図3]



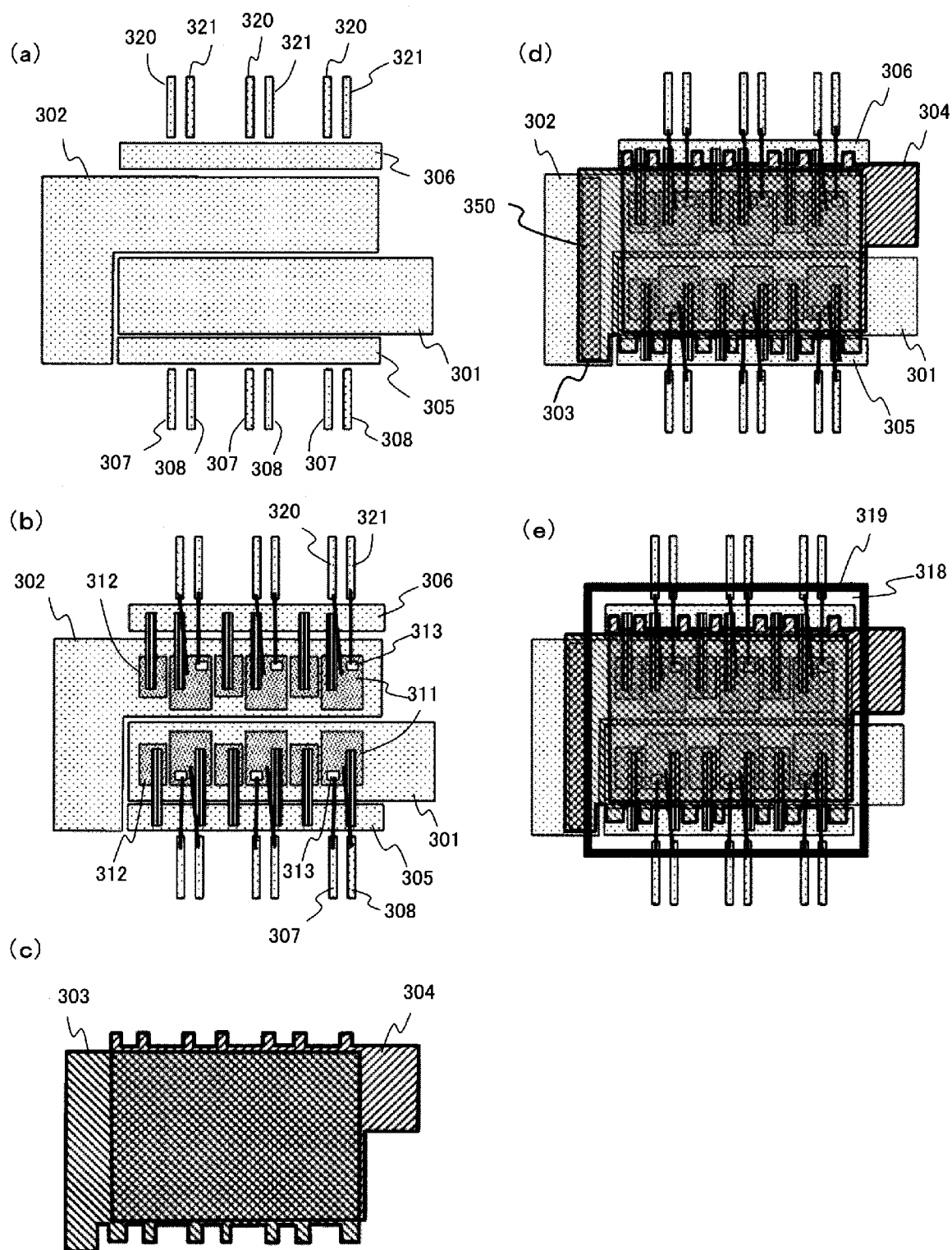
[図4]



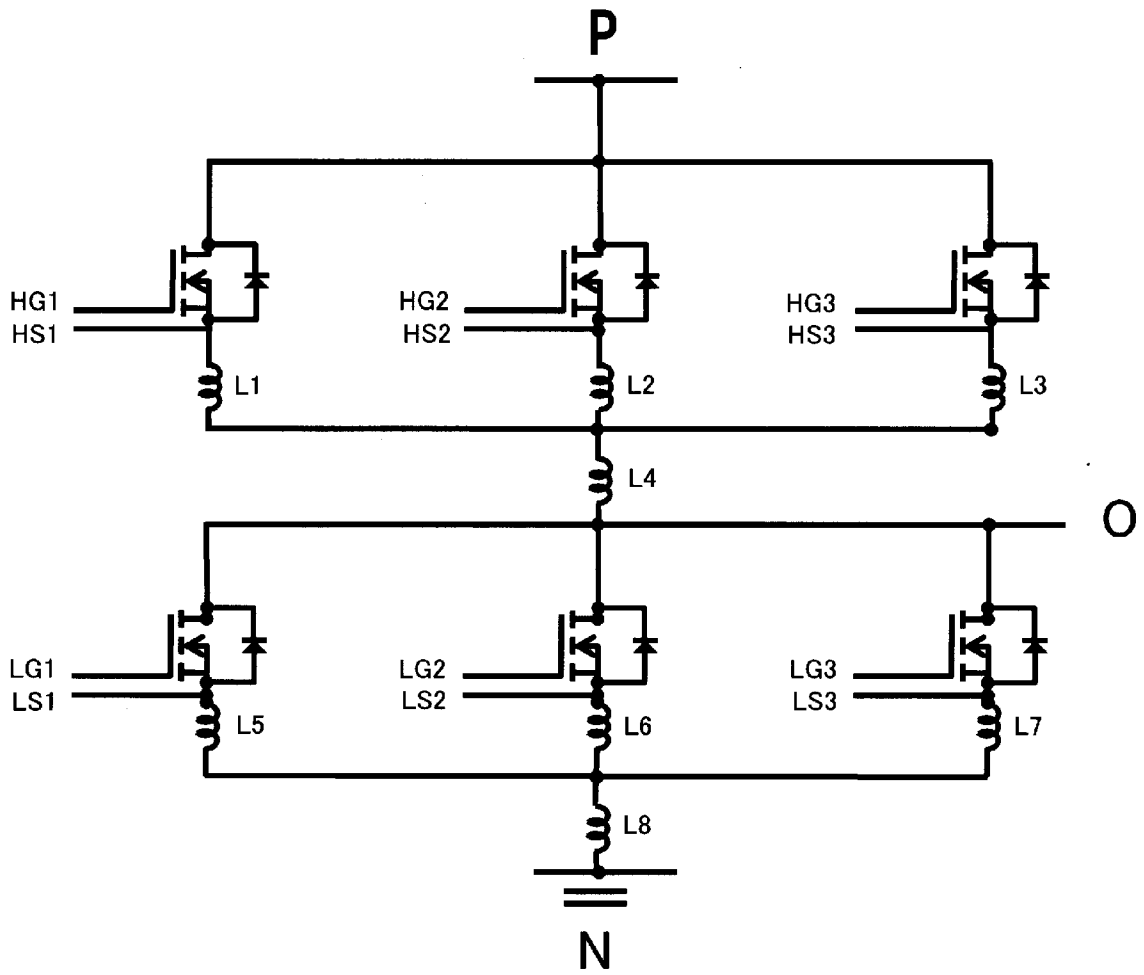
[図5]



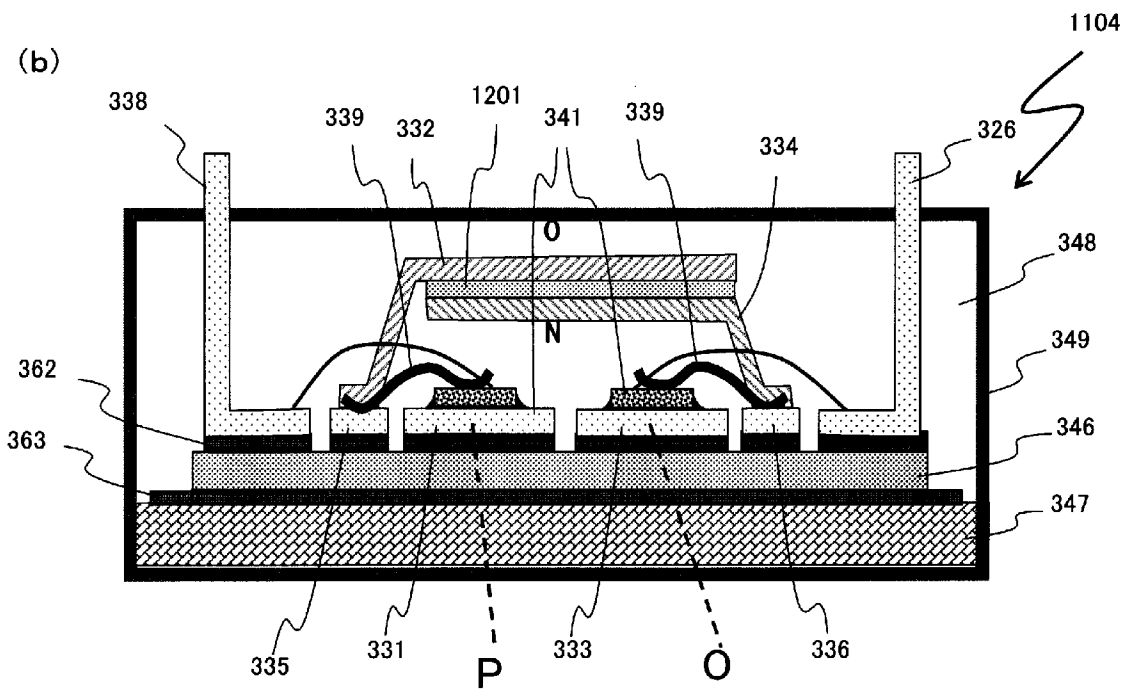
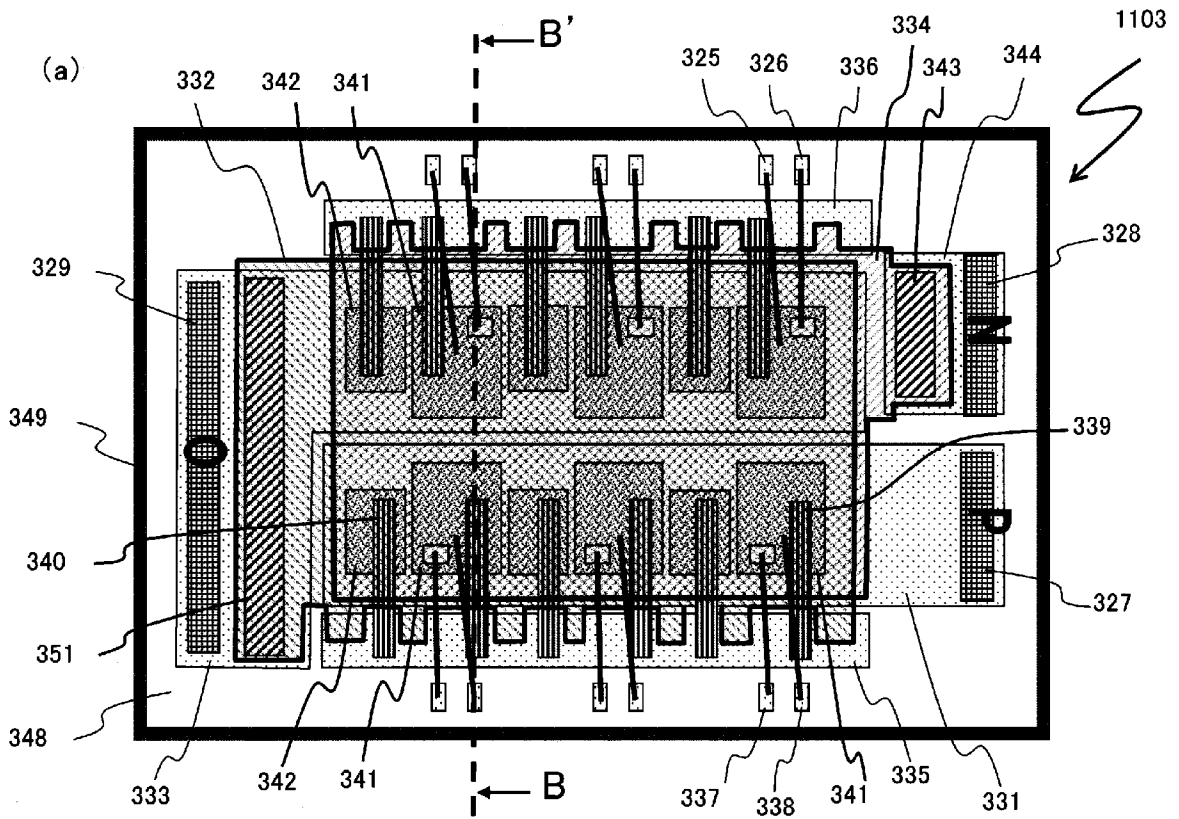
[図6]



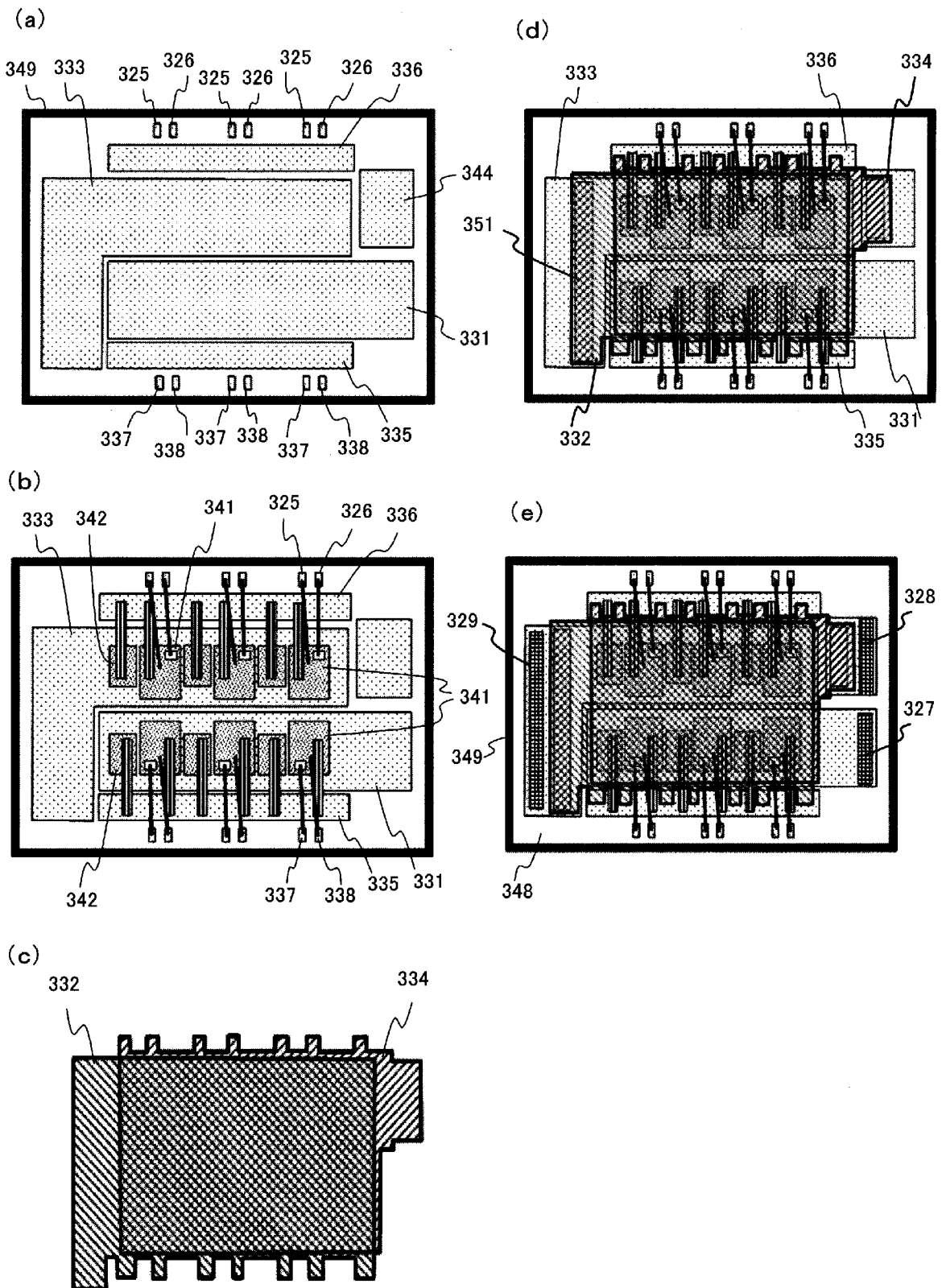
[図7]



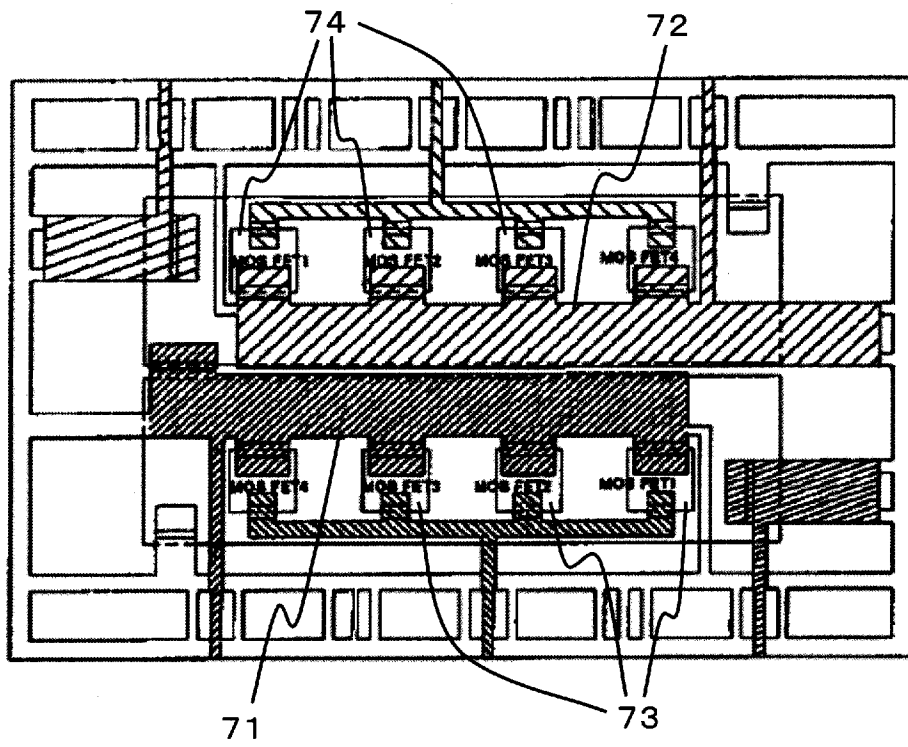
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/002941

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/07(2006.01) i, H01L25/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-329427 A (Honda Motor Co., Ltd.), 20 December 2007 (20.12.2007), paragraphs [0022] to [0051]; fig. 1 to 3 & US 2010/0148298 A1 & EP 2028692 A1 & WO 2007/142038 A1 & CN 101467252 A	1-10
A	JP 2005-347561 A (Toshiba Corp.), 15 December 2005 (15.12.2005), paragraphs [0034] to [0040]; fig. 1 to 4 (Family: none)	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
 04 July, 2013 (04.07.13)

Date of mailing of the international search report
 23 July, 2013 (23.07.13)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-329427 A (本田技研工業株式会社) 2007. 12. 20, 【0022】 - 【0051】, 図 1-3 & US 2010/0148298 A1 & EP 2028692 A1 & WO 2007/142038 A1 & CN 101467252 A	1-10
A	JP 2005-347561 A (株式会社東芝) 2005. 12. 15, 【0034】 - 【0040】, 図 1-4 (ファミリーなし)	1-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日
 04. 07. 2013

国際調査報告の発送日
 23. 07. 2013

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	4 R	2929
和瀬田 芳正		
電話番号 03-3581-1101 内線 3471		