(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2019 년 1 월 31 일 (31.01.2019)

WIPO | PCT

(10) 국제공개번호
WO 2019/022277 A1

(51) 국제특허분류:
H01L 21/78 (2006.01) ***H01L 21/304*** (2006.01)
H01L 21/76 (2006.01) ***H01L 21/67*** (2006.01)
H01L 21/3065 (2006.01)

(21) 국제출원번호: PCT/KR2017/008214

(22) 국제출원일: 2017 년 7 월 31 일 (31.07.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2017-0096253 2017 년 7 월 28 일 (28.07.2017) KR

(71) 출원인: (주) 예스티 **(YEST CO., LTD.)** [KR/KR]; 17716 경기도 평택시 진위면 삼남로 654, Gyeonggi-do (KR).

(72) 발명자: **최용섭 (CHOI, Yong Sup)**; 54087 전라북도 군산시 수송동로 100, 109동 904호 (수송동), Jeollabuk-do (KR). **오정근 (OH, Jung Keun)**; 32452 충청남도 예산군 신양면 불원시왕길 158-101, Chungcheongnam-do (KR). **정현영 (JEONG, Hyun Young)**; 54043 전라북도 군산시 조촌로 214, 905동 1801호 (경암동), Jeollabuk-do (KR). **이진석 (LEE, Jin Seok)**; 17848 경기도 평택시 서재2길 23- 3, 202호 (동삭동), Gyeonggi-do (KR).

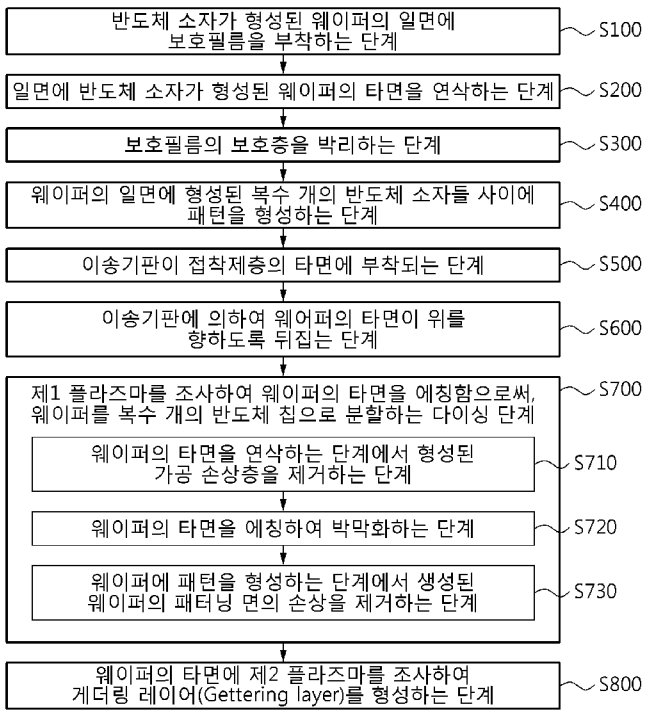
(74) 대리인: **특허법인 무한 (MUHANN PATENT & LAW FIRM)**; 06144 서울시 강남구 언주로 560, 8층 (역삼동, 진영빌딩), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,

(54) **Title:** METHOD FOR DICING WAFER AND SYSTEM FOR DICING WAFER

(54) **발명의 명칭:** 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템



S100 ... Step of attaching protective film to one surface of wafer on which semiconductor elements are formed
S200 ... Step of grinding other surface of wafer having semiconductor elements formed on one surface thereof
S300 ... Step of peeling protective layer of protective film
S400 ... Step of forming pattern between plurality of semiconductor elements formed on one surface of wafer
S500 ... Step of attaching transfer substrate to other surface of adhesive layer
S600 ... Step of inverting other surface of wafer upward by means of transfer substrate
S700 ... Step of dicing wafer into plurality of semiconductor chips by irradiating first plasma to etch other surface of wafer
S710 ... Step of removing damaged layer formed in step of grinding other surface of wafer
S720 ... Step of etching other surface of wafer to form thin film
S730 ... Step of removing damage of patterning surface of wafer generated in step for forming pattern on wafer
S800 ... Step of forming gettering layer by irradiating second plasma on other surface of wafer

(57) **Abstract:** A method for dicing wafer according to one embodiment comprises the steps of: forming a pattern between a plurality of semiconductor elements formed on one surface of a wafer; and dicing the wafer into a plurality of semiconductor chips by irradiating a first plasma to etch the other surface of the wafer, wherein the step of forming the pattern may form a groove down to a certain depth of the wafer.

(57) **요약서:** 일 실시예에 따른 웨이퍼 다이싱 방법은, 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계 및 제1 플라즈마를 조사하여 상기 웨이퍼의 타면을 에칭함으로써 상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계를 포함하고, 상기 패턴을 형성하는 단계는 상기 웨이퍼의 일정 깊이까지 홈을 형성할 수 있다.

[다음 쪽 계속]

WO 2019/022277 A1

LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템

기술분야

[1] 아래의 실시예들은 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템에 관한 것이다.

배경기술

[2] 반도체 기판 프로세싱에서, 전형적으로 실리콘 또는 다른 반도체 재료로 구성된 기판(또한, 웨이퍼라고 지칭됨) 상에 IC들이 형성된다. 일반적으로, IC들을 형성하기 위해, 반전도성, 전도성, 또는 절연성인 다양한 재료들의 얇은 필름 층들이 활용된다. 동일한 기판 상에, 병행하여, 메모리 디바이스들, 로직 디바이스들, 광발전 (photovoltaic) 디바이스들 등과 같은 복수의 IC들을 동시에 형성하기 위해, 다양한 잘 알려진 프로세스들을 사용하여 이들 재료들이 도핑, 증착, 및 에칭된다.

[3] 디바이스 형성 후에, 필름 프레임에 걸쳐 신장된(stretched) 접착성(adhesive) 필름과 같은 지지 부재 상에 기판이 탑재되고, 패키징 등을 위하여 각각의 개별적인 디바이스 또는 "다이(die)"를 서로로부터 분리시키기 위해 기판이 다이싱 된다.

[4] 반도체 패키지 조립(assembly) 공정에 있어서, 다이싱 공정(dicing process)이란, 웨이퍼에 포함된 복수 개의 반도체 칩을 절단하는 공정을 지칭하며, 다른 의미로 웨이퍼를 리드 프레임 혹은 인쇄 회로 기판 등과 같은 반도체 패키지용 기본 프레임 위에 탑재할 수 있도록 개별 반도체 칩으로 분리하는 공정을 말한다.

[5] 다이싱 공정에는 블레이드(blade), 레이저(laser) 또는 제1 플라즈마 식각 등이 사용될 수 있다. 최근, 웨이퍼 제조 공정에서 반도체 소자의 고용량화, 고속화, 미세화 공정이 발달됨에 따라, 금속간 절연 재료로 저유전 물질(Low K material)의 사용이 점차 증가하고 있는 추세이다. 이러한 저유전 물질이란 일반적으로 실리콘 산화물의 유전 상수보다 유전율이 낮은 물질을 통칭한다.

[6] 한국 특허 2008-0015771호에는 반도체 장치의 제조 방법에 관하여 개시되어 있다.

발명의 상세한 설명

기술적 과제

[7] 일 실시예에 따른 목적은 반도체 구동소자의 고속화, 저소비 전력화에 따른 웨이퍼 집적화, 초박막화를 위해 비접촉식 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템를 제공하기 위한 것이다.

[8] 일 실시예에 따른 목적은 웨이퍼 스트레스 제거에 의한 칩강도 향상 및 웨이퍼 내외의 불순물 포집에 의한 수율 향상을 위한 비접촉식 웨이퍼 다이싱 방법 및

웨이퍼를 다이싱하기 위한 시스템를 제공하기 위한 것이다.

과제 해결 수단

[9] 일 실시예에 따른 웨이퍼 다이싱 방법은, 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계 및 제1 플라즈마를 조사하여 상기 웨이퍼의 타면을 에칭함으로써 상기 웨이퍼를 각각의 반도체 소자를 개별적으로 포함하는 복수 개의 반도체 칩으로 분할하는 다이싱 단계를 포함하고, 상기 패턴을 형성하는 단계는 상기 웨이퍼의 일정 깊이까지 홈을 형성할 수 있다.

[10] 상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계는, 웨이퍼의 타면을 연삭하는 단계에서 형성된 가공 손상층을 제거하는 단계, 상기 웨이퍼의 타면을 에칭하여 박막화하는 단계 및 웨이퍼에 패턴을 형성하는 단계에서 생성된 상기 웨이퍼의 패터닝 면의 손상을 제거하는 단계를 포함할 수 있다.

[11] 상기 웨이퍼 다이싱 방법은, 상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계 이후에, 상기 웨이퍼의 타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 단계를 더 포함할 수 있다.

[12] 또한, 상기 웨이퍼 다이싱 방법은, 웨이퍼의 일면에 패턴을 형성하는 단계 이전에, 반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 단계 및 일면에 반도체 소자가 형성된 웨이퍼의 타면을 연삭하는 단계를 더 포함할 수 있다.

[13] 상기 보호필름은, 일면이 반도체 소자가 형성된 상기 웨이퍼의 일면에 접착되는 접착제층 및 상기 접착체층의 타면에 구비되고, 웨이퍼를 연삭하는 단계에서 발생되는 기계적 강도에 대하여 상기 웨이퍼의 일면을 보호하는 보호층을 포함할 수 있다.

[14] 상기 웨이퍼 다이싱 방법은, 상기 웨이퍼의 일면에 패턴을 형성하는 단계 이전에, 상기 보호필름의 상기 보호층을 박리하는 단계를 더 포함할 수 있다.

[15] 이 때, 상기 웨이퍼 다이싱 방법은, 상기 웨이퍼의 일면에 패턴을 형성하는 단계 이후에, 이송기판이 상기 접착제층의 타면에 부착되는 단계 및 상기 이송기판에 의하여 상기 웨이퍼의 타면이 위를 향하도록 뒤집는 단계를 더 포함할 수 있다.

[16] 상기 이송기판이 투명한 경우, 상기 웨이퍼 다이싱 방법은, 게더링 레이어(Gettering layer)를 형성하는 단계 이후에, 상기 이송기판의 하측에서 상기 이송기판을 향하여 UV광을 조사함으로써, 상기 접착제층과 상기 웨이퍼 사이의 접착력을 약화시키는 단계 및 분할된 상기 복수 개의 반도체 칩을 상기 접착제층 및 상기 이송기판으로부터 탈착하여 패키징하는 단계를 더 포함할 수 있다.

[17] 상기 이송기판이 불투명한 경우, 상기 웨이퍼 다이싱 방법은, 게더링 레이어(Gettering layer)를 형성하는 단계 이후에, 상기 웨이퍼의 타면을 다이싱 시트에 테이핑하는 단계, 상기 웨이퍼의 일면이 위를 향하도록 뒤집는 단계, 상기 이송기판 및 상기 접착제층을 제거하는 단계 및 분할된 상기 복수 개의

반도체 칩을 상기 다이싱 시트로부터 탈착하여 패키징하는 단계를 더 포함할 수 있다.

[18] 상기 웨이퍼의 일면에 패턴을 형성하는 단계는, 블레이드 톱(blade saw), 레이저 또는 플라즈마를 사용하여 상기 웨이퍼의 일면에 패턴을 형성할 수 있다.

[19] 상기 웨이퍼의 일면에 패턴을 형성하는 단계는, 상기 웨이퍼에 상기 웨이퍼의 두께의 40% 내지 60%에 해당하는 깊이의 홈을 형성할 수 있다.

[20] 일 실시예에 따른 웨이퍼를 다이싱하기 위한 시스템은, 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 패터닝 모듈 및 상기 웨이퍼의 타면에 제1 플라즈마를 조사하여 상기 웨이퍼를 각각의 반도체 소자를 개별적으로 포함하는 복수 개의 반도체 칩으로 분할하는 다이싱 모듈을 포함하고, 상기 패터닝 모듈은 상기 웨이퍼의 일정 깊이까지 홈을 형성할 수 있다.

[21] 또한, 웨이퍼를 다이싱하기 위한 시스템은, 상기 웨이퍼의 일면에 패턴을 형성하기 전에 반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 부착 모듈 및 상기 보호필름을 부착한 후에 상기 웨이퍼의 타면을 연삭하는 연삭 모듈을 더 포함할 수 있다.

[22] 상기 다이싱 모듈은, 상기 웨이퍼를 복수 개의 반도체 칩으로 분할하기 전에

[23] 웨이퍼의 타면을 연삭하는 단계에서 형성된 가공 손상층을 상기 제1 플라즈마를 이용하여 제거하고 상기 제1 플라즈마를 이용하여 상기 웨이퍼의 타면을 에칭하여 박막화하며, 상기 웨이퍼를 복수 개의 반도체 칩으로 분할한 후에 상기 제1 플라즈마를 이용하여 웨이퍼에 패턴을 형성하는 단계에서 생성된 상기 웨이퍼의 패터닝 면의 손상을 제거할 수 있다.

[24] 상기 웨이퍼를 다이싱하기 위한 시스템은, 상기 웨이퍼를 복수 개의 반도체 칩으로 분할한 후에, 상기 웨이퍼의 타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 게더링 레이어 형성 모듈을 더 포함할 수 있다.

[25] 상기 보호필름은, 일면이 반도체 소자가 형성된 상기 웨이퍼의 일면에 접착되는 접착제층 및 상기 접착체층의 타면에 구비되고, 웨이퍼를 연삭하는 동안 발생되는 기계적 강도에 대하여 상기 웨이퍼의 일면을 보호하는 보호층을 포함할 수 있다.

[26] 상기 웨이퍼를 다이싱하기 위한 시스템은, 상기 패터닝 모듈로부터 상기 다이싱 모듈로 상기 웨이퍼를 이송시키기 위해 상기 보호층이 박리된 상태에서 상기 접착제층의 타면에 부착되는 이송기판을 더 포함할 수 있다.

[27] 상기 이송기판이 투명한 경우, 상기 웨이퍼를 다이싱하기 위한 시스템은, 상기 웨이퍼의 타면에 게더링 레이어(Gettering layer)를 형성한 후에 상기 이송기판의 하측에서 상기 이송기판을 향하여 UV광을 조사함으로써 상기 접착제층와 상기 웨이퍼 사이의 접착력을 약화시키고, 분할된 상기 복수 개의 반도체 칩을 상기 접착제층 및 상기 이송기판으로부터 탈착하여 패키징하는 패키징 모듈을 더

포함할 수 있다.

[28] 상기 이송기판이 불투명한 경우, 상기 웨이퍼를 다이싱하기 위한 시스템은, 상기 웨이퍼의 타면에 게더링 레이어(Gettering layer)를 형성한 후에 상기 웨이퍼의 타면에 다이싱 시트를 테이핑하고, 상기 웨이퍼의 일면이 위를 향하도록 뒤집고, 상기 이송기판 및 상기 접착제층을 제거하고 분할된 상기 복수개의 반도체 칩을 상기 다이싱 시트로부터 탈착하여 패키징하는 패키징 모듈을 더 포함할 수 있다.

[29] 이 때, 상기 제1 플라즈마의 소스는, 육불화황(SF6) 또는 삼불화질소(NF3) 일 수 있으며, 테트라플루오르메탄(CF4)와 산소(O2)를 혼합한 것일 수도 있다. 제2 플라즈마의 소스는 아르곤(Ar) 또는 헬륨(He) 일 수 있다.

발명의 효과

[30] 일 실시예에 따른 비접촉식 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템은 반도체 구동소자의 고속화, 저소비 전력화에 따른 웨이퍼 집적화, 초박막화을 구현할 수 있다.

[31] 일 실시예에 따른 비접촉식 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템은 웨이퍼 스트레스 제거에 의해 칩강도를 향상시킬 수 있으며, 웨이퍼 내외의 불순물 포집에 의한 수율 향상을 도모할 수 있다.

도면의 간단한 설명

[32] 도1은 일 실시예에 따른 웨이퍼 다이싱 방법의 순서도를 나타낸다.

[33] 도2a 내지 도2f는 일 실시예에 따른 웨이퍼 다이싱 방법의 대기압에서의 공정도를 나타낸다.

[34] 도3a 및 도3b는 일 실시예에 따른 웨이퍼 다이싱 방법의 진공 상태에서의 공정도를 나타낸다.

[35] 도4는 이송기판이 투명한 경우 일 실시예에 따른 패키징 단계의 순서도를 나타낸다.

[36] 도5a 및 도5b는 이송기판이 투명한 경우 일 실시예에 따른 패키징 단계의 공정도를 나타낸다.

[37] 도6은 이송기판이 불투명한 경우 일 실시예에 따른 패키징 단계의 순서도를 나타낸다.

[38] 도7a 내지 도7d는 이송기판이 불투명한 경우 일 실시예에 따른 패키징 단계의 공정도를 나타낸다.

발명의 실시를 위한 최선의 형태

[39] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 이하의 설명은 실시예들의 여러 태양(aspects) 중 하나이며, 하기의 기술(description)은 실시예에 대한 상세한 기술(detailed description)의 일부를 이룬다.

[40] 다만, 일 실시예를 설명함에 있어서, 공지된 기능 혹은 구성에 관한 구체적인 설명은 본 발명의 요지를 명료하게 하기 위하여 생략하기로 한다.

[41] 또한, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 해석되어서는 아니 되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여, 일 실시예에 따른 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

[42] 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 일 실시예에 따른 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템의 가장 바람직한 일 실시예에 불과할 뿐이고, 일 실시예에 따른 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있음을 이해하여야 한다.

[43] 도1은 일 실시예에 따른 웨이퍼 다이싱 방법의 순서도를 나타내며, 도2a 내지 도2f는 일 실시예에 따른 웨이퍼 다이싱 방법의 대기압에서의 공정도를 나타내고, 도3a 및 도3b는 일 실시예에 따른 웨이퍼 다이싱 방법의 진공 상태에서의 공정도를 나타낸다. 도4는 이송기판이 투명한 경우 일 실시예에 따른 패키징 단계의 순서도를 나타내며, 도5a 및 도5b는 이송기판이 투명한 경우 일 실시예에 따른 패키징 단계의 공정도를 나타낸다. 도6은 이송기판이 불투명한 경우 일 실시예에 따른 패키징 단계의 순서도를 나타내며, 도7a 내지 도7d는 이송기판이 불투명한 경우 일 실시예에 따른 패키징 단계의 공정도를 나타낸다.

[44] 도1, 도2a 내지 도2f 및 도3a 및 도3b을 참조하면, 일 실시예에 따른 웨이퍼 다이싱 방법(S10)은, 반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 단계(S100), 일면에 반도체 소자가 형성된 웨이퍼의 타면을 연삭하는 단계(S200), 일면이 반도체 소자가 형성된 웨이퍼의 일면에 접착되는 접착제층 및 접착체층의 타면에 구비되고 웨이퍼를 연삭하는 단계에서 발생되는 기계적 강도에 대하여 웨이퍼의 일면을 보호하는 보호층으로 구성된 보호필름에서 상기 보호층을 박리시키는 단계(S300), 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계(S400), 이송기판이 접착제층의 타면에 부착되는 단계(S500), 이송기판에 의하여 웨이퍼의 타면이 위를 향하도록 뒤집는 단계(S600)를 포함할 수 있다.

[45] 또한, 일 실시예에 따른 웨이퍼 다이싱 방법(S10)은, 상기 과정 후에, 제1 플라즈마를 조사하여 웨이퍼의 타면을 에칭함으로써 웨이퍼를 각각의 반도체 소자를 개별적으로 포함하는 복수 개의 반도체 칩으로 분할하는 다이싱 단계(S700) 및 웨이퍼의 타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 단계(S800)를 더 포함할 수 있다.

[46] 각각의 단계 및 구성에 대해서는 이하에서 상세하게 설명한다.

[47] 이 때, 도2a를 참조하면, 웨이퍼(W)는 Si, SiAl, GaAs, Ge, SiGe, AlN, GaN, AlGaN, SiC, ZnO 또는 AlSiC 등으로 이루어질 수 있으나, 이에 한정되는 것은

아니다. 또한, 반도체 소자(S)는 반도체층, 절연층 및 금속층 중에서 적어도 하나를 포함할 수 있다.

[48] 도2b를 참조하면, 보호필름(100)은 접착제층(110) 및 보호층(120)으로 구성되며, 웨이퍼의 일면에 형성된 반도체 소자(S)를 보호하는 기능을 가진다. 즉, 후공정의 웨이퍼 박막화 공정에서는 반도체 소자가 형성된 웨이퍼의 일면에서 웨이퍼를 지지하면서, 웨이퍼의 타면이 연삭되기 위해, 웨이퍼의 일면이 연삭 시의 부하에 견딜 필요가 있다. 따라서, 보호필름은 단순한 레지스트막 등과는 달리 웨이퍼 일면에 형성된 반도체 소자를 피복할 만한 두께가 있고, 그 가압 저항은, 낮고 연삭 시의 더스트나 연삭수 등의 침입이 일어나지 않도록 반도체 소자를 밀착 가능하도록 밀착성이 높은 것일 수 있다.

[49] 보호필름(100) 중 보호층(120)은 플라스틱이나 고무 등으로 구성되며, 예를 들면 폴리에틸렌, 폴리프로필렌, 에틸렌 프로필렌 공중합체, 폴리부텐-1, 폴리-4-메틸펜텐- 1, 에틸렌-초산비닐 공중합체, 에틸렌 아크릴산 공중합체, 이오노머 등의 α-올레핀의 단독 중합체 또는 공중합체, 폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리페닐렌설파이드, 폴리에테르이미드, 폴리이미드, 폴리카보네이트, 폴리메틸 메타크릴레이트, 폴리우레탄, 스티렌-에틸렌부텐 또는 펜텐계 공중합체 중 어느 하나로 형성되거나 이들 중 둘 이상을 혼합시킨 것일 수 있다. 또한, 이들 이외의 수지나 충전재, 첨가제 등이 배합된 수지 조성물로 조성될 수 있고, 요구 특성에 따라 임의로 선택될 수 있다. 또한, 보호층은 접착제층으로부터 용이하게 박리될 수 있다.

[50] 접착제층(110)은, 웨이퍼(W)의 일면으로 접착 시 반도체 소자(S) 등을 손상시키는 것이 아니며 또한 그 제거 시에 반도체 소자(S) 등의 파손이나 표면으로의 점착제 잔류를 일으키지 않는 것이다.

[51] 따라서, 접착제층(110)은 이와 같은 성질을 지니는 비경화성 접착제일 수 있다. 또한, 방사선 또는 자외선 경화에 의해 접착제층이 삼차원 망형화되면서 점착력이 저하됨과 동시에 박리한 후의 표면에 점착제 등의 잔류물이 잘 발생하지 않는다. 뿐만 아니라, 자외선 경화형이나 전자선과 같은 전리성 방사선 경화형 등의 방사선 중합형 접착제가 이용될 수 있다.

[52] 도2c를 참조하면, 일면에 반도체 소자가 형성된 웨이퍼의 타면을 연삭하는 단계(S200)는, 보호필름이 아래를 향하도록 고정시키고 웨이퍼의 타면을 연삭 헤드(미도시)에 의하여 연삭함으로써 웨이퍼를 박화하는 공정이다. 바람직하게는 웨이퍼의 두께가 약 400~500㎛가 될 때까지 연삭하는 공정이 지속될 수 있다. 다만, 연삭으로 인하여 잔존하는 웨이퍼의 두께가 반드시 이에 한정되는 것은 아니다. 뿐만 아니라, 웨이퍼의 두께 조절은, 기계적 연삭 뿐만 아니라 식각률이 높은 플라즈마에 의한 에칭에 의하여도 가능할 것이다.

[53] 도2e를 참조하면, 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계(S400)는, 블레이드 톱(blade saw), 레이저 또는 플라즈마를

사용하여 웨이퍼의 일면에 패턴을 형성할 수 있으며, 웨이퍼의 일정 깊이까지 홈을 형성할 수 있다. 즉, 웨이퍼에 복수 개의 홈을 형성할 수 있다. 다만, 상기 패턴을 형성하는 단계(S400)는, 웨이퍼를 완전히 절단하여 하나의 웨이퍼를 복수 개의 웨이퍼로 분리하는 것은 아니며, 웨이퍼의 일부만을 제거하는 것이다.

[54] 또한, 웨이퍼의 일면에 패턴을 형성하는 단계(S400)에서, 홈의 깊이(L)는 웨이퍼(W)의 두께의 약 30% 내지 약 70%에 해당할 수 있다. 바람직하게는, 홈의 깊이(L)는 웨이퍼의 두께의 약 40% 내지 약 60%에 해당할 수 있다. 또한, 더 바람직하게는, 홈의 깊이(L)는 웨이퍼(W)의 두께의 약 50%에 해당할 수 있다. 예를 들어, 웨이퍼(W)의 두께가 약 10㎛ 내지 약 1000㎛인 경우, 홈의 깊이(L)는 약 5㎛ 내지 약 500㎛ 정도일 수 있다. 예를 들어, 웨이퍼(W)의 두께가 약 140㎛인 경우, 홈의 깊이(L)는 약 70㎛ 정도일 수 있다. 다만, 반드시 홈의 깊이(L)가 이에 한정되는 것은 아니다.

[55] 한편, 홈의 너비(B)는 수십 ㎛일 수 있으며, 예를 들어, 약 10㎛ 내지 90㎛일 수 있다. 홈의 너비(B) 즉, 복수 개의 반도체 소자(S) 사이의 간격이 작을수록, 한정된 넓이의 웨이퍼(W) 상에 더 많은 개수의 반도체 소자(S)를 형성할 수 있다.

[56] 도2a 내지 도2f를 참조하면, 반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 단계(S100)부터 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계(S400)를 거친 후 이송기판에 의하여 웨이퍼의 타면이 위를 향하도록 뒤집는 단계(S600)까지는 대기압의 상태에서 이루어질 수 있다.

[57] 다만, 도3a 및 도3b을 참조하면, 그 후의 과정인 제1 플라즈마를 조사하여 웨이퍼의 타면을 에칭함으로써 웨이퍼를 각각의 반도체 소자를 개별적으로 포함하는 복수 개의 반도체 칩으로 분할하는 다이싱 단계(S700) 및 웨이퍼의 타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 단계(S800)는 진공의 상태에서 이루어 질 수 있다. 다만, 이에 반드시 한정되는 것은 아니며, 상기 다이싱 단계 및 게더링 레이어를 형성하는 단계 또한 선택적으로 대기압의 상태에서 이루어질 수도 있을 것이다.

[58] 도3a를 참조하면, 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계(S700)는, 불소계 가스의 플라즈마를 웨이퍼(W)의 타면 측에 조사함으로써, 홈이 노출될 때까지 웨이퍼(W)의 타면을 불소 래디컬의 화학 작용과 가속된 이온의 물리 작용에 의해 제거할 수 있다. 그에 따라, 웨이퍼(W)의 두께를 관통하는 홈을 형성함으로써 웨이퍼(W)를 각각의 반도체 소자를 개별적으로 포함하는 복수 개의 반도체 칩으로 분할할 수 있다.

[59] 또한, 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계(S700)는, 웨이퍼의 타면을 연삭하는 단계에서 형성된 가공 손상층을 제1 플라즈마를 이용하여 제거하는 단계(S710), 제1 플라즈마를 이용하여 상기 웨이퍼의 타면을 에칭하여 박막화하는 단계(S720) 및 제1 플라즈마를 이용하여 웨이퍼에 패턴을 형성하는 단계에서 생성된 상기 웨이퍼의 패터닝 면의 손상을 제거하는

단계(S730)를 포함할 수 있다.

[60] 가공 손상층을 제거하는 단계(S710)는 스트레스 릴리프(Stress Relief) 단계라고 불릴 수도 있다. 또한, 웨이퍼의 타면을 에칭하여 박막화하는 단계(S720)는 파인 그라인딩(fine grinding) 단계라고 불릴 수도 있다.

[61] 상기 스트레스 릴리프(Stress Relief) 단계(S710), 파인 그라인딩(fine grinding)하는 단계(S720) 및 웨이퍼의 패터닝 면의 손상을 제거하는 단계(S730)는 불소계 가스에 의한 플라즈마 에칭에 의하여 이루어질 수 있으며, 일 실시예로써, 제1 플라즈마(310)의 소스는, 육불화황(SF6) 또는 삼불화질소(NF3) 일 수 있으며, 테트라플루오르메탄(CF4)와 산소(O2)를 혼합한 것일 수도 있다.

[62] 이와 같은 단계를 통하여, 연삭 단계에서 웨이퍼(W)의 타면 측에 형성된 가공 변질층 및 웨이퍼(W)에 패턴을 형성하는 단계에서 생성된 웨이퍼의 패터닝 면의 손상층이 제거될 수 있으며, 이로써 웨이퍼(W)의 휘는 현상(Warpage)을 방지할 수 있다.

[63] 도3b를 참조하면, 복수 개의 반도체 칩으로 분할된 웨이퍼의 타면에 제2 플라즈마(320)를 조사하여 게더링 레이어(Gettering layer)를 형성할 수 있다. 그리하여, 복수 개의 반도체 칩들의 뒷면을 거칠게 형성할 수 있다.

[64] 보다 상세하게, 게터링(Gettering)은 소자 작동 영역으로부터 철(Fe), 니켈(Ni), 구리(Cu), 및 은(Au) 등과 같은 천이 금속 불순물을 제거하는 기술을 의미하는 한다. 또한, 게더링 레이어를 형성한다는 것은, 웨이퍼의 백사이드에 나노 단위의 다결정 실리콘층을 형성하여, 웨이퍼 내부결함(Defect)과 불순물을 흡수 포집하고 외부 오염을 방지하는 레이어를 형성하는 것이다. 이 때, 제2 플라즈마의 소스는 아르곤(Ar) 또는 헬륨(He) 일 수 있다.

[65] 도4, 도5a 및 도5b를 참조하면, 게더링 레이어(Gettering layer)를 형성하는 단계(S800) 이후에, 이송기판(200)이 투명한 경우 복수 개의 반도체 칩을 패키징 하는 단계(S910)은, 이송기판(200)의 하측에서 이송기판을 향하여 UV광을 조사함으로써 접착제층(110)과 웨이퍼(W) 사이의 접착력을 약화시키는 단계(S911) 및 분할된 복수 개의 반도체 칩을 접착제층(110) 및 이송기판(200)으로부터 탈착하여 패키징하는 단계(S912)를 더 포함할 수 있다.

[66] 도5a를 참조하면, 복수 개의 반도체 칩으로 분할된 웨이퍼의 타면이 위를 향하게 놓인 상태에서, 이송기판(200)의 하측에서 이송기판 및 웨이퍼의 일면을 향해 UV광(자외선광)을 조사할 수 있고, 접착제층의 접착력을 약화시킴으로써 웨이퍼(W)와 접착제층 사이의 접착력을 감소시킬 수 있다.

[67] 그 후, 도5b와 같이, 분할된 각각의 반도체 칩을 접착제층(110) 및 이송기판(200)으로부터 탈착하여 패키징할 수 있다.

[68] 도6 및 도7a 내지 도7d을 참조하면, 게더링 레이어(Gettering layer)를 형성하는 단계(S800) 이후에, 이송기판(200)이 불투명한 경우 복수 개의 반도체 칩을 패키징 하는 단계(S920)은, 웨이퍼의 타면을 다이싱 시트에 테이핑하는

단계(S921), 웨이퍼의 일면이 위를 향하도록 뒤집는 단계(S922), 이송기판 및 접착제층을 제거하는 단계(S923) 및 분할된 복수 개의 반도체 칩을 다이싱 시트로부터 탈착하여 패키징하는 단계(S924)를 더 포함할 수 있다.

[69] 도7a를 참조하면, 게더링 레이어(Gettering layer)를 형성하는 단계(S800) 이후에 웨이퍼(W)의 일면이 아래를 향하고 있는 상태에서 웨이퍼(W)의 타면에 다이싱 시트(400)를 테이핑할 수 있다.

[70] 그 후, 도7b와 같이, 이송기판 및 웨이퍼의 일면이 위를 향하도록 뒤집은 뒤, 도7c와 같이 이송기판(200) 및 접착제층(110)을 제거할 수 있다. 이 때, 접착제층은 감압 접착형으로 형성될 수 있고, 접착제층(110)과 이송기판(200) 사이의 접착력이 접착제층(110)과 웨이퍼(W)사이의 접착력보다 강하여, 이송기판(200) 탈착하는 경우, 접착제층(110)은 이송기판(200)에 접착된 상태에서 웨이퍼(W)로부터 떨어질 수 있다.

[71] 도7d을 참조하면, 다이싱 시트(400)의 하측에서 UV광(자외선광)을 조사하여 다이싱 시트(400)와 웨이퍼(W) 사이의 접착력을 약화시킬 수 있고, 분할된 각각의 반도체 칩을 다이싱 시트(400)로부터 탈착하여 패키징할 수 있다.

[72] 일 실시예에 따른 웨이퍼를 다이싱하기 위한 시스템은, 반도체 소자(S)가 형성된 웨이퍼(W)의 일면에 보호필름(100)을 부착하는 부착 모듈, 웨이퍼(W)의 타면을 연삭하는 연삭 모듈, 웨이퍼(W)의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 패터닝 모듈을 포함할 수 있다.

[73] 이 때, 상기 보호필름(100)은, 일면이 반도체 소자가 형성된 웨이퍼(W)의 일면에 접착되는 접착제층(110) 및 접착체층(110)의 타면에 구비되고 웨이퍼(W)를 연삭하는 동안 발생되는 기계적 강도에 대하여 웨이퍼(W)의 일면을 보호하는 보호층(120)을 포함할 수 있다.

[74] 또한, 웨이퍼를 다이싱하기 위한 시스템은, 패터닝 모듈로부터 다이싱 모듈로 웨이퍼(W)를 이송시키기 위해 보호층(120)이 박리된 상태에서 상기 접착제층(110)의 타면에 부착되는 이송기판(200), 웨이퍼(W)의 타면에 제1 플라즈마(310)를 조사하여 웨이퍼(W)를 각각의 반도체 소자를 개별적으로 포함하는 복수 개의 반도체 칩으로 분할하는 다이싱 모듈을 포함하고, 패터닝 모듈은 웨이퍼(W)의 일정 깊이(L)까지 홈을 형성할 수 있다.

[75] 이 때, 상기 다이싱 모듈은, 웨이퍼(W)를 복수 개의 반도체 칩으로 분할하기 전에 제1 플라즈마(310)를 이용하여 스트레스 릴리프(Stress Relief) 실시함으로써 웨이퍼(W)의 타면을 연삭하는 단계에서 형성된 가공 변질층을 제거할 수 있으며 제1 플라즈마(310)를 이용하여 웨이퍼(W)의 타면을 파인 그라인딩(fine grinding)할 수 있다. 또한, 상기 다이싱 모듈은, 웨이퍼(W)를 복수 개의 반도체 칩으로 분할한 후에 제1 플라즈마(310)를 이용하여 웨이퍼(W)에 패턴을 형성하는 단계에서 생성된 웨이퍼(W)의 패터닝 면의 손상을 제거할 수 있다.

[76] 뿐만 아니라, 웨이퍼를 다이싱하기 위한 시스템은, 웨이퍼(W)의 타면에 제2 플라즈마(320)를 조사하여 게더링 레이어(Gettering layer)를 형성하는 게더링

레이어 형성 모듈을 더 포함할 수 있다

[77] 이 때, 제1 플라즈마(310)의 소스는, 육불화황(SF6) 또는 삼불화질소(NF3) 일 수 있으며, 테트라플루오르메탄(CF4)와 산소(O2)를 혼합한 것일 수도 있다. 제2 플라즈마(320)의 소스는 아르곤(Ar) 또는 헬륨(He) 일 수 있다.

[78] 상기 이송기판(200)이 투명한 경우, 웨이퍼를 다이싱하기 위한 시스템은, 웨이퍼(W)의 타면에 게더링 레이어(Gettering layer)를 형성한 후에 이송기판(200)의 하측에서 이송기판을 향하여 UV광(자외선광)을 조사함으로써 접착제층(110)와 웨이퍼(W) 사이의 접착력을 약화시키고, 분할된 상기 복수 개의 반도체 칩을 접착제층(110) 및 이송기판(200)으로부터 탈착하여 패키징하는 패키징 모듈을 더 포함할 수 있다.

[79] 이와 달리, 이송기판(200)이 불투명한 경우, 웨이퍼(W)를 다이싱하기 위한 시스템은, 웨이퍼(W)의 타면에 게더링 레이어(Gettering layer)를 형성한 후에 웨이퍼(W)의 타면에 다이싱 시트(400)를 테이핑하고, 웨이퍼(W)의 일면이 위를 향하도록 뒤집고, 이송기판(200) 및 접착제층(110)을 제거하고 분할된 복수 개의 반도체 칩을 다이싱 시트(400)로부터 탈착하여 패키징하는 패키징 모듈을 더 포함할 수 있다.

[80] 상기에서 설명한 일 실시예에 따른 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템은, 반도체 구동소자의 고속화, 저소비 전력화에 따른 웨이퍼 집적화, 초박막화을 구현할 수 있다.

[81] 또한, 일 실시예에 따른 웨이퍼 다이싱 방법 및 웨이퍼를 다이싱하기 위한 시스템은, 웨이퍼 스트레스 제거에 의해 칩강도를 향상시킬 수 있으며, 웨이퍼 내외의 불순물 포집에 의한 수율 향상을 도모할 수 있다.

[82] 이상과 같이 실시예에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 실시예가 설명되었으나 이는 전반적인 이해를 돕기 위해서 제공된 것이다. 또한, 본 발명이 상술한 실시예들에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 사상은 상술한 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

청구범위

[청구항 1] 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계; 및
제1 플라즈마를 조사하여 상기 웨이퍼의 타면을 에칭함으로써, 상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계;
를 포함하고,
상기 패턴을 형성하는 단계는 상기 웨이퍼의 일정 깊이까지 홈을 형성하는, 웨이퍼 다이싱 방법.

[청구항 2] 제1항에 있어서,
상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계는,
웨이퍼의 타면을 연삭하는 단계에서 형성된 가공 손상층을 제거하는 단계;
상기 웨이퍼의 타면을 에칭하여 박막화하는 단계; 및
웨이퍼에 패턴을 형성하는 단계에서 생성된 상기 웨이퍼의 패터닝 면의 손상을 제거하는 단계;
를 포함하는, 웨이퍼 다이싱 방법.

[청구항 3] 제2항에 있어서,
상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계 이후에,
상기 웨이퍼의 타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 단계;
를 더 포함하는, 웨이퍼 다이싱 방법.

[청구항 4] 제3항에 있어서,
상기 웨이퍼의 일면에 패턴을 형성하는 단계 이전에,
반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 단계; 및
상기 웨이퍼의 타면을 연삭하는 단계;
를 더 포함하는, 웨이퍼 다이싱 방법.

[청구항 5] 제4항에 있어서,
상기 보호필름은,
일면이 반도체 소자가 형성된 상기 웨이퍼의 일면에 접착되는 접착제층; 및
상기 접착체층의 타면에 구비되고, 웨이퍼를 연삭하는 단계에서 발생되는 기계적 강도에 대하여 상기 웨이퍼의 일면을 보호하는 보호층;
을 포함하는, 웨이퍼 다이싱 방법.

[청구항 6] 제5항에 있어서,
상기 웨이퍼의 일면에 패턴을 형성하는 단계 이전에,
상기 보호필름의 상기 보호층을 박리하는 단계;
를 더 포함하는, 웨이퍼 다이싱 방법.

[청구항 7] 제6항에 있어서,
상기 웨이퍼의 일면에 패턴을 형성하는 단계 이후에,
이송기판이 상기 접착제층의 타면에 부착되는 단계; 및
상기 이송기판에 의하여 상기 웨이퍼의 타면이 위를 향하도록 뒤집는 단계;
를 더 포함하는, 웨이퍼 다이싱 방법.

[청구항 8] 제7항에 있어서,
상기 이송기판이 투명한 경우,
게더링 레이어(Gettering layer)를 형성하는 단계 이후에,
상기 이송기판의 하측에서 상기 이송기판을 향하여 UV광을 조사함으로써, 상기 접착제층과 상기 웨이퍼 사이의 접착력을 약화시키는 단계; 및
분할된 상기 복수 개의 반도체 칩을 상기 접착제층 및 상기 이송기판으로부터 탈착하여 패키징하는 단계;
를 더 포함하는, 웨이퍼 다이싱 방법.

[청구항 9] 제7항에 있어서,
상기 이송기판이 불투명한 경우,
게더링 레이어(Gettering layer)를 형성하는 단계 이후에,
상기 웨이퍼의 타면을 다이싱 시트에 테이핑하는 단계;
상기 웨이퍼의 일면이 위를 향하도록 뒤집는 단계;
상기 이송기판 및 상기 접착제층을 제거하는 단계; 및
분할된 상기 복수 개의 반도체 칩을 상기 다이싱 시트로부터 탈착하여 패키징하는 단계;
를 더 포함하는, 웨이퍼 다이싱 방법.

[청구항 10] 웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 패터닝 모듈; 및
상기 웨이퍼의 타면에 제1 플라즈마를 조사하여 상기 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 모듈;
을 포함하고,
상기 패터닝 모듈은 상기 웨이퍼의 일정 깊이까지 홈을 형성하는,
웨이퍼를 다이싱하기 위한 시스템.

[청구항 11] 제10항에 있어서,
상기 웨이퍼의 일면에 패턴을 형성하기 전에, 반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 부착 모듈; 및
상기 보호필름을 부착한 후에, 상기 웨이퍼의 타면을 연삭하는 연삭 모듈;
을 더 포함하는, 웨이퍼를 다이싱하기 위한 시스템.

[청구항 12] 제11항에 있어서,
상기 웨이퍼를 복수 개의 반도체 칩으로 분할한 후에, 상기 웨이퍼의

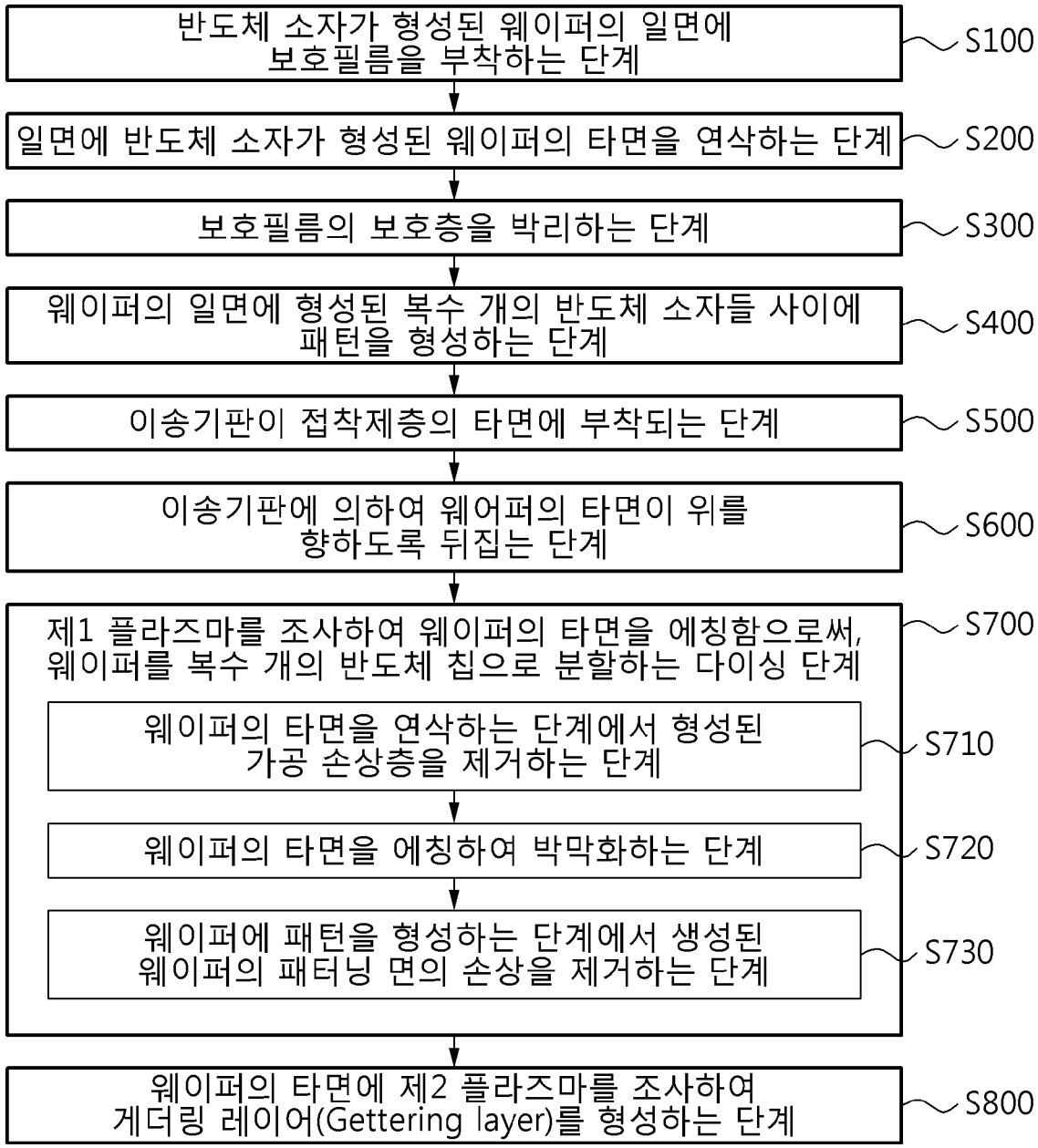
타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 게더링 레이어 형성 모듈;
을 더 포함하는, 웨이퍼를 다이싱하기 위한 시스템.

[청구항 13] 제12항에 있어서,
상기 보호필름은,
일면이 상기 웨이퍼의 일면에 접착되는 접착제층; 및
상기 접착체층의 타면에 구비되고, 웨이퍼를 연삭하는 동안 발생되는 기계적 강도에 대하여 상기 웨이퍼의 일면을 보호하는 보호층;
을 포함하고,
상기 웨이퍼를 다이싱하기 위한 시스템은,
상기 패터닝 모듈로부터 상기 다이싱 모듈로 상기 웨이퍼를 이송시키기 위해, 상기 보호층이 박리된 상태에서 상기 접착제층의 타면에 부착되는 이송기판;
을 더 포함하는, 웨이퍼를 다이싱하기 위한 시스템.

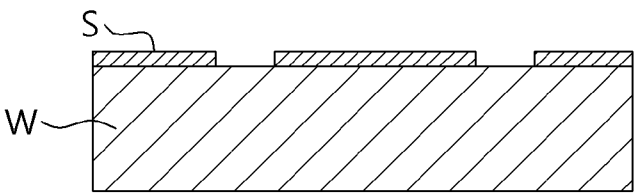
[청구항 14] 제13항에 있어서,
상기 이송기판이 투명한 경우,
상기 웨이퍼의 타면에 게더링 레이어(Gettering layer)를 형성한 후에, 상기 이송기판의 하측에서 상기 이송기판을 향하여 UV광을 조사함으로써 상기 접착제층와 상기 웨이퍼 사이의 접착력을 약화시키고, 분할된 상기 복수 개의 반도체 칩을 상기 접착제층 및 상기 이송기판으로부터 탈착하여 패키징하는 패키징 모듈;
을 더 포함하는, 웨이퍼를 다이싱하기 위한 시스템.

[청구항 15] 제13항에 있어서,
상기 이송기판이 불투명한 경우,
상기 웨이퍼의 타면에 게더링 레이어(Gettering layer)를 형성한 후에, 상기 웨이퍼의 타면에 다이싱 시트를 테이핑하고, 상기 웨이퍼의 일면이 위를 향하도록 뒤집고, 상기 이송기판 및 상기 접착제층을 제거하고 분할된 상기 복수 개의 반도체 칩을 상기 다이싱 시트로부터 탈착하여 패키징하는 패키징 모듈;
을 더 포함하는, 웨이퍼를 다이싱하기 위한 시스템.

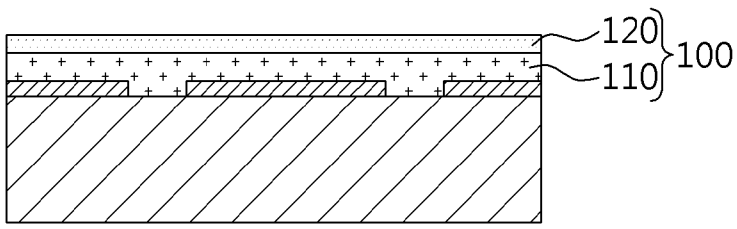
[도1]


반도체 소자가 형성된 웨이퍼의 일면에 보호필름을 부착하는 단계
S100
일면에 반도체 소자가 형성된 웨이퍼의 타면을 연삭하는 단계
S200
보호필름의 보호층을 박리하는 단계
S300
웨이퍼의 일면에 형성된 복수 개의 반도체 소자들 사이에 패턴을 형성하는 단계
S400
이송기판이 접착제층의 타면에 부착되는 단계
S500
이송기판에 의하여 웨어퍼의 타면이 위를 향하도록 뒤집는 단계
S600
제1 플라즈마를 조사하여 웨이퍼의 타면을 에칭함으로써, 웨이퍼를 복수 개의 반도체 칩으로 분할하는 다이싱 단계
S700
웨이퍼의 타면을 연삭하는 단계에서 형성된 가공 손상층을 제거하는 단계
S710
웨이퍼의 타면을 에칭하여 박막화하는 단계
S720
웨이퍼에 패턴을 형성하는 단계에서 생성된 웨이퍼의 패터닝 면의 손상을 제거하는 단계
S730
웨이퍼의 타면에 제2 플라즈마를 조사하여 게더링 레이어(Gettering layer)를 형성하는 단계
S800

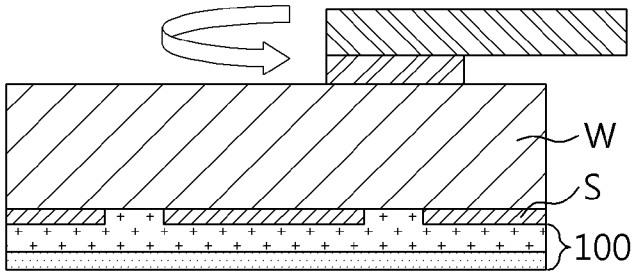
[도2a]


S
W

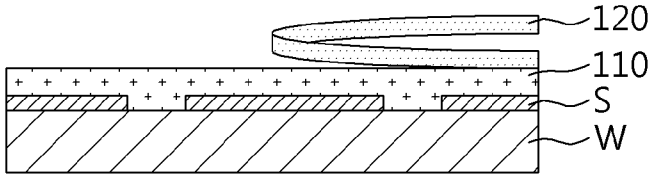
[도2b]


120
110
100

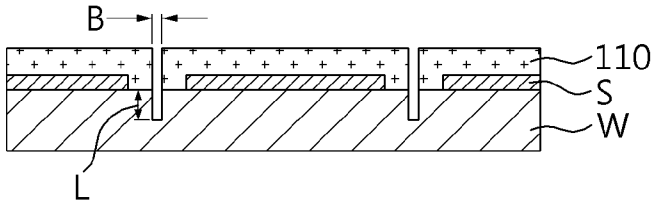
[도2c]



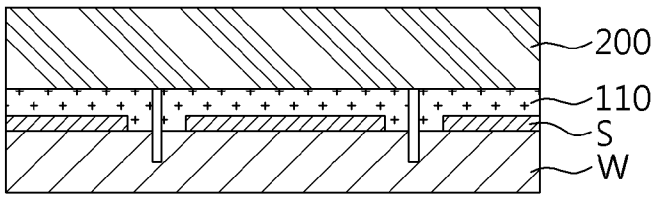
[도2d]



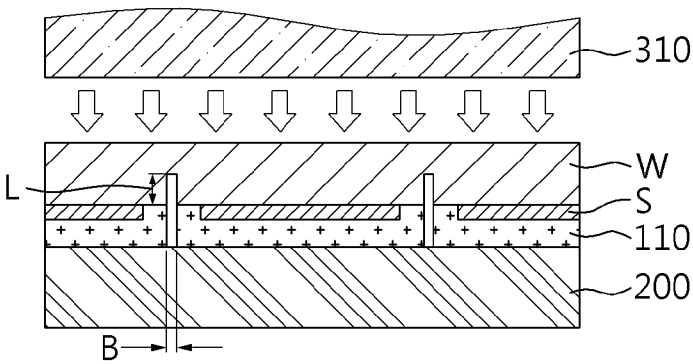
[도2e]



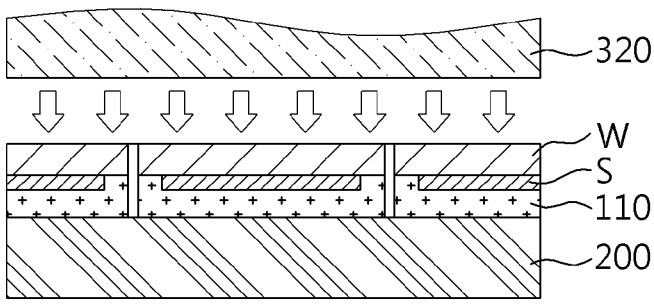
[도2f]



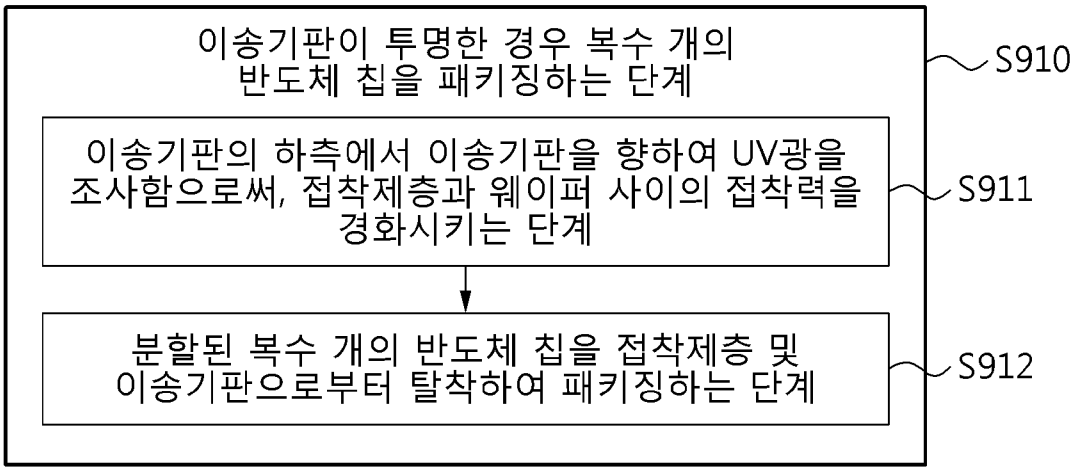
[도3a]



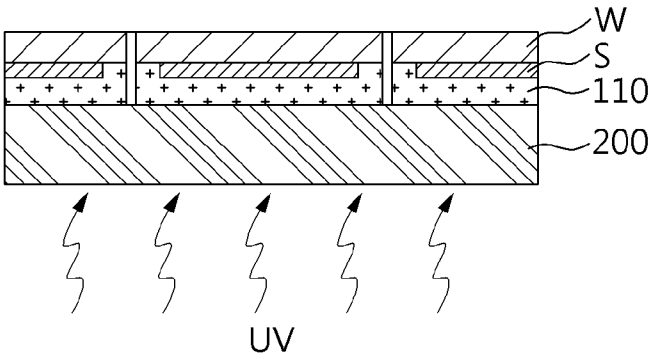
[도3b]



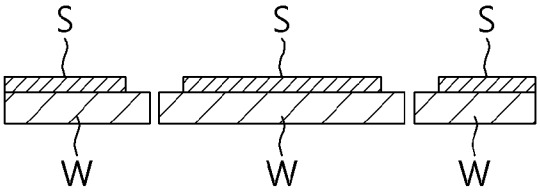
[도4]


이송기판이 투명한 경우 복수 개의
반도체 칩을 패키징하는 단계
S910
이송기판의 하측에서 이송기판을 향하여 UV광을
조사함으로써, 접착제층과 웨이퍼 사이의 접착력을
경화시키는 단계
S911
분할된 복수 개의 반도체 칩을 접착제층 및
이송기판으로부터 탈착하여 패키징하는 단계
S912

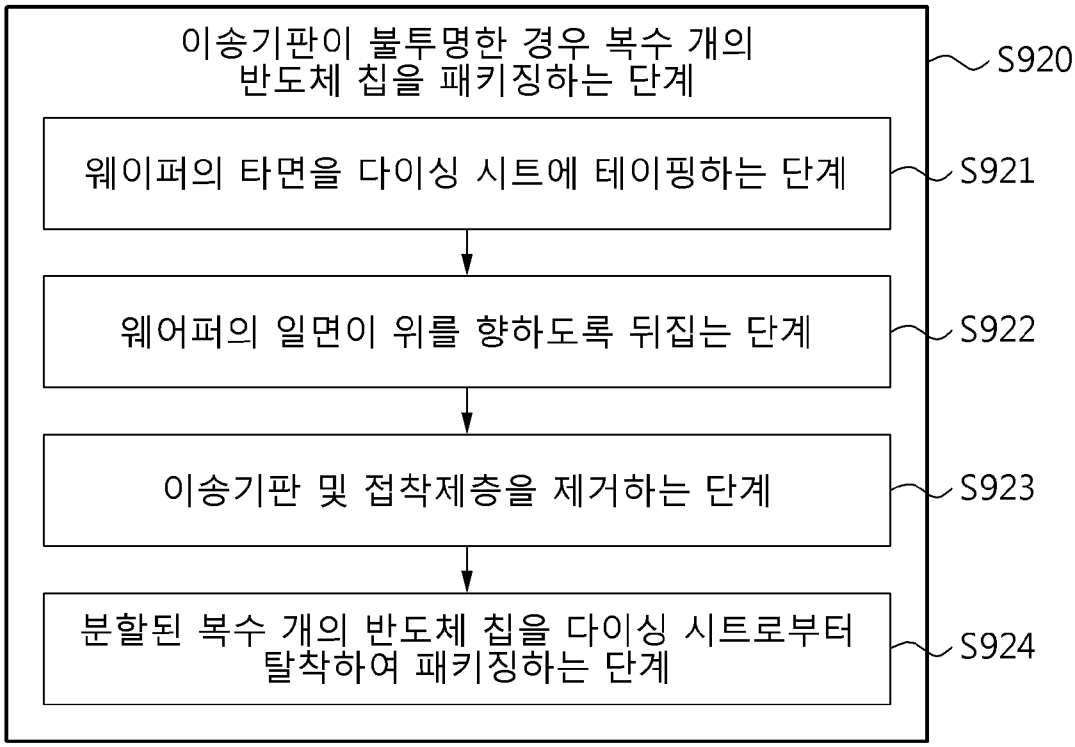
[도5a]


W
S
110
200
UV

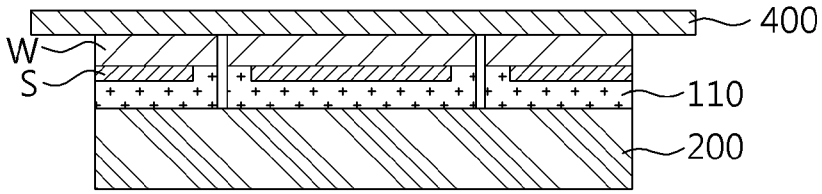
[도5b]


S
S
S
W
W
W

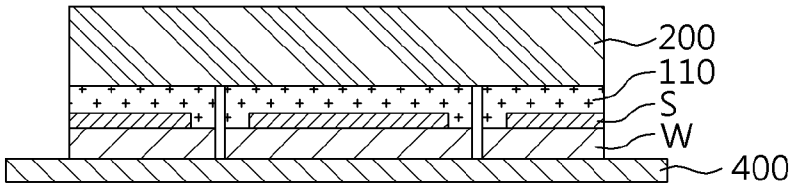
[도6]



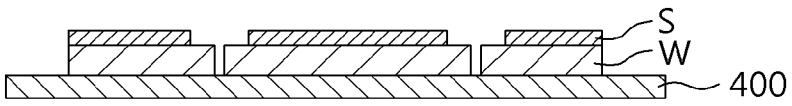
[도7a]



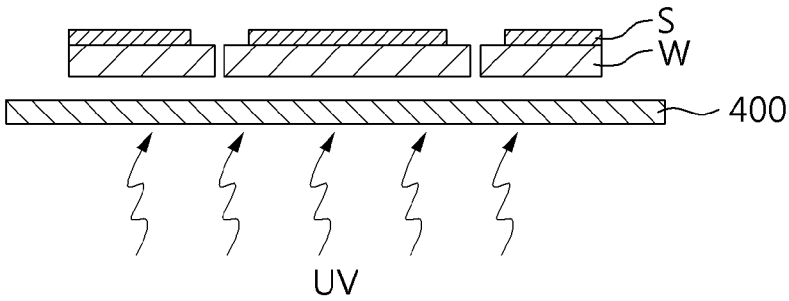
[도7b]



[도7c]



[도7d]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2017/008214

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/78(2006.01)i, H01L 21/76(2006.01)i, H01L 21/3065(2006.01)i, H01L 21/304(2006.01)i, H01L 21/67(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/78; H01L 21/3065; H01L 21/322; H01L 21/02; H01L 21/301; B23K 26/00; H01L 21/76; H01L 21/304; H01L 21/67

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: dicing, groove, plasma, etching

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-186234 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 13 July 2006 See paragraphs [0023]-[0055] and figures 1-18.	1-2,10-11
Y		3-9,12-15
Y	KR 10-2006-0044756 A (ELPIDA MEMORY, INC.) 16 May 2006 See paragraphs [0046]-[0083] and figures 4-16.	3-9,12-15
Y	KR 10-1595916 B1 (APPLIED MATERIALS, INC.) 19 February 2016 See paragraphs [0041]-[0047] and figures 4a-4k.	8,14
Y	US 2016-0190010 A1 (DISCO CORPORATION) 30 June 2016 See paragraphs [0042]-[0048] and figures 5-10.	9,15
A	JP 2003-179005 A (TOKYO ELECTRON LTD.) 27 June 2003 See paragraphs [0041]-[0074] and figures 1-3.	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 APRIL 2018 (26.04.2018)	**26 APRIL 2018 (26.04.2018)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/008214

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2006-186234 A	13/07/2006	JP 4564351 B2	20/10/2010
KR 10-2006-0044756 A	16/05/2006	CN 1674238 A	28/09/2005
		DE 102005013885 A1	15/12/2005
		JP 2005-277116 A	06/10/2005
		JP 4943636 B2	30/05/2012
		TW 200605227 A	01/02/2006
		TW I261883 B	11/09/2006
		US 2005-0214973 A1	29/09/2005
		US 2007-0158784 A1	12/07/2007
		US 7666761 B2	23/02/2010
KR 10-1595916 B1	19/02/2016	CN 104246986 A	24/12/2014
		JP 2015-520942 A	23/07/2015
		JP 5926448 B2	25/05/2016
		TW 201401358 A	01/01/2014
		TW I521584 B	11/02/2016
		US 2013-0280890 A1	24/10/2013
		US 8946057 B2	03/02/2015
		WO 2013-162936 A1	31/10/2013
US 2016-0190010 A1	30/06/2016	CN 105742212 A	06/07/2016
		DE 102014227005 A1	30/06/2016
		JP 2016-127273 A	11/07/2016
		KR 10-1747561 B1	14/06/2017
		KR 10-2016-0080075 A	07/07/2016
		SG 10201509836 A	28/07/2016
		TW 201635337 A	01/10/2016
		US 9704749 B2	11/07/2017
JP 2003-179005 A	27/06/2003	JP 3910843 B2	25/04/2007

국 제 조 사 보 고 서

국제출원번호
PCT/KR2017/008214

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/78(2006.01)i, H01L 21/76(2006.01)i, H01L 21/3065(2006.01)i, H01L 21/304(2006.01)i, H01L 21/67(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 21/78; H01L 21/3065; H01L 21/322; H01L 21/02; H01L 21/301; B23K 26/00; H01L 21/76; H01L 21/304; H01L 21/67

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 다이싱, 홈, 플라즈마, 에칭

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2006-186234 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 2006.07.13 단락 [0023]-[0055] 및 도면 1-18 참조.	1-2,10-11
Y		3-9,12-15
Y	KR 10-2006-0044756 A (엘피다 메모리, 아이엔씨.) 2006.05.16 단락 [0046]-[0083] 및 도면 4-16 참조.	3-9,12-15
Y	KR 10-1595916 B1 (어플라이드 머티어리얼스 인코포레이티드) 2016.02.19 단락 [0041]-[0047] 및 도면 4a-4k 참조.	8,14
Y	US 2016-0190010 A1 (DISCO CORPORATION) 2016.06.30 단락 [0042]-[0048] 및 도면 5-10 참조.	9,15
A	JP 2003-179005 A (TOKYO ELECTRON LTD.) 2003.06.27 단락 [0041]-[0074] 및 도면 1-3 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2018년 04월 26일 (26.04.2018)	2018년 04월 26일 (26.04.2018)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
최상원
전화번호 +82-42-481-8291

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/008214

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2006-186234 A	2006/07/13	JP 4564351 B2	2010/10/20
KR 10-2006-0044756 A	2006/05/16	CN 1674238 A	2005/09/28
		DE 102005013885 A1	2005/12/15
		JP 2005-277116 A	2005/10/06
		JP 4943636 B2	2012/05/30
		TW 200605227 A	2006/02/01
		TW I261883 B	2006/09/11
		US 2005-0214973 A1	2005/09/29
		US 2007-0158784 A1	2007/07/12
		US 7666761 B2	2010/02/23
KR 10-1595916 B1	2016/02/19	CN 104246986 A	2014/12/24
		JP 2015-520942 A	2015/07/23
		JP 5926448 B2	2016/05/25
		TW 201401358 A	2014/01/01
		TW I521584 B	2016/02/11
		US 2013-0280890 A1	2013/10/24
		US 8946057 B2	2015/02/03
		WO 2013-162936 A1	2013/10/31
US 2016-0190010 A1	2016/06/30	CN 105742212 A	2016/07/06
		DE 102014227005 A1	2016/06/30
		JP 2016-127273 A	2016/07/11
		KR 10-1747561 B1	2017/06/14
		KR 10-2016-0080075 A	2016/07/07
		SG 10201509836 A	2016/07/28
		TW 201635337 A	2016/10/01
		US 9704749 B2	2017/07/11
JP 2003-179005 A	2003/06/27	JP 3910843 B2	2007/04/25