



(12)发明专利申请

(10)申请公布号 CN 105981174 A

(43)申请公布日 2016.09.28

(21)申请号 201580007861.5

(22)申请日 2015.02.11

(30)优先权数据

14/179,311 2014.02.12 US

(85)PCT国际申请进入国家阶段日

2016.08.09

(86)PCT国际申请的申请数据

PCT/US2015/015426 2015.02.11

(87)PCT国际申请的公布数据

W02015/123305 EN 2015.08.20

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 B·杨 X·李 P·齐达姆巴兰姆

C·F·耶普

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 李小芳

(51)Int.Cl.

H01L 29/66(2006.01)

H01L 29/78(2006.01)

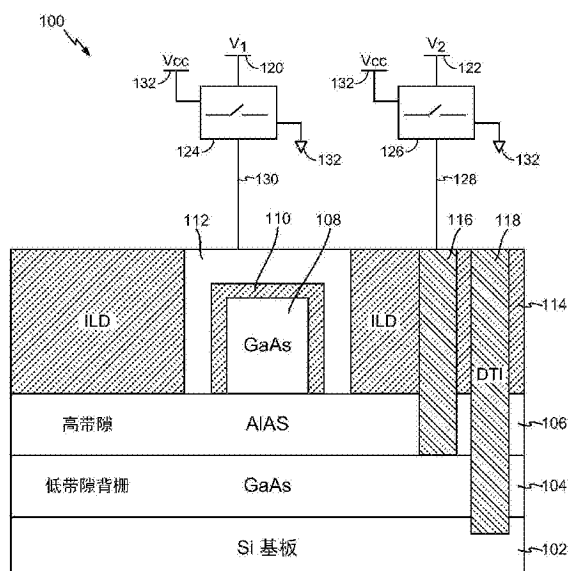
权利要求书3页 说明书5页 附图6页

(54)发明名称

具有背栅、无穿通且具有减小的鳍高度变化的FinFET

(57)摘要

一种FinFET,其具有在该FinFET的鳍沟道之下的背栅和阻挡层,其中该阻挡层具有比该背栅的带隙更大的带隙。该阻挡层用作该鳍沟道下的蚀刻停止层,从而导致减小的鳍沟道高度变化。该背栅提供改进的电流控制。由于该较高带隙的阻挡层而有较少穿通。该FinFET还可包括毗邻源极/漏极扩散的深嵌式应力源,这些深嵌式应力源穿过该高带隙阻挡层。



1. 一种FinFET, 包括:

基板;

背栅, 其包括形成在所述基板中的第一层, 所述第一层包括第一半导体;

形成在所述第一层上的第二层, 所述第二层包括第二半导体;

形成在所述第二层上的鳍沟道, 所述鳍沟道包括第三半导体;

背栅触点, 其穿过所述第二层并与所述第一层电接触;

向下形成到所述基板中的深沟槽隔离区; 并且

其中所述第一半导体具有第一带隙且所述第三半导体具有第三带隙, 其中所述第二半导体具有比所述第一带隙和所述第二带隙更大的第二带隙。

2. 如权利要求1所述的FinFET, 其特征在于, 所述第一半导体、所述第二半导体和所述第三半导体各自选自包括以下各项的组: III-V族半导体化合物、II-VI族半导体化合物、IV族半导体元素或化合物、石墨烯、以及碳纳米管。

3. 如权利要求2所述的FinFET, 其特征在于, 所述第一半导体和所述第三半导体各自包括GaAs, 并且所述第二半导体包括AlAs。

4. 如权利要求1所述的FinFET, 其特征在于, 所述第一带隙等于所述第三带隙。

5. 如权利要求1所述的FinFET, 其特征在于, 进一步包括:

形成在所述鳍沟道上的电介质层; 以及

形成在所述电介质层上的栅极。

6. 如权利要求5所述的FinFET, 其特征在于, 进一步包括:

耦合至所述栅极的第一轨, 其用于提供第一电压以导通所述FinFET; 以及

耦合至所述背栅触点的第二轨, 其用于提供第二电压以导通所述FinFET。

7. 如权利要求6所述的FinFET, 其特征在于, 所述第一轨和所述第二轨处于相同电压。

8. 如权利要求1所述的FinFET, 其特征在于, 进一步包括:

在所述第二层中外延地生长的第一应力源和第二应力源, 其用于向所述鳍沟道提供应力。

9. 如权利要求8所述的FinFET, 其特征在于, 进一步包括:

毗邻所述鳍沟道且毗邻所述第一应力源的第一源极/漏极扩散; 以及

毗邻所述鳍沟道且毗邻所述第二应力源的第二源极/漏极扩散。

10. 如权利要求9所述的FinFET, 其特征在于, 进一步包括:

耦合至所述栅极的第一轨, 其用于提供第一电压以导通所述FinFET; 以及

耦合至所述背栅触点的第二轨, 其用于提供第二电压以导通所述FinFET。

11. 如权利要求1所述的FinFET, 其特征在于, 如果所述FinFET为n型, 则所述第一层以 $1 \cdot 10^{19} \text{cm}^{-3}$ 到 $1 \cdot 10^{22} \text{cm}^{-3}$ 范围内的掺杂浓度被重度p型掺杂, 并且如果所述FinFET为p型, 则所述第一层以 $1 \cdot 10^{19} \text{cm}^{-3}$ 到 $1 \cdot 10^{22} \text{cm}^{-3}$ 范围内的掺杂浓度被重度n型掺杂。

12. 如权利要求11所述的FinFET, 其特征在于, 如果所述FinFET为n型, 则所述第二层以 $1 \cdot 10^{13} \text{cm}^{-3}$ 到 $1 \cdot 10^{17} \text{cm}^{-3}$ 范围内的掺杂浓度被轻度p型掺杂; 并且如果所述FinFET为p型, 则所述第二层以 $1 \cdot 10^{13} \text{cm}^{-3}$ 到 $1 \cdot 10^{17} \text{cm}^{-3}$ 范围内的掺杂浓度被轻度n型掺杂。

13. 如权利要求11所述的FinFET, 其特征在于, 所述第二层无掺杂。

14. 如权利要求1所述的FinFET, 其特征在于, 所述FinFET被用于设备中, 所述设备选自

包括以下各项的组：蜂窝电话、平板电脑、计算机系统、以及基站。

15. 一种制造FinFET的方法，所述方法包括：

在基板中形成第一半导体层；

在所述第一半导体层上形成第二半导体层；

在所述第二半导体层上形成第三半导体层；

蚀刻所述第三半导体层以形成FinFET鳍沟道；

蚀刻穿过所述第二半导体层到达所述第一半导体层并形成至所述第一半导体层的电背栅触点；以及

形成至所述基板的深沟槽隔离区；

其中所述第一半导体层、所述第二半导体层和所述第三半导体层各自分别具有第一带隙、第二带隙和第三带隙，其中所述第二带隙大于所述第一带隙和所述第二带隙。

16. 如权利要求15所述的方法，其特征在于，进一步包括：

在所述FinFET鳍沟道上形成电介质层；以及

在所述电介质层上形成栅极。

17. 如权利要求15所述的方法，其特征在于，所述第一带隙等于所述第三带隙。

18. 如权利要求15所述的方法，其特征在于，进一步包括：

在所述第二层中形成第一沟槽；

在所述第一沟槽中外延地生长第一应力源以向所述FinFET鳍沟道提供应力；

在所述第二层中形成第二沟槽；以及

在所述第二沟槽中外延地生长第二应力源以向所述FinFET鳍沟道提供应力。

19. 如权利要求18所述的方法，其特征在于，所述第一应力源和所述第二应力源选自包括以下各项的组：硅锗合金(SiGe)、碳化硅合金(SiC)、III-V族半导体化合物、II-V族半导体化合物、以及IV族半导体元素或化合物。

20. 如权利要求18所述的方法，其特征在于，进一步包括：

毗邻第一源极/漏极扩散外延地生长所述第一应力源；以及

毗邻第二源极/漏极扩散外延地生长所述第二应力源。

21. 如权利要求20所述的方法，其特征在于，进一步包括：

在所述FinFET鳍沟道上形成电介质层；以及

在所述电介质层上形成栅极。

22. 如权利要求18所述的方法，其特征在于，进一步包括：

在所述第一层中形成所述第一沟槽；以及

在所述第一层中形成所述第二沟槽。

23. 如权利要求15所述的方法，其特征在于，所述第一半导体层、所述第二半导体层和所述第三半导体层各自选自包括以下各项的组：III-V族半导体化合物、II-VI族半导体化合物、IV族半导体元素或化合物、石墨烯、以及碳纳米管。

24. 如权利要求23所述的方法，其特征在于，所述第一半导体层和所述第三半导体层各自包括GaAs，并且所述第二半导体层包括AlAs。

25. 如权利要求15所述的方法，其特征在于，

如果所述FinFET为n型，则以 $1 \cdot 10^{19} \text{cm}^{-3}$ 到 $1 \cdot 10^{22} \text{cm}^{-3}$ 范围内的掺杂浓度来对所述第一

层进行p型掺杂;以及

如果所述FinFET为p型,则以 $1 \cdot 10^{19} \text{cm}^{-3}$ 到 $1 \cdot 10^{22} \text{cm}^{-3}$ 范围内的掺杂浓度来对所述第一层进行n型掺杂。

26. 如权利要求25所述的方法,其特征在于,

如果所述FinFET为n型,则以 $1 \cdot 10^{13} \text{cm}^{-3}$ 到 $1 \cdot 10^{17} \text{cm}^{-3}$ 范围内的掺杂浓度来对所述第二层进行p型掺杂;以及

如果所述FinFET为p型,则以 $1 \cdot 10^{13} \text{cm}^{-3}$ 到 $1 \cdot 10^{17} \text{cm}^{-3}$ 范围内的掺杂浓度来对所述第二层进行n型掺杂。

27. 如权利要求25所述的方法,其特征在于,所述第二层无掺杂。

28. 一种导通FinFET的方法,所述FinFET包括栅极、背栅、和基板,所述方法包括:

将所述FinFET的所述栅极耦合至第一轨;以及

将所述FinFET的所述背栅耦合至第二轨,其中所述背栅包括形成在所述基板中的第一层并且包括第一半导体;

其中所述栅极在形成在第二层上的鳍沟道上形成,所述第二层形成在所述第一层上并且包括第二半导体,所述鳍沟道包括第三半导体;

其中所述第一半导体具有第一带隙且所述第三半导体具有第三带隙,其中所述第二半导体具有比所述第一带隙和所述第二带隙更大的第二带隙。

29. 如权利要求28所述的方法,其特征在于,所述第一轨和所述第二轨处于相同电压。

30. 如权利要求28所述的方法,其特征在于,所述第一带隙和所述第三带隙彼此相等。

具有背栅、无穿通且具有减小的鳍高度变化的FinFET

[0001] 公开领域

[0002] 本发明涉及晶体管,尤其涉及FinFET。

背景技术

[0003] FinFET晶体管是其中沟道具有鳍的外观的非平面FET(场效应晶体管),其由此得名。FinFET有时被称为具有多栅或三栅架构。对FinFET感兴趣是因为与常规平面晶体管相比,它们可展现非常低的漏泄电流并且可以在相同的功率预算下获得更好的性能或在更低的功率预算下获得等同的性能。然而,一些设计可能导致FinFET具有不想要的穿通和鳍高度变化。

[0004] 概述

[0005] 本发明的各实施例涉及用于具有背栅、无穿通且具有减小的鳍沟道高度变化的FinFET的系统和方法。

[0006] 在一实施例中,一种设备包括:基板;形成在该基板上的第一层,第一层包括第一半导体;形成在第一层上的第二层,第二层包括第二化合物半导体;以及形成在第二层上的鳍沟道,该鳍沟道包括第三半导体。第一化合物半导体具有第一带隙且第三化合物半导体具有第三带隙,并且第二半导体具有比第一带隙和第二带隙更大的第二带隙。

[0007] 在另一实施例中,一种方法包括:在基板上形成第一半导体层;在第一半导体层上形成第二半导体层;在第二半导体层上形成第三半导体层;以及蚀刻第三半导体层以形成FinFET鳍沟道。第一、第二和第三半导体层各自分别具有第一带隙、第二带隙和第三带隙,其中第二带隙大于第一带隙和第二带隙。

[0008] 在另一实施例中,一种导通FinFET的方法包括:将该FinFET的栅极耦合至第一轨;以及将该FinFET中的第一层耦合至第二轨,其中第一层形成在该FinFET的基板中并且包括第一半导体;其中该栅极在形成在第二层上的鳍沟道上形成,第二层形成在第一层上并且包括第二半导体,该鳍沟道包括第三半导体;其中第一半导体具有第一带隙且第三半导体具有第三带隙,其中第二半导体具有比第一带隙和第二带隙更大的第二带隙。

[0009] 附图简述

[0010] 给出附图以帮助对本发明实施例进行描述,且提供附图仅用于解说实施例而非对其进行限定。

[0011] 图1是根据一实施例的FinFET的横截面视图。

[0012] 图2是根据一实施例的过程流程图。

[0013] 图3是根据另一实施例的FinFET的横截面视图。

[0014] 图4是根据另一实施例的过程流程图。

[0015] 图5解说了各实施例可在其中得以应用的无线通信系统。

[0016] 图6解说了将FinFET的栅极和背栅耦合至它们各自相应的轨。

[0017] 详细描述

[0018] 本发明的各方面在以下针对本发明具体实施例的描述和有关附图中被公开。可以

设计替换实施例而不会脱离本发明的范围。另外,本发明中众所周知的元素将不被详细描述或将被省去以免湮没本发明的相关细节。

[0019] 术语“本发明的实施例”并不要求本发明的所有实施例都包括所讨论的特征、优点、或工作模式。

[0020] 本文中所使用的术语仅出于描述特定实施例的目的,而并不旨在限定本发明的实施例。如本文所使用的,单数形式的“一”、“某”和“该”旨在也包括复数形式,除非上下文另有明确指示。还将理解,术语“包括”、“具有”、“包含”和/或“含有”在本文中使用指明所陈述的特征、整数、步骤、操作、元素、和/或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元素、组件和/或其群组的存在或添加。

[0021] 此外,许多实施例是根据将由例如计算设备的元件执行的动作序列来描述的。将认识到,专门电路(例如,专用集成电路(ASIC))、执行程序指令的一个或多个处理器、或这两者的组合可以执行本文中所描述的各种动作。另外,本文描述的动作序列可被认为是完全体现在任何形式的计算机可读存储介质内,其内存储有一经执行就将使相关联的处理器执行本文所描述的功能性的相应计算机指令集。因此,本发明的各方面可以用数种不同形式来体现,所有这些形式都已被构想落在所要求保护的主体内容的范围内。另外,对于本文描述的每个实施例,任何此类实施例的对应形式可在本文中被描述为例如“被配置成执行所描述的动作的逻辑”。

[0022] 图1是根据一实施例的FinFET 100的简化横截面视图。该横截面是在垂直于FinFET沟道的平面中取得的,该FinFET沟道为沟道108(随后将更详细地讨论)。相应地,图1中的横截面未解说源极和漏极,因为它们将位于该横截面平面的前面和后面。

[0023] 在基板102上形成有层104以提供低带隙背栅。对于图1的特定实施例,基板102是硅(Si)且层104是包括GaAs的半导体。对于其他实施例,层104可包括各种半导体元素或半导体化合物,诸如III-V或II-VI族半导体化合物、或IV族半导体元素或化合物(诸如举例而言Ge或SiGe)。对于一些实施例,层104在具有约0.5微米的厚度的情况下具有在0.1eV到2eV范围内的带隙。对于一些实施例,针对n型FinFET 100,层104被重度P型掺杂(p^{++}),其中示例掺杂浓度在 $1 \cdot 10^{19} \text{cm}^{-3}$ 到 $1 \cdot 10^{22} \text{cm}^{-3}$ 范围内。对于一些实施例,针对p型FinFET 100,层104被重度n型掺杂(n^{++}),其中示例掺杂浓度在 $1 \cdot 10^{19} \text{cm}^{-3}$ 到 $1 \cdot 10^{22} \text{cm}^{-3}$ 范围内。对于一些实施例,基板102可以是除硅以外的材料。对于一些实施例,基板102的厚度可大于50微米。

[0024] 层106形成在层104之上。层106用作蚀刻停止并帮助缓解穿通,并且还用作至由层104形成的背栅的阻挡层。层106可以无掺杂、针对n型FinFET 100被轻度P型掺杂(示例掺杂浓度在 $1 \cdot 10^{13} \text{cm}^{-3}$ 到 $1 \cdot 10^{17} \text{cm}^{-3}$ 范围内)、或者针对p型FinFET 100被轻度n型掺杂(示例掺杂浓度背栅在 $1 \cdot 10^{18} \text{cm}^{-3}$ 到 $1 \cdot 10^{17} \text{cm}^{-3}$ 范围内)。对于图1的特定实施例,层106是包括AlAs的半导体,并且被形成成为单晶体。对于其他实施例,层106可包括其他半导体,诸如举例而言III-V族化合物。

[0025] 层106具有比层104更高的带隙。相应地,术语“低带隙”和“高带隙”可被用于分别描述层104和106。对于一些实施例,层106具有在0.5eV到4eV范围内的带隙。对于一些实施例,层106是高阻性的,从而提供良好的电势垒,并且可具有约100埃的厚度。

[0026] 在层106之上形成有其他组件以制造FinFET 110。图1中解说了沟道108、栅极电介质110、栅极112、和层间电介质114。对于图1的特定实施例,沟道108包括具有相对较低带隙

的GaAs。即,沟道108的带隙小于层106的带隙,并且可以与层104的带隙相当。对于一些实施例,沟道108具有在0.1eV到2eV范围内的带隙。沟道108不一定要包括与层104相同的材料,并且可包括其他半导体材料,诸如III-V或II-VI族化合物。

[0027] 对于n型FinFET,其中在沟道108被反转时电子为多数载流子,沟道108对于一些实施例具有相对较高的电子迁移率;并且对于p型FinFET,其中在沟道108被反转时空穴为多数载流子,沟道108对于一些实施例具有相对较高的空穴迁移率。对于一些实施例,沟道108具有在300埃到1000埃范围内的厚度。

[0028] 沟道108被蚀刻以形成鳍结构。为了便于解说,图1中并未示出构成FinFET 100的所有组件。例如,源极/漏极扩散未被示出,因为图1中表示的视图是沿着沟道108在将制造这两个源极/漏极扩散处之间的位置。

[0029] 通过用作蚀刻停止,层106允许沟道108的高度变化的减小。即,在层106上形成GaAs层之后,应用蚀刻以形成沟道108的鳍形。层106在其表面处停止蚀刻过程,以使得沟道108的高度被很好地控制,从而提供各晶体管的沟道高度均匀性。

[0030] 在层106的带隙高于沟道108的带隙的情况下,与现有技术晶体管相比,预期穿通(不想要的从源极/漏极扩散中的一者至另一者的电流流动)被显著减小。此外,层104被用作背栅,由此提供增强的沟道电流控制。图1示出了至层104的背栅触点116以提供至层104的电接触,以使得其可被用作背栅,其中沟槽被蚀刻穿过层间电介质114到达层104之后沉积导电材料。包括层104的背栅增强了导通和关断FinFET 100的能力,以使得可在FinFET 100处于关断状态时显著地减小不想要的漏泄电流,并且可在FinFET 100处于导通状态时增大期望的导通状态沟道电流。

[0031] 电压被提供给栅极112和层104以使FinFET 100导通或关断,其中这些电压取决于FinFET类型。例如,为导通n型FinFET 100,由轨120的电压表示的适当选取的第一正电压可被施加于栅极112,并且由轨122的电压表示的适当选取的第二正电压可藉由背栅触点116被施加于层104。功能单元124和126表示用于将栅极112和背栅触点116耦合至它们各自相应的轨的电路元件。连接线128和130是向栅极112和背栅触点116提供电连接的各种金属层和通孔(为简化而未示出)的简化。图1中还示出了用于向层104和栅极112提供接地(零)电压的地轨132。对于n型FinFET 100,栅极112和背栅触点116可被保持在接地电压以关断FinFET 100。

[0032] 轨120的电压可处于与轨122的电压不同的值,或者它们可处于同一值,在此情形中,轨120和122可被认为构成单轨。这些电压中的一者或两者可处于与电源轨132的电压表示的用于其他电路元件的高电压(V_{cc})不同的值。

[0033] 对于FinFET 100为p型FinFET时的情形,当功能单元124和126被配置成将栅极112耦合到轨120且将背栅触点116耦合到轨122但现在为p型FinFET恰当地选取轨120和122的电压时,FinFET 100可被导通。对于一些实施例,这些电压可处于接地电势。可执行将栅极112和背栅触点116耦合至电源轨132以关断FinFET 100。

[0034] 图6解说了将栅极112和背栅触点116耦合至它们各自相应的轨以导通FinFET 100。在步骤602,栅极(112)被耦合至第一轨(例如,120)以导通FinFET 100。将背栅触点166耦合至轨122可被视为耦合FinFET 100的背栅,其中用层104来标识该背栅。将背栅术语用于步骤604,背栅(104)被耦合至第二轨(例如,122)以导通FinFET 100。步骤602不一定要在

步骤604之前执行,并且这两个步骤可基本上同时执行。

[0035] 图1中解说了深沟槽隔离(DTI)区118,其用于将FinFET 100的层104(背栅)和源极/漏极扩散(图1中未示出)两者与其他有源器件的背栅和源极/漏极扩散(未示出)隔离开。为解说简化起见,仅示出了DTI区的一部分,但在实践中,DTI区118扩展或被重复以便将全部FinFET 100结构与其他有源器件电隔离。附加层(诸如钝化层或其他金属层)形成在图1中指示的结构之上,但此类附加集成层在本领域中是公知的,并且为解说简化起见而未示出。

[0036] 图2解说了根据以上所讨论的实施例的过程流程图。低带隙第一GaAs层形成在Si基板上(202),继之以在第一GaAs层上形成高带隙AlAs蚀刻停止层(204)。低带隙第二GaAs层形成在该AlAs蚀刻停止层上(206),其随后被蚀刻以形成鳍沟道(208)。栅极电介质形成在该鳍沟道上(210),继之以蚀刻并形成金属栅极(212)。沟槽被蚀刻穿过该AlAs层到达第一GaAs层并形成背栅触点(214),以及向下到Si基板中形成DTI区(216)。图2中并未示出形成FinFET所需的所有步骤,但此类附加步骤在本领域中是公知的。

[0037] 一些实施例可包括应力源来增大沟道108的多数载流子迁移率。图3解说了具有应力源302和304的FinFET 300的横截面视图。图3中的横截面视图是在沿着且平行于沟道108的平面中取得的,并且包括源极/漏极扩散306和308的横截面视图。图3还包括侧壁分隔件310和312以及DTI区314和316的横截面视图。

[0038] 应力源302和304的组成一般将取决于用于沟道108的材料以及FinFET300是n型(nMOS)还是p型(pMOS)。例如,如果沟道108为Si沟道,则对于一些实施例,应力源302和304可在FinFET 300为p型时包括硅锗合金(SiGe),并且可在FinFET 300为n型时包括碳化硅合金(SiC)。SiGe合金向沟道108施加压应力以便增大p型FinFET的空穴迁移率,并且SiC合金施加张应力以增大n型FinFET的电子迁移率。应力源302和304可从层106开始、或者从层104开始外延地生长,并且被嵌入到源极/漏极扩散306和308中,如图3所示。对于具有III-V或II-V族半导体化合物、锗、硅锗、石墨烯或碳纳米管的沟道材料,应力源302和304可以是不同的,以使应力源益处最大化并提高多数载流子迁移率。

[0039] 应力源302和304可生长在层104和106上,因为这些层具有单晶结构(即,它们各自展现均匀的晶格)。这将与也在其鳍沟道下具有势垒但其中该势垒不是单晶体(诸如举例而言埋氧化层(BOX))的常规SOI(绝缘体上覆硅)FinFET作比较。对于此类常规SOI FinFET,应力源不能穿过BOX继续生长。

[0040] 由于层106为单晶体,因此应力源302和304可完全穿过层106生长,并且相对较深地嵌入到FinFET 300中,从而得到相对较大的体积。嵌入式应力源302和304相对较大的体积有助于对沟道108的多数载流子迁移率的增大作出贡献。

[0041] 相应地,图4解说了可被添加到图2的流程图的工艺步骤。在步骤402,沟槽形成在层106中,继之以在所形成的沟槽中且毗邻源极/漏极扩散外延地生长应力源(404)。步骤402还可包括将这些沟槽形成到层104中。

[0042] 图5解说了各实施例可在其中得以应用的无线通信系统。图5解说了包括基站504A、504B和504C的无线通信网络502。图5示出了标记为506的通信设备,该通信设备可以是移动通信设备,诸如蜂窝电话、平板电脑、或适用于蜂窝电话网络的某种其他种类的通信设备,诸如计算机或计算机系统。通信设备506无需是移动的。在图5的特定示例中,通信设

备506位于与基站504C相关联的蜂窝小区内。箭头508和510分别示意性地表示供通信设备506与基站504C进行通信的上行链路信道和下行链路信道。

[0043] 例如,各实施例可以用在与通信设备506相关联、或与基站504C相关联、或与这两者相关联的数据处理系统内。图5仅仅解说了其中可以采用本文中所描述的实施例的众多应用中的一个应用。

[0044] 本领域技术人员将领会,信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0045] 此外,本领域技术人员将领会,结合本文中所公开的实施例描述的各种解说性逻辑块、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员对于每种特定应用可用不同的方式来实现所描述的功能性,但这样的实现决策不应被解读成导致脱离了本发明的范围。

[0046] 结合本文中所公开的实施例描述的方法、序列和/或算法可直接在硬件中、在由处理器执行的软件模块中、或者在这两者的组合中体现。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM或者本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。

[0047] 相应地,本发明的一实施例可包括一种计算机可读介质,其实施一种用于具有背栅、无穿通且具有减小的鳍高度变化的FINFET的方法。相应地,本发明并不限于所解说的示例且任何用于执行本文所描述的功能性的手段均被包括在本发明的实施例中。

[0048] 尽管上述公开示出了本发明的解说性实施例,但是应当注意到,在其中可作出各种更换和改动而不会脱离如所附权利要求定义的本发明的范围。根据本文中所描述的本发明实施例的方法权利要求的功能、步骤和/或动作不必按任何特定次序来执行。此外,尽管本发明的要素可能是以单数来描述或主张权利的,但是复数也是已料想了的,除非显式地声明了限定于单数。

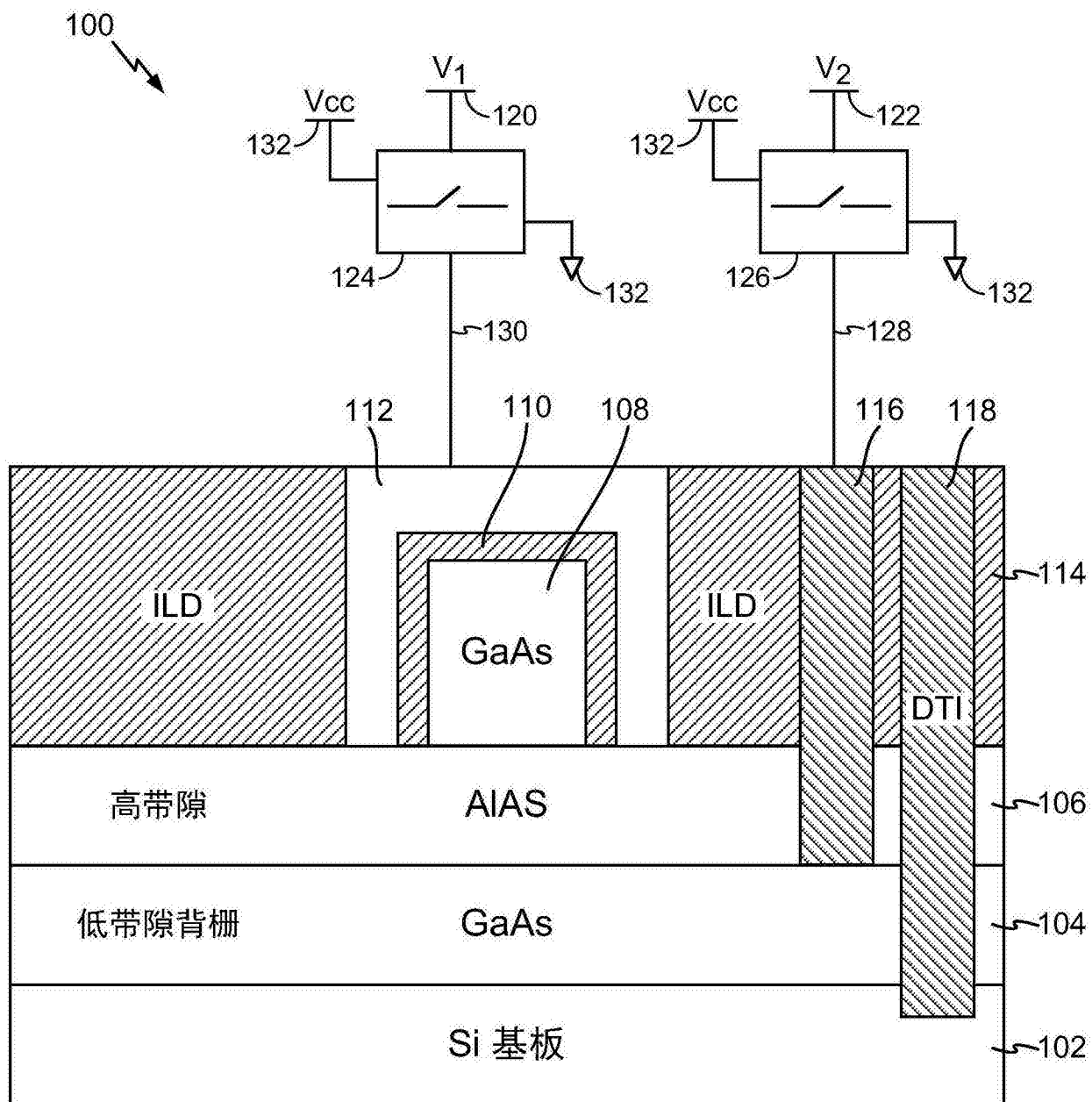


图1

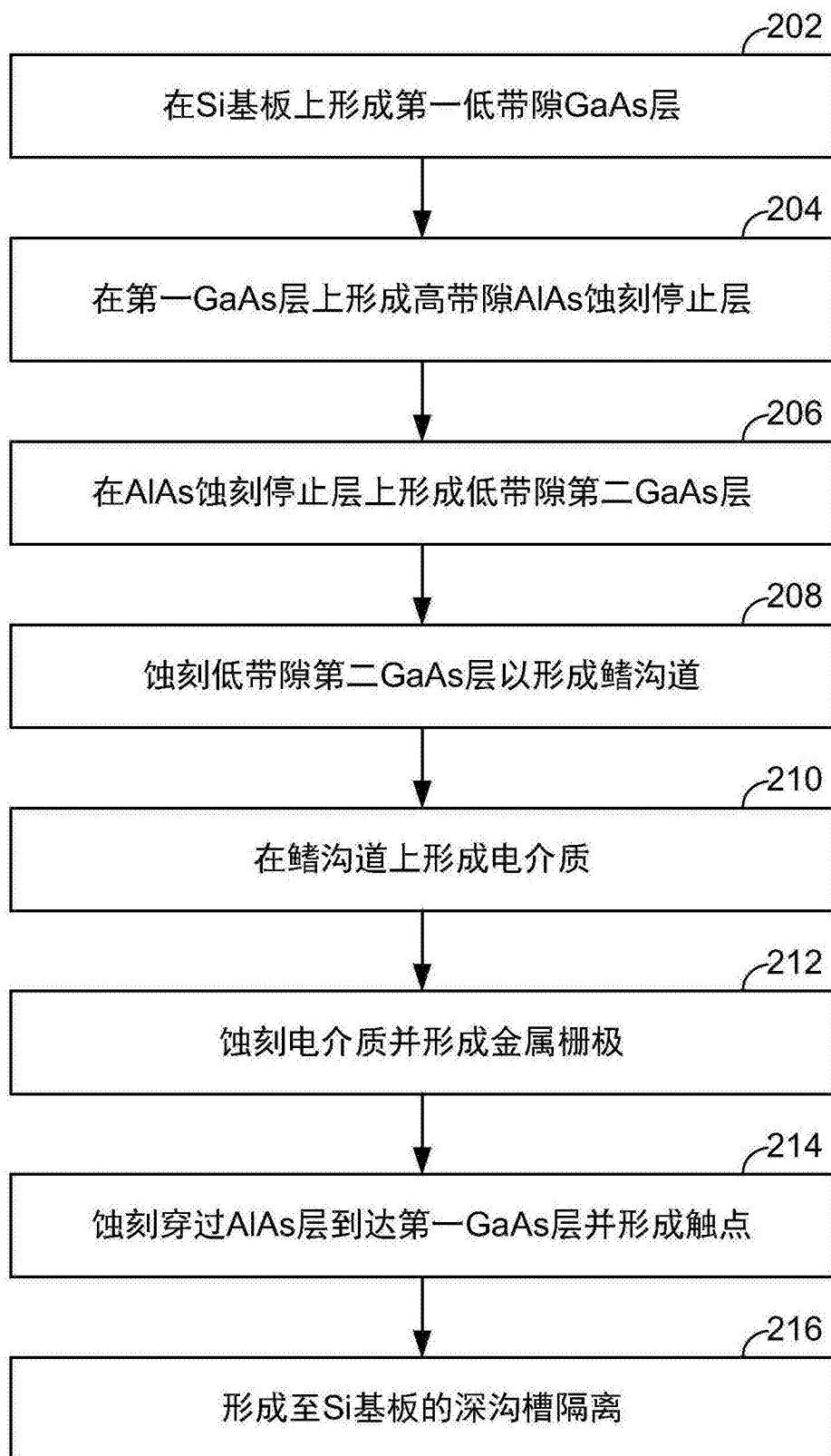


图2

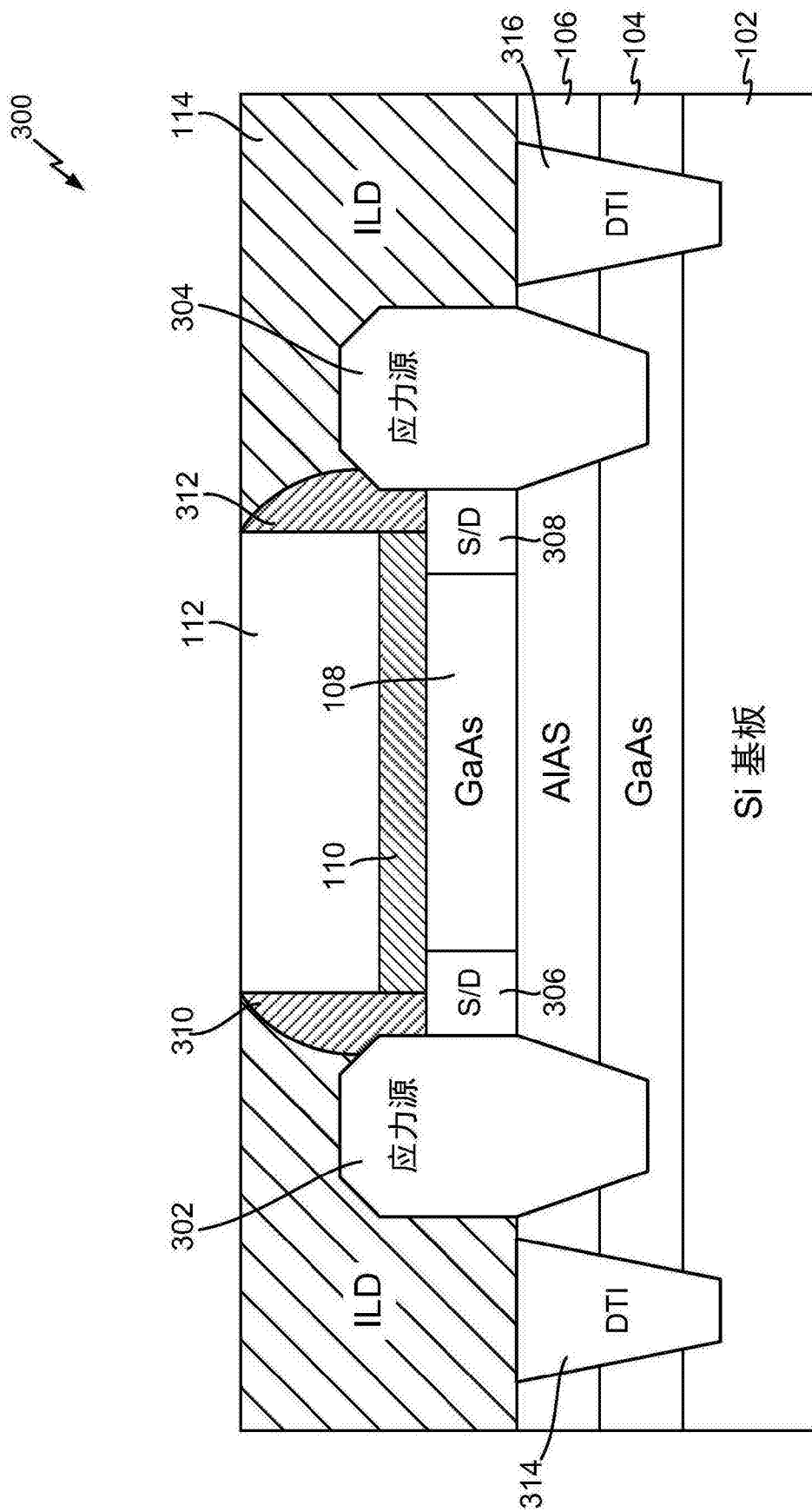


图3

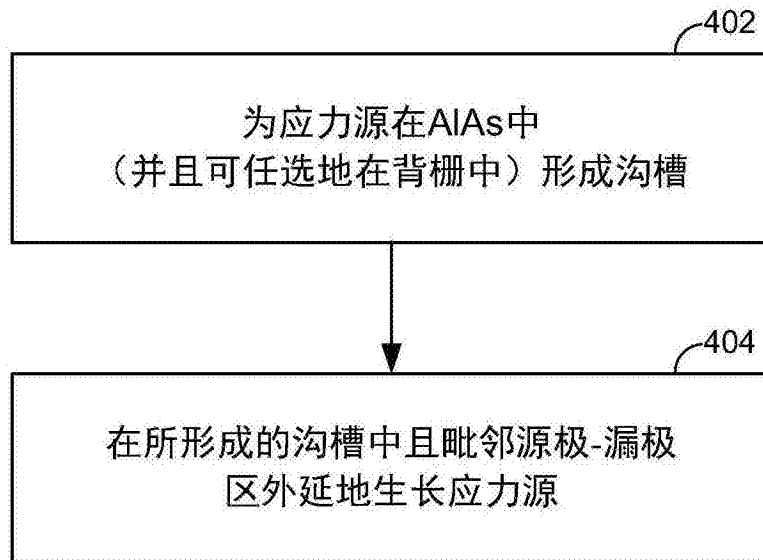


图4

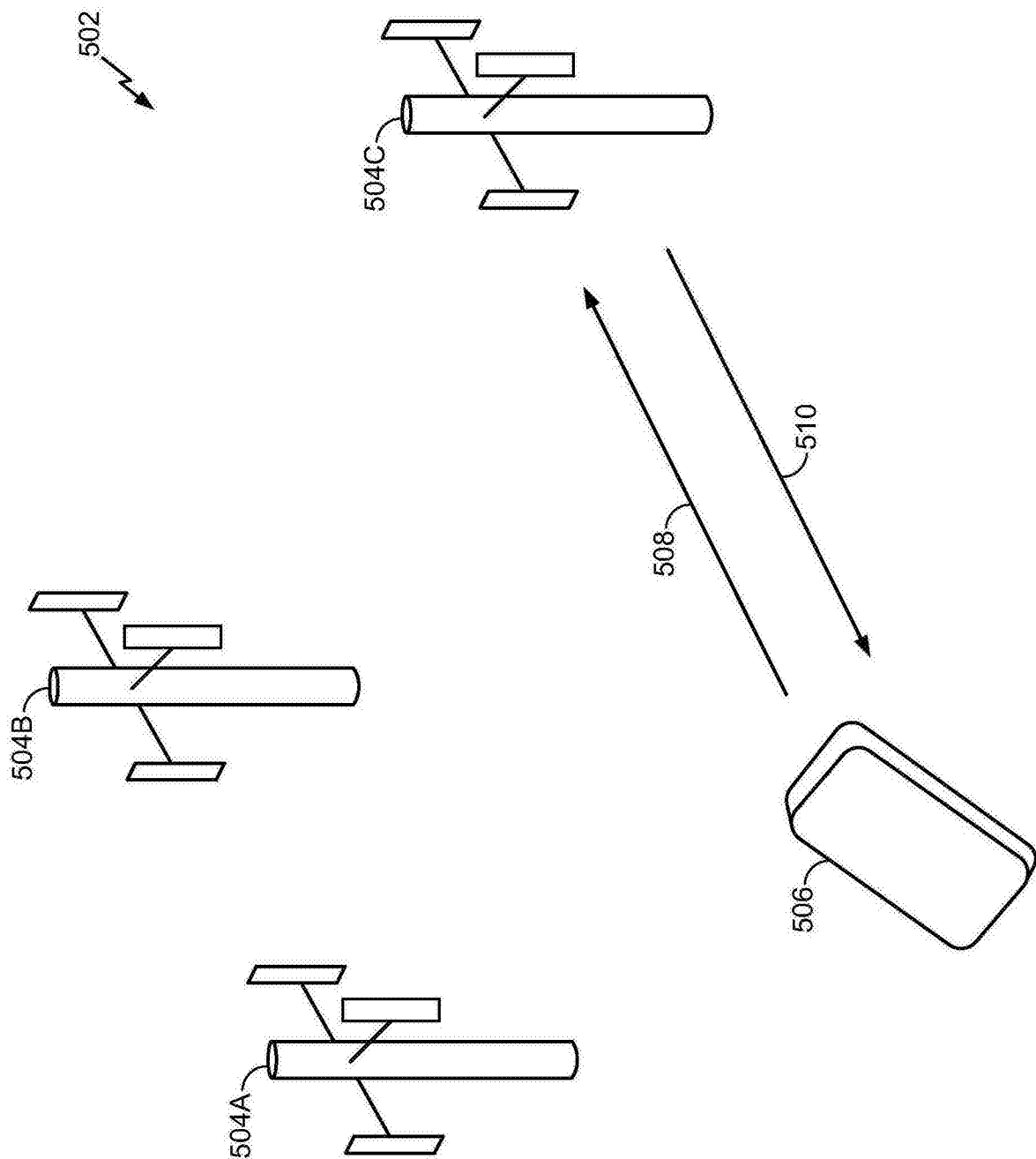


图5

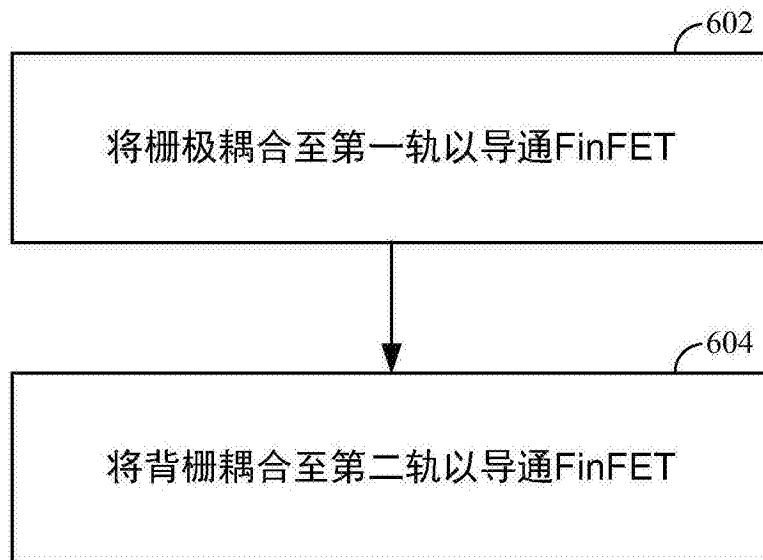


图6