

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 2 月 10 日 (10.02.2005)

PCT

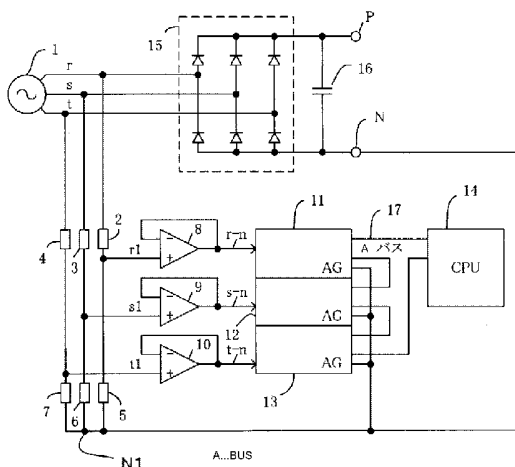
(10) 国際公開番号  
WO 2005/012928 A1

- (51) 国際特許分類: G01R 29/18 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/010407 (75) 発明者/出願人 (米国についてのみ): 平松 和彦 (HI-RAMATSU, Kazuhiko) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 高橋 肇 (TAKAHASHI, Hajime) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 株式会社安川電機内 Fukuoka (JP).  
(22) 国際出願日: 2004 年 7 月 22 日 (22.07.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2003-283061 2003 年 7 月 30 日 (30.07.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 株式会社安川電機 (KABUSHIKI KAISHA YASKAWA DENKI) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石 2 番 1 号 Fukuoka (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

/ 続葉有 /

(54) Title: METHOD FOR DETECTING OPEN-PHASE OF POWER SUPPLY OF THREE-PHASE CONVERTER

(54) 発明の名称: 3 相コンバータの電源欠相検出方法



(57) Abstract: An open-phase detecting method wherein a simple hardware structure is used to achieve a reduced cost; the IRQ number is reduced to reduce the load on a CPU; the open phase detection is performed in two terms, that is, a phase difference and a voltage sign to reduce the possibility of occurrence of erroneous detections; and any phase that is open can be also determined. In the method for detecting any open phase of the power supply of a three-phase converter, a neutral point (N1) is connected to the negative pole side bus (N) of the DC side output of rectifying means; an end of a first resistor of each phase, which corrects the first resistor to a second resistor of a respective phase, is connected to an AD converter via a high input impedance means of the respective phase to detect the voltage of the respective phase; the voltage of the respective phase is outputted to a CPU that serves as open-phase detecting means; and an open phase is detected when the signs of two of the three-phase interline voltages determined based on the voltages of the respective phases are different from each other and the phase difference exhibits a half-wave rectification waveform of 180 degrees.

(57) 要約: 簡素なハード構成でコストダウンを実現し、IRQ数を減らすことによりCPUの負荷を軽減し、位相差と電圧符号の2面から欠相を検出することにより誤検出の可能性を低減し、欠相した相の特定も可能な欠相検出方法を提供する。3相コンバータの電源欠相検出方法において、中性点(N1)を整流手段の直流側出力の負極側母線(N)と接続し、各相の第1抵抗と第2抵抗とを連結する各相毎の前記第1

/ 続葉有 /



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

抵抗の他端を各相毎に高入力インピーダンス手段を介してADコンバータへ接続して各相毎の電圧を検出し、該各相毎の電圧を欠相判断手段であるCPUへ出力し、該各相毎の電圧に基づいて求めた3相分の線間電圧のうち2相の符号が異なり且つ位相差が $180^\circ$ の半波整流波形になったとき欠相と判断するものである。

## 明 細 書

### 3相コンバータの電源欠相検出方法

#### 技術分野

[0001] 本発明は、3相コンバータの電源欠相検出方法に関する。

#### 背景技術

[0002] 従来の3相コンバータの欠相検出方法では、3相交流電源の疑似中性点と入力電圧との比較により生成される論理信号をカウンタに入力して各相の位相差を検出しその位相差が所定値以上離れた場合に欠相と判断している。

[0003] 図10にこの従来例の構成図を示す(特開2003-235154号公報:以下従来例1という)。図10において、3相交流電源r、s、tの各相を抵抗55〜60でスター結線した中点を疑似中性点N1とし、疑似中性点N1から見たr、sの電圧をR1、S1として検出している。R1、S1が疑似中性点N1以上になったことをコンパレータ61、62で検出し、コンパレータから“1”となる論理信号R2、S2を出力する。R2、S2はそれぞれカウンタ64、65のゲートGA1、GA2に入力され立ち上がりエッジでカウント値をラッチするようにCPU67によって予め設定されている。また、カウンタ64、65の入力には発信器63が接続され常にカウントしている。カウンタ64、65はバス66によってCPU67と接続され、ラッチされた値をCPU67によって読み出すことができる。論理信号R2、S2はCPU67のIRQ1、IRQ2にも入力されR2、S2の立ち上がりによりCPU67に割り込みを発生させその割り込みによりカウンタ64、65のラッチされた値を読み込んでR2、S2の位相差を算出する。ここでIRQとは、CPUへの割り込み要求用ポートのことである。

R相が欠相したときはR1は疑似中性点N1と同電位になる為、R2は変化しない。またS相が欠相した場合も前記と同様になる。

一方、T相が欠相したときはR、S間は単相になるためR1、S1間の位相差は $180^\circ$ となり、R2とS2との間の位相差も $180^\circ$ となる。

このように正常時はR2、S2の位相差は $120^\circ$ であるが、3相交流電源に欠相が発生すると位相差が $180^\circ$ になるか、または、欠相の生じた相に対応するR2もしくはS2

の出力信号が変化しなくなるので、R2とS2との位相差が $120^\circ$ から所定値(CPU67に対し予め設定した値)以上離れたこと、または、R2もしくはS2のどちらかが所定時間(CPU67に対し予め設定した値)以上変化しないことをCPU67に監視させて欠相を判断している(従来例1)。

- [0004] また、交流起電システムにおいても欠相検知を確実にできる信頼性の高い欠相検知装置を提供する従来技術として特許文献1(特開平6-335154号公報:以下従来例2という)がある。特許文献1によれば、フィルタコンデンサの両端電圧を監視し、架線を流れる交流の2倍の周波数の整数倍の周期で両端電圧を抽出し、その両端電圧の変動量を検知する電圧変動量検出装置と、この電圧変動量検出装置の出力を所定の基準値と比較し、異常値と判断した時にインバータ装置に対して保護動作指令を出力する制御装置とを備えている。また、インバータ装置の出力端に流れる相電流を検出して実効値を演算し、この実効値を架線を流れる交流の2倍の周波数の整数倍の周期で抽出し、実効値の変動量を検知する実効電流変動量検出装置と、この実効電流変動量検出装置の出力を所定の基準値と比較し、異常値と判断した時にインバータ装置に対して保護動作指令を出力する制御装置とを備えている。

特許文献1:特開平6-335154号公報 図1参照

発明の開示

発明が解決しようとする課題

- [0005] 従来例1の電源欠相検出方法では、疑似中性点を作る手段と2相分のカウンタが必要である。そのためハード構成が複雑になりコストアップになるという問題があった。また、位相差のみで欠相を判断しているため誤検出の可能性を否認ないという問題もあった。またさらに、IRQを2本使用するためCPUの負荷が増大するという問題も抱えていた。

本発明はこのような様々な問題点に鑑みてなされたものであり、簡素なハード構成によりコストダウンを実現し、IRQ数を減らすことによりCPUの負荷を軽減し、位相差と電圧符号の2面から欠相を検出することにより誤検出の可能性を低減し、欠相した相の特定も可能な欠相検出方法を提供することを目的とする。

課題を解決するための手段

[0006] 上記問題を解決するため、本発明は、3相交流電源を直流電源に変換する整流手段と、3相交流電源各相の一端が各相毎に設けられた第1抵抗の一端に接続され、該第1抵抗の他端が各相の第2抵抗の一端に接続され、各相の該第2抵抗の他端3つを接続してY結線の中性点(N1)とする3相コンバータの電源欠相検出方法において、前記中性点(N1)を前記整流手段の直流側出力の負極側母線(N)と接続し、各相の第1抵抗と第2抵抗とを連結する各相毎の前記第1抵抗の他端を各相毎に高入力インピーダンス手段を介してADコンバータへ接続して各相毎の電圧を検出し、該各相毎の電圧を欠相判断手段であるCPUへ出力し、該各相毎の電圧に基づいて求めた3相分の線間電圧のうち2相の符号が異なり且つ位相差が $180^\circ$ の半波整流波形になったとき欠相と判断するものである。

また、前記高入力インピーダンス手段が、オペアンプを使用した非反転増幅回路としたものである。

#### 発明の効果

[0007] 請求項1に記載の発明によると、3相交流電源を直流に変換する3相コンバータにおいて、簡素なハード構成によりコストダウンを実現し、IRQ数を減らすことによりCPUの負荷を軽減し、位相差と電圧符号の2面から欠相を検出することにより誤検出の可能性を低減し、欠相した相の特定も可能な欠相検出方法を提供することができる。

#### 図面の簡単な説明

[0008] [図1]本発明の方法を適用する3相交流電源の欠相検出装置の構成図

[図2]本発明の方法の正常時のAD入力電圧を示すグラフ

[図3]本発明の方法のT相欠相時のAD入力電圧を示すグラフ

[図4]本発明の方法の正常時の電源電圧を示すグラフ

[図5]本発明の方法のT相欠相時の電源電圧を示すグラフ

[図6]本発明の方法の正常時の線間電圧を示すグラフ

[図7]本発明の方法のT相欠相時の線間電圧を示すグラフ

[図8]本発明の方法の正常時の直流母線N側の電圧を示すグラフ

[図9]本発明の方法のT相欠相時の直流母線N側の電圧を示すグラフ

[図10]従来の方法を適用した3相交流電源の欠相検出装置の構成図

## 符号の説明

- [0009] 1 3相交流電源  
2、3、4、5、6、7 抵抗  
8、9、10オペアンプ  
11、12、13ADコンバータ  
14 CPU  
15 3相ダイオードブリッジ  
16 コンデンサ  
17 バス  
r 3相交流電源R相  
s 3相交流電源S相  
t 3相交流電源T相  
r1 Nから見た電圧R相  
s1 Nから見た電圧S相  
t1 Nから見た電圧T相  
r-n AD入力電圧  
s-n AD入力電圧  
t-n AD入力電圧  
P 直流母線P側  
N 直流母線N側  
AG ADコンバータアナロググランド  
51 3相交流電源  
55、56、57、58、59、60 抵抗  
61、62 コンパレータ  
63 発振器  
64、65 カウンタ  
66 バス  
67 CPU

68 3相交流電源から擬似中性点を得る手段

69 論理信号出力手段

R1 擬似中性点N1から見た電圧R相

S1 擬似中性点N1から見た電圧S相

R2 論理信号R相

S2 論理信号S相

N1 擬似中性点

GA1 カウンタゲート

GA2 カウンタゲート

IRQ1 CPU割り込みポート

IRQ2 CPU割り込みポート

発明を実施するための最良の形態

[0010] 以下、本発明の方法の具体的実施例について、図に基づいて説明する。

#### 実施例 1

[0011] 図1は本発明の方法を実施した3相コンバータの実施例である。図2は正常時のA  
D入力電圧、図3はT相欠相時のAD入力電圧、図4は正常時の電源電圧、図5はT  
相欠相時の電源電圧、図6は正常時の線間電圧、図7はT相欠相時の線間電圧、図  
8は正常時の直流母線N側の電圧、図9はT相欠相時の直流母線N側の電圧を示し  
たものである。

図1において、1は3相交流電源、2はr相電圧を分圧するための第1抵抗、5はr相  
電圧を分圧するための第2抵抗である。s相、t相もr相と同様s相電圧を分圧するた  
めの第1抵抗3、第2抵抗6、t相電圧を分圧するための第1抵抗4、第2抵抗7を備えて  
いる。8〜10は演算増幅器であるオペアンプ、11〜13はADコンバータ、17は該A  
Dコンバータと欠相判断をするCPU14とを結ぶバスである。15は3相交流電源を直  
流電源に変換する整流手段、16は該整流手段の直流出力電圧を平滑するコンデン  
サである。Pは整流手段15の正側の直流母線、Nは負側の直流母線である。3相各  
相の第2抵抗5、6、7の一端を接続しその接続点を中性点(N1)とする。この中性点  
N1は整流手段15の負側の直流母線Nと接続している。

3相交流電源 $r$ 、 $s$ 、 $t$ の各相を抵抗2〜7でスター結線した中点ならびに各ADコンバータのアナロググランドAGを整流手段としての3相ダイオードブリッジ15の出力である直流母線N側Nと接続する。このNから見た $r$ の電圧を検出するために抵抗2、5で分圧した電圧 $r_1$ をADコンバータに入力するが、直接入力するとADコンバータの入ピーダンスが低いために正常に分圧されず電圧の検出ができない。よって高インピーダンス化するために、高入力インピーダンス手段としてオペアンプ8を使用したゲイン1倍の非反転増幅回路を使って電圧 $r-n$ を求め、ADコンバータ11に入力する。

$s$ 、 $t$ の電圧の検出も同様にしてオペアンプ9、10を使って電圧 $s-n$ 、 $t-n$ を求めADコンバータ12、13に入力する。

3相ダイオードブリッジのN側を基準点としているため図4の3相電源電圧の最小値を基準とした電圧が $r-n$ 、 $s-n$ 、 $t-n$ に現れる。このときの直流母線N側Nの電圧を図8に、 $r-n$ 、 $s-n$ 、 $t-n$ に現れる電圧を図2に示す。このAD変換された入力電圧値をバス17で接続されたCPU14で読み取り、各相の差を算出することにより図6のような正弦波形の線間電圧が求まる。

ここで例えばT相が欠相した場合を考える。3相ダイオードブリッジに入力される電源電圧は $r$ 、 $s$ だけになり、直流母線N側には $r$ 、 $s$ の電源電圧の最小値が現れる。このときの電源電圧を図5に、直流母線N側の電圧を図9に示す。その結果、AD入力電圧には図3のように位相差が $180^\circ$ の半波整流波形が現れ欠相した相の $t-n$ はほぼゼロの電圧となる。ここで各相の差から求めた線間電圧は図7のようになり $t-n$ との差をとった $t-r$ 、 $s-t$ の2相の線間電圧は符号が異なり位相差が $180^\circ$ の半波整流波形となって現れる。他の相が欠相した場合も前記と同様になり欠相した相との線間電圧は符号が異なり位相差が $180^\circ$ の半波整流波形となって現れる。

このように上記方法で求めた線間電圧は正常時は $120^\circ$ の位相差であるが、欠相時は欠相した相との線間電圧は符号が異なり位相差が $180^\circ$ の半波整流波形となって現れるので、3相分の線間電圧のうち2相の符号が異なり位相差が $180^\circ$ の半波整流波形になったことをCPU14に監視させることにより欠相と判断することができ、また欠相した相の特定も可能となる。例えば、図7では各線間電圧のうち $r-s$ 間の電圧は正弦波形になっているので残りの相であるT相が欠相していると判断できる。

## 産業上の利用可能性

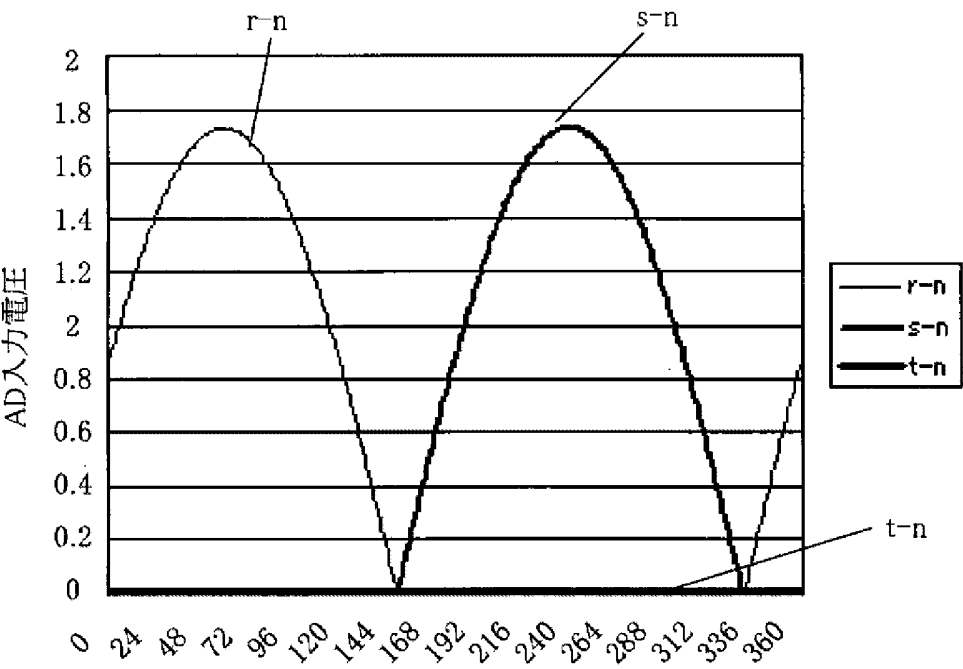
[0012] 3相電源の波形のひずみを検出することから地落検出の用途にも適用できる。

### 請求の範囲

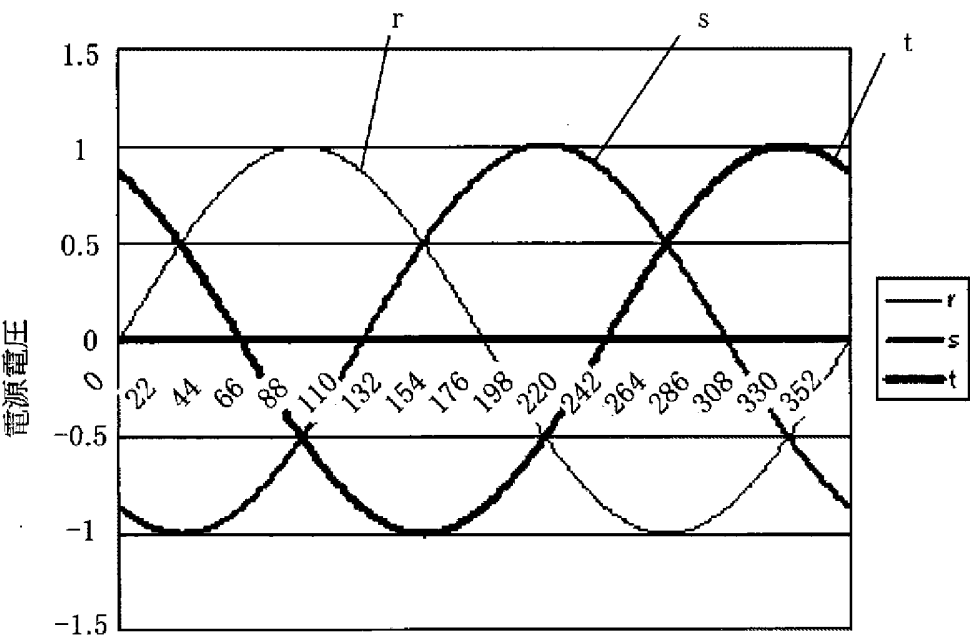
- [1] 3相交流電源を直流電源に変換する整流手段と、3相交流電源各相の一端が各相毎に設けられた第1抵抗の一端に接続され、該第1抵抗の他端が各相の第2抵抗の一端に接続され、各相の該第2抵抗の他端3つを接続してY結線の中性点(N1)とする3相コンバータの電源欠相検出方法において、
- 前記中性点(N1)を前記整流手段の直流側出力の負極側母線(N)と接続し、各相の第1抵抗と第2抵抗とを連結する各相毎の前記第1抵抗の他端を各相毎に高入力インピーダンス手段を介してADコンバータへ接続して各相毎の電圧を検出し、該各相毎の電圧を欠相判断手段であるCPUへ出力し、該各相毎の電圧に基づいて求めた3相分の線間電圧のうち2相の符号が異なり且つ位相差が $180^\circ$ の半波整流波形になったとき欠相と判断することを特徴とする3相コンバータの電源欠相検出方法。
- [2] 前記高入力インピーダンス手段が、オペアンプを使用した非反転増幅回路である請求項1記載の3相コンバータの電源欠相検出方法。



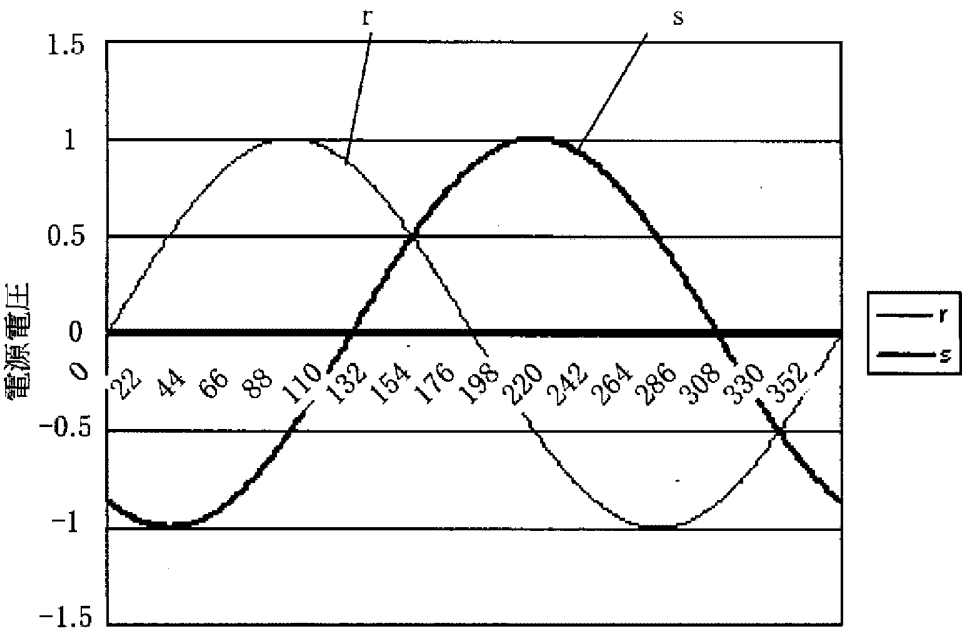
[図3]



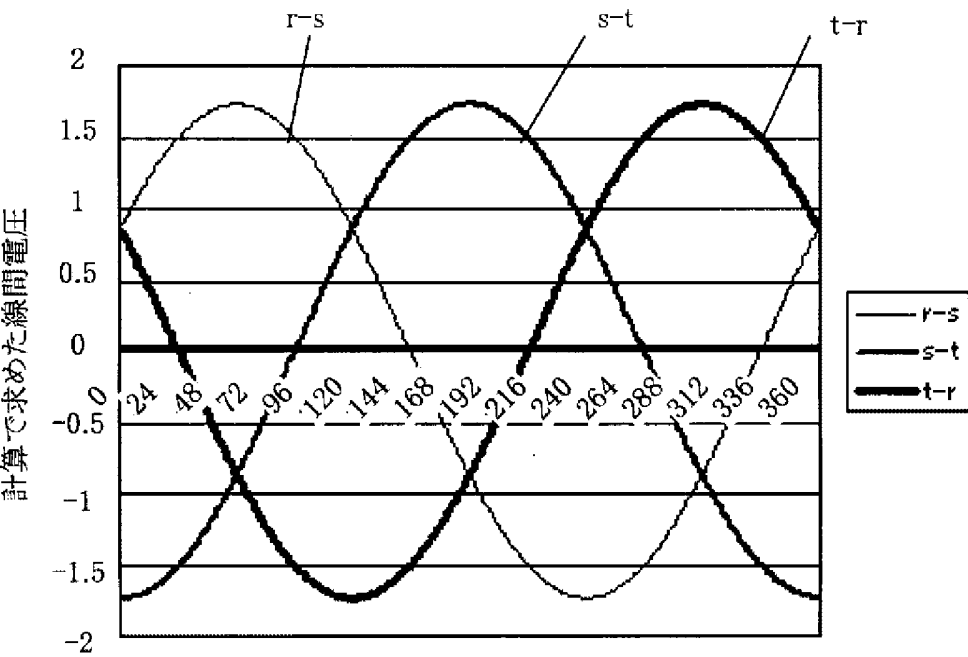
[図4]



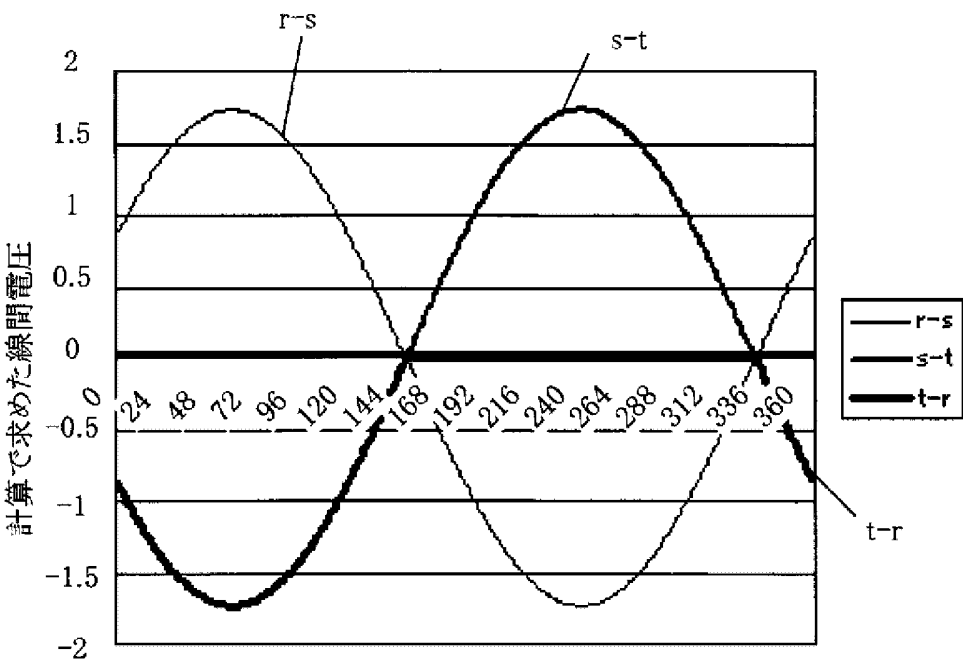
[図5]



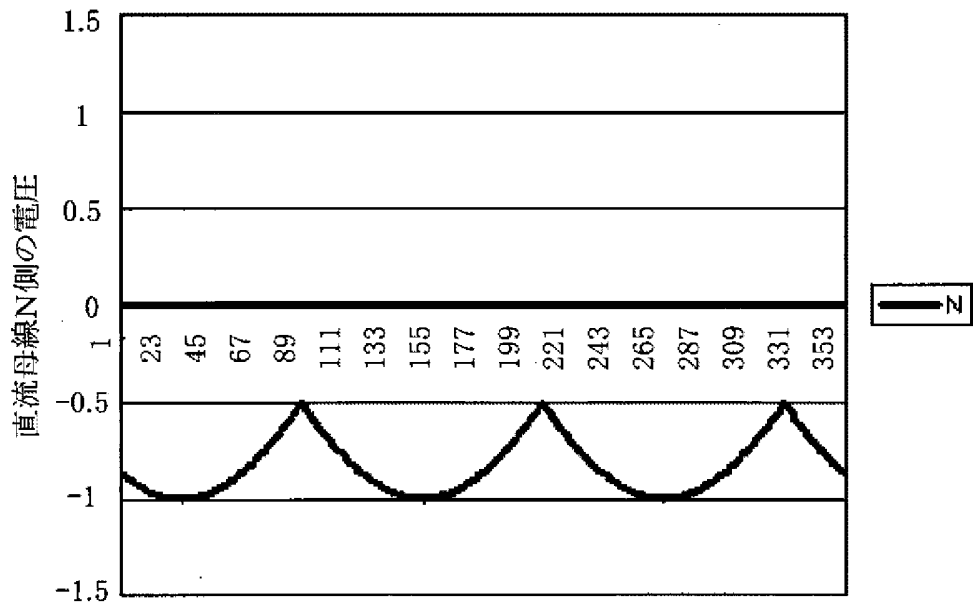
[図6]



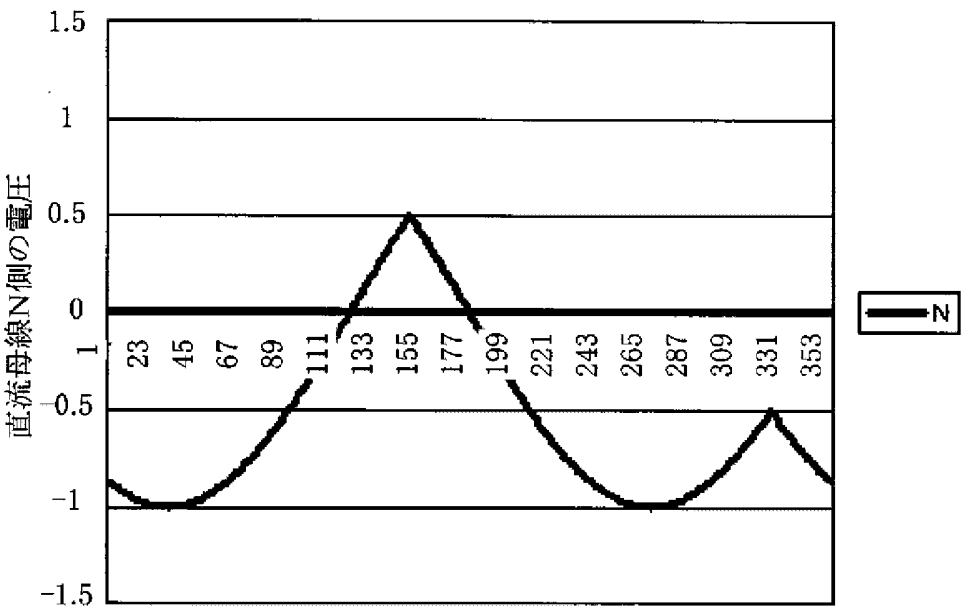
[図7]



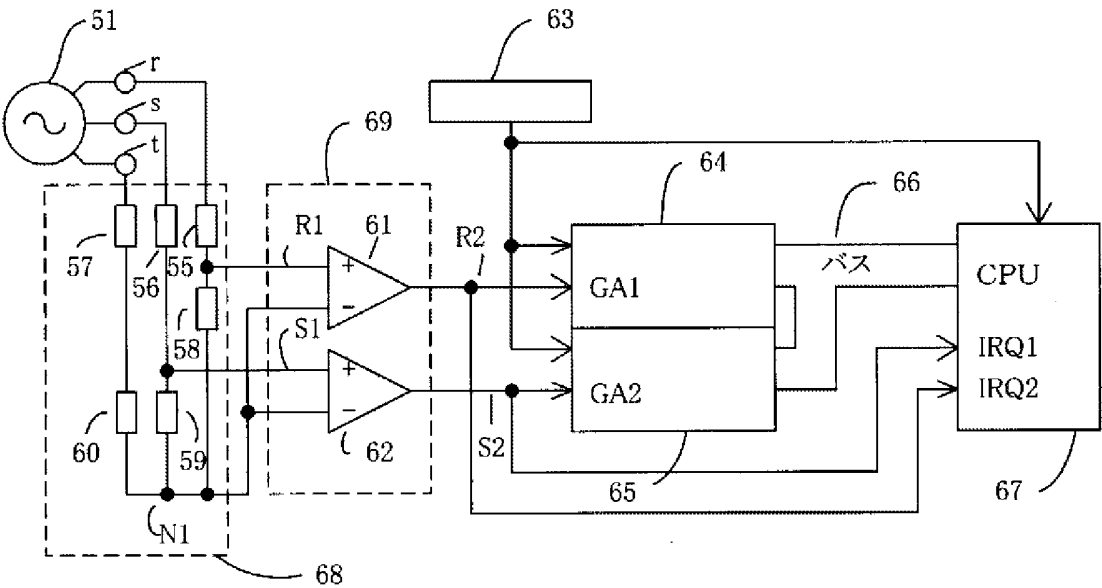
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/0010407

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G01R29/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G01R29/18, H02H3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                          | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2001-251755 A (Nishishiba Denki Kabushiki Kaisha, Toshiba Carrier Corp.),<br>14 September, 2001 (14.09.01),<br>Full text; all drawings<br>(Family: none) | 1, 2                  |
| A         | JP 2001-296324 A (Yaskawa Electric Corp.),<br>26 October, 2001 (26.10.01),<br>Full text; all drawings<br>(Family: none)                                     | 1, 2                  |
| A         | JP 7-184316 A (NEC Corp.),<br>21 July, 1995 (21.07.95),<br>Full text; all drawings<br>(Family: none)                                                        | 1, 2                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
19 October, 2004 (19.10.04)

Date of mailing of the international search report  
02 November, 2004 (02.11.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R29/18

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R29/18Int. Cl<sup>7</sup> H02H3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                      | 関連する<br>請求の範囲の番号 |
|-----------------|------------------------------------------------------------------------|------------------|
| A               | JP 2001-251755 A (西芝電機株式会社, 東芝キャリア株式会社) 2001. 09. 14, 全文, 全図 (ファミリーなし) | 1, 2             |
| A               | JP 2001-296324 A (株式会社安川電機) 2001. 10. 26, 全文, 全図 (ファミリーなし)             | 1, 2             |
| A               | JP 7-184316 A (日本電気株式会社) 1995. 07. 21, 全文, 全図 (ファミリーなし)                | 1, 2             |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

19. 10. 2004

国際調査報告の発送日

02.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

篠崎 正

2S

9106

電話番号 03-3581-1101 内線 3258