(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2018 년 6 월 28 일 (28.06.2018)

WIPO | PCT

(10) 국제공개번호
WO 2018/117361 A1

(51) 국제특허분류:
H01L 25/16 (2006.01) *H01L 27/15* (2006.01)
H01L 33/36 (2010.01) *H01L 33/00* (2010.01)
H01L 33/62 (2010.01) *H05B 33/12* (2006.01)
H01L 25/13 (2006.01) *H05B 33/10* (2006.01)
H01L 25/075 (2006.01) *H01L 21/768* (2006.01)

(21) 국제출원번호: PCT/KR2017/007812

(22) 국제출원일: 2017 년 7 월 20 일 (20.07.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

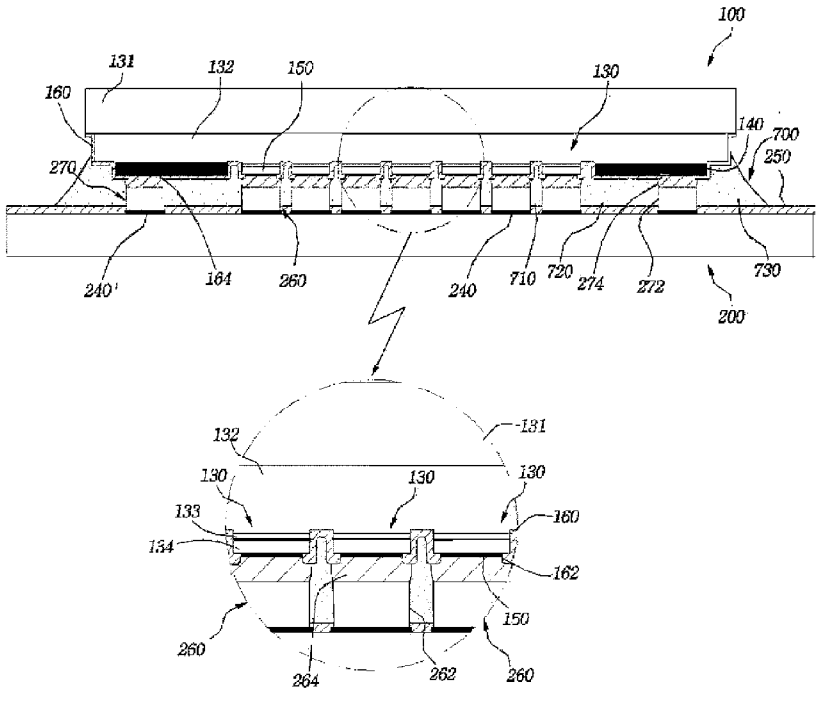
(30) 우선권정보:
10-2016-0177568 2016 년 12 월 23 일 (23.12.2016) KR
10-2016-0179732 2016 년 12 월 27 일 (27.12.2016) KR
10-2017-0018824 2017 년 2 월 10 일 (10.02.2017) KR
10-2017-0018842 2017 년 2 월 10 일 (10.02.2017) KR

(71) 출원인: 주식회사 루멘스 **(LUMENS CO.,LTD.)** [KR/KR]; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR).

(72) 발명자: **김대원 (KIM, Daewon)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR). **신은성 (SHIN, Eunsung)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR). **조동희 (CHO, Donghee)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR). **문명지 (MOON, Myungji)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR). **장한빛 (CHANG, Hanbeet)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR). **김용필 (KIM, Yongpil)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR). **박재순 (PARK, Jaesoon)**; 17086 경기도 용인시 기흥구 원고매로 12, Gyeonggi-do (KR).

(54) **Title:** MICRO LED MODULE AND MANUFACTURING METHOD THEREFOR

(54) **발명의 명칭:** 마이크로 엘이디 모듈 및 그 제조방법



(57) **Abstract:** A micro LED module is disclosed. The micro LED module comprises: a micro LED comprising a plurality of LED cells, wherein each LED cell comprises a first conductive semiconductor layer, an active layer, and a second conductive semiconductor layer; a submount substrate on which the micro LED is mounted; a plurality of electrode pads formed in the micro LED cell; a plurality of electrodes formed on the submount substrate so as to correspond to the plurality of electrode pads; a plurality of connection parts for interconnecting the plurality of electrode pads and the plurality of electrodes; and a gap filling layer formed to fill the space between the micro LED and the submount substrate, and having an adhesive force with respect to the micro LED and the submount substrate.

WO 2018/117361 A1

[다음 쪽 계속]

(74) 대리인: 유창열 (RYU, Changyeol); 13215 경기도 성남시 중원구 둔촌대로 545, 2010(상대원동, 한라시그마밸리), Gyeonggi-do (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 마이크로 엘이디 모듈이 개시된다. 이 마이크로 엘이디 모듈은, 다수의 엘이디 셀을 포함하되, 각 엘이디 셀이 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는, 마이크로 엘이디; 상기 마이크로 엘이디가 마운팅되는 서브마운트 기판; 상기 마이크로 엘이디 셀에 형성된 다수의 전극패드; 상기 다수의 전극패드에 대응되게 상기 서브마운트 기판 상에 형성된 다수의 전극; 상기 다수의 전극패드와 상기 다수의 전극 사이를 연결하는 다수의 연결부; 및 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 갭에 채워져 형성되며, 상기 마이크로 엘이디와 상기 서브마운트 기판에 대해 접합력을 갖는 갭 채움층을 포함한다.

명세서

발명의 명칭: 마이크로 엘이디 모듈 및 그 제조방법

기술분야

[1] 본 발명은 마이크로 엘이디와 그 마이크로 엘이디가 마운팅되는 서브마운트 기판을 포함하는 마이크로 엘이디 모듈에 관한 것으로서, 더 상세하게는, 마이크로 엘이디와 서브마운트 기판의 사이의 간극이 영역에 따라 달라지는 것 것을 억제하여, 마이크로 엘이디의 전극패드들과 서브마운트의 전극들 사이를 연결하는 연결부들의 연결 불량을 억제할 수 있는 마이크로 엘이디 모듈 및 그 제조방법을 제공하는 것이다.

배경기술

[2] 마이크로 엘이디 모듈을 이용하는 디스플레이 장치가 알려져 있다. 통상, 마이크로 엘이디 모듈은 다수의 엘이디 셀을 포함하는 마이크로 엘이디를 서브마운트 기판 상에 플립 칩 본딩하여 제작된다.

[3] 마이크로 엘이디는 투광성 사파이어 기판과, 상기 투광성 사파이어 기판 상에 형성되고 다수의 엘이디 셀을 갖는 질화갈륨계 반도체 발광부를 포함한다. 반도체 발광부는 식각에 의해 형성된 n형 반도체층 노출 영역을 포함하며, 상기 n형 반도체층 노출 영역 상에 상기 다수의 엘이디 셀이 매트릭스 배열로 형성된다. 각 엘이디 셀은 n형 반도체층, 활성층 및 p형 도전형 반도체층을 포함하고, 각 엘이디 셀의 p형 반도체층에는 p형 전극패드가 형성된다. 또한 상기 n형 반도체층 노출 영역에는 n형 전극패드가 형성된다.

[4] 한편, 서브마운트 기판은 마이크로 엘이디의 전극패드들에 대응되게 마련된 다수의 전극들을 포함한다. 솔더 범프를 이용하여 마이크로 엘이디를 마운트 기판에 플립 칩 본딩함으로써, 마이크로 엘이디의 전극패드들이 서브마운트 기판의 전극들과 연결된다. 마이크로 엘이디를 서브마운트 기판에 플립 칩 본딩하기 위해서는, 솔더 범프의 적어도 일부를 구성하는 솔더를 용융점 근처의 온도로 가열하여야 한다. 이때, Si 기반 서브마운트 기판의 열팽창계수와 엘이디 기판인 사파이어 기판간의 열팽창 계수의 차이가 크기 때문에, 플립 칩 본딩 공정 중의 가열 및 냉각시, Si 서브마운트 기판과 사파이어 기판 사이에는 팽창 변형량 및 수축 변형량에 있어서 큰 차이를 나타내며, 이 차이로 인해 서브마운트 기판과 마이크로 엘이디 사이에는 심각한 미스얼라인먼트(misalignment)이 발생한다.

[5] 이와 같은 미스얼라인먼트는 마이크로 엘이디의 전극패드들과 서브마운트 기판의 전극들이 연결되지 못하거나, 더 심각하게는, 잘못 연결되어 쇼트 등과 같은 심각한 불량을 초래한다.

[6] 예컨대 마이크로 엘이디의 기반이 되는 사파이어 기판의 열팽창계수가 7.6μm^{-1}K이고, Si 기반 서브마운트 기판의 열팽창 계수가 2.6$\mu m m^{-1}$K이므로, 온도에 따라,

S사파이어 기판의 열팽창계수가 Si 기반 서브마운트 기판의 열팽창계수의 대략 2.5배에 이른다. 플립 칩 본딩에 사용하는 범프가 용융점이 높은 솔더를 사용하면, 본딩 온도가 높아지는데, 이때, 열팽창계수의 심각한 차이로 인해 마이크로 엘이디와 서브마운트 기판 사이에 미스얼라인먼트가 발생되어 본딩이 안될 수 있다. 예컨대, 260℃ 솔더 용융점 온도를 본딩 온도로 설정하면, 1cm 기판 기준으로, 약 5~6um 미스얼라인먼트가 발생되어 마이크로 엘이디의 플립 칩 본딩과 같이 2um 본딩 정밀도가 요구되는 공정에서는 실질적으로 이용이 어렵게 된다.

[7] 통상 마이크로 엘이디를 이용하여 고해상도, 미세 픽셀 피치(10um이하)의 디스플레이 장치를 제작할 경우에는, 전술한 것과 같은 플립 칩 본딩 공정이 이용되지만, 정밀도가 2um이하의 경우, 사파이어 재질의 엘이디 기판과 Si를 기반으로 한 서브마운트 기판의 열팽창계수가 다르기 때문에 본딩이 쉽지 않다. Au 또는 SnAg와 같은 고용융점 솔더를 이용할 경우에는 높은 온도로 가열하는 것이 수반되어 열팽창계수로 인한 변형량 차이가 더 확대되어 본딩 자체가 실질적으로 불가능하며, 용융점이 상대적으로 낮은 인듐(Indium)을 솔더 재료로 이용하면 본딩이 가능하겠지만 그럼에도 불구하고 미스얼라인먼트가 발생한다.

[8] 또한, 마이크로 엘이디의 엘이디 기판과 마운트 기판의 열팽창계수 차이로 인한 변형량 차이를 억제하여 미스얼라인먼트를 줄인다 하더라도, 엘이디 기판과 서브마운트 기판 사이에는 영역에 따라 미세한 간극의 차이가 있을 수 밖에 없고, 이는 엘이디 기판의 전극패드와 서브마운트 기판의 전극 사이를 연결하는 연결부의 연결 불량을 초래한다. 특히, 엘이디 기판과 서브마운트 기판 사이에 열팽창계수가 큰 경우일수록, 엘이디 기판과 서브마운트 기판 사이의 간극이 불균일해져, 전술한 문제점이 심각하게 발생한다.

발명의 상세한 설명

기술적 과제

[9] 본 발명이 해결하고자 하는 과제는, 마이크로 엘이디와 서브마운트 기판의 사이의 간극이 영역에 따라 달라지는 것을 억제하여, 마이크로 엘이디의 전극패드들과 서브마운트기판의 전극들 사이를 연결하는 연결부들의 연결 불량을 억제할 수 있는 마이크로 엘이디 모듈 및 그 제조방법을 제공하는 것이다.

[10] 본 발명이 해결하고자 하는 다른 과제는 마이크로 엘이디의 마운팅 공정에서 엘이디 기판과 서브마운트 기판 사이의 열팽창 계수 차이로 인한 미스얼라인머트 문제를 해결하는 기술을 제공하는 것이다.

과제 해결 수단

[11] 본 발명의 일측면에 따른 마이크로 엘이디 모듈은, 다수의 엘이디 셀을 포함하되, 각 엘이디 셀이 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는, 마이크로 엘이디; 상기 마이크로 엘이디가 마운팅되는

서브마운트 기판; 상기 마이크로 엘이디 셀에 형성된 다수의 전극패드; 상기 다수의 전극패드에 대응되게 상기 서브마운트 기판 상에 형성된 다수의 전극; 상기 다수의 전극패드와 상기 다수의 전극 사이를 연결하는 다수의 연결부; 및

[12] 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 갭에 채워져 형성되며, 상기 마이크로 엘이디와 상기 서브마운트 기판에 대해 접합력을 갖는 갭 채움층을 포함한다.

[13] 일 실시예에 따라, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 채워진 액상 또는 겔상의 갭 채움물질이 경화되어 형성된다.

[14] 일 실시예에 따라, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 분말 상태로 채워진 갭 채움물질이 용융 및 경화되어 형성된다.

[15] 일 실시예에 따라, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 형성되어 상기 다수의 연결부 각각의 주변을 모두 덮는다.

[16] 일 실시예에 따라, 상기 마이크로 엘이디는 안쪽에 상기 다수의 엘이디 셀이 매트릭스 배열로 형성되고 바깥쪽에 제1 도전형 반도체층 노출 영역이 형성된 구조를 포함한다.

[17] 일 실시예에 따라, 상기 다수의 전극패드는 상기 다수의 엘이디 셀 각각의 제2 도전형 반도체층과 연결되어 매트릭스 배열로 형성되는 다수의 개별 전극패드와, 상기 제1 도전형 반도체층 노출 영역에서 상기 제1 도전형 반도체층과 연결되는 외곽 측 공통 전극패드를 포함하고, 상기 다수의 전극은 상기 다수의 개별 전극패드와 연결되는 다수의 제1 전극과 상기 공통 전극패드와 연결되는 제2 전극을 포함하고, 상기 다수의 연결부는 다수의 개별 전극패드와 상기 다수의 제1 전극을 연결하는 다수의 내측 연결부와 상기 공통 전극패드와 상기 제2 전극을 연결하는 외곽 연결부를 포함한다.

[18] 일 실시예에 따라, 상기 갭 채움층은, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 내측 영역을 점유하며 상기 다수의 내측 연결부 각각의 주위를 덮는 내측 채움부와, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 외곽 영역을 점유하며 상기 외곽 연결부 주위를 덮는 외곽 채움부를 포함한다.

[19] 일 실시예에 따라, 상기 갭 채움층은 상기 서브마운트 기판의 외곽 빈 영역 상에서 상기 마이크로 엘이디의 외곽 측면을 덮는 둘레부를 더 포함한다.

[20] 일 실시예에 따라, 상기 다수의 연결부 각각은 용융 후 경화되어 상기 다수의 전극패드 각각과 상기 다수의 전극 각각의 사이를 전기적으로 연결하는 솔더를 포함한다.

[21] 일 실시예에 따라, 상기 다수의 연결부 각각은 상기 전극패드와 상기 전극 중 어느 하나에 연결되는 금속 필라와 상기 금속 필라에 형성되는 솔더를 포함한다.

[22] 일 실시예에 따라, 상기 다수의 연결부 각각은 상기 전극패드와 상기 전극 중 어느 하나에 접하여 형성된 도전성 소프트 블록과, 수직 방향 힘에 의해 상기 도전성 소프트 블록에 삽입되어 전기적으로 연결되는 도전성 삽입로드를 포함한다.

[23] 일 실시예에 따라, 상기 갭 채움층은, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 영역 중 상기 다수의 마이크로 엘이디 셀이 존재하는 내측 영역을 점유하는 내측 채움부와, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 영역 중 상기 다수의 마이크로 엘이디 셀이 존재하지 않는 외곽 영역을 점유하는 외곽 채움부를 포함할 수 있다.

[24] 일 실시예에 따라, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이를 점유하는 채움부와, 상기 서브마운트 기판의 외곽 빈 영역 상에서 상기 마이크로 엘이디의 외곽 측면을 덮는 둘레부를 포함할 수 있다. 여기에서 채움부는 전술한 내측 채움부와 외측 채움부를 모두 포함하는 의미일 수 있다.

[25] 본 발명의 다른 측면에 따른 마이크로 엘이디 모듈 제조방법은, 다수의 전극패드가 형성된 마이크로 엘이디를 준비하는 단계; 다수의 전극이 형성된 서브마운트 기판을 준비하는 단계; 상기 다수의 전극패드와 상기 다수의 전극을 이용하는 다수의 연결부를 이용하여, 상기 마이크로 엘이디를 상기 서브마운트 기판과 마주하도록 마운팅하는 단계; 및 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 상기 마이크로 엘이디와 상기 서브마운트 기판과 접합력을 갖는 갭 채움층을 형성하는 단계를 포함한다.

[26] 일 실시예에 따라, 상기 다수의 연결부 각각은 용융 후 경화되어 상기 다수의 전극패드 각각과 상기 다수의 전극 각각을 전기적으로 연결하는 솔더를 포함하되, 상기 갭 채움층을 형성하는 단계는 상기 솔더의 융융 및 경화 후에 상기 마이크로 엘이디와 상기 서브마운트 기판 사이로 액상, 겔상 또는 분말 상의 갭 채움물질을 채운다.

[27] 일 실시예에 따라, 상기 다수의 연결부 각각은 용융 후 경화되어 상기 다수의 전극패드 각각과 상기 다수의 전극 각각을 전기적으로 연결하는 솔더를 포함하되, 상기 갭 채움층을 형성하는 단계는 상기 솔더의 융융 전에 상기 마이크로 엘이디와 상기 서브마운트 기판 사이로 액상, 겔상 또는 분말 상의 갭 채움물질을 채운다.

[28] 일 실시예에 따라, 상기 다수의 전극패드는 상기 다수의 엘이디 셀 각각의 제2 도전형 반도체층과 연결되어 매트릭스 배열로 형성되는 다수의 개별 전극패드와, 상기 제1 도전형 반도체층 노출 영역에서 상기 제1 도전형 반도체층과 연결되는 외곽 측 공통 전극패드를 포함하고, 상기 다수의 전극은 상기 다수의 개별 전극패드와 연결되는 다수의 제1 전극과 상기 공통 전극패드와 연결되는 제2 전극을 포함하고, 상기 다수의 연결부는 다수의 개별 전극패드와 상기 다수의 제1 전극을 연결하는 다수의 내측 연결부와 상기 공통 전극패드와 상기 제2 전극을 연결하는 외곽 연결부를 포함한다.

[29] 일 실시예에 따라, 상기 마운팅 하는 단계는, 솔더를 포함하는 연결부를 이용하여 상기 전극패드와 상기 전극을 연결하되, 상기 솔더를 용융시키는 가열 및 상기 솔더를 경화시키는 냉각 과정에서, 상기 서브마운트 기판과 상기 마이크로 엘이디의 엘이디 기판을 서로 다른 가열-냉각 곡선으로 제어한다.

[30] [선행기술문헌]

[31] [특허문헌]

[32] (특허문헌 1) 대한민국등록특허10-1150861(2012.05.22. 등록)

[33] (특허문헌 2) 대한민국등록특허10-0470904(2005.01.31.등록)

발명의 효과

[34] 본 발명에 따르면, 서브마운트 기판과 마아크로 엘이디 측 엘이디 기판 사이에 일정 접합력을 갖는 갭 채움층을 형성하여, 적어도 상기 마이크로 엘이디가 상기 서브마운트 기판에 마운팅된 후, 엘이디 기판과 서브마운트 기판의 사이의 간극이 영역에 따라 달라지는 것 것을 억제할 수 있고, 이를 통해, 솔더 범들과 같은 다수의 연결부들이 마이크로 엘이디의 전극패드들과 서브마운트 기판의 전극들을 보다 더 신뢰성 있게 연결하는 것을 가능하게 해준다.

도면의 간단한 설명

[35] 도 1은 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈을 설명하기 위한 도면이다.

[36] 도 2a 내지 도 2e는 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈 제조방법에서 마이크로 엘이디를 제작하는 공정을 설명하기 위한 도면이다.

[37] 도 3 및 도 4는 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈 제조방법에서 서브마운트 기판에 범프를 형성하는 공정을 설명하기 위한 도면들이다.

[38] 도 5는 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈 제조방법의 마운팅 공정을 설명하기 위한 도면이다.

[39] 도 6은 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈 제조방법의 마운팅 공정의 가열-냉각 곡선 그래프를 보인 도면이다.

[40] 도 7은 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈 제조방법의 마운팅 공정 후 갭 채움층을 형성하는 방식을 설명하기 위한 도면이다.

[41] 도 8은 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈 제조방법의 다른 예로서 마운팅 공정 전 갭 채움층을 형성하는 방식을 설명하기 위한 도면이다.

[42] 도 9는 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈의 변형예로서, 엘이디 셀들 사이에 충전재가 채워진 마이크로 엘이디 모듈을 설명하기 위한 도면이다.

[43] 도 10은 본 발명의 제2 구현예에 따른 따른 마이크로 엘이디 모듈을 설명하기 위한 도면이다.

[44] 도 11은 본 발명의 제2 구현예에 따른 마이크로 엘이디 모듈 제조방법에 있어서 마이크로 엘이디에 도전성 소프트 블록을 형성하는 공정을 보인 도면이다.

[45] 도 12은 본 발명의 제2 구현예에 따른 따른 마이크로 엘이디 모듈 제조 방법에서 마이크로 엘이디를 서브마운트 기판에 마운팅하여 마이크로 엘이디의 전극패드를 서브마운트 기판의 전극에 연결하는 과정을 보여주기 위한

도면이다.

[46] 도 13과 도 14a 내지 도 14e는 본 발명의 제2 구현예에 따른 마이크로 엘이디 모듈의 변형예들을 설명하기 위한 도면들이다.

[47] 도 15는 통상적인 솔더 접합부 불량을 보여주는 현미경 사진이다.

[48] 도 16는 본 발명의 제3 구현예에 따른 마이크로 엘이디의 플립 칩 본딩 방법을 설명하기 위한 순서도이다.

[49] 도 17은 본 발명의 제3 구현예에 따른 마이크로 엘이디 모듈의 마이크로 엘이디를 개념적으로 설명하기 위한 도면이다.

[50] 도 18은 본 발명의 제3 구현예에 따른 마이크로 엘이디 모듈의 액티브 매트릭스 기판의 일부를 도시한 단면도이다.

[51] 도 19는 본 발명의 제3 구현예에 따른 플립 칩 본딩 방법의 Cu 필라 범프 단계를 설명하기 위한 도면이다.

[52] 도 20은 Cu 필라 범프가 형성된 액티브 매트릭스 기판을 설명하기 위한 도면이다.

[53] 도 21은 본 발명의 제3 구현예에 따라 액티브 매트릭스 기판에 마이크로 엘이디를 실장하는 플립 칩 본딩 단계 바로 전 상태를 설명하기 위한 도면이다.

[54] 도 22는 본 발명의 제3 구현예에 따른 플립 칩 본딩 단계의 압축 단계와 인장 단계를 차례로 보여주는 도면이다

발명의 실시를 위한 형태

[55] 이하에서는 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 첨부된 도면들 및 실시예들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 사람이 용이하게 이해할 수 있도록 간략화되고 예시된 것이므로, 도면들 및 실시예들이 본 발명의 범위를 한정하는 것으로 해석되어서는 아니 될 것이다.

[56]

[57] **[제1 구현예]**

[58] 도 1을 참조하면, 본 발명의 제1 구현예에 따른 마이크로 엘이디 모듈은, 매트릭스 배열로 형성된 복수의 엘이디 셀(130)을 포함하는 하나 이상의 마이크로 엘이디(100)와, 상기 마이크로 엘이디(100)가 마운팅되는 서브마운트 기판(200)을 포함한다. 마이크로 엘이디(100)는, 외곽 가장자리 영역 측에 하나 이상의 공통 전극패드(140)를 구비하고, 안쪽에는 매트릭스 배열의 엘이디 셀(100)들 각각에 대응되는 개별 전극패드(150)가 다수개로 형성된다. 상기 서브마운트 기판(200)은 상기 공통 전극패드(140)와 상기 개별 전극패드(150)들에 대응되게 형성된 패드형 전극(240, 240')을 포함한다. 본 명세서에서 용어 개별 전극패드는 하나의 엘이디 셀에 구비된 n형 반도체층 또는 p형 반도체층에 개별 접속된 전극패드를 의미하는 것이고, 공통 전극패드는 여러 개의 엘이디 셀의 n형 또는 p형 반도체층에 공통적으로

접속되는 전극패드를 의미한다.

[59] 상기 마이크로 엘이디(100)는 사파이어 기판(131)의 주면 상에 하나의 n형 반도체층(132)이 형성되며, 상기 n형 반도체층(132) 상에는 다수의 엘이디 셀(130)들이 행렬 배열로 형성된다. 상기 다수의 엘이디 셀(130)은 상기 n형 반도체층(132)으로부터 일 방향으로 차례대로 성장된 활성층(133)과, p형 반도체층(134)을 포함한다. 이러한 구조에 의해, 상기 엘이디 셀(130)들 전체의 주변을 둘러싸는 외곽에 n형 반도체층 노출 영역이 형성되고, 이웃하는 엘이디 셀들(130) 사이에는 n형 반도체층(132)을 노출시키는 도랑이 형성된다.

[60] 또한, 상기 마이크로 엘이디(100)는 상기 다수의 엘이디 셀(130)과 상기 n형 반도체층(132)의 노출면을 덮도록 형성된 전기 절연성의 셀 커버층(160)을 포함하며, 상기 셀 커버층(160)은 상기 전극패드(140, 150)들을 노출시키는 패드 노출홀들을 포함한다. 상기 패드 노출홀은 엘이디 셀(130)들 각각의 p형의 개별 전극패드(150)를 노출시키는 복수의 제1 패드 노출홀과 n형의 공통 전극패드(140)를 노출시키는 제2 패드 노출홀을 포함한다.

[61] 상기 서브마운트 기판(200)은 상기 마이크로 엘이디(100)에 구비된 다수의 엘이디 셀(130)에 상응하는 다수의 CMOS셀(미도시됨)들과, 마이크로 엘이디(100)의 전극패드들에 대응되는 다수의 전극(240, 240')을 포함하는 액티브 매트릭스 기판인 것이 바람직하다. 또한, 상기 서브마운트 기판(200) 측에는 상기 전극(240, 240')을 덮도록 전기 절연성의 전극 커버층(250)이 형성되며, 상기 전극 커버층(250)은 상기 전극(240, 240')을 노출시키는 전극 노출홀을 포함한다.

[62] 또한, 상기 마이크로 엘이디 모듈은 상기 서브마운트 기판(200) 측 전극들(240', 240) 각각을 상기 마이크로 엘이디(100) 측 전극패드(140, 150)들에 연결하는 다수의 연결부(270, 260)들을 포함한다.

[63] 상기 다수의 연결부(270, 260)들 각각은 상기 서브마운트 기판(200)의 전극들 각각에 연결된 채 수직 방향으로 돌출된 범프(270 또는 260)를 포함한다.

[64] 상기 범프(270, 260) 각각은 Cu 필라(272, 262)와, 상기 Cu 필라(272, 262) 상단에 형성된 솔더(274, 264)을 포함한다. Cu 필라를 포함하는 범프(270, 260)를 대신하여 다른 금속 재료를 포함하는 범프가 이용될 수도 있다.

[65] 상기 솔더(274, 264)는, SnAg 솔더 재료로 형성된 것으로서, 원래 반구 형태를 유지하지만, 반용융 상태로 상기 패드 노출홀에 삽입된 후 압축되어 상기 패드 노출홀 내에서 변형된 상태로 상기 전극패드(140, 150)에 접합된다.

[66] 상기 솔더(264, 274)는 반용융 상태로 상기 패드 노출홀에 일부 삽입된 후 경화되므로, 미끄러짐 없이 정확한 위치에서 Cu 필라(262, 272)와 전극패드(150, 140) 사이를 단단하게 고정한다. 압축 변형 후 경화된 솔더(264, 274)는 상기 패드 노출홀 내에 삽입되어 패드 노출홀의 직경 또는 최대폭과 동일한 직경 또는 최대폭을 갖는 내부 솔더부와, 상기 패드 노출홀 바깥쪽에서 상기 패드 노출홀의 주변 셀 커버층(160) 표면에 접해 있는 있는 외부 솔더부를 포함한다. 이와 같이,

패드 노출홀은 반용융 상태의 솔더가 부분적으로 삽입되는 것을 허용하고 그 반용용 상태의 솔더가 경화되면서 단단하게 맞물려 솔더를 단단히 고정하는 솔더 인서트 홀의 역할을 한다.

[67] 마이크로 엘이디(100)의 엘이디 기판(131)이 열팽창계수 7.6㎛m^{-1}K인 사파이어 기판(131)이고 서브마운트 기판(200)이 열팽창계수 2.6㎛m^{-1}K인 Si 기반의 서브마운트 기판이므로, 마이크로 엘이디(100)를 서브마운트 기판(200)에 플립칩 본딩하기 위한 솔더 가열 및 냉각 과정에서 마이크로 엘이디(100)와 서브마운트 기판(200) 사이에는 열팽창계수 차이에 따른 변형량의 차이가 있을 수 있다. 이러한 변형량의 억제를 위해, 엘이디 기판(131)의 온도와 서브마운트 기판(200)의 온도를 서로 다른 가열-냉각 곡선으로 제어하는 플립 칩 본딩 방법이 이용되는 것이 좋다.

[68] 또한, 상기 마이크로 엘이디 모듈은 마이크로 엘이디(100)와 서브마운트 기판(200) 사이에 채워지는 갭 채움층(700)을 포함한다. 상기 갭 채움층(700)은, 예컨대 에폭시 또는 실리콘 등과 같이 접착력을 갖는 절연성 접착 재료로 형성된 것으로서, 상기 적어도 마이크로 엘이디(100)가 서브마운트 기판(200)에 마운팅된 후에 마이크로 엘이디(100)와 서브마운트 기판(200)의 사이의 간극이 영역에 따라 달라지는 것 것을 억제하여 마이크로 엘이디(100)의 전극패드들과 서브마운트의 전극들 사이를 연결하는 연결부들(260, 270)의 연결 불량을 억제한다.

[69] 상기 갭 채움층(700)은, 상기 마이크로 엘이디(100)와 상기 서브마운트 기판(200) 사이에 전체적으로 채워져, 전극패드(150, 140)와 전극(240, 240')을 연결하는 연결부(260, 270)들 각각의 측면을 전체적으로 덮는다. 또한, 상기 갭 채움층(700)은 내측 채움부(710)과 외곽 채움부(720)을 포함하며, 내측 채움부(710)는 개별 전극패드(150)와 개별 전극(240)들 사이를 연결하는 내측 연결부(260)들 주위를 덮고 있고, 외곽 채움부(720)는 공통 전극패드(140)가 있는 n형 반도체층 노출영역에서 공통 전극패드(140)와 공통 전극(240') 사이를 연결하는 외곽 연결부(270) 주위를 덮고 있다,

[70] 또한, 상기 서브마운트 기판(200)은 상기 마이크로 엘이디(100)가 실장되는 영역 외곽에 빈 영역을 포함한다. 그리고, 상기 갭 채움층(700)은 상기 서브마운트 기판(200)의 외곽 빈 영역 상에서 상기 마이크로 엘이디(100)의 외곽 측면을 덮는 둘레부(730)를 더 포함하는 것이 바람직하다.

[71] 상기 갭 채움층(700)은, 에폭시 또는 실리콘 접착제와 같은 접착 물질로 이루어져, 상기 서브마운트 기판(200)과 상기 엘이디 기판(131) 사이를 단단하게 고정해주며, 이 때문에, 상기 서브마운트 기판(200)과 상기 엘이디 기판(131) 사이의 갭이 영역적으로 불균일함으로 인해, 전극패드와 전극 사이를 연결하는 연결부, 즉, 범프의 솔더가 파손되는 불량을 막아줄 수 있다. 더 나아가, 상기 외곽 채움부(720) 및 둘레부(730)의 접합력이 내측 채움부(710)의 접합력보다 더 커지도록 채움 물질의 채움량을 영역에 따라 조절하는 것이 가능하다.

[72] 예컨대, 엘이디 기판과 마운트 기판 사이의 들뜸 현상이 상대적으로 더 많은 외곽 측에 채움 물질의 체적당 채움량을 늘려 접합력을 더 증가시킬 수 있다.

[73] 이하에서는, 마이크로 엘이디 제작 공정과, 마이크로 엘이디를 서브마운트 기판에 마운팅하는 공정에 대해 차례로 설명한다.

[74]

[75] 마이크로 엘이디 제작

[76]

[77] 도 2a 내지 도 2e를 참조하여 마이크로 엘이디를 제작하는 공정에 대하여 설명한다.

[78] 먼저, 도 2a에 도시된 바와 같이, 열팽창 계수가 대략 7.6$\mu m m^{-1} K$인 엘이디 기판인 투광성 사파이어 기판(131)의 주면(primary surface) 상에 n형 반도체층(132), 활성층(133) 및 p형 반도체층(134)을 포함하는 에피층이 형성된다.

[79] 다음, 도 2b에 도시된 바와 같이, 마스크 패턴을 이용하여 상기 에피층을 일정 깊이 식각하여, 엘이디 셀(130)들을 분리하는 도랑(101)들과, 적어도 상기 엘이디 셀(130)들의 외곽을 둘러싸는 n형 반도체층(132)의 노출 영역(102)을 형성하며, 이에 의해, n형 반도체층(132) 상에 활성층(133) 및 p형 반도체층(134)을 모두 포함하는 다수의 엘이디 셀(130)들이 형성된다. 도시하지 않았지만, n형 반도체층(132)과 사파이어 기판(131) 사이에는 버퍼층이 형성될 수 있다. 그리고, 상기 n형 반도체층(132)과 활성층(133) 사이, 상기 활성층(133)과 p형 반도체층(134) 사이, 그리고, p형 반도체층(134)의 노출 표면 상에는 임의의 기능들을 수행하는 다른 반도체층들이 개재될 수 있다.

[80] 다음, 도 2c에 도시된 바와 같이, 엘이디 셀(130)들 각각의 p형 반도체층(134) 상에 p형 개별 전극패드(150)를 형성하고, n형 반도체층(132) 노출 영역(102) 중 외곽 영역에 n형 공통 전극패드(140)를 형성한다. 상기 p형 개별 전극패드(150)와 상기 n형 공통 전극패드(140)의 두께를 다르게 함으로써, 상기 p형 반도체층(134)과 n형 반도체층(132)의 단차를 보상한다.

[81] 다음, 도 2d에 도시된 바와 같이, 상기 엘이디 셀(130)들과 상기 n형 반도체층(132)의 노출 영역(102)을 모두 덮도록 전기 절연성 셀 커버층(160)을 형성한다.

[82] 다음, 도 2e에 도시된 바와 같이, 상기 p형 개별 전극패드(150)를 노출시키는 제1 패드 노출 홀(162)과 상기 n형 공통 전극패드(140)를 노출시키는 제2 패드 노출 홀(164)을 형성한다. 제1 패드 노출 홀(162)과 상기 제2 패드 노출홀(164)은 마스크 패턴을 이용한 식각에 의해 형성될 수 있다. 상기 셀 커버층(160)은 상기 엘이디 셀(130)들의 단면 프로파일을 따라 거의 일정 두께로 형성되어, 이웃하는 엘이디 셀(130) 사이의 골(101)의 폭 및 깊이를 감소시키지만, 그 골이 그대로 유지되도록 함을 알 수 있다. 그러나, 상기 셀 커버층(160)이 상기 골(101)을 완전히 메우도록 형성될 수도 있다.

[83] 제작된 마이크로 엘이디(100)의 엘이디 셀(130) 크기는 5㎛ 이하인 것이 바람직하며, 따라서, 각 엘이디 셀(130)에 형성된 p형 개별 전극패드(150)의 크기는 5㎛ 미만인 것이 바람직하다.

[84]

[85] 서브마운트 기판 준비 및 범프 형성

[86]

[87] 먼저 도 3를 참조하면, 필라 범프 형성 단계 전에, 대략 15,000㎛×10,000㎛ 크기를 가지며 엘이디 셀들에 대응되는 CMOS셀들이 형성된 Si 기반 서브마운트 기판(200)이 준비된다. 상기 서브마운트 기판(200)은 전술한 다수의 엘이디 셀에 상응하는 복수의 CMOS셀들과, 마이크로 엘이디의 p형 전극패드들에 대응되는 다수의 개별 전극(240)들과, 마이크로 엘이디의 n형 전극패드에 대응되는 공통 전극(미도시됨)을 포함할 수 있다. 상기 서브마운트 기판(200)은 Si 기반 기판 모재(201) 상에 행렬 배열로 형성되어 CMOS셀들과 연결되는 다수의 전극(240)들과, 상기 전극(240)들을 덮도록 형성된 절연성 전극 커버층(250)을 포함하며, 이 절연성 전극 커버층(250)에는 개별 전극(240)들을 노출시키는 전극 노출홀(252)들이 형성된다.

[88] 한편, 상기 범프를 형성하는 공정은 제1 세척 단계, UBM(Under Bump Metallurgy) 형성 단계, 포토리소그래피 단계, 스컴 제거 단계, Cu 플레이팅 단계, 솔더 금속 플레이팅 단계, PR 제거 단계, UBM 식각 단계, 제2 세척 단계, 리플로우 단계 및 제3 세척 단계를 포함할 수 있다.

[89] 제1 세척 단계는 스크러버(scrubber)를 이용하여 도 4의 (a)와 같이 도입된 서브마운트 기판(200)에 대하여 세척을 수행한다. 서브마운트 기판(200)은 CMOS 공정에 의해 CMOS셀이 형성된 기판 모재(201)에 Al 또는 Cu 재료에 의해 형성된 패드형 전극(240)과, 상기 전극(240)의 일 영역을 노출시키는 전극 노출홀(252)을 구비한 채 상기 기판 모재(201)에 형성된 전극 커버층(250)을 포함한다.

[90] UBM 형성 단계는, 도 4의 (b)에 도시된 바와 같이, 전극(240)과 Cu 필라 사이의 접착성을 높이고 솔더의 확산을 방지하기 위한 UBM(261)을 상기 전극 커버층(250)과 상기 전극(240)을 덮도록 서브마운트 기판(200) 상에 형성한다. UBM(261)은 Ti/Cu 적층 구조로 형성되는 것이며, 해당 금속의 스퍼터링에 의해 형성될 수 있다. 여기에서, UBM(261)은 넓은 의미에서 전극(240)의 일부일 수 있다는 점에 유의한다.

[91] 포토리소그래피 단계(103)는, 도 4의 (c) 에 도시된 바와 같이, 서브마운트 기판(200) 상의 UBM(261)을 전체적으로 덮도록 감광성 PR(Photoresist; 300)을 형성한 후, 그 위에 마스크 패턴(미도시됨)을 올려놓고 빛을 가해 전극(240) 직상의 UBM(261) 일 영역만을 노출시키는 전극 노출홀(302)을 형성한다. 다음, 포토리소그래피 단계 수행 중 발생한 스컴을 제거하는 스컴 제거 단계가 수행된다.

[92] 다음, Cu 플레이팅(plating) 단계(S105)와 솔더 금속 플레이팅 단계(S106)가 차례로 수행되어, 도 4의 (d)에 도시된 바와 같이, PR(300)의 오프닝(302)을 통해 먼저 Cu가 플레이팅되어 Cu 필라(262)가 형성되며, 상기 Cu 필라(262) 상에 솔더 금속으로서 SnAg가 플레이팅되어 SnAg 솔더(263)가 일정 두께의 층상으로 형성된다. 본 명세서에서, Cu가 Cu 또는 Cu를 포함하는 Cu합금일 수 있다는 것에 유의한다.

[93] 다음, PR 제거 단계가 수행되어, 도 4의 (e)에 도시된 바와 같이, Cu 필라(262)와 솔더(263)를 포함하는 범프의 상면과 측면이 노출된다.

[94] 다음, UBM 식각 단계이 수행되어, 도 4의 (f)에 도시된 바와 같이, Cu 필라(262) 직하 영역에 위치하는 UBM(261)을 제외한 나머지 UBM이 식각으로 제거된다. 다음, 잔류물을 제거하는 제2 세척 단계가 수행된다. UBM 식각 단계 후, 서브마운트 기판(200)의 전극(240) 상의 UBM(261) 상에 Cu 필라(262) 및 솔더 캡(263)이 차례로 적층된 범프(260)가 형성된다. 다음, 리플로우 단계가 수행되어, 층상의 솔더(263)가 용융 후 경화되어, 그 솔더(263)이 도 4의 (g)에 도시된 것과 같은 반구형 또는 반원 단면 형상으로 형성한다. 급속 열처리(RTP; Rapid Thermal Processing)가 유용하게 이용될 수 있다. 다음, 리플로우 단계 후에 다시 잔류물을 제거하는 제3 세척 단계가 수행된다.

[95] 상기 서브마운트 기판(200) 상의 Cu 필라 범프(260)들 간격은 Cu 필라(262)의 직경과 거의 같은 것이 바람직하며, Cu 필라 범프(260)의 간격이 5㎛를 초과하지 않는 것이 좋다. 만일 Cu 필라 범프(260)의 간격이 5㎛을 초과하면 Cu 필라 범프(260)의 직경 및 그에 상응하는 엘이디 셀의 크기도 커져야 하므로 마이크로 엘이디를 포함하는 디스플레이 장치의 정밀도를 떨어뜨릴 수 있게 된다.

[96]

[97] <u>마운팅</u>

[98]

[99] 도 5의 (a) 및 (b)에 도시된 바와 같이, 2.6㎛m^{-1}K의 열팽창 계수를 갖는 Si 기판 모재를 기반으로 하는 서브마운트 기판(200)에 Si 기판 모재의 열팽창 계수의 약 2.5배에 이르는 7.6㎛m-^{1}K의 열팽창 계수를 갖는 사파이어 기판(131)을 기반으로 한 마이크로 엘이디(100) 간의 플립 칩 본딩이 수행된다.

[100] 앞에서 언급한 바와 같이, 서브마운트 기판(200)은 마이크로 엘이디(100)의 전극패드(150)들에 대응되게 마련된 다수의 전극들을 포함하며, 상기 다수의 전극들 각각에는 Cu 필라(262)와 SnAg 솔더(263)로 구성된 범프(260)가 미리 형성된다.

[101] 위와 같은 범프를 이용해 마이크로 엘이디(100)를 서브마운트 기판(200)에 플립 칩 본딩함으로써, 마이크로 엘이디(100)의 전극패드(150)들이 서브마운트 기판(200)의 전극들과 연결된다.

[102] 마이크로 엘이디(100)를 서브마운트 기판(200)에 플립 칩 본딩하기 위해서는, 범프(260)의 적어도 일부를 구성하는 솔더(263)를 용융점 근처의 온도로

가열하여야 한다. 이때, Si 기반 서브마운트 기판(200)의 열팽창계수와 마이크로 엘이디(100)의 사파이어 기판(131)의 열팽창 계수의 차이가 크기 때문에, 마이크로 엘이디(100)와 서브마운트 기판(200)의 온도를 별도로 제어하지 않고 기존과 같이 플립 칩 본딩 공정을 수행할 경우, Si 기반 서브마운트 기판(200)과 사파이어 기판(131) 사이에는 변형량 차이가 생기며, 이는 플립 칩 본딩되는 서브마운트 기판(200)과 마이크로 엘이디(100) 사이에 심각한 미스얼라인먼트를 발생시킨다.

[103] 일예로, 솔더를 용융시키는 250℃ 온도 조건으로 1cm 길이의 사파이어 기판(131)을 기반으로 하는 마이크로 엘이디(100)와 1cm 길이를 갖는 Si 기반 서브마운트 기판(200)을 플립 칩 본딩하는 경우, 서브마운트 기판(200)은 Si의 열팽창 계수에 의해 5.85㎛의 길이 변화량이 있게 되고, 사파이어 기판(131)은 사파이어의 열팽창 계수에 의해 17.1㎛의 길이 변화량이 있게 되어, 상기 두 기판의 본딩 공정시 나타나는 길이 변화는 11.25 ㎛가 된다. 결국, 이 길이 변화량의 차이는 셀 얼라인먼트 심하게 틀어지는 현상을 야기한다.

[104] 이와 같이 셀 얼라인먼트가 틀어지는 현상을 막기 위해, 본 발명은, 구동 IC 및 회로가 구비된 Si 기반 서브마운트 기판(200)과 사파이어 기판(131)의 열팽창계수를 고려하여, Si 기반 서브마운트 기판(200)과 사파이어 기판(131)을 서로 다른 온도로 제어하면서, 마이크로 엘이디(100)와 서브마운트 기판(200) 사이의 솔더(264), 더 구체적으로는, 마이크로 엘이디(100)의 각 엘이디 셀(130)에 형성된 전극패드(150)와 서브마운트 기판(200) 사이에 개재된 범프(260)의 솔더(264)를 가열하여, 마이크로 엘이디(100)와 서브마운트 기판(200)을 플립 칩 본딩한다.

[105] 상기 사파이어 기판(131)의 온도는 사파이어 기판(131)과 면하여 마이크로 엘이디(100)를 지지하는 제1 척(5a)에 구비된 제1 온도조절부(5b)에 의해 제어되고, Si 기반 서브마운트 기판(200)의 온도는 상기 서브마운트 기판(200)을 지지하는 제2 척(6a)에 구비된 제2 온도조절부(6b)에 의해 제어된다.

[106] 플립 칩 본딩 공정 중 서브마운트 기판(200)과 마이크로 엘이디(100)의 사파이어 기판(131)에 대한 온도는, 도 6에 가장 잘 도시된 바와 같이, 승온 구간(A1)과, 가열 온도 유지 구간(A2)과, 냉각 구간(A3) 각각에서 서로 다르게 제어된다.

[107] 승온 구간(A1)에서는, 제1 척(5a)에 구비된 제1 온도 조절부(5b)에 의해 사파이어 기판(131)의 온도가 상온으로부터 제1 유지 온도인 대략 170℃~180℃까지 제1 가열 기울기로 선형적으로 상승하고, 제2 척(6a)에 구비된 제2 온도 조절부(6b)에 의해 Si 기반 서브마운트 기판(200)의 온도가 상온으로부터 제2 유지 온도인 350℃~400℃까지 제1 기울기보다 큰 제2 가열 기울기로 선형적으로 상승한다.

[108] 가열 온도 유지 구간에서(A2)는 용융 상태의 솔더(264)를 사이에 두고 서브마운트 기판(200)과 마이크로 엘이디(100)를 수직 방향으로 가압하는 힘이

가해지며, 사파이어 기판(131)의 온도는 제1 유지 온도인 170℃~180℃로 일정 시간 유지되고, Si 기반 서브마운트 기판(200)의 온도는 제2 유지 온도인 350℃~400℃로 일정 시간 유지된다.

[109] 사파이어 기판(131)의 가열 온도 유지 구간 시작 시점과 서브마운트 기판(200)의 가열 온도 유지 구간 시작 시점은 a1으로 같고 사파이어 기판(131)의 가열 온도 유지 구간 종료 시점과 서브마운트 기판(200)의 가열 온도 유지 구간 종료 시점은 a2로 같다.

[110] 냉각 구간(A3)에서는 사파이어 기판(131)이 제1 유지 온도로부터 상온까지 냉각되는 한편 Si 기반 서브마운트 기판(200)은 제2 유지 온도로부터 상온까지 냉각된다. 이때, 냉각 구간(A3)에서의 사파이어 기판(131)의 냉각 기울기와 Si 기판 서브마운트 기판(200)의 냉각 기울기는 동일한 것이 바람직하다. 이로 인해, 상기 냉각 구간에서, 상기 사파이어 기판(131)의 냉각이 완료되어 상온에 이르는 시점은 상기 서브마운트 기판(200)의 냉각이 완료되어 상온에 이르는 시점보다 앞에 있게 된다.

[111] 만일, 사파이어 기판(131)과 서브마운트 기판(200)의 냉각 완료 시점을 같게 하기 위해, 사파이어 기판(131)의 냉각 기울기와 서브마운트 기판(200)의 냉각 기울기를 과하게 다르게 할 경우, 상기 사파이어 기판(131)과 상기 서브마운트 기판(200) 사이에는 심각한 수축 변형량 차이가 발생하여, 솔더에 의한 연결부가 끊어지고, 엘이디 셀의 얼라인먼트가 틀어지게 될 수 있다.

[112] 다시 도 5를 참조하면, 플립 칩 본딩 공정을 위해, 도 5의 (a)에 도시된 바와 같이, 서브마운트 기판(200)과 마이크로 엘이디(100)가 마주보게 배치된다. 이에 의해, 서브마운트 기판(200) 상에 형성된 복수의 범프(260)와 마이크로 엘이디(100)에 형성된 복수의 p형 전극패드(150) 또한 마주보게 배치된다. 도시를 생략하였지만, n형 전극패드와 그에 대응하는 범프 또한 마주보며 배치된다.

[113] 상기 복수의 p형 전극패드(150) 각각은 패시베이션층일 수 있는 셀 커버층(160)에 형성된 패드 노출홀(또는, 솔더 인서트 홀; 162)을 통해 노출된 채 상기셀 커버층(160)의 표면으로부터 일정 깊이 함몰되어 위치한다.

[114] 상기 패드 노출 홀(162)의 직경 또는 최대 폭을 c라 하고, 해당 패드 노출홀(162)을 사이에 두고 이와 인접하는 양측의 두 패드 노출 홀(162, 162) 사이의 간격을 a라 하고, 상기 Cu 필라(262)의 직경 또는 최대 폭을 C'라 하면, 이들은 $c < C' < a$의 관계식으로 표현될 수 있다.

[115] 상기 패드 노출 홀(162)에 삽입되기 전의 솔더(264), 즉, 압축 변형되기 전의 솔더(264)는 반구 형태로 이루어지며, 상기 Cu 필라(262)의 상단과 접하는 기저부의 직경 또는 최대 폭이 상기 Cu 필라(262)의 직경 또는 최대 폭(C')과 실질적으로 같게 정해진다. 또한, 셀 커버층(160)이 형성되어 있는 엘이디 셀(130) 각각의 최대 폭을 b라 할 때, $c < C' < b < a$인 것이 바람직하다.

[116] 만일, Cu 필라(262)의 직경 또는 최대폭 C'이 패드 노출 홀(162)의 직경 또는

최대폭 c보다 작다면 패드 노출 홀(162)이 기능하지 못하여 반용융 상태의 솔더 캡이 p형 전극패드(150) 상에서 미끄러져 원하는 위치에의 접합이 어렵게 될 것이며, 만일, Cu 필라(262)의 직경 또는 최대폭 C'이 해당 패드 노출 홀(162)을 사이에 두고 이와 인접하는 양측의 두 패드 노출 홀(162, 162) 사이의 간격 a보다 크다면, 솔더(264)가 해당 패드 노출 홀(162)이 아닌 다른 패드 노출 홀(162)에 도달하게 되어 쇼트 불량을 초래하게 될 것이다.

[117] 상기 패드 노출 홀(162)의 깊이 h와 부동태층의 두께 T와, p형 전극패드(150)의 두께(t)의 관계는 $h = T - t$, $T > t$로 정해진다.

[118] 일정 온도 이상으로 Cu 필라 범프(260)의 Cu 필라(262) 단부에 형성된 솔더 캡(264)을 가열하여 반용융 상태로 만든 후, 도 5의 (b)에 도시된 바와 같이, 상기 솔더(264)를 패드 노출 홀(162) 내로 삽입하고, 이와 연속해, Cu 필라(262)와 전극패드(150) 사이의 간격을 줄임으로써, 솔더(264)를 압축시킨다. 압축에 의해 변형되는 솔더(264)의 전방부는 상기 패드 노출 홀(162)의 내부를 메우며, 상기 솔더 (264)의 후방부는 상기 패드 노출 홀(162) 바깥쪽에서 상기 셀 커버층(160)의 외부 표면과 접한다.

[119] 최종적으로 변형 후 경화된 솔더(264)는 상기 패드 노출 홀(162)의 직경 또는 최대폭과 같은 최소 폭을 상기 패드 노출 홀 내부에 포함하며, 최종 변형 후 경화된 솔더(264)의 최대 폭은 패드 노출 홀(162)의 최대폭 또는 직경보다 크면서 엘이디 셀(130)의 폭보다 작게 된다.

[120]

[121] <u>갭 채움층 형성</u>

[122]

[123] 다음, 도 7에 도시된 바와 같이 마이크로 엘이디(100)와 상기 서브마운트 기판(200) 사이에 갭 채움층(700)이 형성된다. 상기 갭 채움층(700)은 에폭시 또는 실리콘 접착제와 같이 접착성을 갖는 접착물질을 상기 마이크로 엘이디(100)와 서브마운트 기판(200) 사이에 채워 넣은 후 경화시켜 형성된다. 시간에 따라 그리고 온도 변화에 따라 갭 크기의 변화가 예상되는 영역, 예컨대, 가장자리 영역에, 갭 채움 물질의 채움량을 증가시킬 수 있다.

[124] 도 8은 도 7의 방식과 다른 방식으로서 마운팅 공정 전 갭 채움층을 형성하는 방식을 설명하기 위한 도면이다.

[125] 도 8에 도시된 바와 같이, 마이크로 엘이디(100)의 전극패드(150)가 서브마운트 기판(200) 상의 범프(260)와 맞대어지도록 마이크로 엘이디(100)를 플레이싱하는 단계의 전 또는 후에 절연성과 접착성을 갖는 갭 채움 물질(700')이 분말상, 액상 또는 겔상으로 마이크로 엘이디(100)와 서브마운트 기판(200) 사이의 갭에 채워지며, 그 다음, 범프(260)에 구비된 솔더(264)를 가열하여, 마이크로 엘이디(100)를 서브마운트 기판(200)에 플립 칩 본딩한다. 이 경우, 플립 칩 본딩을 위한 가열 및 냉각 과정에서도, 갭 채움 물질(700') 또는 그 갭 채움 물질(700')이 용융 후 경화되어 형성된 갭 채움층(700)이 서로 열팽창계수가

마이크로 엘이디(100)과 서브마운트 기판(200) 사이를 소정 힘 이상의 접착력으로 잡아주어, 마이크로 엘이디(100)과 서브마운트 기판(200) 간에 과도한 차이로 변형되는 것을 억제하는데 기여한다.

[126] 도 9를 참조하면, 전술한 마이크로 엘이디 모듈의 변형예를 볼 수 있다. 도 9를 참조하면, 마이크로 엘이디 모듈은 개별 엘이디 셀(130)들 사이에 채워진 충전재(190)를 포함할 수 있다. 상기 충전재는 SiO_2, Si_3N_4, 또는 SiO_2, Si_3N_4의 조합, 폴리아미드, 등이 이용될 수 있다. 개별 엘이디 셀(130)들 사이에 상기 충전재(190)를 채우기 위해, 강화화학증착(PECVD), 증발(Evaporation), 스퍼터링(Sputtering) 등이 방법의 이용될 수 있다. 상기 충전재(190)는, 다수개의 엘이디 셀(130)의 절연을 확실하게 하는 것도 동시에 후반 공정 중에 높은 온도에서 작업이 필요한 경우에 열적인 안정성을 줄 수 있는 효과가 있다. 또한, 상기 충전재(190)의경우 공기보다 굴절율이 높기 때문에 다수의 엘이디 셀에서 나오는 광(light)의 프레넬(Fresnel)을 감소시키는 역할을 한다. 상기 충전재(190)는, 셀 커버층(160)을 형성하고 나서 채워지거나, 셀 커버층(160)을 형성하지 않는 상태에서 다수개의 엘이디 셀(130, 130)의 사이 사이로 채워질 수 있다. 더 나아가, 충전재 일부가 엘이디 셀의 전극패드를 덮도록 형성되어 셀 커버층(160)의일부로 이용될 수도 있다. 또한, 상기 충전재(130)는 상기 엘이디 셀(130)의 돌출 높이와 같아지는 높이로 충전될 수 있다.

[127]

[128] **[제2 구현예]**

[129]

[130] 도 10을 참조하면, 본 발명의 제2 구현예에 따른 마이크로 엘이디 모듈은, 매트릭스 배열로 형성된 복수의 엘이디 셀(130)을 포함하는 하나 이상의 마이크로 엘이디(100)와, 상기 마이크로 엘이디(100)가 마운팅되는 서브마운트 기판(200)을 포함한다. 또한, 상기 마이크로 엘이디 모듈은 마이크로 엘이디(100)에 구비된 다수의 전극패드(140, 150)와, 상기 다수의 전극패드(140, 150)에 대응되게 상기 서브마운트 기판(200)에 형성된 패드형 전극(240, 240')을 포함한다. 또한, 상기 마이크로 엘이디 모듈(100)은, 고온 용융이 요구되는 솔더를 이용하지 않고서도, 상온에서 상기 전극패드(140, 150)와 상기 전극(240, 240') 사이를 연결하는 연결부를 포함한다. 상기 연결부는 도전성 소프트 블록(2)와, 수직 방향 힘, 즉, 수직 방향 가압력에 의해, 상기 도전성 소프트 블록(2)에 박히면서 삽입되어 상기 도전성 소프트 블록(2)과 전기적으로 연결되는 도전성 삽입로드(3)를 포함한다.

[131] 상기 마이크로 엘이디(100)는 사파이어 기판(131)의 주면 상에 하나의 n형 반도체층(132)이 형성되며, 상기 n형 반도체층(132) 상에는 다수의 엘이디 셀(130)들이 행렬 배열로 형성된다. 상기 다수의 엘이디 셀(130)은 상기 n형 반도체층(132)으로부터 일 방향으로 차례대로 성장된 활성층(133)과, p형 반도체층(134)을 포함한다. 이러한 구조에 의해, 상기 엘이디 셀(130)들 전체의

주변을 둘러싸는 외곽에 n형 반도체층 노출 영역이 형성되고, 이웃하는 엘이디 셀들(130) 사이에는 n형 반도체층(132)을 노출시키는 도랑이 형성된다.

[132] 또한, 상기 마이크로 엘이디 소자(100)는 상기 다수의 엘이디 셀(130)과 상기 n형 반도체층(132)의 노출면을 덮도록 형성된 전기 절연성의 셀 커버층(160)을 포함하며, 상기 셀 커버층(160)은 상기 전극패드(140, 150)들을 노출시키는 패드 노출홀(162, 164)들을 포함한다. 상기 패드 노출홀(162, 164)은 엘이디 셀(130)들 각각의 p형 전극패드(150)를 노출시키는 복수의 제1 패드 노출홀(162)과 n형 전극패드(140)를 노출시키는 제2 패드 노출홀(164)을 포함한다.

[133] 상기 서브마운트 기판(200)은 상기 마이크로 엘이디 소자(100)에 구비된 다수의 엘이디 셀(130)에 상응하는 다수의 CMOS셀(미도시됨)들과, 마이크로 엘이디 소자(100)의 전극패드들에 대응되는 다수의 전극(240, 240')을 포함하는 액티브 매트릭스 기판인 것이 바람직하다. 또한, 상기 서브마운트 기판(200) 측에는 상기 전극(240, 240')을 덮도록 전기 절연성의 전극 커버층(250)이 형성되며, 상기 전극 커버층(250)은 상기 전극(240)을 노출시키는 전극 노출홀(252)을 포함한다.

[134] 도 10의 이점쇄선 원에 잘 나타낸 바와 같이, 전기 절연성의 셀 커버층(160)은, 마이크로 엘이디(100)의 엘이디 셀(130)을 덮도록 형성되는 것으로서, 전극패드(150)을 노출시키기 위한 패드 노출홀(162)을 포함한다. 또한, 상기 도전성 소프트 블록(2)은, 예컨대, Au, 인듐 또는 기타 솔더 재료와 같이 전기 전도성이 우수하면서도 연질인 재료로 형성된 것으로서, 전기 절연성의 셀 커버층(160)을 덮도록 형성되되, 상기 패드 노출홀(162)을 통해 상기 전극패드(150)와 접촉하도록 형성된다. 상기 도전성 소프트 블록(2)은, 일정 크기의 단면을 갖는 도전성 삽입로드(3)가 박힐 수 있는 연질 재료로 형성되며, 상기 도전성 삽입로드(3)의 삽입 깊이, 더 나아가서는, 상기 도전성 삽입로드(3)의 길이보다 큰 두께를 갖는 것이 바람직하다. 또한, 상기 도전성 소프트 블록(2)은 2개 이상의 다른 재료를 적층하여 형성될 수 있다. 그리고, 상기 도전성 소프트 블록(2)과 전극패드(150) 사이에는 상기 도전성 소프트 블록(2)과 전극패드(150) 사이의 결합력을 높이거나 하는 등의 기능을 하는 하나 이상의 층들이 개재될 수 있다.

[135] 전기 절연성의 전극 커버층(250)은, 적어도 전극(240)들을 덮도록 서브마운트 기판(200)에 형성되는 것으로서, 전극(240)을 노출시키기 위한 전극 노출홀(252)을 포함한다. 또한, 상기 도전성 삽입로드(3)는 Ag, Cu, Al, Ti, Pt 등의 고경도 도전성 금속을 포함하는 재료 또는 카본 나노 튜브 등 카본 재료에 의해 충분한 강도와 충분한 도전성을 갖는 재료로 형성되며, 수직 방향 외력에 의해, 전술한 도전성 소프트 블록(2)에 박힐 수 있는 단면 크기를 갖도록 형성된다. 상기 도전성 삽입로드(3)는 상기 전극 노출홀(252)을 통해 상기 전극(240)과 연결되어 수직으로 세워진다. 상기 전극(240)과 상기 도전성 삽입로드(3) 사이에는 상기 도전성 삽입로드(3)과 상기 전극(240) 사이의 결합력을 높이거나

하는 등의 기능을 하는 하나 이상의 층들이 개재될 수 있다.

[136] 상기 도전성 소프트 블록(2)은 상기 도전성 삽입로드(3)의 삽입 전에는 홀이 없지만, 상기 도전성 삽입로드(3)가 박혀 삽입되는 것에 의해 변형되어, 상기 삽입로드(3)의 삽입을 허용하는 홀이 형성된다. 상기 홀 내에서 상기 삽입로드(3)의 외부면과 상기 도전성 소프트 블록(2)의 홀 내부면은 꼭 맞게 접하여, 상기 도전성 소프트 블록(2)과 상기 도전성 삽입로드(3) 간의 전기적 연결이 이루어진다. 상기 도전성 삽입로드(3)는 중실형일 수도 있지만, 상기 도전성 소프트 블록(2)에 대하여 더 단단히 고정될 수 있도록, 그리고, 접촉 표면적이 증가될 수 있도록, 중공형을 갖거나 또는 첨단에 후크 형상을 가질 수 있다. 이때, 삽입로드(3)를 중공형으로 하여 상기 도전성 삽입로드(3)에 박아 넣으면, 삽입로드(3)에 구비된 중공 내로 도전성 소프트 블록(2)의 일부가 들어오므로, 삽입로드(3)의 체적만큼 소프트 블록(2)의 체적이 증가되는 것을 줄여줄 수 있다.

[137] 또한, 상기 도전성 삽입로드(3)는 첨단을 향해 단면 크기가 점진적으로 감소되는 형상, 즉, 끝이 뾰족한 형상을 가져 못(nail)과 같이 도전성 소프트 블록(2)에 더 원활하게 삽입되도록 할 수 있다. 또한, 하나의 도전성 소프트 블록(2)에 대해 여러 개의 도전성 삽입로드(3)를 제공하여, 보다 더 접촉 표면적을 증가시키는 것도 고려될 수 있다.

[138]

[139] 또한, 마이크로 엘이디를 서브마운트 기판에 마운팅하는 공정은 사파이어 기판을 기반으로 하는 마이크로 엘이디를 제작하는 공정에 뒤 이어 수행된다.

[140] 이하에서는, 마이크로 엘이디 제작 공정과, 마이크로 엘이디를 서브마운트 기판에 마운팅하는 공정에 대해 차례로 설명한다.

[141]

[142] <u>마이크로 엘이디 제작</u>

[143]

[144] 마이크로 엘이디 제작 방법은 도 11에 도시된 것과 같은 소프트 블록 형성 공정을 제외하면 도 2a 내지 도 2e를 참조로 하여 앞에서 설명한 제1 구현예에 있어서의 마이크로 엘이디 제작 공정과 동일하다. 도 2a 내지 도 2e에 도시된 방법으로 제작된 마이크로 엘이디(100)의 엘이디 셀(130) 크기는 5㎛ 이하인 것이 바람직하며, 따라서, 각 엘이디 셀(130)에 형성된 p형 전극패드(150)의 크기는 5㎛ 미만인 것이 바람직하다.

[145] 도 11을 참조하면, 전기 전도성이 좋고 연질인 도전성 소프트 블록(2)이 상기 전극패드(150)와 접촉하도록 형성된다. 상기 도전성 소프트 블록(2)은, 상기 전기 절연성의 셀 커버층(160)을 덮도록 형성되되, 상기 패드 노출홀(162)을 통해 상기 전극패드(150)와 접촉하도록 형성된다. 도전성 소프트 블록(2)을 형성하는 좋은 방법으로는, 셀 커버층(160)과 패드 노출홀(162)을 모두 덮도록 연질 금속 재료를 증착 도는 도금한 후, 식각에 의해, 각 패드 노출홀(162)을 통해 각

전극패드(150)와 연결되도록, 연질 금속 재료를 식각하여, 다수의 도전성 소프트 블록(2)을 형성하는 것이다. 앞에서 언급한 바와 같이, 상기 도전성 소프트 블록(2)은, 일정 크기의 단면을 갖는 도전성 삽입로드(3)가 박힐 수 있는 연질 재료로 형성되며, 상기 도전성 삽입로드(3)의 길이보다 큰 두께를 갖는 것이 바람직하다. 또한, 상기 도전성 소프트 블록(2)은 2개 이상의 다른 재료를 적층하여 형성될 수 있다. 그리고, 상기 도전성 소프트 블록(2)과 전극패드(150) 사이에는 상기 도전성 소프트 블록(2)과 전극패드(150) 사이의 결합력을 높이거나 하는 등의 기능을 하는 하나 이상의 층들이 개재될 수 있다.

[146]

[147] 서브마운트 기판 준비

[148]

[149] 서브마운트 기판은 앞에서 설명한 제1 구현예에 있어서의 서브마운트 기판 제작 공정과 유사한 방식으로 제작된다.

[150] 도 10을 참조하면, 서브마운트 기판(200)은 대략 15,000㎛×10,000㎛ 크기를 가지며, 엘이디 셀들에 대응되는 CMOS셀들이 형성된 Si 기반 기판으로 준비된다. 상기 서브마운트 기판(200)은 전술한 다수의 엘이디 셀에 상응하는 복수의 CMOS셀들과, 마이크로 엘이디의 p형 전극패드들에 대응되는 다수의 개별 전극(240)들과, 마이크로 엘이디의 n형 전극패드에 대응되는 공통 전극(240')을 포함할 수 있다. 상기 서브마운트 기판(200)은 Si 기반 기판 모재(201) 상에 행렬 배열로 형성되어 CMOS셀들과 연결되는 다수의 전극(240, 240')들과, 상기 전극(240, 240')들을 덮도록 형성된 전극 커버층(250)을 포함하며, 상기 전극 커버층(250)에는 적어도 상기 개별 전극(240)들을 노출시키는 전극 노출홀(252)들이 형성된다.

[151] 상기 서브마운트 기판(200) 상의 전극 크기 및 전극 간 간격은 마이크로 엘이디의 엘이디셀 크기 및 엘이디셀간 간격에 대응하도록 5㎛를 초과하지 않는다. 만일 전극 간격이 5㎛을 초과하면 엘이디 셀의 크기도 커져야 하므로 마이크로 엘이디를 포함하는 디스플레이 장치의 정밀도를 떨어뜨릴 수 있게 된다. 전극 노출홀(252)들을 갖는 전극 커버층(250)의 형성이 완료되면, 는 Ag, Cu, Al, Ti, Pt 등의 고경도 도전성 금속을 포함하는 재료 또는 카본 나노 튜브 등 카본 재료에 의해 충분한 강도와 충분한 도전성을 갖도록 형성된 도전성 삽입로드(3)가 상기 전극 노출홀(252)을 통해 상기 전극(240)과 연결되어 수직으로 세워진다.

[152]

[153] 마운팅

[154]

[155] 도 12에 도시된 바와 같이, 2.6㎛$m^{-1}K$의 열팽창 계수를 갖는 Si 기판 모재를 기반으로 하는 서브마운트 기판(200) 상에 사파이어 기판(131)을 기반으로 한 마이크로 엘이디(100)의 마운팅 공정이 수행된다.

[156] 앞에서 언급한 바와 같이, 서브마운트 기판(200)은 마이크로 엘이디(100)의 전극패드(150)들에 대응되게 마련된 다수의 전극(240)들을 포함하며, 상기 다수의 전극(240)들 각각에는 도전성 삽입로드(3)가 형성되어 있다.

[157] 먼저, 상기 도전성 삽입로드(3)과 상기 도전성 소프트 블록(2)이 마주하도록 상기 마이크로 엘이디(100)와 상기 서브마운트 기판(200)을 배치한다. 다음, 상온 조건 하에서, 상기 마이크로 엘이디(100) 및/또는 상기 서브마운트 기판(200)을 수직 방향으로 이동시켜, 상기 도전성 삽입로드(3)가 상기 도전성 소프트 블록(2)에 삽입되게 하는 수직 방향 힘을 발생시킨다. 상기 도전성 삽입로드(3)는 상기 도전성 소프트 블록(2)에 박혀 상기 소프트 블록(2)에 홀을 수직 방향 홀을 형성하며, 이 수직 방향 홀 내에서, 상기 도전성 삽입 로드(3)는 상기 도전성 소프트 블록(2)과 접촉하여 전기적으로 연결된다.

[158]

[159] <u>다른 예들</u>

[160]

[161] 도 13은 도전성 삽입로드(3)와 도전성 소프트 블록(2)의 위치가 앞에서 설명한 것과 반대로 배치된 예를 보여준다. 상기 도전성 삽입로드(3)는 엘이디 셀(130)에 형성된 전극패드(150)와 연결되어 수직으로 세워져 형성되고, 상기 도전성 소프트 블록(2)은 서브마운트 기판(200)의 전극(240)과 접촉하여 형성되어 있다. 이때, 전극패드(150)는 엘이디 셀(130)을 덮고 있는 셀 커버층(160)의 패드 노출홀(162)을 통해 노출되어 있다. 또한, 도전성 소프트 블록(2)은 전극(240)을 덮고 있는 전극 커버층(250)과 접하도록 형성되되, 상기 전극 노출홀(252)을 통해 상기 전극(240)과 접촉한다.

[162] 도 14a, 도 14b, 도 14c, 도 14d 및 도 14e는 마이크로 엘이디의 전극패드와 서브마운트 기판의 전극을 상온에서 연결하는 다양한 종류의 연결부의 예들을 보여준다. 도 14a는 도전성 소프트 블록(2)에 삽입되는 도전성 삽입로드(3)가 중공형인 예를 보여주고, 도 14b는 도전성 소프트 블록(2)에 삽입되는 도전성 삽입로드(3)가 첨단에 후크(31) 형상을 갖는 예를 보여주며, 도 14c는 도전성 소프트 블록(2)에 삽입되는 도전성 삽입로드(3)가 첨단을 향해 점진적으로 작아지는 형상을 갖는 예를 보여준다. 도 14d는 복수개의 도전성 삽입로드(3)가 하나의 도전성 소프트 블록(2)에 삽입되는 예를 보여준다. 또한, 도 14e는 보강 채움부(4)가 서브마운트 기판과 마이크로 엘이디 사이에 채워져 형성되어 상기 도전성 삽입로드(3)와 상기 도전성 소프트 블록(2) 사이의 연결을 더 단단히 더 신뢰성 있는 보장하는 예를 보여준다.

[163] 하지만, 통상적인 플립 칩 본딩 공정을 마이크로 엘이디의 실장에 이용할 경우, 솔더 범프 크기가 감소함에 따라 범프 접속부당 전류밀도와 열에너지 밀도가 증가하여, 플립 솔더 접속부의 신뢰도가 감소할 수 있다. 또한, 이웃하는 솔더 범프들 사이의 간격이 미세화됨으로 인해 솔더 리플로우시 이웃하는 다른 솔더 범프와의 사이에 솔더 브릿징 현상이 발생할 우려가 높다.

[164] 위와 같은 문제점을 해결하기 위한 기술이 Cu 필라 범프를 이용하는 플립 칩 본딩 기술이다. Cu 필라 범프를 이용하면, 엘이디 셀과 액티브 매트릭스 기판 사이의 거리를 감소시키지 않으면서도 훨씬 미세한 플립 칩 본딩이 가능하다는 장점이 있다. 또한 Cu의 전기 전도도와 열 전도도가 솔더 합금에 비해 훨씬 우수하기 때문에, 마이크로 엘이디의 전기적 특성과 열적 특성을 향상시킬 수 있는 장점이 있다.

[165] 하지만, 이 방법은, 전극패드 상에 UBM(Under Bump Metallurgy)을 형성하고, UBM 상에 Cu 필라를 형성하고, Cu 필라 상에 솔더 캡을 반구형으로 형성한 후, 솔더 캡의 용융을 수반하는 본딩에 의해 엘이디의 전극패드와 기판의 전극패드를 접속시키는데, 공정 제어의 어려움으로 인해, 도 15에 보여지는 바와 같이, 액티브 메트릭스 기판 상에 마이크로 엘이디에 플립 칩 본딩하기 위하여 좀더 높은 압력을 가하게 되면 솔더가 옆으로 빠져나와 쇼트 불량을 초래하거나 또는 좀더 낮은 압력을 가하게 되면 솔더 접합부에 좁은 목이 생겨 패드 간 연결 구조가 단절될 우려가 높았다. 또한, 이러한 문제점과 함께 UBM 형성 후 필요 부분만 남긴 후 제거하는 과정에서 남은 잔류물로 인해 범프 변형의 우려가 존재하였다.

[166]

[167] **[제3 구현예]**

[168]

[169] 한편, 통상적인 플립 칩 본딩 공정을 마이크로 엘이디의 실장에 이용할 경우, 솔더 범프 크기가 감소함에 따라 범프 접속부당 전류밀도와 열에너지 밀도가 증가하여, 플립 솔더 접속부의 신뢰도가 감소할 수 있다. 또한, 이웃하는 솔더 범프들 사이의 간격이 미세화됨으로 인해 솔더 리플로우시 이웃하는 다른 솔더 범프와의 사이에 솔더 브릿징 현상이 발생할 우려가 높다.

[170] 위와 같은 문제점을 해결하기 위한 기술이 Cu 필라 범프를 이용하는 플립 칩 본딩 기술이다. Cu 필라 범프를 이용하면, 엘이디 셀과 액티브 매트릭스 기판 사이의 거리를 감소시키지 않으면서도 훨씬 미세한 플립 칩 본딩이 가능하다는 장점이 있다. 또한 Cu의 전기 전도도와 열 전도도가 솔더 합금에 비해 훨씬 우수하기 때문에, 마이크로 엘이디의 전기적 특성과 열적 특성을 향상시킬 수 있는 장점이 있다.

[171] 하지만, 이 방법은, 전극패드 상에 UBM(Under Bump Metallurgy)을 형성하고, UBM 상에 Cu 필라를 형성하고, Cu 필라 상에 솔더 캡을 반구형으로 형성한 후, 솔더 캡의 용융을 수반하는 본딩에 의해 엘이디의 전극패드와 기판의 전극패드를 접속시키는데, 공정 제어의 어려움으로 인해, 도 15에 보여지는 바와 같이, 액티브 메트릭스 기판 상에 마이크로 엘이디에 플립 칩 본딩하기 위하여 좀더 높은 압력을 가하게 되면 솔더가 옆으로 빠져나와 쇼트 불량을 초래하거나 또는 좀더 낮은 압력을 가하게 되면 솔더 접합부에 좁은 목이 생겨 패드 간 연결 구조가 단절될 우려가 높았다. 또한, 이러한 문제점과 함께 UBM 형성 후 필요

부분만 남긴 후 제거하는 과정에서 남은 잔류물로 인해 범프 변형의 우려가 존재한다.

[172] 따라서, Cu 필라 및 그 Cu 필라 단부에 형성된 솔더 캡을 포함하는 Cu 필라 범프를 이용하는 솔더 접합부 형성에 의해, 마이크로 엘이디를 액티브 매트릭스 기판에 플립 칩 본딩하는 방법 있어서, 오픈 불량 또는 쇼트 불량을 야기할 수 있는 솔더 접합부의 과다 좁은 목(narrow neck) 또는 배부름 현상을 방지할 수 있는 방법이 요구된다.

[173] 본 발명의 제3 구현예는 마이크로 엘이디를 액티브 매트릭스 기판에 실장함에 있어서 솔더 접합부의 과다 좁은 목(narrow neck) 또는 배부름 현상을 방지할 수 있는 방법을 제공한다.

[174] 도 16에 도시된 바와 같이, 플립 칩 본딩 방법은, 크게 액티브 매트릭스 기판 상에 다수의 Cu 필라 범프를 형성하는 필라 범프 형성 단계(S100)와, 다수의 Cu 필라 범프를 이용하여 상기 다수의 Cu 필라 범프에 대응하는 엘이디 셀을 포함하는 마이크로 엘이디를 액티브 매트릭스 기판 상에 플립 칩 본딩하는 플립 칩 본딩 단계(S200)를 포함한다.

[175]

[176] <u>액티브 매트릭스 기판 및 마이크로 엘이디의 제공</u>

[177]

[178] 필라 범프 형성 단계 전에, 대략 15,000㎛ ×10,000㎛ 크기의 액티브 매트릭스 기판과 이 액티브 매트릭스 기판에 실장되는 마이크로 엘이디가 제공된다.

[179] 마이크로 엘이디(100)는, 도 17에 도시된 바와 같이, 행렬 배열된 다수의 엘이디 셀(130)들을 포함한다. 다수의 엘이디 셀(130)들은 투광성 성장기판(110) 상에 차례대로 n형 반도체층(132), 활성층(133) 및 p형 반도체층(134)을 포함하며, 각 엘이디 셀(130)의 p형 반도체층(134) 상에는 p형 전극패드(미도시됨)가 형성된다.

[180] 또한 마이크로 엘이디는(100)은 외곽 가장자리를 따라 사각 링 형태로 n형 반도체층(110)의 노출 영역이 형성되고 이 노출 영역에 모든 엘이디 셀(130)들의 n형 반도체층(132)과 연결되는 공통전극으로서의 n형 전극패드(140)가 하나 이상 형성될 수 있다.

[181] 액티브 매트릭스 기판은 마이크로 엘이디(100)에 구비된 다수의 엘이디 셀(130)에 상응하는 다수의 CMOS 셀들과, 마이크로 엘이디(100)의 p형 전극패드들에 대응되는 다수의 개별 전극패드와, n형 전극패드에 대응되는 공통 전극패드를 포함한다.

[182] 도 18는 액티브 매트릭스 기판의 일부를 확대하여 도시한 도면으로서, 이를 참조하면, 액티브 매트릭스 기판(200)은 Si 기판 모재(201) 상에 행렬 배열로 형성되어 CMOS셀들과 연결되는 다수의 개별 전극패드(240)들과, 상기 개별 전극패드(240)들을 덮도록 형성된 절연층(250)을 포함하며, 이 절연층(250)에는 개별 전극패드(240)들을 노출시키는 오프닝(252)들이 형성된다.

[183]

[184] **필라 범프 형성 단계(S100)**

[185]

[186] 도 16 및 도 19을 참조하면, 상기 필라 범프 형성 단계(S100)는 제1 세척 단계(S101), UBM(Under Bump Metallurgy) 형성 단계(S102), 포토리소그래피 단계(S103), 스컴 제거 단계(S104), Cu 플레이팅 단계(S105), 솔더 금속 플레이팅 단계(S106), PR 제거 단계(S107), UBM 식각 단계(S108), 제2 세척 단계(S109), 리플로우 단계(S110) 및 제3 세척 단계(S111)를 포함한다.

[187] 제1 세척 단계(S101)는 스크러버(scrubber)를 이용하여 도 19의 (a)와 같이 도입된 액티브 매트릭스 기판(200)에 대하여 세척을 수행한다. 액티브 매트릭스 기판(200)은 CMOS 공정에 의해 CMOS셀이 형성된 기판 모재(201)에 Al 또는 Cu 재료에 의해 형성된 전극패드(240)와, 상기 전극패드(240)의 일 영역을 노출시키는 오프닝(252)을 구비한 채 상기 기판 모재(201)에 형성된 절연층(250)을 포함한다.

[188] UBM 형성 단계(S102)는, 도 19의 (b)에 도시된 바와 같이, 전극패드(240)와 Cu 필라 사이의 접착성을 높이고 솔더의 확산을 방지하기 위한 UBM(261)을 상기 절연층(250)과 상기 전극패드(240)를 덮도록 액티브 매트릭스 기판(200) 상에 형성한다. 본 실시예에서 UBM(261)은 Ti/Cu 적층 구조로 형성되는 것이며, 해당 금속의 스퍼터링에 의해 형성될 수 있다.

[189] 포토리소그래피 단계(103)는, 도 19의 (c) 에 도시된 바와 같이, 액티브 매트릭스 기판(200) 상의 UBM(261)을 전체적으로 덮도록 감광성 PR(Photoresist; 300)을 형성한 후, 그 위에 마스크 패턴(미도시됨)을 올려놓고 빛을 가해 전극패드(240) 직상의 UBM(261) 일 영역만을 노출시키는 오프닝(302)을 형성한다. 다음, 포토리소그래피 단계 수행 중 발생한 스컴을 제거하는 스컴 제거 단계(S104)가 수행된다.

[190] 다음, Cu 플레이팅(plating) 단계(S105)와 솔더 금속 플레이팅 단계(S106)가 차례로 수행되어, 도 19의 (d)에 도시된 바와 같이, PR(300)의 오프닝(302)을 통해 먼저 Cu가 플레이팅되어 Cu 필라(262)가 형성되며, 상기 Cu 필라(262) 상에 솔더 금속으로서 SnAg가 플레이팅되어 SnAg 솔더 캡(263)이 일정 두께의 층상으로 형성된다. 본 명세서에서, Cu는 Cu 금속 또는 Cu를 포함하는 Cu 합금일 수 있다는 것에 유의한다.

[191] 다음, PR 제거 단계(S107)가 수행되어, 도 19의 (e)에 도시된 바와 같이, Cu 필라(262)와 솔더 캡(263)을 포함하는 솔더 범프의 상면과 측면이 노출된다.

[192] 다음, UBM 식각 단계(S108)이 수행되어, 도 19의 (f)에 도시된 바와 같이, Cu 필라(262) 직하 영역에 위치하는 UBM(261)을 제외한 나머지 UBM이 식각으로 제거된다. 다음, 잔류물을 제거하는 제2 세척 단계(S109)가 수행된다. UBM 식각 단계(S109) 후, 액티브 매트릭스 기판(200)의 전극패드(240) 상의 UBM(261) 상에 Cu 필라(262) 및 솔더 캡(263)이 차례로 적층된 Cu 필라 범프(260)가 형성된다.

다음, 리플로우 단계(S110)가 수행되어, 층상의 솔더 캡(263)이 용융 후 경화되어, 반구형 또는 반원 단면 형상으로 형성한다. 급속 열처리(RTP; Rapid Thermal Processing)가 유용하게 이용될 수 있다. 다음, 리플로우 단계(S110) 후에 다시 잔류물을 제거하는 제3 세척 단계(S111)이 수행된다.

[193] 위와 같이 형성된 다수의 Cu 필라 범프(260)는, 도 20의 (a) 및 (b)에 도시된 바와 같이, 가로 방향과 세로 방향으로 이웃하는 다른 Cu 필라 범프(260)와 5㎛ 간격을 가지면서, 액티브 매트릭스 기판(100) 상에 행렬 배열로 형성된다. 또한, 플립 칩 본딩시 반구형 솔더 캡(260)의 압축으로 인해 솔더가 액티브 매트릭스 기판(100)의 표면에 이를 가능성을 고려하여 Cu 필라(262)의 높이(H)는 솔더 캡(263)의 높이(h)의 1.5배, 더 바람직하게는, 2배보다 큰 것이 선호된다.

[194] 액티브 매트릭스 기판 상의 Cu 필라 범프(260)들의 간격과 엘이디 셀들의 간격은 Cu 필라의 직경과 거의 같은 것이 바람직하며, Cu 필라 범프의 간격이 5㎛를 초과하지 않는 것이 좋다. 만일 Cu 필라 범프의 간격이 5㎛을 초과하면 Cu 필라 범프의 직경 및 그에 상응하는 엘이디 셀의 크기도 커져야 하므로 마이크로 엘이디를 포함하는 디스플레이 장치의 정밀도를 떨어뜨릴 수 있게 된다.

[195] 액티브 매트릭스 기판은 15,000㎛×10,000㎛ 크기를 가지며, 이러한 액티브 매트릭스 기판 상에 대략 1,000,000개의 Cu 필라 범프가 형성된다. 그에 대응되는 마이크로 엘이디에도 대략 1,000,000개의 엘이디 셀이 제공된다. 이하 설명되는 플립 칩 본딩 단계에서 대략 1,000,000개의 엘이디 셀의 p형 전극패드와 대략 1,000,000개의 Cu 필라 범프가 접합되는데, 접합 후 엘이디 셀들의 높이가 일정치 않으면 동일한 전류가 공급되더라도 엘이디 셀들에 구비된 활성층의 높이 차이로 인해 밝기 등에 편차가 발생할 수 있다. 따라서, 플립 칩 본딩 단계 후 솔더 접합부의 형상이 균일하게 되도록 함으로써, 엘이디 셀들의 높이 차이를 일정하게 하는 것이 요구된다.

[196] 플립 칩 본딩 **단계(S200)**

[197] 도 21을 참조하면, 플립 칩 본딩 단계(S200) 전에 준비된 마이크로 엘이디(100)는 다수의 엘이디 셀(130) 각각의 p형 전극패드(150)가 Cu 필라이거나 또는 Cu 필라를 포함하도록 형성될 수 있다. 마이크로 엘이디(100)의 p형 전극패드(150)는 액티브 매트릭스 기판(200)의 Cu 필라 범프(260)에 대응되는 개수 및 위치로 형성한다. 상기 플립 칩 본딩 단계(S200)는, 도 22의 (a) 및 (b)에 도시된 바와 같이, 액티브 매트릭스 기판(200)의 Cu 필라 범프(260)와 마이크로 엘이디(100)의 p형 전극패드(150)를 마주보게 배치하는 단계가 수행되며, 솔더 캡(263)을 반용융 상태로 만드는 일정 온도 조건 하에서 솔더 압축 단계(S201)와, 솔더 인장 단계(S202)를 포함한다.

[198] 상기와 같이 솔더 압축 단계(S201)와, 더불어 솔더 인장 단계(S202)를 형성함으로써, 마이크로 엘이디에 인접한 솔더의 일부, 즉, 제1 부분과 액티브 메트릭스 기판에 인접한 솔더의 일부, 즉, 제2 부분은 솔더 다른 부분의 조직보다 밀한(dense)한 상태로 형성되고, 제1 부분과 제2 부분 사이의 중간 부분, 미세하게

단면이 감속된 병목 부분(Bottle Neck), 즉 제3 부분은 솔더 다른 부분의 조직보다 소한(Dilute) 상태로 형성될 것이다. 솔더 캡에 대한 압축 단계만으로 솔더 접합부를 형성하는 경우를 가정하면, 솔더 부분이 전체적으로 밀한 부분으로 형성되지만, 본 발명에 따라, 솔더의 압축 단계와 솔더 인장 단계를 연속적으로 수행함으로써 병목 부분의 경우 양측의 인장력으로 소한 조직이 형성된다.

[199] 도 22의 (a)에 도시된 솔더 압축 단계(S201)에서는 액티브 매트릭스 기판(200) 측 Cu 필라 범프(260)의 SnAg 솔더 캡(263)을 반용융 상태로 만드는 가열 온도 조건 하에서, 상기 액티브 매트릭스 기판(200) 측 Cu 필라 범프(260)의 Cu 필라(262)와 마이크로 엘이디(100) 측 전극패드(150) 간 간격을 제1 간격(D1)으로 좁혀 상기 솔더 캡(263)을 반용융 상태에서 압축시킨다. 이때, 솔더 캡(263)을 상기 제1 간격(D1)이 상기 솔더 캡(263) 높이의 1/2보다 작아질 정도로 충분히 압축하여 측방향으로 충분히 퍼지게 해주는 것이 좋다. 만일 솔더 캡(263)이 압축에 의해 충분히 퍼지지 않고 뒤 이은 인장 단계에서 늘어나면 일측으로 치우쳐 늘어나는 불량이 생길 수 있다.

[200] 다음 뒤 이은 인장 단계(S202)에서는 상기 액티브 매트릭스 기판(200) 측 Cu 필라 범프(260)의 Cu 필라(262)와 마이크로 엘이디(100) 측 전극패드(100) 간 간격을 상기 제1 간격(D1)에서 상기 제2 간격(D2)으로 증가시켜 상기 솔더 캡(263)을 반용융 상태로 인장한다. 상기 제2 간격(D2)은 상기 솔더 캡(263) 높이의 1/2보다 크도록 한다.

[201] 전술한 것과 같이, 반용융 상태에서 솔더 캡(263)을 측방으로 돌출될 때까지 압축한 후 인장한 후 응고시킴에 의해, 솔더 캡(263)이 응고되어 형성된 솔더 접합부는 옆으로 돌출되지도 않고 좁은 실질적으로 좁은 목이 없는 형상이 되어 상기 Cu 필라(262)와 상기 전극패드(150) 사이를 단단하게 고정시킬 수 있다.

[202] 최종적으로 솔더 접합부(263')의 최대 단면 직경은 Cu 필라(262)의 직경보다 크고 솔더 접합부(263')의 최소 단면 직경은 Cu 필라(262)의 직경의 80%보다 크고 100%보다 작은 것이 바람직하다. 최소 단면 직경부는 솔더 접합부(263')의 높이 중간 지점에 위치한다. 최대 단면 직경부는 Cu 필라(262) 또는 전극패드(150)의 단부 측면과 접하는 부분에 생긴다. 솔더 접합부(263')의 최대 단면 직경부는 반용융 상태로 솔더 캡(263')을 압축 및 인장하여 생기는 것으로서, Cu 필라(262) 또는 전극패드(150)의 단부 측면을 둘러싸는 구조로 형성되므로, 더욱 더 신뢰성 있는 솔더 접합이 가능하다.

청구범위

[청구항 1] 다수의 엘이디 셀을 포함하되, 각 엘이디 셀이 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는, 마이크로 엘이디;
상기 마이크로 엘이디가 마운팅되는 서브마운트 기판;
상기 마이크로 엘이디 셀에 형성된 다수의 전극패드;
상기 다수의 전극패드에 대응되게 상기 서브마운트 기판 상에 형성된 다수의 전극;
상기 다수의 전극패드와 상기 다수의 전극 사이를 연결하는 다수의 연결부; 및
상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 갭에 채워져 형성되며, 상기 마이크로 엘이디와 상기 서브마운트 기판에 대해 접합력을 갖는 갭 채움층을 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 2] 청구항 1에 있어서, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 형성되어 상기 다수의 연결부 각각의 주변을 모두 덮는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 3] 청구항 1에 있어서, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 채워진 액상 또는 겔상의 갭 채움물질이 경화되어 형성되는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 4] 청구항 1에 있어서, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 분말 상태로 채워진 갭 채움물질이 용융 및 경화되어 형성되는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 5] 청구항 1 에 있어서, 상기 마이크로 엘이디는 안쪽에 상기 다수의 엘이디 셀이 매트릭스 배열로 형성되고 바깥쪽에 제1 도전형 반도체층 노출 영역이 형성된 구조를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 6] 청구항 5에 있어서, 상기 다수의 전극패드는 상기 다수의 엘이디 셀 각각의 제2 도전형 반도체층과 연결되어 매트릭스 배열로 형성되는 다수의 개별 전극패드와, 상기 제1 도전형 반도체층 노출 영역에서 상기 제1 도전형 반도체층과 연결되는 외곽 측 공통 전극패드를 포함하고,
상기 다수의 전극은 상기 다수의 개별 전극패드와 연결되는 다수의 제1 전극과 상기 공통 전극패드와 연결되는 제2 전극을 포함하고, 상기 다수의 연결부는 다수의 개별 전극패드와 상기 다수의 제1 전극을 연결하는 다수의 내측 연결부와 상기 공통 전극패드와 상기 제2 전극을 연결하는 외곽 연결부를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 7] 청구항 6에 있어서, 상기 갭 채움층은, 상기 마이크로 엘이디와 상기

서브마운트 기판 사이의 내측 영역을 점유하며 상기 다수의 내측 연결부 각각의 주위를 덮는 내측 채움부와, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 외곽 영역을 점유하며 상기 외곽 연결부 주위를 덮는 외곽 채움부를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 8] 청구항 7에 있어서, 상기 갭 채움층은 상기 서브마운트 기판의 외곽 빈 영역 상에서 상기 마이크로 엘이디의 외곽 측면을 덮는 둘레부를 더 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 9] 청구항 1에 있어서, 상기 다수의 연결부 각각은 상기 전극패드와 상기 전극 중 어느 하나에 연결되는 금속 필라와 상기 금속 필라에 형성되는 솔더를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 10] 청구항 1에 있어서, 상기 다수의 연결부 각각은 상기 전극패드와 상기 전극 중 어느 하나에 접하여 형성된 도전성 소프트 블록과, 수직 방향 힘에 의해 상기 도전성 소프트 블록에 삽입되어 전기적으로 연결되는 도전성 삽입로드를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 11] 청구항 1에 있어서, 상기 갭 채움층은, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 영역 중 상기 다수의 마이크로 엘이디 셀이 존재하는 내측 영역을 점유하는 내측 채움부와, 상기 마이크로 엘이디와 상기 서브마운트 기판 사이의 영역 중 상기 다수의 마이크로 엘이디 셀이 존재하지 않는 외곽 영역을 점유하는 외곽 채움부를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 12] 청구항 1에 있어서, 상기 갭 채움층은 상기 마이크로 엘이디와 상기 서브마운트 기판 사이를 점유하는 채움부와, 상기 서브마운트 기판의 외곽 빈 영역 상에서 상기 마이크로 엘이디의 외곽 측면을 덮는 둘레부를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

[청구항 13] 다수의 전극패드가 형성된 마이크로 엘이디를 준비하는 단계;
다수의 전극이 형성된 서브마운트 기판을 준비하는 단계;
상기 다수의 전극패드와 상기 다수의 전극을 이용하는 다수의 연결부를 이용하여, 상기 마이크로 엘이디를 상기 서브마운트 기판과 마주하도록 마운팅하는 단계; 및
상기 마이크로 엘이디와 상기 서브마운트 기판 사이에 상기 마이크로 엘이디와 상기 서브마운트 기판과 접합력을 갖는 갭 채움층을 형성하는 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈 제조방법.

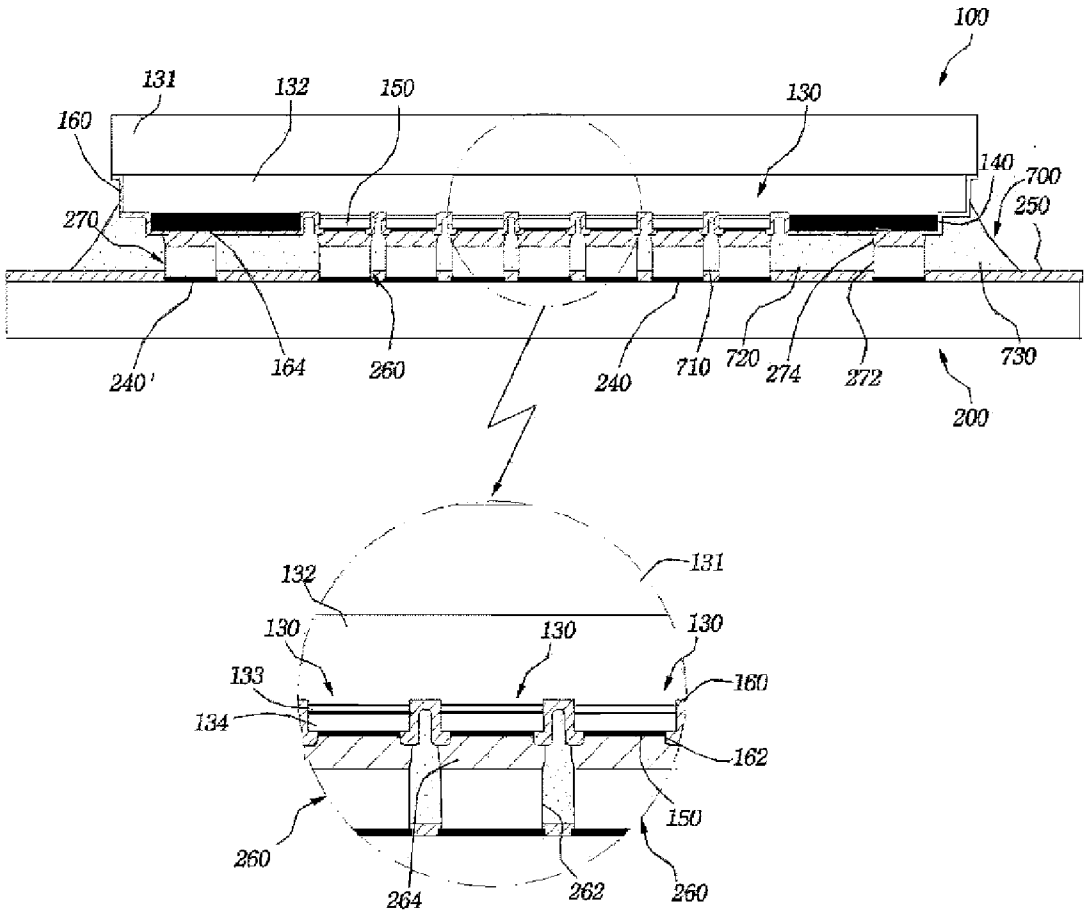
[청구항 14] 청구항 13에 있어서, 상기 다수의 연결부 각각은 용융 후 경화되어 상기 다수의 전극패드 각각과 상기 다수의 전극 각각을 전기적으로 연결하는 솔더를 포함하되, 상기 갭 채움층을 형성하는 단계는 상기 솔더의 융융 및 경화 후에 상기 마이크로 엘이디와 상기 서브마운트 기판 사이로 액상, 겔상 또는 분말 상의 갭 채움물질을 채우는 것을 특징으로 하는 마이크로 엘이디 모듈 제조방법.

[청구항 15] 청구항 13에 있어서, 상기 다수의 연결부 각각은 용융 후 경화되어 상기 다수의 전극패드 각각과 상기 다수의 전극 각각을 전기적으로 연결하는 솔더를 포함하되, 상기 갭 채움층을 형성하는 단계는 상기 솔더의 융융 전에 상기 마이크로 엘이디와 상기 서브마운트 기판 사이로 액상, 겔상 또는 분말 상의 갭 채움물질을 채우는 것을 특징으로 하는 마이크로 엘이디 모듈 제조방법.

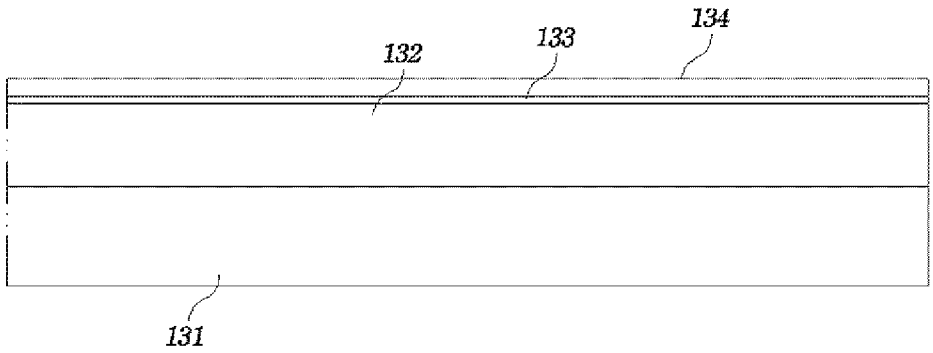
[청구항 16] 청구항 13에 있어서, 상기 다수의 전극패드는 상기 다수의 엘이디 셀 각각의 제2 도전형 반도체층과 연결되어 매트릭스 배열로 형성되는 다수의 개별 전극패드와, 상기 제1 도전형 반도체층 노출 영역에서 상기 제1 도전형 반도체층과 연결되는 외곽 측 공통 전극패드를 포함하고, 상기 다수의 전극은 상기 다수의 개별 전극패드와 연결되는 다수의 제1 전극과 상기 공통 전극패드와 연결되는 제2 전극을 포함하고, 상기 다수의 연결부는 다수의 개별 전극패드와 상기 다수의 제1 전극을 연결하는 다수의 내측 연결부와 상기 공통 전극패드와 상기 제2 전극을 연결하는 외곽 연결부를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈 제조방법.

[청구항 17] 청구항 13에 있어서, 상기 마운팅 하는 단계는, 솔더를 포함하는 연결부를 이용하여 상기 전극패드와 상기 전극을 연결하되, 상기 솔더를 용융시키는 가열 및 상기 솔더를 경화시키는 냉각 과정에서, 상기 서브마운트 기판과 상기 마이크로 엘이디의 엘이디 기판을 서로 다른 가열-냉각 곡선으로 제어하는 것을 특징으로 하는 마이크로 엘이디 모듈 제조방법.

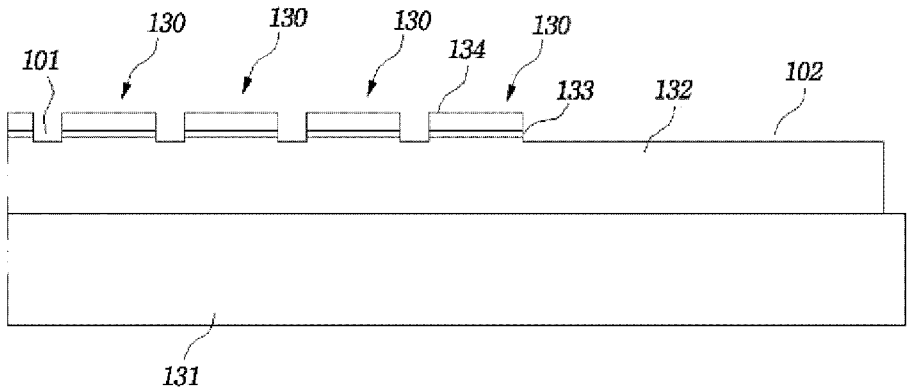
[도1]


100
131
132
150
130
160
140
700
250
270
240'
164
260
240
710
720
274
272
730
200
132
131
130
130
130
133
160
134
162
150
260
264
262
260

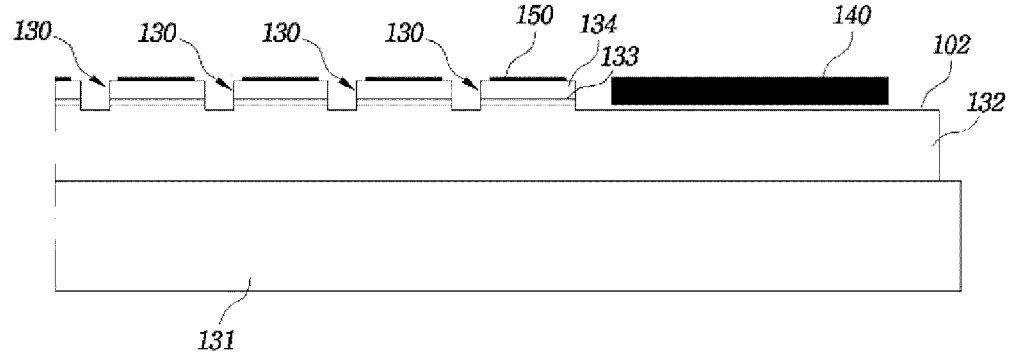
[도2a]


134
132
133
131

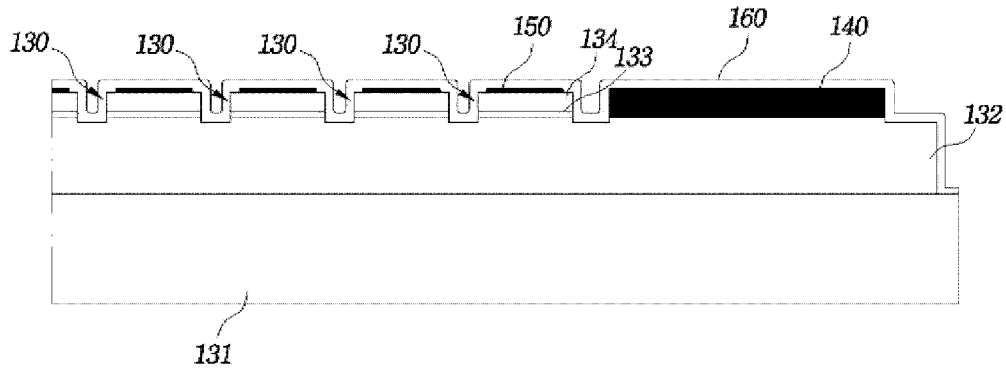
[도2b]


130
130
130
130
101
134
133
132
102
131

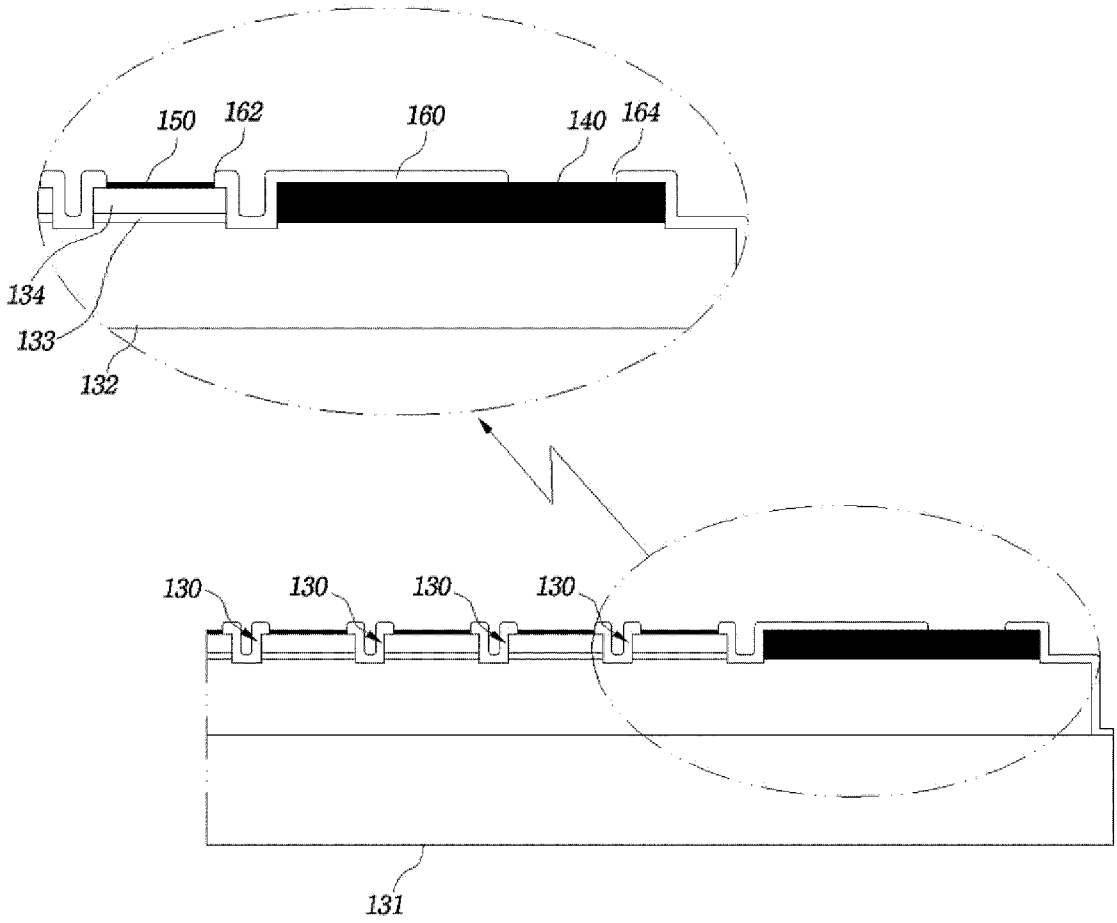
[도2c]


130
130
130
130
150
134
133
140
102
132
131

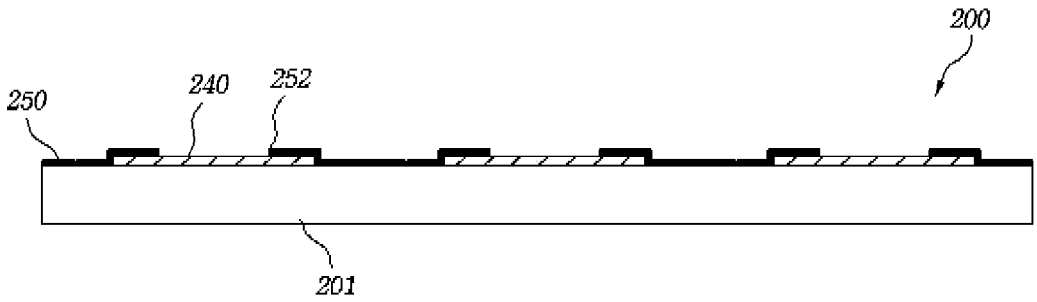
[도2d]


130
130
130
130
150
134
133
160
140
132
131

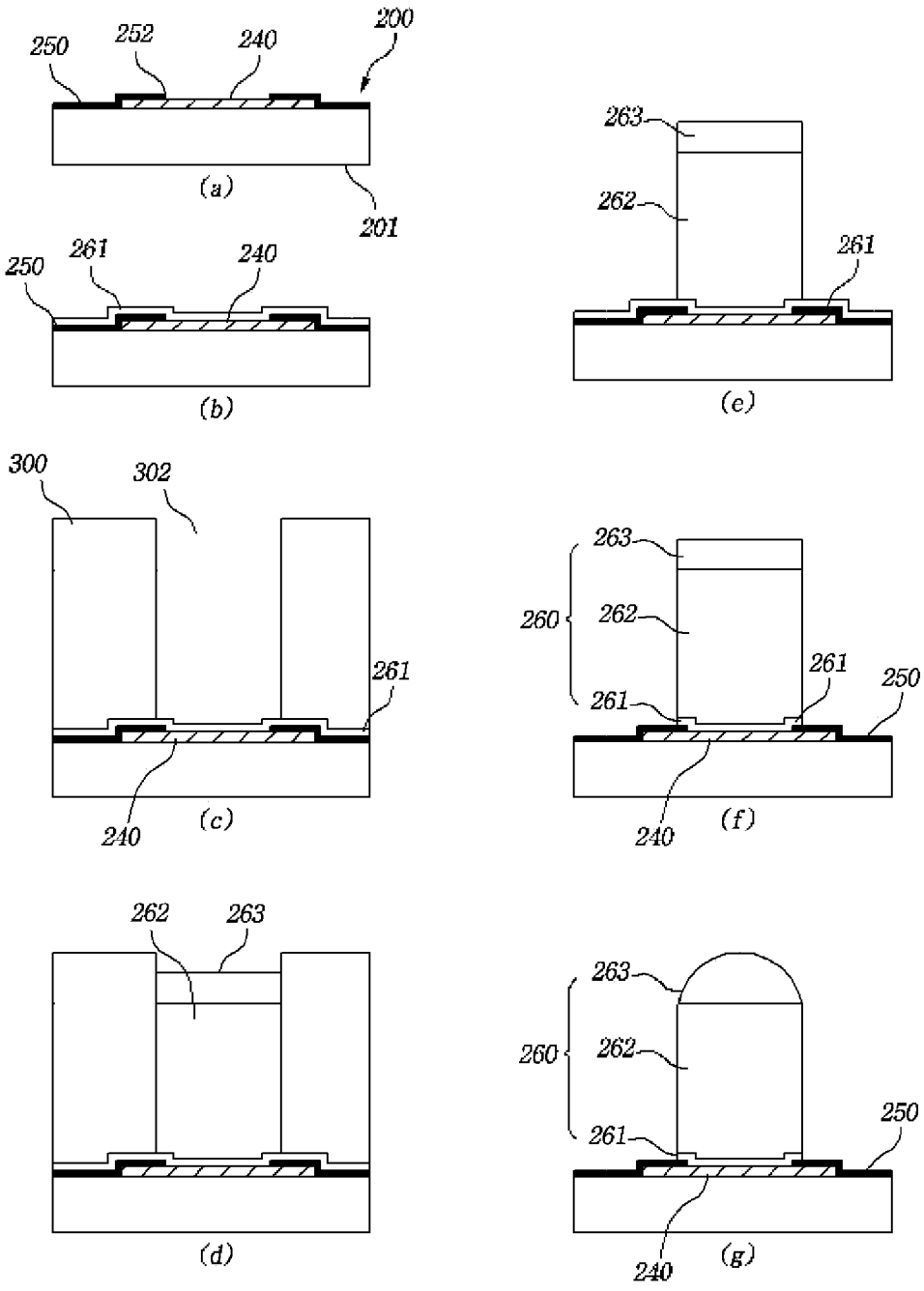
[도2e]


150
162
160
140
164
134
133
132
130
130
130
130
131

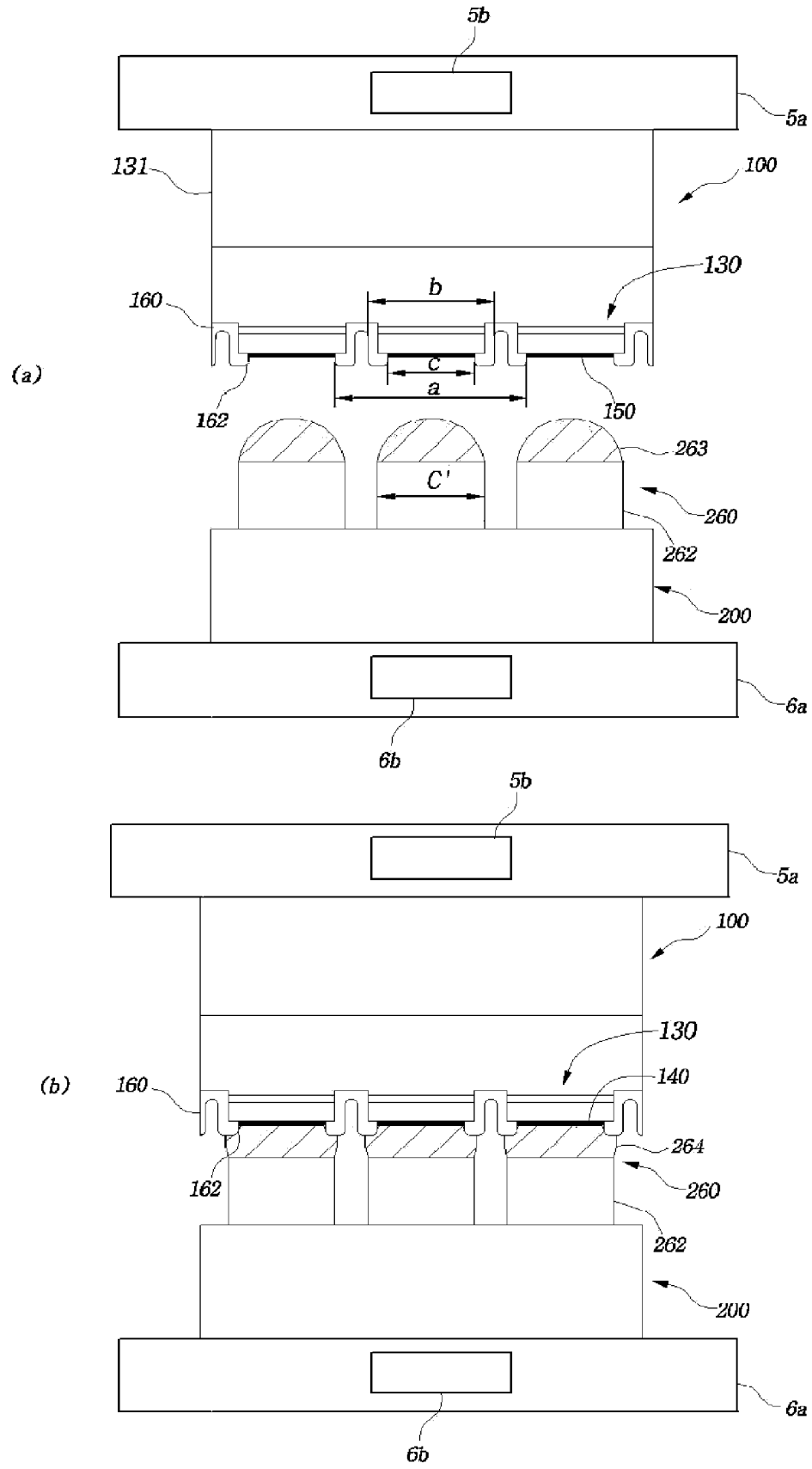
[도3]


200
250
240
252
201

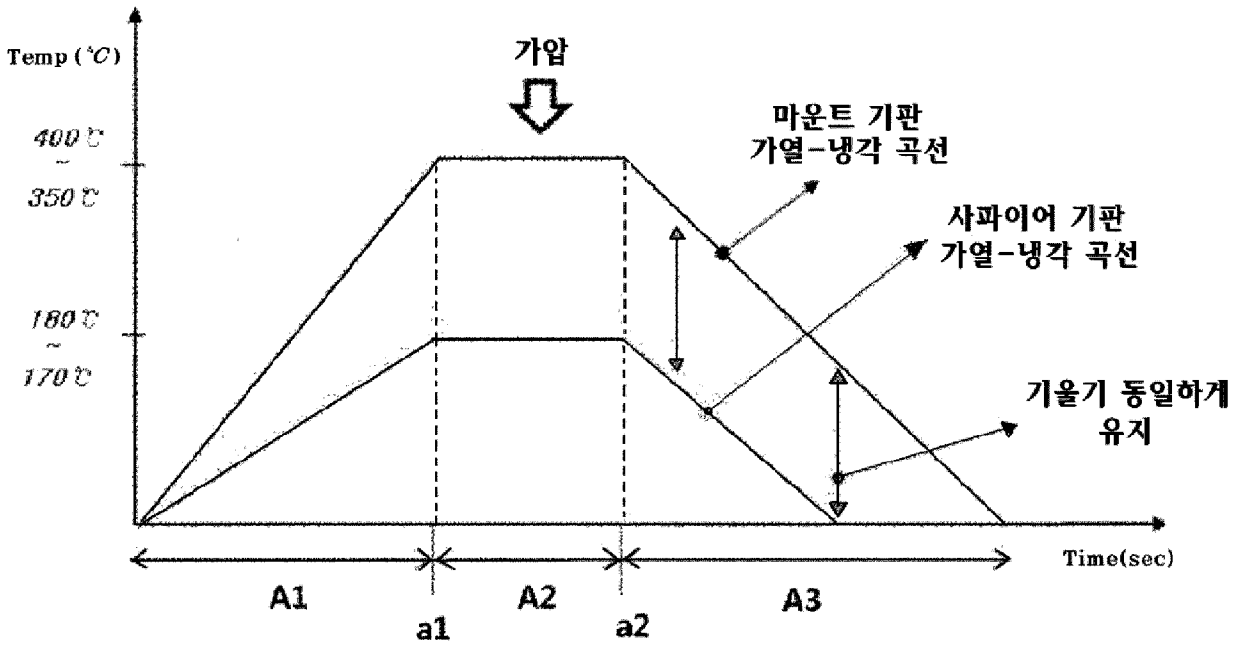
[도4]


200
250
252
240
201
(a)
250
261
240
(b)
263
262
261
(e)
300
302
261
240
(c)
263
260
262
261
261
250
240
(f)
262
263
(d)
263
260
262
261
250
240
(g)

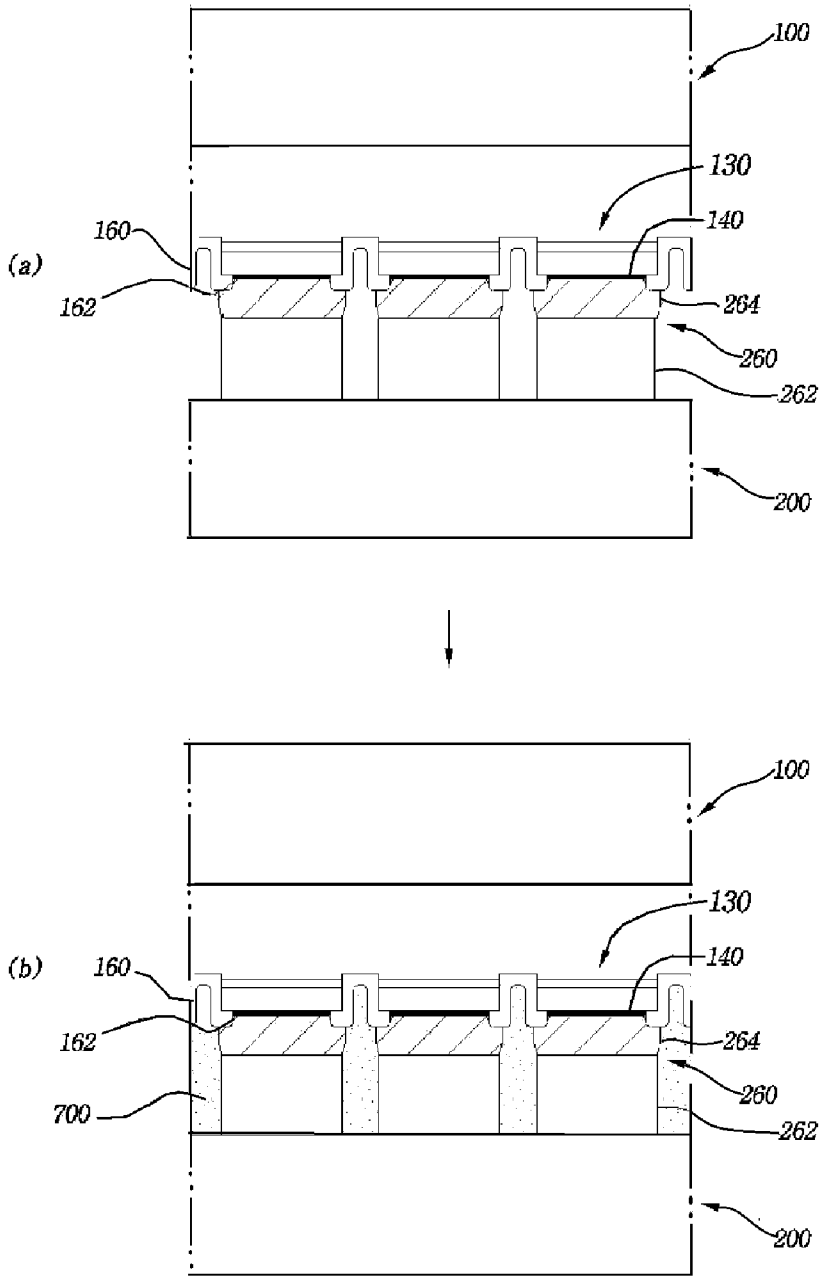
[도5]


(a)
5b
5a
131
100
130
160
b
c
a
162
150
263
C'
260
262
200
6a
6b
(b)
5b
5a
100
130
160
140
264
162
260
262
200
6a
6b

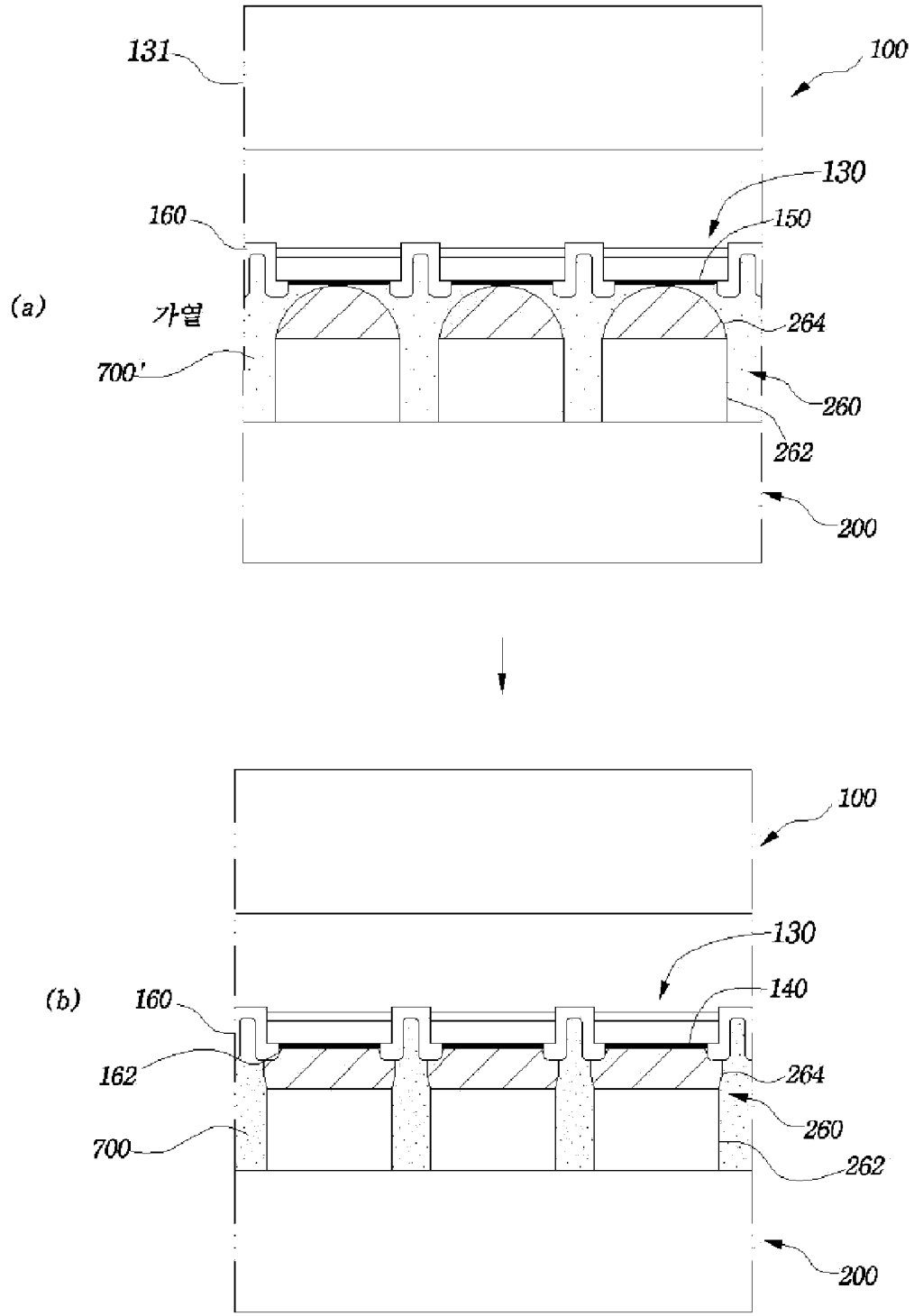
[도6]


Temp (℃)
400℃
~
350℃
180℃
~
170℃
가압
마운트 기판
가열-냉각 곡선
사파이어 기판
가열-냉각 곡선
기울기 동일하게
유지
Time(sec)
A1
A2
A3
a1
a2

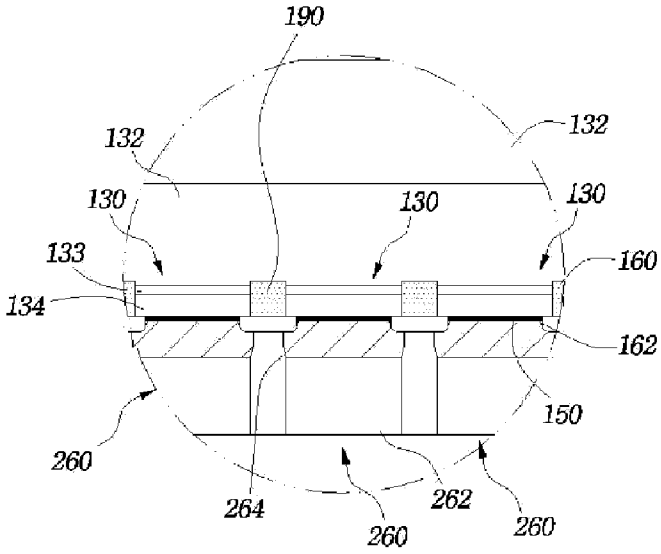
[도7]


(a)
100
130
140
160
162
264
260
262
200
(b)
100
130
140
160
162
264
260
262
700
200

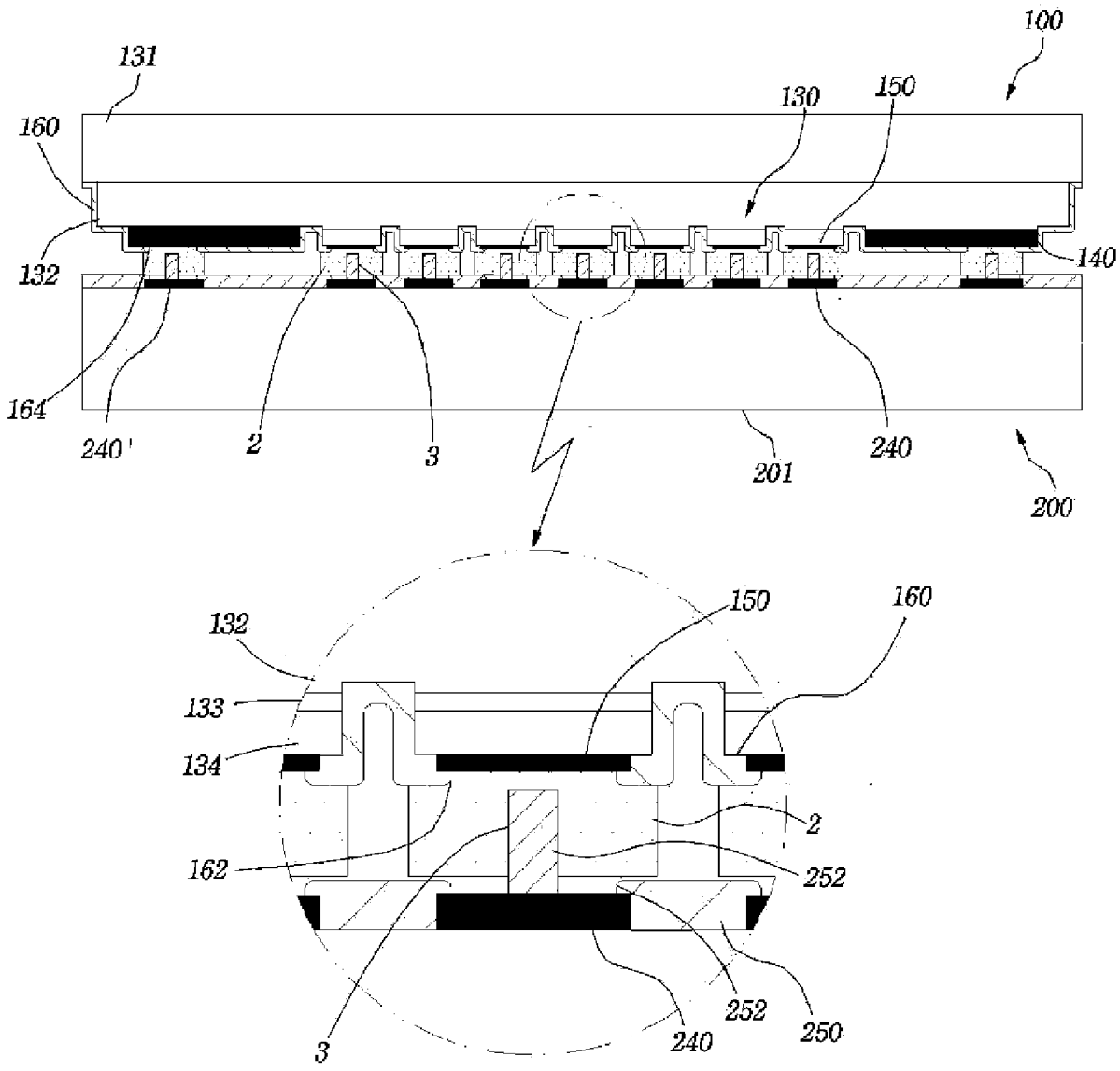
[도8]


131
100
130
160
150
(a)
가열
264
700'
260
262
200
100
130
(b)
160
140
162
264
260
700
262
200

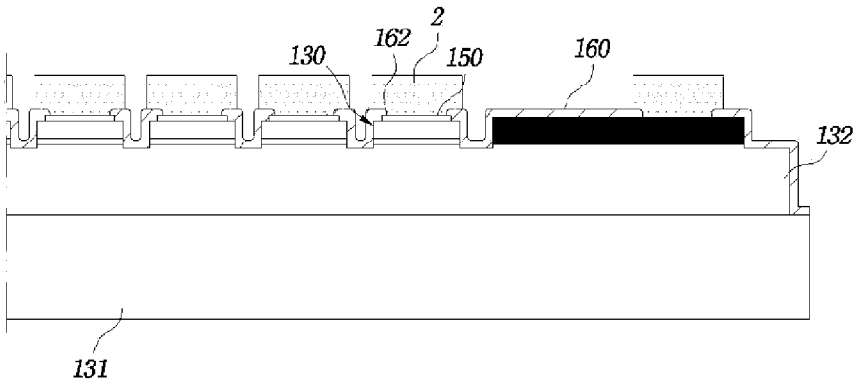
[도9]


190
132
132
130
130
130
133
160
134
162
150
260
264
262
260
260

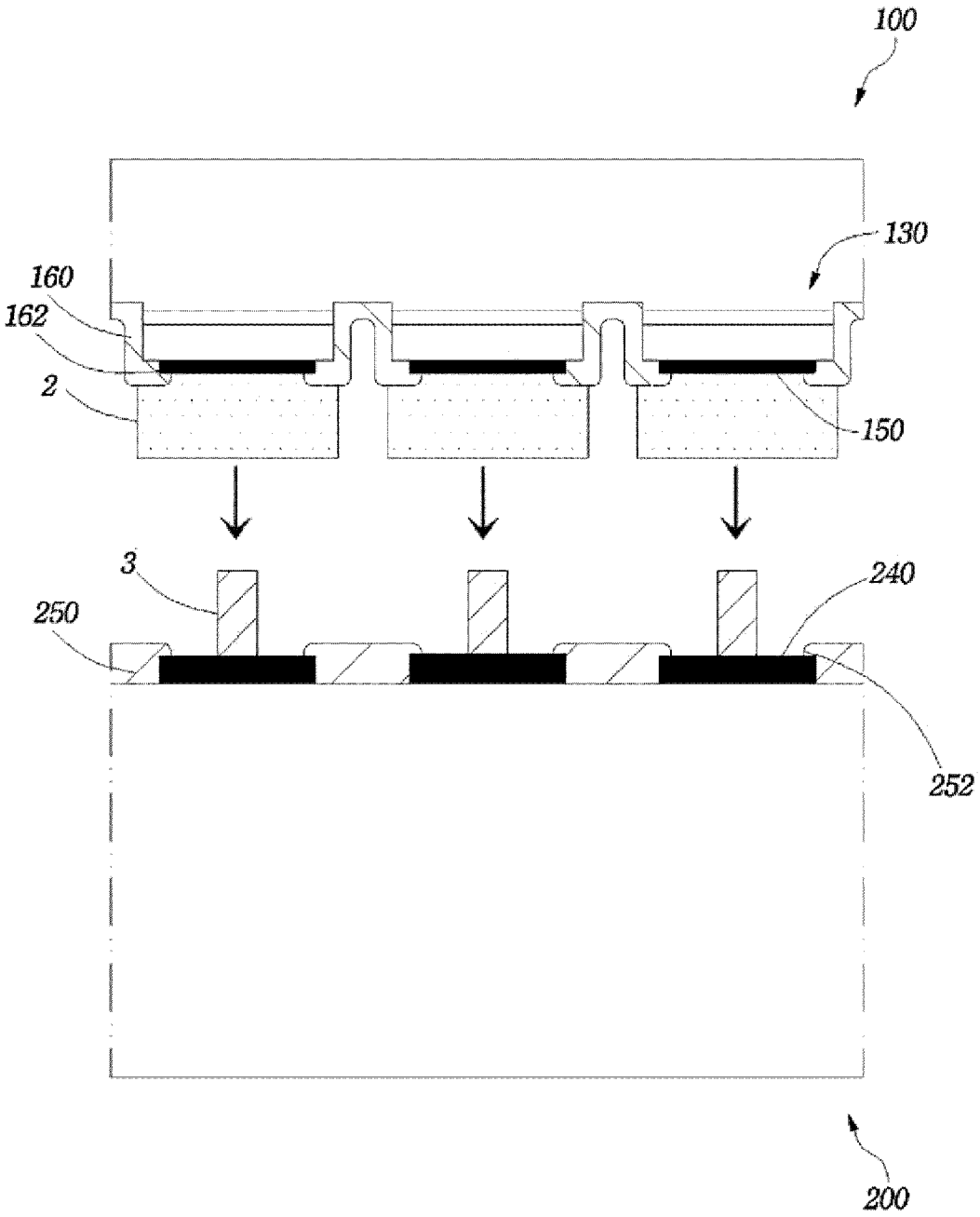
[도10]


100
131
130
150
160
132
140
164
240'
2
3
201
240
200
150
160
132
133
134
2
162
252
252
250
3
240

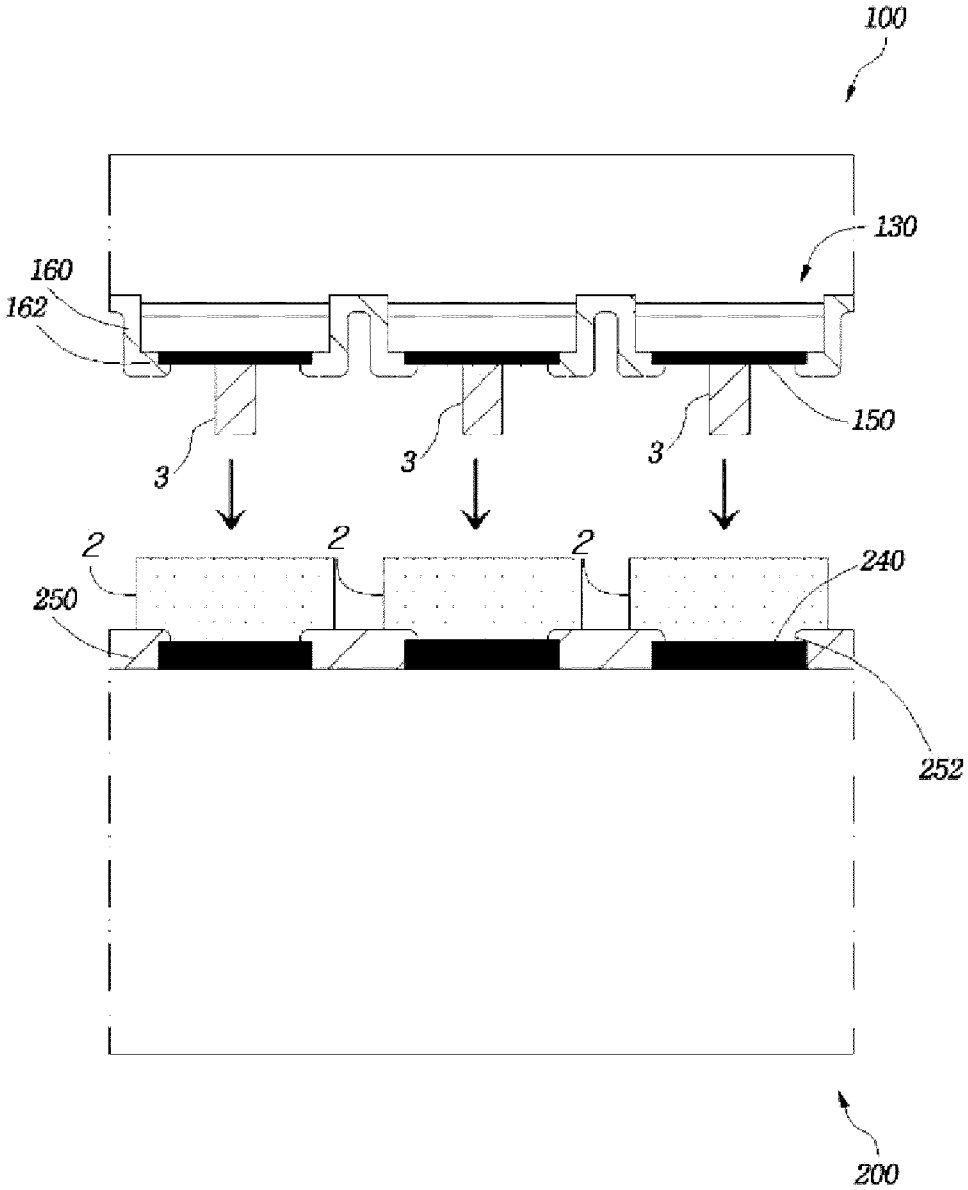
[도11]



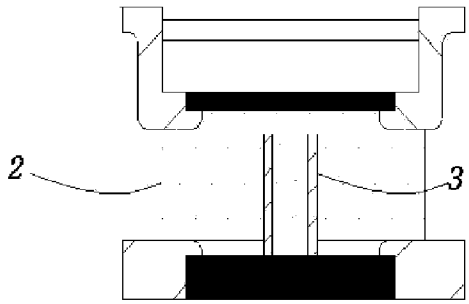
[도12]



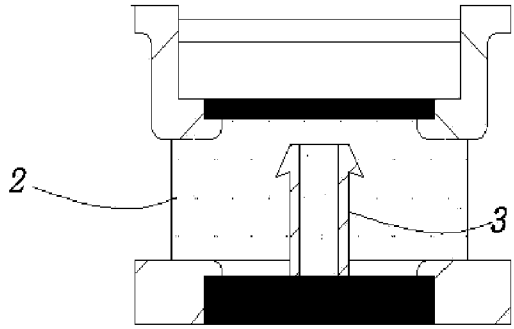
[도13]



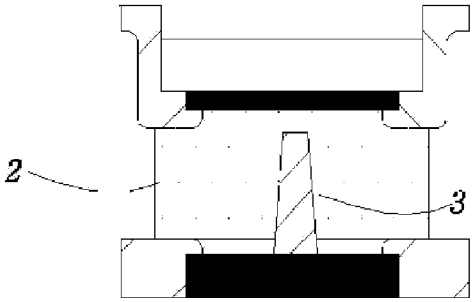
[도14a]



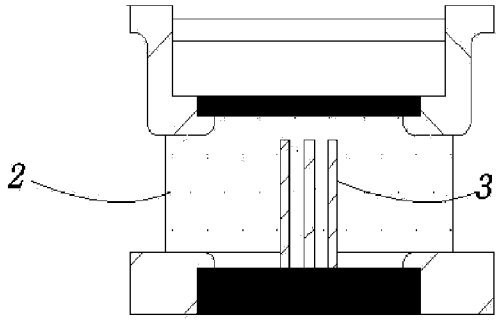
[도14b]



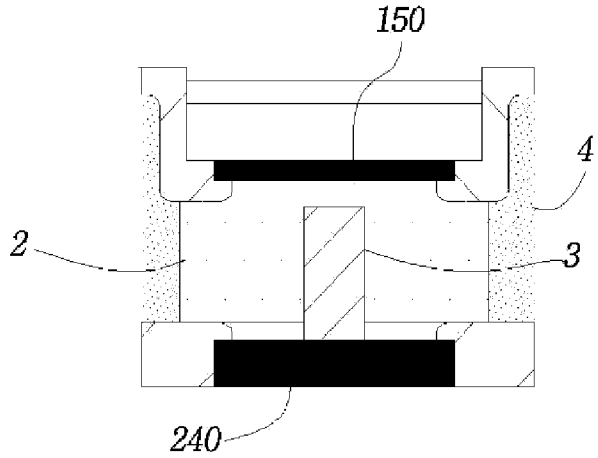
[도14c]



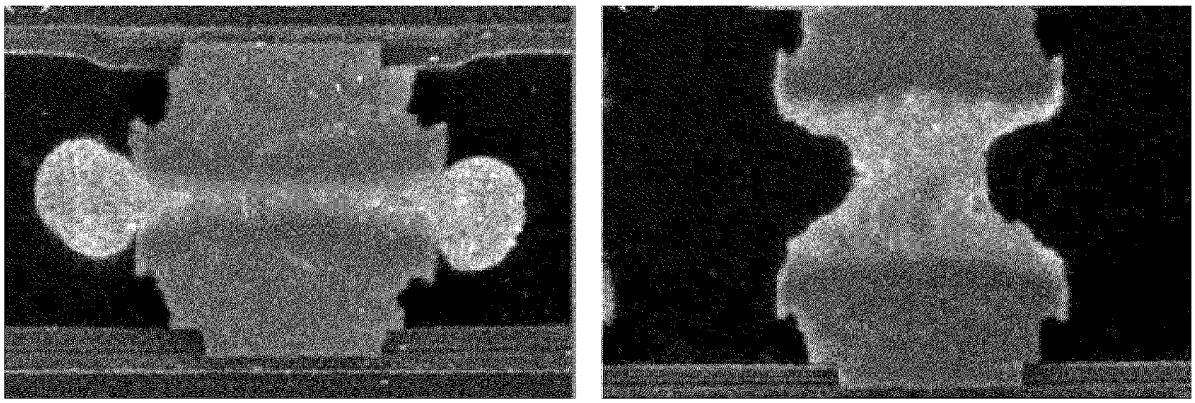
[도14d]



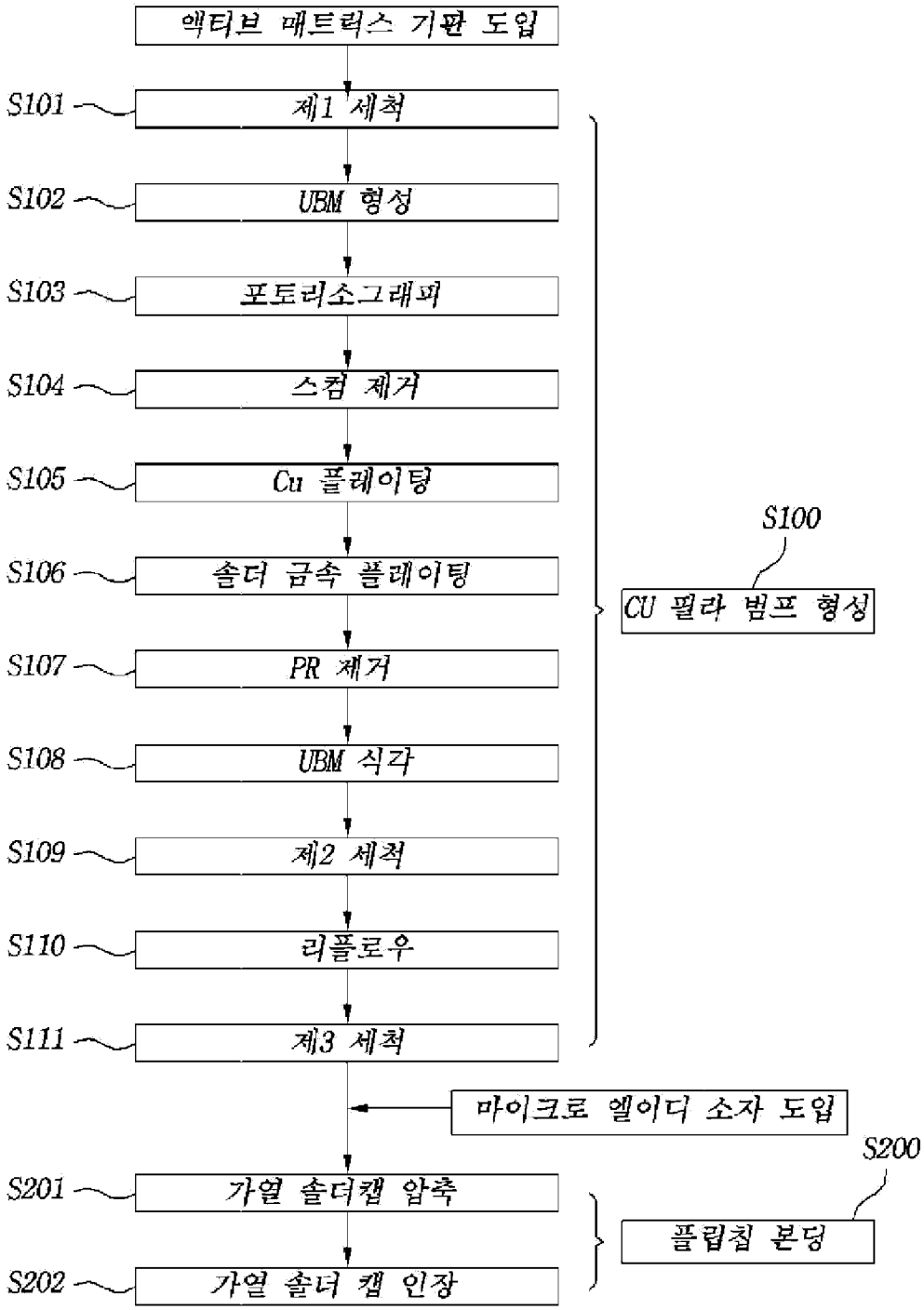
[도14e]



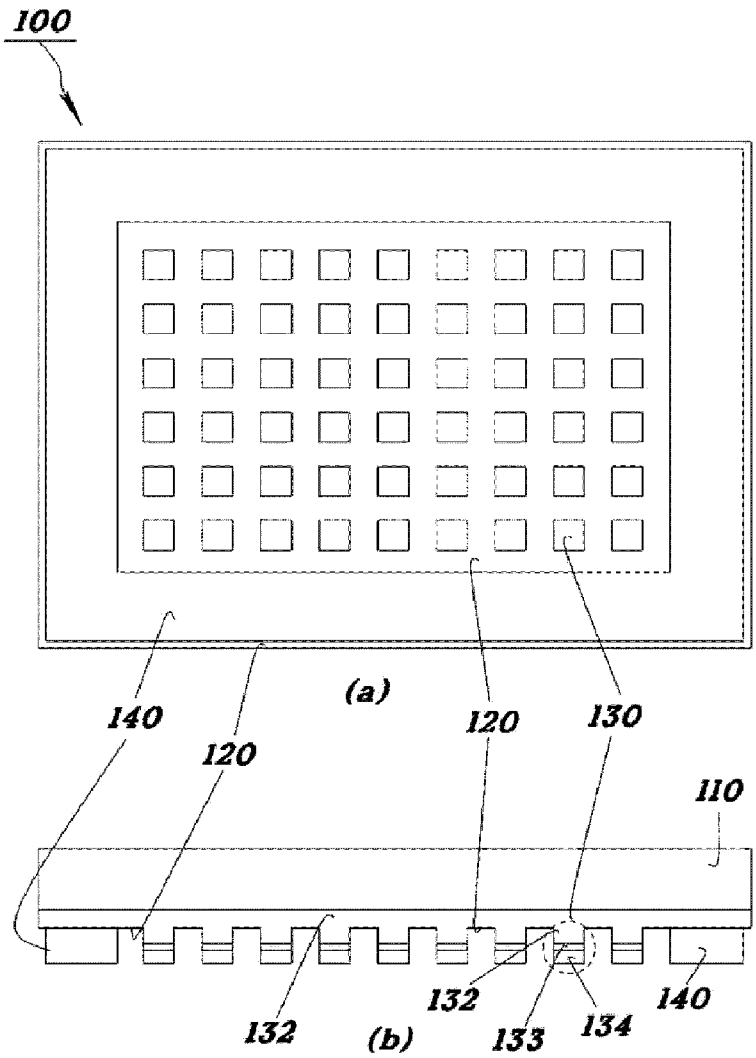
[도15]



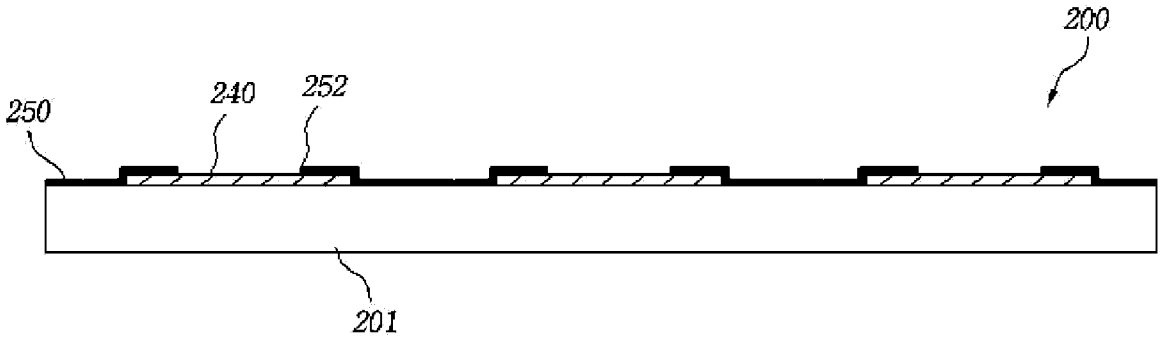
[도16]


액티브 매트릭스 기판 도입
S101
제1 세척
S102
UBM 형성
S103
포토리소그래피
S104
스컴 제거
S105
Cu 플레이팅
S106
솔더 금속 플레이팅
S107
PR 제거
S108
UBM 식각
S109
제2 세척
S110
리플로우
S111
제3 세척
S100
CU 필라 범프 형성
마이크로 엘이디 소자 도입
S201
가열 솔더캡 압축
S202
가열 솔더 캡 인장
S200
플립칩 본딩

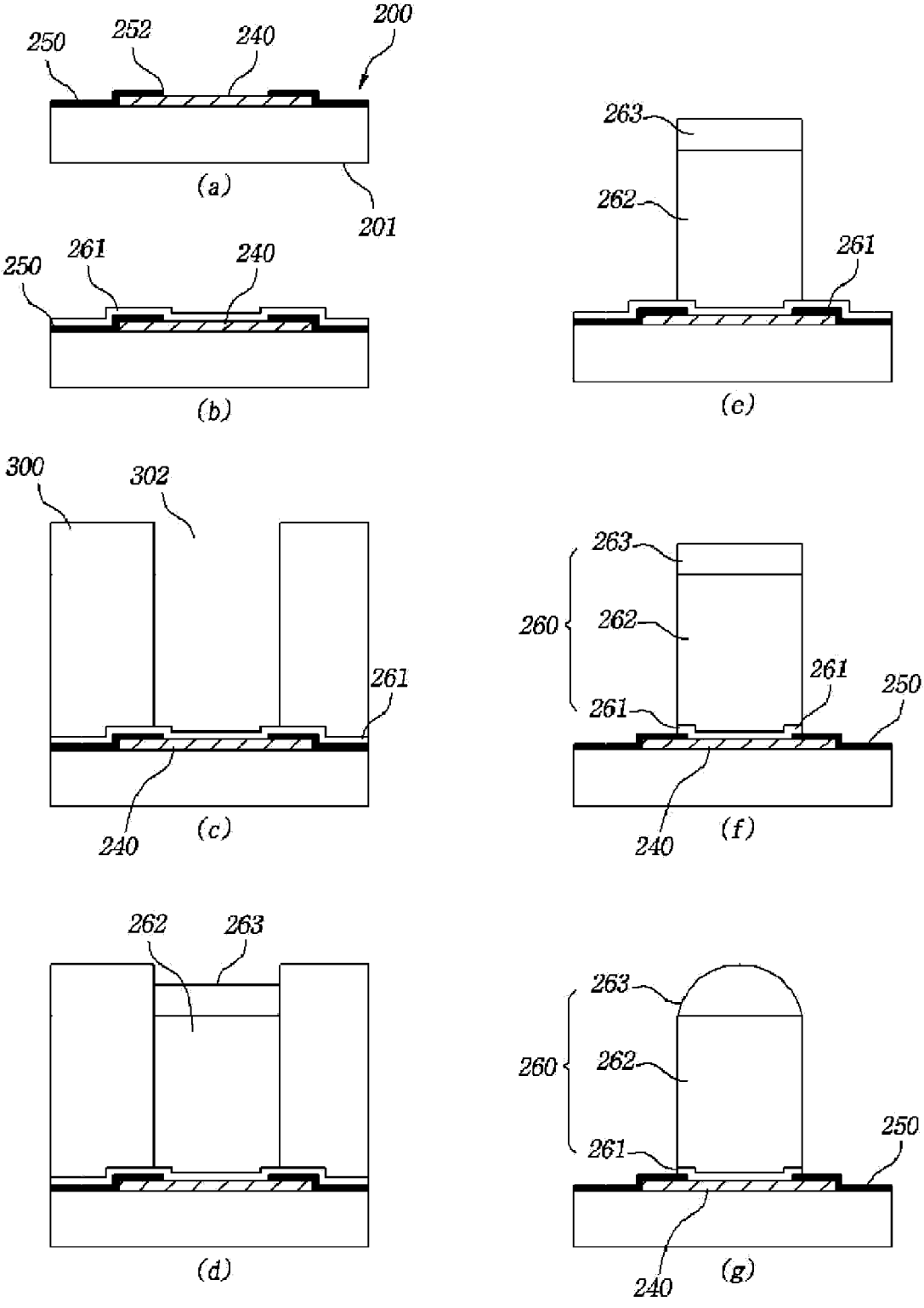
[도17]


100
140
120
(a)
120
130
110
132
(b)
132
133
134
140

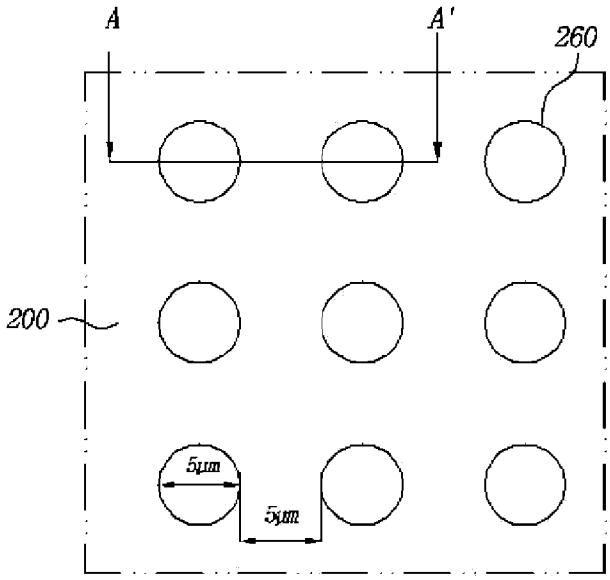
[도18]


200
250
240
252
201

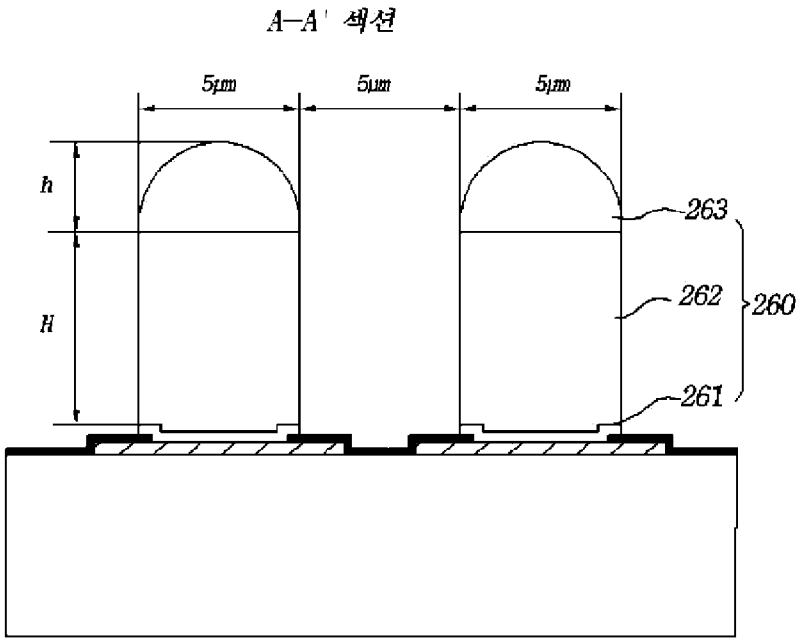
[도19]


250
252
240
200
201
(a)
250
261
240
(b)
263
262
261
(e)
300
302
261
240
(c)
263
260
262
261
261
250
240
(f)
262
263
(d)
263
260
262
261
250
240
(g)

[도20]

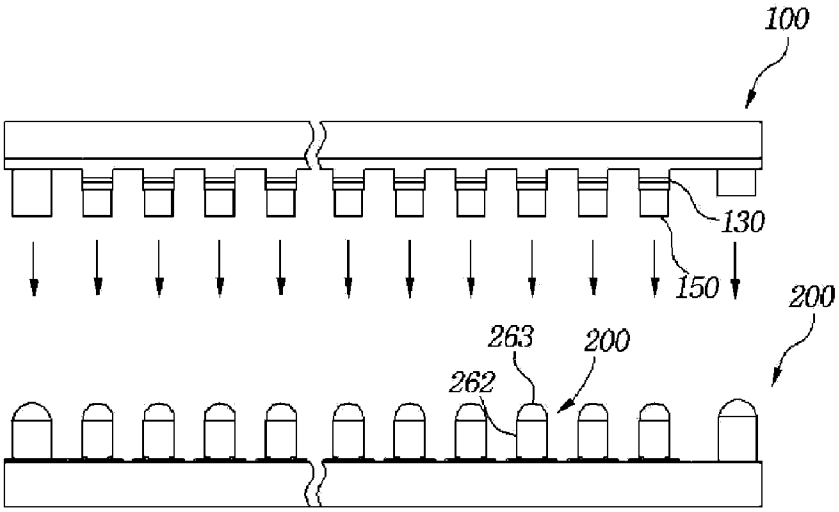


(a)

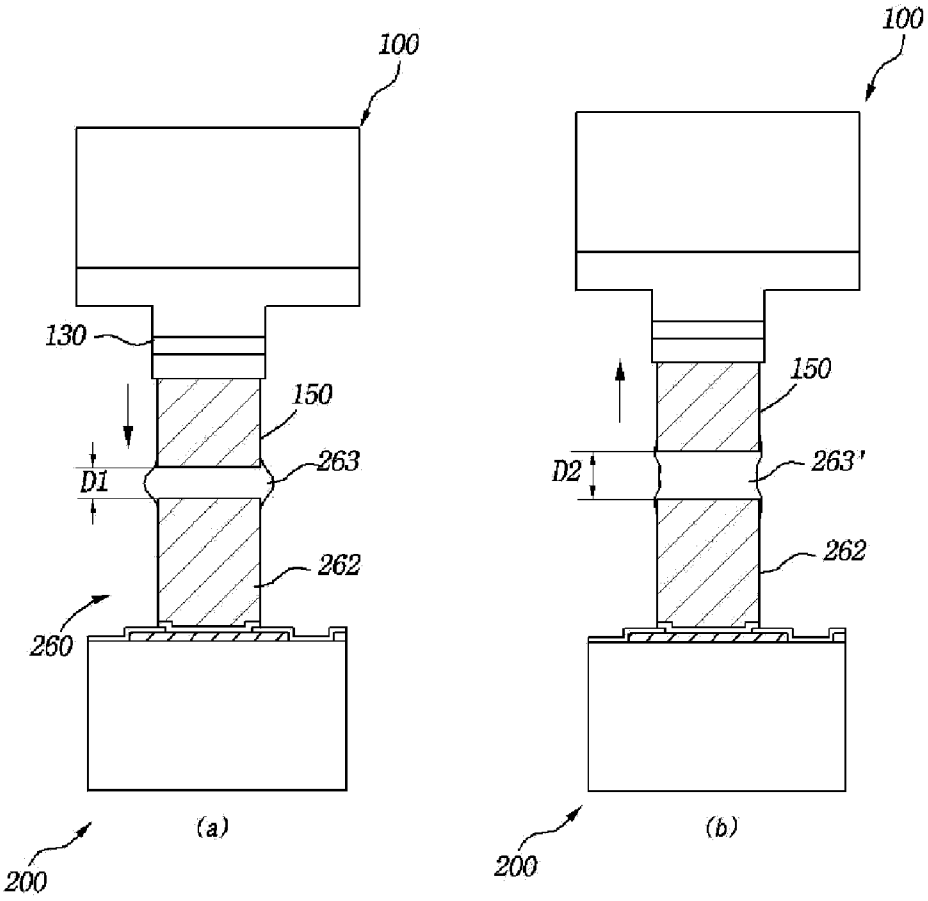


(b)

[도21]


100
130
150
200
263
200
262

[도22]


100
130
150
D1
263
262
260
200
(a)
100
150
D2
263'
262
200
(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2017/007812

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/16(2006.01)i, H01L 33/36(2010.01)i, H01L 33/62(2010.01)i, H01L 25/13(2006.01)i, H01L 25/075(2006.01)i, H01L 27/15(2006.01)i, H01L 33/00(2010.01)i, H05B 33/12(2006.01)i, H05B 33/10(2006.01)i, H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 25/16; H01L 33/00; H01L 33/60; H01L 33/64; H01L 33/44; H01L 33/62; H01L 33/50; H01L 33/36; H01L 25/13; H01L 25/075; H01L 27/15; H05B 33/12; H05B 33/10; H01L 21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: semiconductor, LED, gap, air gap, charge, filling, adhesion, substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015-0236214 A1 (TISCHLER, Michael A. et al.) 20 August 2015 See paragraphs [0061]-[0085], [0129]-[0130] and figures 3A-5B.	1-5,9-15,17
A		6-8,16
Y	JP 6008940 B2 (CITIZEN HOLDINGS CO., LTD. et al.) 19 October 2016 See paragraphs [0040]-[0047] and figure 1.	1-5,9-15,17
Y	US 2006-0208273 A1 (KANG, Sang-Kyu) 21 September 2006 See paragraphs [0041]-[0064] and figures 1-4.	1-5,9-12
A	KR 10-0977260 B1 (KODENSHI KOREA CORP.) 23 August 2010 See paragraphs [0026]-[0057] and figures 1-6.	1-17
A	KR 10-1259876 B1 (NAMGYEONG CO., LTD.) 02 May 2013 See paragraphs [0028]-[0062] and figures 1-3.	1-17

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 OCTOBER 2017 (25.10.2017)	**25 OCTOBER 2017 (25.10.2017)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/007812

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2015-0236214 A1	20/08/2015	AU 2013-202875 A1	14/11/2013
		CA 2797554 A1	30/05/2013
		CN 102959708 A	06/03/2013
		CN 102959708 B	04/05/2016
		CN 103373611 A	30/10/2013
		CN 103373611 B	01/03/2017
		CN 104024147 A	03/09/2014
		CN 104137218 A	05/11/2014
		CN 104137218 B	08/03/2017
		CN 104137254 A	05/11/2014
		CN 104137254 B	06/06/2017
		CN 104160467 A	19/11/2014
		CN 104160467 B	08/03/2017
		CN 104769698 A	08/07/2015
		CN 104769698 B	08/03/2017
		CN 104823527 A	05/08/2015
		CN 105870312 A	17/08/2016
		EP 2589082 A1	08/05/2013
		EP 2589082 A4	25/02/2015
		EP 2609791 A1	03/07/2013
		EP 2656924 A2	30/10/2013
		EP 2656924 A3	13/08/2014
		EP 2656924 B1	09/09/2015
		EP 2797837 A1	05/11/2014
		EP 2798673 A1	05/11/2014
		EP 2801102 A1	12/11/2014
		JP 2013-227157 A	07/11/2013
		JP 2013-531378 A	01/08/2013
		JP 2014-160835 A	04/09/2014
		JP 2015-510655 A	09/04/2015
		JP 5512888 B2	04/06/2014
		KR 10-1372084 B1	07/03/2014
		KR 10-2013-0087518 A	06/08/2013
		KR 10-2014-0110981 A	17/09/2014
		KR 10-2014-0116181 A	01/10/2014
		KR 10-2014-0128975 A	06/11/2014
		US 2011-0163682 A1	07/07/2011
		US 2011-0315956 A1	29/12/2011
		US 2011-0316422 A1	29/12/2011
		US 2012-0217496 A1	30/08/2012
		US 2013-0145996 A1	13/06/2013
		US 2013-0168635 A1	04/07/2013
		US 2013-0169108 A1	04/07/2013
		US 2013-0169142 A1	04/07/2013
		US 2013-0169156 A1	04/07/2013
		US 2013-0169193 A1	04/07/2013
		US 2013-0181238 A1	18/07/2013
		US 2013-0221843 A1	29/08/2013
		US 2013-0229105 A1	05/09/2013

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/007812

Patent document cited in search report	Publication date	Patent family member	Publication date
		US 2013-0229133 A1	05/09/2013
		US 2013-0287503 A1	31/10/2013
		US 2013-0300294 A1	14/11/2013
		US 2013-0313980 A1	28/11/2013
		US 2014-0034960 A1	06/02/2014
		US 2014-0062302 A1	06/03/2014
		US 2014-0070696 A1	13/03/2014
		US 2014-0091716 A1	03/04/2014
		US 2014-0159590 A1	12/06/2014
		US 2014-0167611 A1	19/06/2014
		US 2014-0191257 A1	10/07/2014
		US 2014-0333213 A1	13/11/2014
		US 2014-0345544 A1	27/11/2014
		US 2014-0361242 A1	11/12/2014
		US 2015-0001465 A1	01/01/2015
		US 2015-0042231 A1	12/02/2015
		US 2015-0179389 A1	25/06/2015
		US 2015-0213992 A1	30/07/2015
		US 2015-0243468 A1	27/08/2015
		US 2016-0013009 A1	14/01/2016
		US 2016-0097561 A1	07/04/2016
		US 2016-0113087 A1	21/04/2016
		US 2016-0175877 A1	23/06/2016
		US 2016-0327220 A1	10/11/2016
		US 8384121 B2	26/02/2013
		US 8466488 B2	18/06/2013
		US 8493000 B2	23/07/2013
		US 8552463 B2	08/10/2013
		US 8575842 B2	05/11/2013
		US 8653539 B2	18/02/2014
		US 8680567 B2	25/03/2014
		US 8692226 B2	08/04/2014
		US 8803435 B2	12/08/2014
		US 8810131 B2	19/08/2014
		US 8810161 B2	19/08/2014
		US 8860318 B2	14/10/2014
		US 8907370 B2	09/12/2014
		US 8907591 B2	09/12/2014
		US 8928228 B2	06/01/2015
		US 8941305 B2	27/01/2015
		US 8946992 B2	03/02/2015
		US 8969848 B2	03/03/2015
		US 8970113 B2	03/03/2015
		US 9018861 B2	28/04/2015
		US 9052121 B2	09/06/2015
		US 9054290 B2	09/06/2015
		US 9107272 B2	11/08/2015
		US 9171690 B2	27/10/2015
		US 9252373 B2	02/02/2016
		US 9302857 B2	05/04/2016

Patent document cited in search report	Publication date	Patent family member	Publication date
		US 9349562 B2	24/05/2016
		US 9384933 B2	05/07/2016
		US 9426860 B2	23/08/2016
		US 9480133 B2	25/10/2016
		US 9555438 B2	31/01/2017
		US 9646798 B2	09/05/2017
		US 9659734 B2	23/05/2017
		US 9659735 B2	23/05/2017
		WO 2011-079382 A1	07/07/2011
		WO 2012-000114 A1	05/01/2012
		WO 2012-000114 A8	20/12/2012
		WO 2012-024792 A1	01/03/2012
		WO 2013-101937 A1	04/07/2013
		WO 2013-101941 A1	04/07/2013
		WO 2013-101944 A2	04/07/2013
		WO 2013-101944 A3	11/06/2015
		WO 2013-101948 A1	04/07/2013
		WO 2013-101951 A1	04/07/2013
		WO 2013-163439 A1	31/10/2013
		WO 2013-163450 A2	31/10/2013
		WO 2013-163450 A3	27/12/2013
		WO 2013-163452 A2	31/10/2013
		WO 2013-163452 A3	09/07/2015
		WO 2013-163589 A2	31/10/2013
		WO 2013-163589 A3	18/06/2015
		WO 2015-023540 A1	19/02/2015
		WO 2015-175765 A1	19/11/2015
JP 6008940 B2	19/10/2016	US 2015-0050760 A1	19/02/2015
		US 9269873 B2	23/02/2016
		WO 2013-137356 A1	19/09/2013
US 2006-0208273 A1	21/09/2006	AT 486374 T	15/11/2010
		AU 2003-257713 A1	25/02/2005
		CN 100459180 C	04/02/2009
		CN 1820376 A	16/08/2006
		EP 1652238 A1	03/05/2006
		EP 1652238 A4	21/03/2007
		EP 1652238 B1	27/10/2010
		ES 2356606 T3	11/04/2011
		JP 2007-519214 A	12/07/2007
		JP 4755901 B2	24/08/2011
		US 2009-0309107 A1	17/12/2009
		US 7595511 B2	29/09/2009
		US 7906787 B2	15/03/2011
		WO 2005-015647 A1	17/02/2005
KR 10-0977260 B1	23/08/2010	KR 10-2009-0072644 A	02/07/2009
KR 10-1259876 B1	02/05/2013	KR 10-2012-0118823 A	29/10/2012

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2017/007812

Patent document cited in search report	Publication date	Patent family member	Publication date
		WO 2012-144819 A2	26/10/2012
		WO 2012-144819 A3	10/01/2013

국제조사보고서

국제출원번호
PCT/KR2017/007812

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 25/16(2006.01)i, H01L 33/36(2010.01)i, H01L 33/62(2010.01)i, H01L 25/13(2006.01)i, H01L 25/075(2006.01)i, H01L 27/15(2006.01)i, H01L 33/00(2010.01)i, H05B 33/12(2006.01)i, H05B 33/10(2006.01)i, H01L 21/768(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 25/16; H01L 33/00; H01L 33/60; H01L 33/64; H01L 33/44; H01L 33/62; H01L 33/50; H01L 33/36; H01L 25/13; H01L 25/075; H01L 27/15; H05B 33/12; H05B 33/10; H01L 21/768

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 반도체, 엘이디, 갭, 공극, 충전, 충진, 접착, 기판

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2015-0236214 A1 (MICHAEL A. TISCHLER 등) 2015.08.20 단락 [0061]-[0085], [0129]-[0130] 및 도면 3A-5B 참조.	1-5,9-15,17
A		6-8,16
Y	JP 6008940 B2 (CITIZEN HOLDINGS CO., LTD. 등) 2016.10.19 단락 [0040]-[0047] 및 도면 1 참조.	1-5,9-15,17
Y	US 2006-0208273 A1 (SANG-KYU KANG) 2006.09.21 단락 [0041]-[0064] 및 도면 1-4 참조.	1-5,9-12
A	KR 10-0977260 B1 (한국 고덴시 주식회사) 2010.08.23 단락 [0026]-[0057] 및 도면 1-6 참조.	1-17
A	KR 10-1259876 B1 (남경 주식회사) 2013.05.02 단락 [0028]-[0062] 및 도면 1-3 참조.	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2017년 10월 25일 (25.10.2017)	2017년 10월 25일 (25.10.2017)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
최상원
전화번호 +82-42-481-8291

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/007812

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2015-0236214 A1	2015/08/20	AU 2013-202875 A1	2013/11/14
		CA 2797554 A1	2013/05/30
		CN 102959708 A	2013/03/06
		CN 102959708 B	2016/05/04
		CN 103373611 A	2013/10/30
		CN 103373611 B	2017/03/01
		CN 104024147 A	2014/09/03
		CN 104137218 A	2014/11/05
		CN 104137218 B	2017/03/08
		CN 104137254 A	2014/11/05
		CN 104137254 B	2017/06/06
		CN 104160467 A	2014/11/19
		CN 104160467 B	2017/03/08
		CN 104769698 A	2015/07/08
		CN 104769698 B	2017/03/08
		CN 104823527 A	2015/08/05
		CN 105870312 A	2016/08/17
		EP 2589082 A1	2013/05/08
		EP 2589082 A4	2015/02/25
		EP 2609791 A1	2013/07/03
		EP 2656924 A2	2013/10/30
		EP 2656924 A3	2014/08/13
		EP 2656924 B1	2015/09/09
		EP 2797837 A1	2014/11/05
		EP 2798673 A1	2014/11/05
		EP 2801102 A1	2014/11/12
		JP 2013-227157 A	2013/11/07
		JP 2013-531378 A	2013/08/01
		JP 2014-160835 A	2014/09/04
		JP 2015-510655 A	2015/04/09
		JP 5512888 B2	2014/06/04
		KR 10-1372084 B1	2014/03/07
		KR 10-2013-0087518 A	2013/08/06
		KR 10-2014-0110981 A	2014/09/17
		KR 10-2014-0116181 A	2014/10/01
		KR 10-2014-0128975 A	2014/11/06
		US 2011-0163682 A1	2011/07/07
		US 2011-0315956 A1	2011/12/29
		US 2011-0316422 A1	2011/12/29
		US 2012-0217496 A1	2012/08/30
		US 2013-0145996 A1	2013/06/13
		US 2013-0168635 A1	2013/07/04
		US 2013-0169108 A1	2013/07/04
		US 2013-0169142 A1	2013/07/04
		US 2013-0169156 A1	2013/07/04
		US 2013-0169193 A1	2013/07/04
		US 2013-0181238 A1	2013/07/18
		US 2013-0221843 A1	2013/08/29
		US 2013-0229105 A1	2013/09/05

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/007812

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 2013-0229133 A1	2013/09/05
		US 2013-0287503 A1	2013/10/31
		US 2013-0300294 A1	2013/11/14
		US 2013-0313980 A1	2013/11/28
		US 2014-0034960 A1	2014/02/06
		US 2014-0062302 A1	2014/03/06
		US 2014-0070696 A1	2014/03/13
		US 2014-0091716 A1	2014/04/03
		US 2014-0159590 A1	2014/06/12
		US 2014-0167611 A1	2014/06/19
		US 2014-0191257 A1	2014/07/10
		US 2014-0333213 A1	2014/11/13
		US 2014-0345544 A1	2014/11/27
		US 2014-0361242 A1	2014/12/11
		US 2015-0001465 A1	2015/01/01
		US 2015-0042231 A1	2015/02/12
		US 2015-0179389 A1	2015/06/25
		US 2015-0213992 A1	2015/07/30
		US 2015-0243468 A1	2015/08/27
		US 2016-0013009 A1	2016/01/14
		US 2016-0097561 A1	2016/04/07
		US 2016-0113087 A1	2016/04/21
		US 2016-0175877 A1	2016/06/23
		US 2016-0327220 A1	2016/11/10
		US 8384121 B2	2013/02/26
		US 8466488 B2	2013/06/18
		US 8493000 B2	2013/07/23
		US 8552463 B2	2013/10/08
		US 8575842 B2	2013/11/05
		US 8653539 B2	2014/02/18
		US 8680567 B2	2014/03/25
		US 8692226 B2	2014/04/08
		US 8803435 B2	2014/08/12
		US 8810131 B2	2014/08/19
		US 8810161 B2	2014/08/19
		US 8860318 B2	2014/10/14
		US 8907370 B2	2014/12/09
		US 8907591 B2	2014/12/09
		US 8928228 B2	2015/01/06
		US 8941305 B2	2015/01/27
		US 8946992 B2	2015/02/03
		US 8969848 B2	2015/03/03
		US 8970113 B2	2015/03/03
		US 9018861 B2	2015/04/28
		US 9052121 B2	2015/06/09
		US 9054290 B2	2015/06/09
		US 9107272 B2	2015/08/11
		US 9171690 B2	2015/10/27
		US 9252373 B2	2016/02/02
		US 9302857 B2	2016/04/05

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 9349562 B2	2016/05/24
		US 9384933 B2	2016/07/05
		US 9426860 B2	2016/08/23
		US 9480133 B2	2016/10/25
		US 9555438 B2	2017/01/31
		US 9646798 B2	2017/05/09
		US 9659734 B2	2017/05/23
		US 9659735 B2	2017/05/23
		WO 2011-079382 A1	2011/07/07
		WO 2012-000114 A1	2012/01/05
		WO 2012-000114 A8	2012/12/20
		WO 2012-024792 A1	2012/03/01
		WO 2013-101937 A1	2013/07/04
		WO 2013-101941 A1	2013/07/04
		WO 2013-101944 A2	2013/07/04
		WO 2013-101944 A3	2015/06/11
		WO 2013-101948 A1	2013/07/04
		WO 2013-101951 A1	2013/07/04
		WO 2013-163439 A1	2013/10/31
		WO 2013-163450 A2	2013/10/31
		WO 2013-163450 A3	2013/12/27
		WO 2013-163452 A2	2013/10/31
		WO 2013-163452 A3	2015/07/09
		WO 2013-163589 A2	2013/10/31
		WO 2013-163589 A3	2015/06/18
		WO 2015-023540 A1	2015/02/19
		WO 2015-175765 A1	2015/11/19
JP 6008940 B2	2016/10/19	US 2015-0050760 A1	2015/02/19
		US 9269873 B2	2016/02/23
		WO 2013-137356 A1	2013/09/19
US 2006-0208273 A1	2006/09/21	AT 486374 T	2010/11/15
		AU 2003-257713 A1	2005/02/25
		CN 100459180 C	2009/02/04
		CN 1820376 A	2006/08/16
		EP 1652238 A1	2006/05/03
		EP 1652238 A4	2007/03/21
		EP 1652238 B1	2010/10/27
		ES 2356606 T3	2011/04/11
		JP 2007-519214 A	2007/07/12
		JP 4755901 B2	2011/08/24
		US 2009-0309107 A1	2009/12/17
		US 7595511 B2	2009/09/29
		US 7906787 B2	2011/03/15
		WO 2005-015647 A1	2005/02/17
KR 10-0977260 B1	2010/08/23	KR 10-2009-0072644 A	2009/07/02
KR 10-1259876 B1	2013/05/02	KR 10-2012-0118823 A	2012/10/29

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2017/007812

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		WO 2012-144819 A2	2012/10/26
		WO 2012-144819 A3	2013/01/10