

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成28年10月27日(2016.10.27)

【公表番号】特表2016-511502(P2016-511502A)
 【公表日】平成28年4月14日(2016.4.14)
 【年通号数】公開・登録公報2016-023
 【出願番号】特願2016-501448(P2016-501448)
 【国際特許分類】

G 1 1 C 11/15 (2006.01)

【F I】

G 1 1 C 11/15 1 5 0

【手続補正書】

【提出日】平成28年9月7日(2016.9.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ電圧を生成するために第1の検知経路を用いてデータセルの状態を検知するステップであって、前記データセルの前記状態が前記データセルのプログラマブル抵抗ベースメモリ素子の状態に対応する、ステップと、

第1の基準電圧を生成するために基準セルの第1の状態を、第1の検知経路を用いて検知するステップと、

前記第1の基準電圧および前記基準セルに関連付けられた第2の基準電圧に基づいて、共有基準電圧を生成するための電荷共有動作を実施するステップと、

前記データ電圧および前記共有基準電圧に基づいて前記データセルの論理値を求めるステップと
 を備える、方法。

【請求項2】

前記データセルの状態と前記基準セルの状態は共通検知経路を介して検知され、前記共通検知経路内の1つまたは複数の構成要素のプロセス変動に起因する前記データ電圧への影響が、前記1つまたは複数の構成要素の前記プロセス変動に起因する前記共有基準電圧への影響により少なくとも部分的に相殺される、請求項1に記載の方法。

【請求項3】

前記第2の基準電圧を生成するために前記基準セルの第2の状態を検知するステップと、
 前記データ電圧を前記共有基準電圧と比較するステップと、
 をさらに備える、請求項1に記載の方法。

【請求項4】

前記データセルの前記論理値が、前記データ電圧が前記共有基準電圧よりも低い場合、第1の値に対応し、前記データセルの前記論理値が、前記データ電圧が前記共有基準電圧よりも高い場合、第2の値に対応する、請求項3に記載の方法。

【請求項5】

前記データセルの状態は第1の検知段階で検知され、前記基準セルの第1の状態は第2の検知段階で検知され、前記方法は、前記第2の基準電圧を生成するために前記基準セルの第2の状態を第3の検知段階の間に検知するステップをさらに備える、請求項1に記載の方法。

【請求項 6】

前記基準セルの前記第1の状態が前記基準セルの第1の抵抗ベースメモリ素子の状態に対応し、前記基準セルの前記第2の状態が前記基準セルの第2の抵抗ベースメモリ素子の状態に対応する、請求項5に記載の方法。

【請求項 7】

前記電荷共有動作を実施するステップは、前記共有基準電圧を生成するためにスイッチトキャパシタ回路の第1のキャパシタと第2のキャパシタの間の電荷共有を可能とし、前記共有基準電圧は前記第1の基準電圧と前記第2の基準電圧の平均に基づく、請求項1に記載の方法。

【請求項 8】

前記第1の検知段階が第1の期間に相当し、かつ前記第2の検知段階が第2の期間に相当し、前記第3の検知段階が第3の期間に相当する、請求項5に記載の方法。

【請求項 9】

前記プログラマブル抵抗ベースメモリ素子が磁気トンネル接合(MTJ)デバイスである、請求項1に記載の方法。

【請求項 10】

前記プログラマブル抵抗ベースメモリ素子の前記状態が前記プログラマブル抵抗ベースメモリ素子の抵抗に対応する、請求項1に記載の方法。

【請求項 11】

前記第1の検知経路がクランプトランジスタ、負荷トランジスタ、およびソース縮退トランジスタを含む、請求項2に記載の方法。

【請求項 12】

前記データセルの前記状態を検知するステップ、前記基準セルの前記第1の状態を検知するステップ、および前記データセルの前記論理値を求めるステップが電子デバイスに統合されるプロセッサによって開始される、請求項1に記載の方法。

【請求項 13】

前記第2の基準電圧を生成するために、前記基準セルの第2の抵抗ベースメモリ素子の状態を検知するステップをさらに備える、請求項1に記載の方法。

【請求項 14】

前記データセルの前記状態は第1の検知段階の間に取得され、前記基準セルの前記第1の状態は第2の検知段階の間に取得され、前記方法は、

前記第2の基準電圧を生成するために、第2の検知経路を用いて前記第1の検知段階の間に前記基準セルの第2の状態を検知するステップと、

第2のデータ電圧を生成するために、前記第2の検知経路を用いて前記第2の検知段階の間に前記データセルの第2の状態を検知するステップであって、前記第1の検知経路と前記第2の検知経路は共通検知経路を含み、前記データセルの前記論理値はさらに前記データセルの前記第2のデータ電圧に基づく、ステップと、

をさらに備える、請求項1に記載の方法。

【請求項 15】

前記データセルの平均データ電圧を生成するために、前記データセルの前記データ電圧と前記第2のデータ電圧を平均するステップであって、前記データセルの前記論理値はさらに前記データセルの前記平均データ電圧に基づく、ステップをさらに備える、請求項14に記載の方法。

【請求項 16】

前記データセルの前記平均データ電圧を生成するために前記データセルの前記データ電圧と前記データセルの前記第2のデータ電圧を平均するステップは、第3のキャパシタと第4のキャパシタの間の電荷を共有するステップを含む、請求項15に記載の方法。

【請求項 17】

データ電圧を生成するためにデータセルの状態を検知し、第1の基準電圧を生成するために基準セルの第1の状態を検知するように構成される検知回路と、

前記第1の基準電圧および前記基準セルに関連付けられた第2の基準電圧に基づいて共有基準電圧を生成するために、第1のキャパシタと第2のキャパシタの間の電荷を共有するように構成されるスイッチトキャパシタ回路と、

前記データ電圧を前記共有基準電圧と比較し、前記比較に基づいて比較出力を生成するように構成されるセンスアンプと、

を備え、

前記データセルの前記状態が前記データセルのプログラマブル抵抗ベースメモリ素子の状態に対応する、

装置。

【請求項 18】

前記検知回路が、

第1のデータ電圧を生成するために前記データセルの第1の状態を第1の検知段階の間に第1の検知経路を用いて検知し、

第2のデータ電圧を生成するために前記データセルの第2の状態を第2の検知段階の間に第2の検知経路を用いて検知する

ように構成され、

ことであって、前記データ電圧が前記第1のデータ電圧および前記第2のデータ電圧の平均に基づいて生成され、前記第1の検知経路と前記第2の検知経路が共通検知経路を含む、

請求項17に記載の装置。

【請求項 19】

前記スイッチトキャパシタ回路は、前記データセルの前記データ電圧を生成するために第3のキャパシタと第4のキャパシタの間の電荷を共有するようにさらに構成される、請求項18に記載の装置。

【請求項 20】

前記第1の検知経路および前記第2の検知経路がそれぞれ、ソース縮退トランジスタ、負荷トランジスタ、およびクランプトランジスタを含む、請求項18に記載の装置。

【請求項 21】

前記比較出力が前記データセルの論理値に対応する、請求項17に記載の装置。

【請求項 22】

前記データセルの状態と前記基準セルの前記第1の状態は共通検知経路を介して検知され、前記共通検知経路内の1つまたは複数の構成要素のプロセス変動に起因する前記データ電圧への影響が、前記1つまたは複数の構成要素の前記プロセス変動に起因する前記共有基準電圧への影響により少なくとも部分的に相殺される、請求項17に記載の装置。

【請求項 23】

前記共通検知経路が、ソース縮退トランジスタ、負荷トランジスタ、およびクランプトランジスタを含む、請求項22に記載の装置。

【請求項 24】

前記検知回路および前記センスアンプが少なくとも1つの半導体ダイに統合される、請求項17に記載の装置。

【請求項 25】

前記検知回路および前記センスアンプが統合されるセットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータから選択されるデバイスをさらに備える、請求項17に記載の装置。

【請求項 26】

前記検知回路が、電源に接続されたソース縮退トランジスタを含む、請求項17に記載の装置。

【請求項 27】

データ電圧を生成するためにデータセルの状態を検知するための手段であって、前記データセルの前記状態が前記データセルのプログラマブル抵抗ベースメモリ素子の状態に対

応する、手段と、

第1の基準電圧を生成するために基準セルの第1の状態を検知するための手段と、

前記第1の基準電圧および前記基準セルに関連付けられた第2の基準電圧に基づいて共有基準電圧を生成するために、前記第1の基準電圧を格納するための手段と前記第2の基準電圧を格納するための手段の間の電荷を共有するための手段と、

前記データ電圧および前記共有基準電圧に基づいて前記データセルの論理値を求めるための手段と、

を備える、装置。

【請求項28】

前記データ電圧を前記共有基準電圧と比較するための手段をさらに備える、請求項27に記載の装置。

【請求項29】

前記データセルの前記論理値を求めるための前記手段が前記データ電圧を前記共有基準電圧と比較するための前記手段に基づく、請求項28に記載の装置。

【請求項30】

前記データセルの前記状態を検知するための前記手段、前記基準セルの前記状態を検知するための前記手段、および前記データセルの前記論理値を求めるための前記手段が統合されるセットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータから選択されるデバイスをさらに備える、請求項27に記載の装置。

【請求項31】

プロセッサによって実行されると、前記プロセッサに、

データセルへの検知回路の結合を可能にさせ、

基準セルへの前記検知回路の結合を可能にさせ、

第1の基準電圧および前記基準セルに関連付けられた第2の基準電圧に基づいて、共有基準電圧を生成するための電荷共有動作の実施を可能にさせ、

データ電圧および前記共有基準電圧に基づいて前記データセルの論理値を求める

前記データ電圧および前記共有基準電圧に基づいて前記データセルの論理値を求めさせる

命令を備え、

前記データセルの状態が、前記データセルへの前記検知回路の前記結合に基づいて前記データ電圧を生成するために第1の検知経路を用いて検知され、前記データセルの前記状態が前記データセルのプログラマブル抵抗ベースメモリ素子の状態に対応し、

前記基準セルの第1の状態が、前記基準セルへの前記検知回路の前記結合に基づいて前記第1の基準電圧を生成するために前記第1の検知経路を用いて検知される、

非一時的コンピュータ可読記憶媒体。

【請求項32】

前記データセルへの前記検知回路の前記結合を可能にさせることが、

前記検知回路と前記プログラマブル抵抗ベースメモリ素子とに結合される第1の選択トランジスタを第1の検知段階の間、有効化すること

を含む、請求項31に記載の非一時的コンピュータ可読記憶媒体。

【請求項33】

前記データセルへの前記検知回路の前記結合を可能にさせることが、

前記第1の基準電圧を生成するために、前記検知回路と前記基準セルの第1の抵抗ベースメモリ素子とに結合される第2の選択トランジスタを第2の検知段階の間、有効化することと、

前記第2の基準電圧を生成するために、前記検知回路と前記基準セルの第2の抵抗ベースメモリ素子とに結合される第3の選択トランジスタを第3の検知段階の間、有効化することと

を含む、請求項32に記載の非一時的コンピュータ可読記憶媒体。

【請求項 34】

前記データセルへの前記検知回路の前記結合を可能にさせることが、
第1のデータ電圧を生成するために、前記第1の検知経路と前記データセルとに結合される第1の選択トランジスタを第1の検知段階の間、有効化することと、
第2のデータ電圧を生成するために、第2の検知経路と前記データセルとに結合される第2の選択トランジスタを第2の検知段階の間、有効化することと、
を含む、請求項31に記載の非一時的コンピュータ可読記憶媒体。

【請求項 35】

前記基準セルへの前記検知回路の前記結合を可能にさせることが、
前記第1の基準電圧を生成するために、前記第2の検知経路と前記基準セルとに結合される第3の選択トランジスタを前記第1の検知段階の間、有効化することと、
前記第2の基準電圧を生成するために、前記第1の検知経路と前記基準セルとに結合される第4の選択トランジスタを前記第2の検知段階の間、有効化することとを含む、請求項34に記載の非一時的コンピュータ可読記憶媒体。

【請求項 36】

前記データ電圧が前記第1のデータ電圧と前記第2のデータ電圧の平均に相当し、かつ前記共有基準電圧が前記第1の基準電圧と前記第2の基準電圧の平均に相当する、請求項35に記載の非一時的コンピュータ可読記憶媒体。

【請求項 37】

データ電圧を生成するために第1の検知経路を用いてデータセルの状態を検知するためのステップであって、前記データセルの前記状態が前記データセルのプログラマブル抵抗ベースメモリ素子の状態に対応する、ステップと、
第1の基準電圧を生成するために基準セルの第1の状態を、前記第1の検知経路を用いて検知するためのステップと、

前記第1の基準電圧および前記基準セルに関連付けられた第2の基準電圧に基づいて、共有基準電圧を生成するための電荷共有動作を実施するためのステップと、
前記データ電圧および前記共有基準電圧に基づいて前記データセルの論理値を求めるためのステップとを備える、方法。

【請求項 38】

前記データセルの前記論理値を求めるための前記ステップが電子デバイスに統合されるプロセッサで行われる、請求項37に記載の方法。