

(19)中华人民共和国国家知识产权局



(12)发明专利



(10) 授权公告号 CN 105390507 B

(45)授权公告日 2018.04.10

(21)申请号 201510882175.4

G02F 1/1333(2006.01)

(22)申请日 2015.12.03

## (56) 对比文件

(65)同一申请的已公布的文献号

KR 10-2011-0058076 A, 2011.06.01,

申请公布号 CN 105390507 A

(43)申请公布日 2016.03.09

US 2011/01930

(73)专利权人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明  
大道9-2号

(72)发明人 周志超

(74)专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 袁江龙

(51) Int.Cl.

H011 27/12(2006.01)

H011 21/77(2017.01)

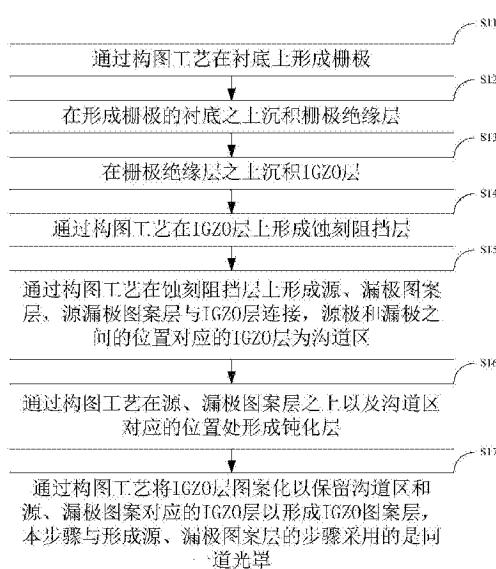
权利要求书2页 说明书7页 附图7页

(54)发明名称

# TFT阵列基板的制备方法、阵列基板及显示装置

## (57) 摘要

本发明提供了一种TFT阵列基板的制备方法、阵列基板及显示装置，该制备方法包括：通过构图工艺在衬底上形成栅极；在形成栅极的衬底之上沉积栅极绝缘层；在栅极绝缘层之上沉积IGZO层；通过构图工艺在IGZO层上形成蚀刻阻挡层；通过构图工艺在蚀刻阻挡层上形成源、漏极图案层，源漏极图案层与IGZO层连接，源极和漏极之间的位置对应的IGZO层为沟道区；通过构图工艺在源、漏极图案层之上以及沟道区对应的位置处形成钝化层；通过构图工艺将IGZO层图案化以保留沟道区和源、漏极图案层对应的IGZO层以形成IGZO图案层，本步骤与形成源、漏极图案层的步骤采用的是同一道光罩。本发明能够节省一道光罩，因而降低了生产成本。



1. 一种TFT阵列基板的制备方法,其特征在于,包括以下步骤:

通过构图工艺在衬底上形成栅极;

在形成所述栅极的衬底之上沉积栅极绝缘层;

在所述栅极绝缘层之上沉积IGZO层;

通过构图工艺在所述IGZO层上形成蚀刻阻挡层;

通过构图工艺在所述蚀刻阻挡层上形成源、漏极图案层,所述源、漏极图案层与所述IGZO层连接,源极和漏极之间的位置对应的所述IGZO层为沟道区;

通过构图工艺在所述源、漏极图案层之上以及所述沟道区对应的位置处形成钝化层;

通过构图工艺将IGZO层图案化以保留所述沟道区和所述源、漏极图案层对应的IGZO层以形成IGZO图案层,本步骤与形成所述源、漏极图案层的步骤采用的是同一道光罩;通过构图工艺将IGZO层图案化以保留所述沟道区和所述源、漏极图案层对应的IGZO层以形成IGZO图案层的步骤之后包括:

通过构图工艺在所述钝化层之上形成像素电极,所述像素电极与所述源、漏极图案层连接;通过构图工艺在衬底上形成栅极的步骤包括:

在衬底上沉积第一金属层;

在所述第一金属层上涂布光阻层并采用第一光罩根据预设图案进行曝光;

蚀刻去除所述预设图案以外的所述第一金属层,以形成预设图案的栅极;

剥离剩余的光阻层;通过构图工艺在所述IGZO层上形成蚀刻阻挡层的步骤包括:

在所述IGZO层上沉积蚀刻阻挡材料;

在所述蚀刻阻挡材料上涂布光阻层并采用第二光罩根据预设图案进行曝光;

蚀刻去除所述预设图案以外的所述蚀刻阻挡材料,以在蚀刻阻挡材料上形成第一过孔,以使所述源、漏极图案层贯穿所述第一过孔而与所述IGZO层连接;

剥离剩余的光阻层;通过构图工艺在所述蚀刻阻挡层上形成源、漏极图案层的步骤包括:

在所述蚀刻阻挡层上沉积第二金属层;

在所述第二金属层上涂布光阻层并采用第三光罩根据预设图案进行曝光;

蚀刻去除所述预设图案以外的所述金属,以形成源、漏极图案层;

剥离剩余的光阻层;通过构图工艺在所述源、漏极图案层之上以及所述沟道区对应的位置处形成钝化层的步骤包括:

在所述源、漏极图案层之上沉积钝化材料;

在所述钝化材料上涂布光阻层并采用第四光罩根据预设图案进行曝光;

蚀刻去除所述预设图案以外的所述金属,以形成钝化层,所述钝化层覆盖所述源、漏极图案层以及与所述沟道区对应的蚀刻阻挡层,且在所述钝化层上形成第二过孔,以使所述像素电极贯穿所述第二过孔与所述源、漏极图案层连接;

剥离剩余的光阻层。

2. 根据权利要求1所述的制备方法,其特征在于,通过构图工艺将IGZO层图案化以保留所述沟道区和所述源、漏极图案层对应的IGZO层以形成IGZO图案层的步骤包括:

在所述钝化层和未被所述钝化层遮挡的蚀刻阻挡层之上涂布光阻层并采用第三光罩根据预设图案进行曝光;

干刻去除与所述沟道区的位置对应的钝化层，同时干刻去除未被所述钝化层遮挡的蚀刻阻挡层，以使未被所述钝化层遮挡的蚀刻阻挡层对应的所述IGZO层暴露出来；

湿刻去除所述暴露出来的IGZO层；

剥离剩余的光阻层。

3. 根据权利要求2所述的方法，其特征在于，通过构图工艺在所述钝化层之上形成像素电极，所述像素电极与所述源、漏极图案层连接的步骤包括：

在所述钝化层之上沉积透明导电材料；

在所述透明导电材料之上涂布光阻层并采用第五光罩根据预设图案进行曝光；

蚀刻去除所述预设图案以外的所述透明导电材料；

剥离剩余的光阻层。

4. 一种阵列基板，其特征在于，所述阵列基板采用权利要求1-3中任一项所述的制备方法制得，所述阵列基板包括：

衬底和在所述衬底上依次形成的栅极、栅极绝缘层、IGZO图案层、蚀刻阻挡层以及源、漏极图案层和钝化层；

其中，所述源、漏极图案层与所述IGZO层连接，与源极和漏极之间的位置对应IGZO层的部分为沟道区，所述IGZO层的其余部分的形状与所述源、漏极图案层的形状相同。

5. 一种显示装置，其特征在于，包括权利要求4所述的阵列基板。

## TFT阵列基板的制备方法、阵列基板及显示装置

### 技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种TFT阵列基板的制备方法、阵列基板及显示装置。

### 背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称TFT-LCD)具有体积小、功耗低、无辐射等特点,近年来得到了迅速的发展。在液晶面板工业中,随着目前显示行业中大尺寸化,高解析度的需求越来越强烈,对有源层半导体器件充放电提出了更高的要求。

[0003] IGZO(indium gallium zinc oxide,铟镓锌氧化物)是一种含有铟、镓和锌的非晶氧化物,其具有高迁移率,载流子迁移率是非晶硅的20~30倍,可以大大提高TFT对像素电极的充放电速率,具有高开态电流、低关态电流可以迅速开关,提高像素的响应速度,实现更快的刷新率,同时更快的响应也大大提高了像素的行扫描速率,使得超高分辨率在TFT-LCD中成为可能。另外,由于晶体管数量减少和提高了每个像素的透光率,IGZO显示器具有更高的能效水平,而且效率更高。因而,IGZO材料能有效满足以上需求。

[0004] 但目前的IGZO-TFT技术仍然采用传统的TFT制造工艺,为了保护IGZO,使得在后续的刻蚀中不会造成对IGZO特性的影响,需要形成一层蚀刻阻挡层ES(Etching Stop)来保护IGZO层,在目前常用的IGZO结构中,ES结构器件因有保护层的存在,其电性的稳定性往往较其他结构更好,但由于增加一道光罩,制备成本会明显增加。

### 发明内容

[0005] 本发明提供一种TFT阵列基板的制备方法、阵列基板及显示装置,能够解决现有技术存在的所需光罩数量多导致成本增加的问题。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种TFT阵列基板的制备方法,该制备方法包括以下步骤:通过构图工艺在衬底上形成栅极;在形成所述栅极的衬底之上沉积栅极绝缘层;在所述栅极绝缘层之上沉积IGZO层;通过构图工艺在所述IGZO层上形成蚀刻阻挡层;通过构图工艺在所述蚀刻阻挡层上形成源、漏极图案层,所述源漏极图案层与所述IGZO层连接,源极和漏极之间的位置对应的所述IGZO层为沟道区;通过构图工艺在所述源、漏极图案层之上以及所述沟道区对应的位置处形成钝化层;通过构图工艺将IGZO层图案化以保留所述沟道区和所述源、漏极图案层对应的IGZO层以形成IGZO图案层,本步骤与形成所述源、漏极图案层的步骤采用的是同一道光罩。

[0007] 其中,通过构图工艺将IGZO层图案化以保留所述沟道区和所述源、漏极图案层对应的IGZO层以形成IGZO图案层的步骤之后包括:通过构图工艺在所述钝化层之上形成像素电极,所述像素电极与所述源、漏极图案层连接。

[0008] 其中,通过构图工艺在衬底上形成栅极的步骤包括:在衬底上沉积第一金属层;在所述第一金属层上涂布光阻层并采用第一光罩根据预设图案进行曝光;蚀刻去除所述预设

图案以外的所述第一金属层,以形成预设图案的栅极;剥离剩余的光阻层。

[0009] 其中,通过构图工艺在所述IGZO层上形成蚀刻阻挡层的步骤包括:在所述IGZO层上沉积蚀刻阻挡材料;在所述蚀刻阻挡材料上涂布光阻层并采用第二光罩根据预设图案进行曝光;蚀刻去除所述预设图案以外的所述蚀刻阻挡材料,以在蚀刻阻挡材料上形成第一过孔,以使所述源、漏极图案层贯穿所述第一过孔而与所述IGZO层连接;剥离剩余的光阻层。

[0010] 其中,通过构图工艺在所述蚀刻阻挡层上形成源、漏极图案层的步骤包括:在所述蚀刻阻挡层上沉积第二金属层;在所述第二金属层上涂布光阻层并采用第三光罩根据预设图案进行曝光;蚀刻去除所述预设图案以外的所述金属,以形成源、漏极图案层;剥离剩余的光阻层。

[0011] 其中,通过构图工艺在所述源、漏极图案层之上以及所述沟道区对应的位置处形成钝化层的步骤包括:在所述源、漏极图案层之上沉积钝化材料;在所述钝化材料上涂布光阻层并采用第四光罩根据预设图案进行曝光;蚀刻去除所述预设图案以外的所述金属,以形成钝化层,所述钝化层覆盖所述源、漏极图案层以及与所述沟道区对应的蚀刻阻挡层,且在所述钝化层上形成第二过孔,以使所述像素电极贯穿所述第二过孔与所述源、漏极图案层连接;剥离剩余的光阻层。

[0012] 其中,通过构图工艺将IGZO层图案化以保留所述沟道区和所述源、漏极图案层对应的IGZO层以形成IGZO图案层的步骤包括:在所述钝化层和未被所述钝化层遮挡的蚀刻阻挡层之上涂布光阻层并采用第三光罩根据预设图案进行曝光;干刻去除与所述沟道区的位置对应的钝化层,同时干刻去除未被所述钝化层遮挡的蚀刻阻挡层,以使未被所述钝化层遮挡的蚀刻阻挡层对应的所述IGZO层暴露出来;湿刻去除所述暴露出来的IGZO层;剥离剩余的光阻层。

[0013] 其中,通过构图工艺在所述钝化层之上形成像素电极,所述像素电极与所述源、漏极图案层连接的步骤包括:在所述钝化层之上沉积透明导电材料;在所述透明导电材料之上涂布光阻层并采用第五光罩根据预设图案进行曝光;蚀刻去除所述预设图案以外的所述透明导电材料;剥离剩余的光阻层。

[0014] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种阵列基板,该阵列基板包括:衬底和在所述衬底上依次形成的栅极、栅极绝缘层、IGZO图案层、蚀刻阻挡层以及源、漏极图案层和钝化层;其中,所述源、漏极图案层与所述IGZO层连接,与源极和漏极之间的位置对应IGZO层的部分为沟道区,所述IGZO层的其余部分的形状与所述源、漏极图案层的形状相同。

[0015] 为解决上述技术问题,本发明采用的又一个技术方案是:提供一种显示装置,该显示装置包括上述阵列基板。

[0016] 本发明的有益效果是:区别于现有技术的情况,本发明通过在形成IGZO层的时候不对IGZO层进行图案化,因而在该步骤中节省了一道光罩,直至形成源、漏极图案层并在其上形成了钝化层之后,再将IGZO层进行图案化,由于钝化层已经形成,因而在对IGZO层进行图案化的时候,只干刻掉沟道区对应的钝化层,而沟道区对应的蚀刻阻挡层得以保留,因而保护了沟道区的IGZO层。并且,在图案化IGZO层时与源、漏极图案层形成时所使用的光罩为同一光罩,因而没有增加光罩的数量,因而本发明的TFT阵列基板的制备方法中减少了一道

光罩的使用,降低了成本。

## 附图说明

- [0017] 图1是本发明TFT阵列基板的制备方法第一实施例的流程示意图;
- [0018] 图2是本发明TFT阵列基板的制备方法第二实施例的流程示意图;
- [0019] 图3是本发明TFT阵列基板的制备方法第二实施例的工艺流程图;
- [0020] 图4是图2中步骤S21的流程示意图;
- [0021] 图5是图2中步骤S24的流程示意图;
- [0022] 图6是图2中步骤S25的流程示意图;
- [0023] 图7是图2中步骤S26的流程示意图;
- [0024] 图8是图2中步骤S27的流程示意图;
- [0025] 图9是图2中步骤S28的流程示意图;
- [0026] 图10是本发明一种阵列基本实施例的结构示意图;
- [0027] 图11是本发明一种显示装置实施例的结构示意图。

## 具体实施方式

- [0028] 下面结合附图和具体实施方式对本发明进行详细说明。
- [0029] 请参阅图1,图1是本发明TFT阵列基板的制备方法第一实施例的流程示意图。
- [0030] S11、通过构图工艺在衬底上形成栅极。  
[0031] 栅极由金属形成,例如钼、铜、铝及铝合金,或者铝层、钨层和铬层叠加后形成的金属化合物导电层。
- [0032] S12、在形成栅极的衬底之上沉积栅极绝缘层。  
[0033] 栅极绝缘层通过CVD或者PECVD技术成膜而形成,该栅极绝缘层可以是一层,也可以是两层,一层可以是SiO<sub>2</sub>、SiN<sub>x</sub>或者Al<sub>2</sub>O<sub>3</sub>,第二层一般采用SiN<sub>x</sub>。
- [0034] S13、在栅极绝缘层之上沉积IGZO层。  
[0035] IGZO层作为TFT的有源层,本发明的IGZO层完全覆盖在栅极绝缘层上,且,本发明中,在沉积了IGZO层之后,不需要立即对IGZO层进行图案化,而是保留其形状。
- [0036] S14、通过构图工艺在IGZO层上形成蚀刻阻挡层。  
[0037] 蚀刻阻挡层通过CVD或者PECVD技术形成,蚀刻阻挡材料可以是SiO<sub>2</sub>或者SiN<sub>x</sub>。蚀刻阻挡层覆盖在IGZO层上,可以在后续形成源、漏极图案层的时候保护金属氧化物IGZO层不被破坏。
- [0038] S15、通过构图工艺在蚀刻阻挡层上形成源、漏极图案层,源漏极图案层与IGZO层连接,源极和漏极之间的位置对应的IGZO层为沟道区。  
[0039] 源、漏极图案层由金属形成,例如钼、铜、铝或者铬等金属。在每个TFT上形成一对相互隔开的源极和漏极,源极形成在栅极的一侧,漏极形成在栅极的另一侧。其中,一对源极和漏极之间的位置,即栅极所在的位置对应的IGZO层为沟道区。
- [0040] S16、通过构图工艺在源、漏极图案层之上以及沟道区对应的位置处形成钝化层。  
[0041] 钝化层为SiO<sub>2</sub>或者SiN<sub>x</sub>通过CVD或者PECVD技术形成,覆盖在源、漏极图案层之上。
- [0042] S17、通过构图工艺将IGZO层图案化以保留沟道区和源、漏极图案对应的IGZO层以

形成IGZO图案层，本步骤与形成源、漏极图案层的步骤采用的是同一道光罩。

[0043] 步骤S17中，采用与形成源、漏极图案层的步骤中的同一道光罩将完全覆盖栅极绝缘层的IGZO层进行图案化，即形成TFT的有源层，由于本步骤使用的光罩与形成该源、漏极图案层使用的光罩为同一道光罩，又由于钝化层形成在沟道区对应的位置，因而，在对IGZO层进行图案化的时候，蚀刻时，仅蚀刻去除沟道区对应的钝化层，而不会除去沟道区对应的蚀刻阻挡层，最终所得的IGZO图案层与源、漏极图案层的图案相近，该IGZO图案层的一部分为沟道区，其余部分则完全位于源、漏极图案层之下。

[0044] 区别于现有技术，本发明通过在形成IGZO层的时候不对IGZO层进行图案化，因而在该步骤中节省了一道光罩，直至形成源、漏极图案层并在其上形成了钝化层之后，再将IGZO层进行图案化，由于钝化层已经形成，因而在对IGZO层进行图案化的时候，只干刻掉沟道区对应的钝化层，而沟道区对应的蚀刻阻挡层得以保留，因而保护了沟道区的IGZO层。并且，在图案化IGZO层时与源、漏极图案层形成时所使用的光罩为同一光罩，因而没有增加光罩的数量，因而本发明的TFT阵列基板的制备方法中减少了一道光罩的使用，降低了成本。

[0045] 请参阅图2，图2是本发明TFT阵列基板的制备方法第二实施例的流程示意图。图3是本发明TFT阵列基板的制备方法第二实施例的工艺流程图。

[0046] 具体地，本实施例的TFT阵列基板的制备方法包括以下步骤：

[0047] S21、通过构图工艺在衬底201上形成栅极202。

[0048] 请参阅图4，图4是图2中步骤S21的流程示意图。

[0049] 具体而言，步骤S21包括：

[0050] S211、在衬底201上沉积第一金属层。

[0051] 具体地，该第一金属层为钼、铜、铝及铝合金，或者铝层、钨层和铬层叠加后形成的金属化合物导电层通过PVD工艺形成。

[0052] S212、在第一金属层上涂布光阻层并采用第一光罩根据预设图案进行曝光。

[0053] 例如，本实施例使用的是正向光阻，第一光罩的形状即所需形成的栅极的形状，第一光罩遮挡在需要形成栅极的位置使该位置的光阻不被光线照射，因而不会溶于光阻显影液，该位置的第一金属层位于光阻下方。而其它被光线照射的位置的光阻则溶于光阻显影液，使该位置的第一金属层暴露出来。

[0054] S213、蚀刻去除预设图案以外的第一金属层，以形成预设图案的栅极202。

[0055] 具体地，将被暴露出来的第一金属层通过湿刻去除，而未被暴露出来的第一金属层保留。

[0056] S214、剥离剩余的光阻层。

[0057] 剥离剩余光阻层之后，剩余的第一金属层即TFT的栅极202。

[0058] S22、在形成栅极202的衬底之上沉积栅极绝缘层203。

[0059] 具体地，通过CVD或者PECVD技术形成栅极绝缘层203，栅极绝缘层203可以为一层结构，或者两层结构，例如，一层可以是SiO<sub>2</sub>层、SiN<sub>x</sub>或者Al<sub>2</sub>O<sub>3</sub>，第二层一般采用SiN<sub>x</sub>。

[0060] S23、在栅极绝缘层203之上沉积IGZO层。

[0061] IGZO层作为TFT的有源层，本发明的IGZO层完全覆盖在栅极绝缘层203上，且，本发明中，在沉积了IGZO层之后，不需要立即对IGZO层进行图案化，而是保留其形状。

[0062] S24、通过构图工艺在IGZO层上形成蚀刻阻挡层205。

- [0063] 请参阅图5,图5是图2中步骤S24的流程示意图。
- [0064] 具体而言,步骤S24包括:
- [0065] S241、在IGZO层上沉积蚀刻阻挡材料。
- [0066] 蚀刻阻挡层通过CVD或者PECVD技术形成,蚀刻阻挡材料可以是SiO<sub>2</sub>或者SiN<sub>x</sub>。蚀刻阻挡材料覆盖在IGZO层上,可以在后续形成源、漏极图案层的时候保护金属氧化物IGZO层不被破坏。
- [0067] S242、在蚀刻阻挡材料上涂布光阻层并采用第二光罩根据预设图案进行曝光。
- [0068] 举例而言,本实施例使用的是正向光阻,由于本步骤主要是为了形成蚀刻阻挡层以及在蚀刻阻挡层上形成第一过孔,以使后续形成的源、漏极图案层贯穿第一过孔而与IGZO层连接。因此,该第二光罩的形状为不遮挡需要形成第一过孔的位置的蚀刻阻挡材料,而遮挡其它位置的蚀刻阻挡材料。在光照射以及显影之后,需要形成第一过孔的位置的光阻溶于光阻显影液,使该位置的蚀刻阻挡材料暴露出来,其余位置的光阻保留。
- [0069] S243、蚀刻去除预设图案以外的蚀刻阻挡材料,以在蚀刻阻挡材料上设有第一过孔208,以使源、漏极图案层206贯穿第一过孔208而与IGZO层连接。
- [0070] 具体地,通过干刻将暴露出来的蚀刻阻挡材料去除,以形成第一过孔,其余位置由于表面有光阻,因而不会被干刻去除。
- [0071] S244、剥离剩余的光阻层。
- [0072] 将剩余的光阻层剥离之后,使蚀刻阻挡材料暴露出来,即蚀刻阻挡层205。
- [0073] S25、通过构图工艺在蚀刻阻挡层205上形成源、漏极图案层206,源、漏极图案层206与IGZO层连接,源极和漏极之间的位置对应的IGZO层为沟道区200。
- [0074] 请参阅图6,图6是图2中步骤S25的流程示意图。
- [0075] 具体地,步骤S25包括:
- [0076] S251、在蚀刻阻挡层205上沉积第二金属层。
- [0077] 本步骤通过PVD技术在蚀刻阻挡层上形成第二金属层,该第二金属层可以是钼、铜、铝或者铬等金属。沉积第二金属层的时候,金属进入第一过孔内进行填充,从而使源、漏极图案层与IGZO层连接。
- [0078] S252、在第二金属层上涂布光阻层并采用第三光罩根据预设图案进行曝光。
- [0079] 本步骤采用的是正向光阻,第三光罩遮挡了需要形成源极和漏极的位置处的光阻而使该位置处的光阻在曝光和显影之后仍然保留,其中,源极位于栅极的一侧,漏极位于栅极的另一侧。而其余的光阻则被光照射而溶于显影液中,在该部分的光阻溶于显影液之后,其下方的第二金属层被暴露出来,而其它位置的第二金属层仍然位于光阻层下方。
- [0080] S253、蚀刻去除预设图案以外的金属,以形成源、漏极图案层206。
- [0081] 通过湿刻将暴露出来的第二金属层去除,其余位置的金属由于位于光阻的下方而保留。
- [0082] S254、剥离剩余的光阻层。
- [0083] 剥离剩余的光阻,使得其下方的第二金属层暴露出来,该剩余的第二金属层则为源、漏极图案层。
- [0084] S26、通过构图工艺在源、漏极图案层206之上以及沟道区200对应的位置处形成钝化层207。

- [0085] 请参阅图7,图7是图2中步骤S26的流程示意图。
- [0086] 具体地,S26包括以下步骤:
- [0087] S261、在源、漏极图案层206之上沉积钝化材料。
- [0088] 钝化材料可以是SiO<sub>2</sub>或者SiN<sub>x</sub>,其中,沉积的方式为通过CVD或者PECVD技术进行。
- [0089] S262、在钝化材料上涂布光阻层并采用第四光罩根据预设图案进行曝光。
- [0090] 本实施例使用正向光阻,第四光罩的形状即所需形成的钝化层的形状,例如,本实施例的钝化层需要覆盖在源、漏极图案层之上,并且沟道区所在的位置对应的钝化层也保留,并且,在钝化层上还设有第二过孔,因而,本实施例的光罩能遮挡的是源、漏极图案层对应的位置以及沟道区对应的位置,因而该位置处的光阻不会溶于光阻显影液中,而其它位置,如源、漏极图案层和沟道区以外的位置,以及第二过孔形成的位置则不被光罩所遮挡,因而这些地方的光阻则溶于光阻显影液而使这些位置处的钝化层暴露出来。
- [0091] S263、蚀刻去除预设图案以外的金属,以形成钝化层207,钝化层207遮挡与源、漏极图案层206对应的蚀刻阻挡层205以及与沟道区200对应的蚀刻阻挡层205,且钝化层207上设有第二过孔209,以使像素电极210贯穿第二过孔209与源、漏极图案层206连接。
- [0092] 步骤S263中,通过干刻技术将暴露出来的钝化材料去除,而未被暴露出来的钝化材料则保留
- [0093] S264、剥离剩余的光阻层。
- [0094] 剥离剩余光阻层之后,剩余的钝化材料即形成钝化层207。
- [0095] S27、通过构图工艺将IGZO层图案化保留沟道区200和源、漏极图案层206对应的IGZO层以形成IGZO图案层204,本步骤与形成源、漏极图案层206的步骤采用的是同一道光罩。
- [0096] 请参阅图8,图8是图2中步骤S27的流程示意图。
- [0097] 具体地,步骤S27包括以下步骤:
- [0098] S271、在钝化层207及未被钝化层遮挡的蚀刻阻挡层205之上涂布光阻层并采用第三光罩根据预设图案进行曝光。
- [0099] 具体地,步骤S271使用的是正向光阻,由于本步骤采用的是第三光罩,该光罩遮挡的是源、漏极图案层所在的位置,该位置处的光阻不会溶于光阻显影液中,而其余位置处的光阻由于被光照射而溶于光阻显影液中,使得位于沟道区的钝化层暴露出来,以及,位于源、漏极图案层以外的位置的蚀刻阻挡层,即未被钝化层遮挡的蚀刻阻挡层也暴露出来。
- [0100] S272、干刻去除与沟道区的位置对应的钝化层207,同时干刻去除未被钝化层遮挡的蚀刻阻挡层205,以使未被钝化层207遮挡的蚀刻阻挡层205对应的IGZO层暴露出来。
- [0101] S273、将暴露出来的IGZO层湿刻去除。
- [0102] S274、剥离剩余的光阻层。
- [0103] 将剩余的光阻层剥离,暴露剩余的IGZO层,该IGZO层即为IGZO图案层204。
- [0104] S28、通过构图工艺在钝化层207之上形成像素电极210,像素电极210与源、漏极图案层206连接。
- [0105] 请参阅图9,图9是图2中步骤S28的流程示意图。
- [0106] 具体而言,步骤S28包括以下步骤:
- [0107] S281、在钝化层207之上沉积透明导电材料。

[0108] 步骤S281通过PVD技术在钝化层之上沉积透明导电材料,例如ITO。在沉积透明导电材料的时候,部分透明导电材料进入到第二通孔内进行填充,从而使最终形成的像素电极与源、漏极图案层连接。

[0109] S282、在透明导电材料之上涂布光阻层并采用第五光罩根据预设图案进行曝光。

[0110] 例如,步骤S282中采用是正向光阻,第五光罩遮挡的是需要形成像素电极的位置,因而该位置的光阻不会溶于光阻显影液中。其余位置则不被光罩遮挡而被光照射,所以该位置的光阻溶于光阻显影液中而使该位置的透明导电材料暴露出来。

[0111] S283、蚀刻去除预设图案以外的透明导电材料。

[0112] 步骤S283是将暴露出来的透明导电材料通过湿刻的方式去除。

[0113] S284、剥离剩余的光阻层。

[0114] 剥离剩余的光阻层之后,余下的透明导电材料即像素电极210。

[0115] 本发明由于在沉积IGZO层的时候并不立即对其进行图案化,而是在形成了钝化层207之后利用与形成源、漏极图案层206时采用的第三光罩来对IGZO层进行图案化而得到IGZO图案层204,因而能节省了一道光罩,从而节约了成本。

[0116] 本发明还提供了一种阵列基板,请参阅图10,图10是本发明一种阵列基本实施例的结构示意图。该阵列基板包括衬底201和在衬底201上一次形成的栅极202、栅极绝缘层203、IGZO图案层204、蚀刻阻挡层205、源、漏极图案层206以及钝化层207。

[0117] 其中,源、漏极图案层206与IGZO图案层204连接,IGZO图案层204上、与源极和漏极之间的位置对应部分为沟道区,IGZO层的其余部分的形状与源、漏极图案层2006的形状相同。

[0118] 本实施例中,阵列基板还包括像素电极210,像素电极210形成在钝化层207之上,并与源、漏极图案层206连接。

[0119] 具体而言,本实施例中,蚀刻阻挡层205上设有第一过孔208,源、漏极图案层206贯穿第一过孔208而与IGZO图案层204连接。钝化层207上设有第二过孔209,像素电极210贯穿第二过孔209而与源、漏极图案层206连接。

[0120] 此外,本发明还提供了一种显示装置,请参阅图11,图11是本发明一种显示装置实施例的结构示意图,该显示装置包括框体31和上述任一实施例的阵列基板32。

[0121] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

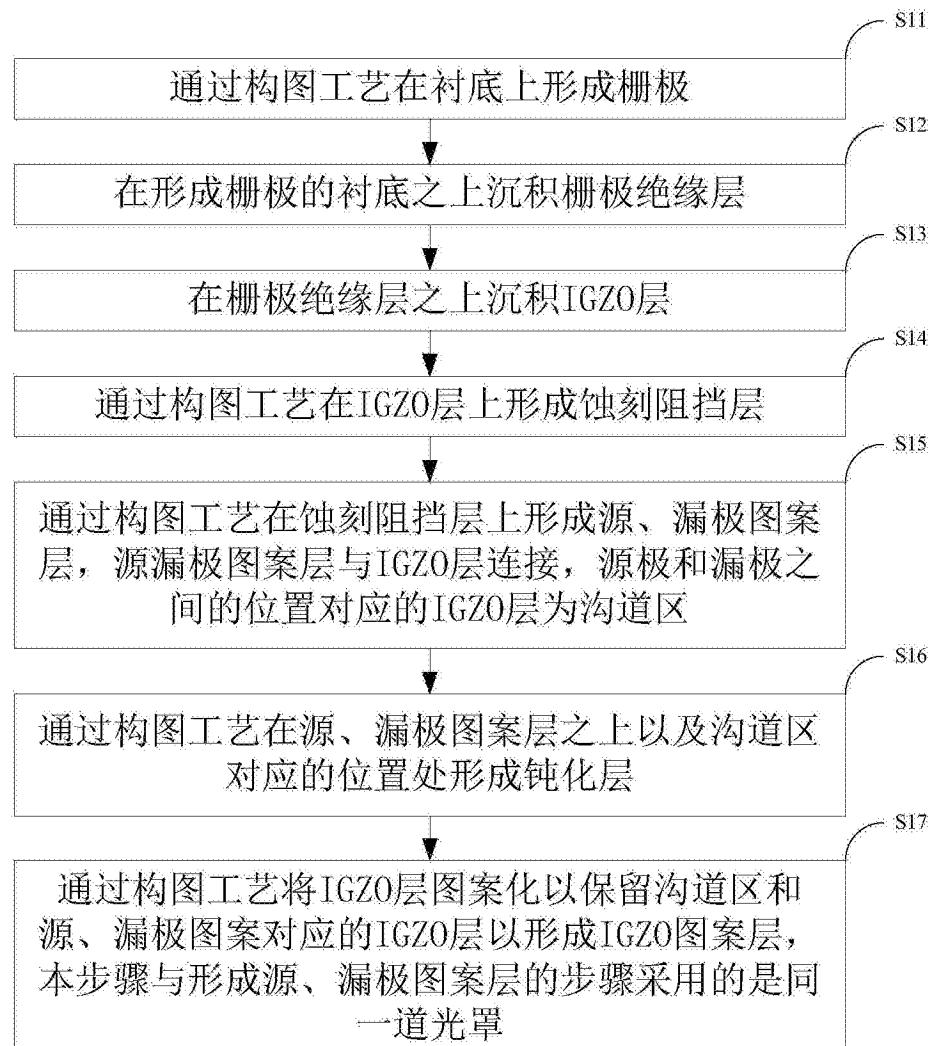


图1

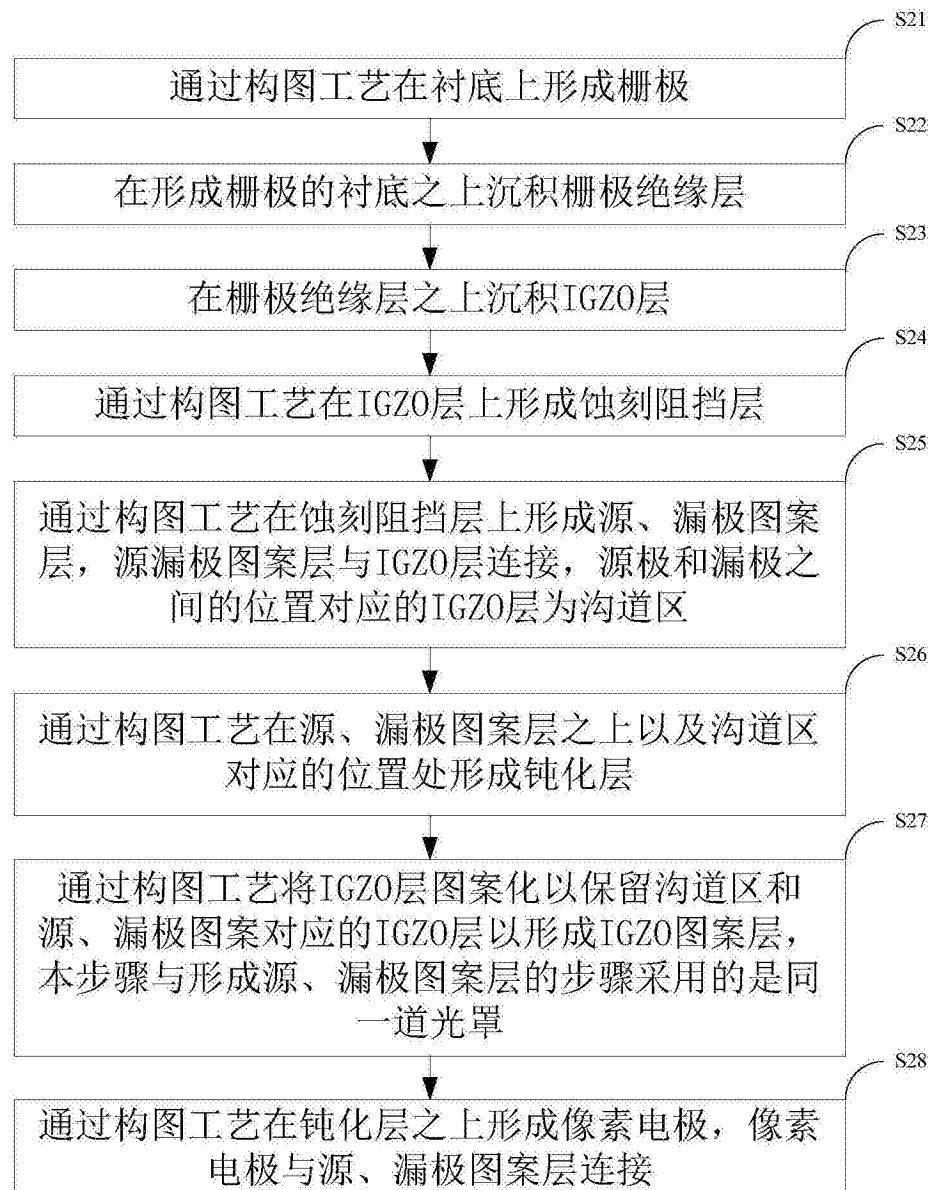


图2

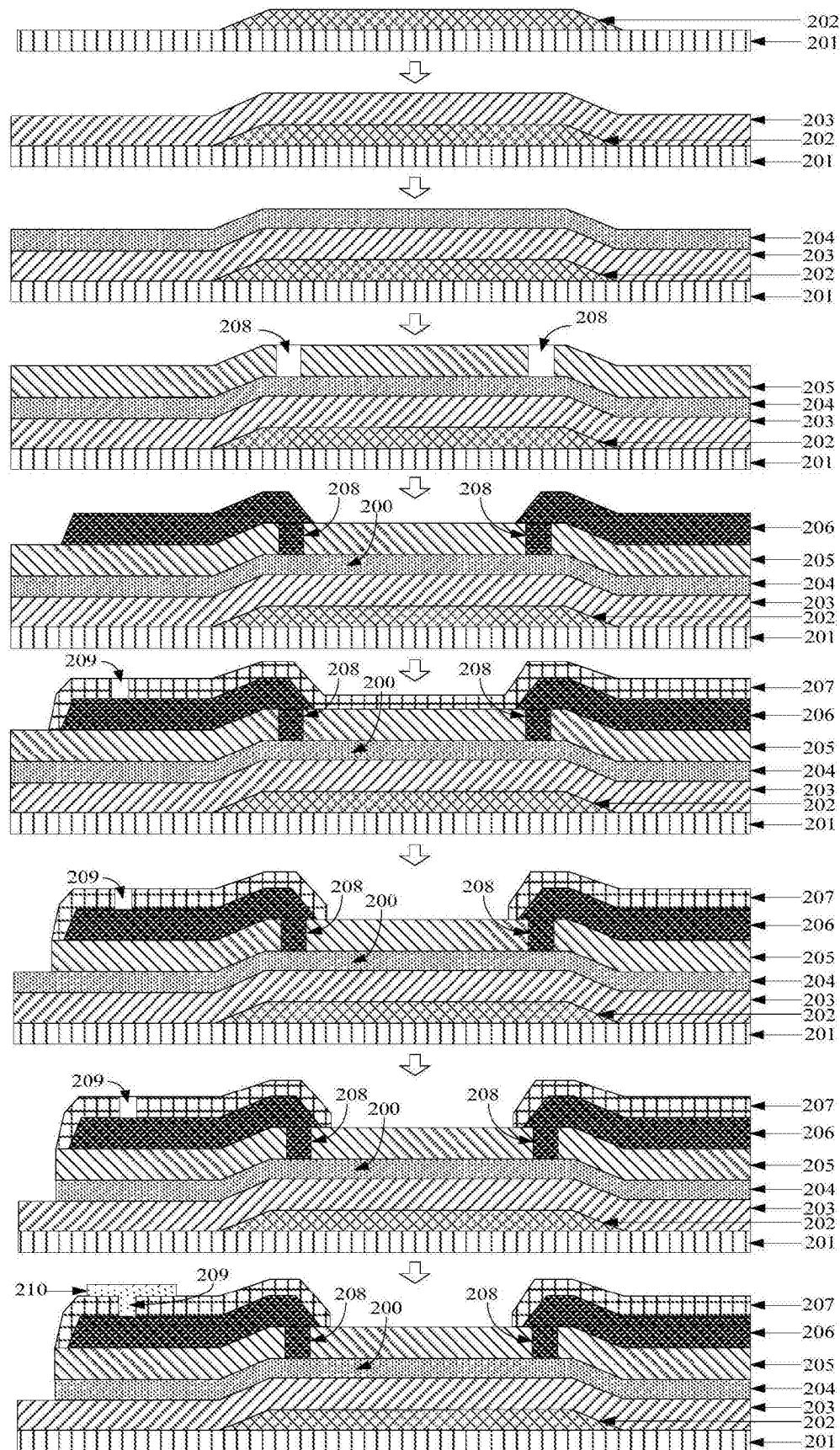


图3

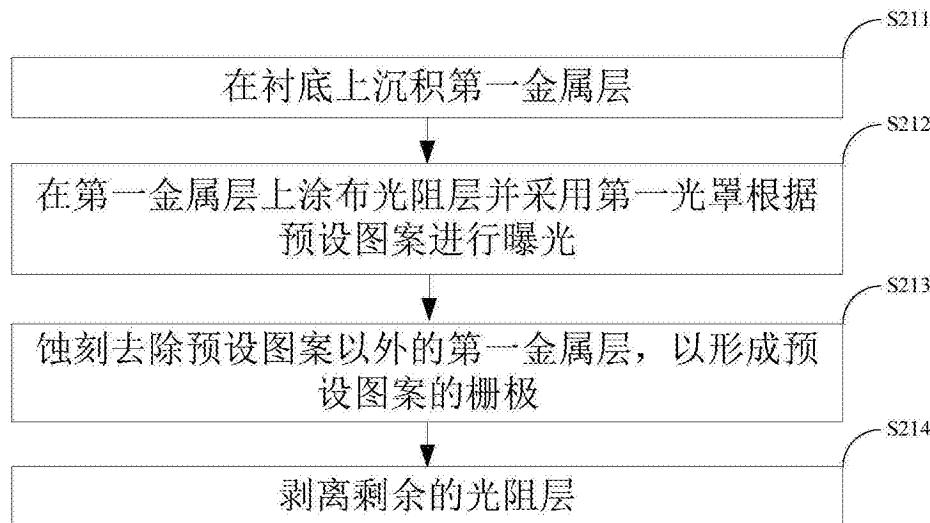


图4

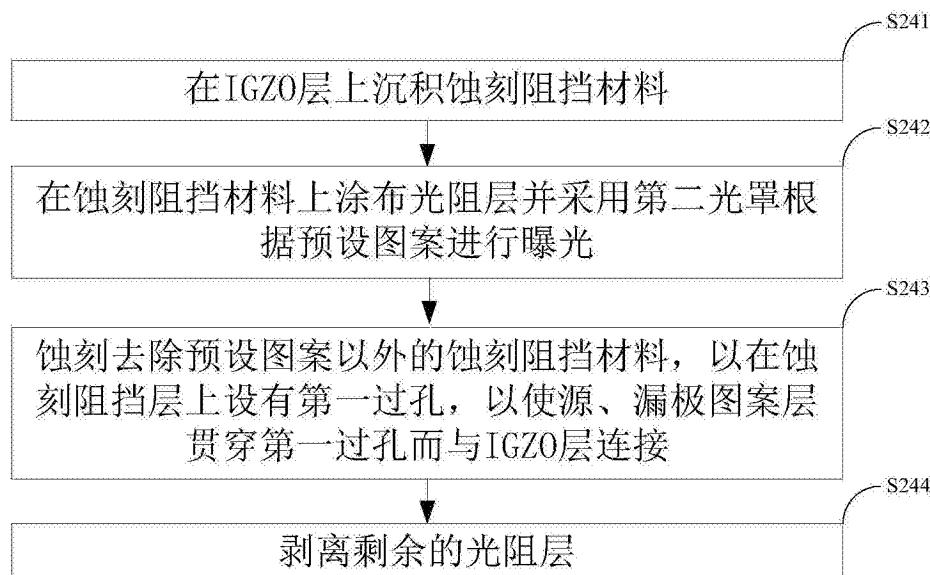


图5

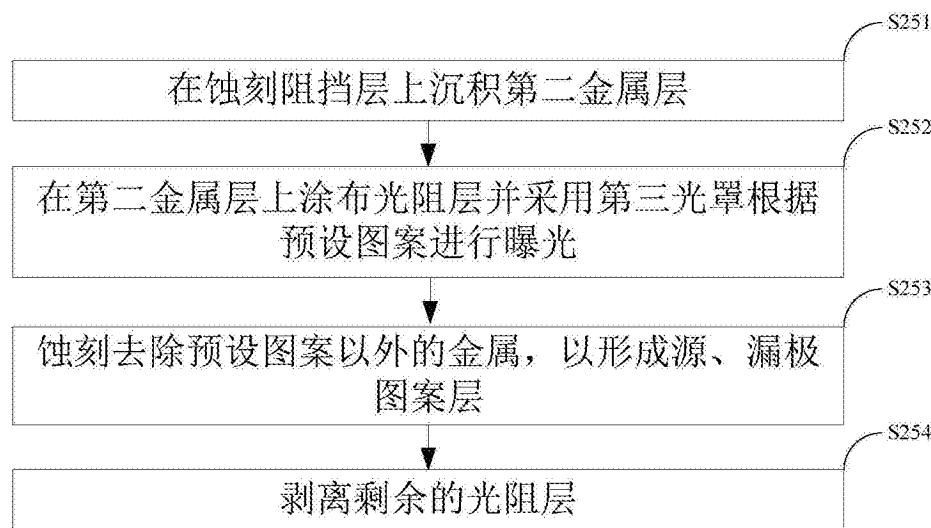


图6

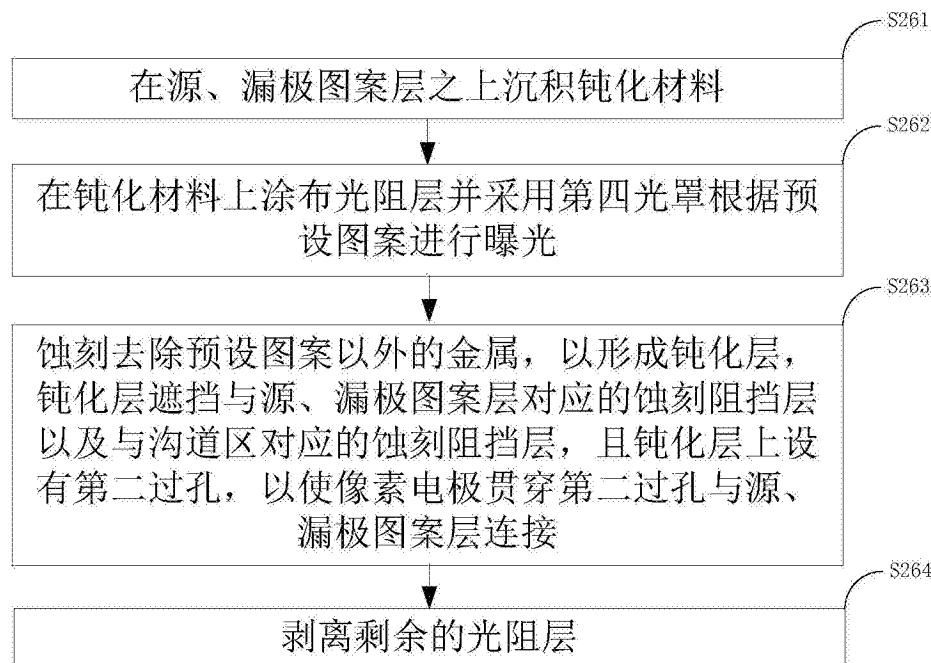


图7

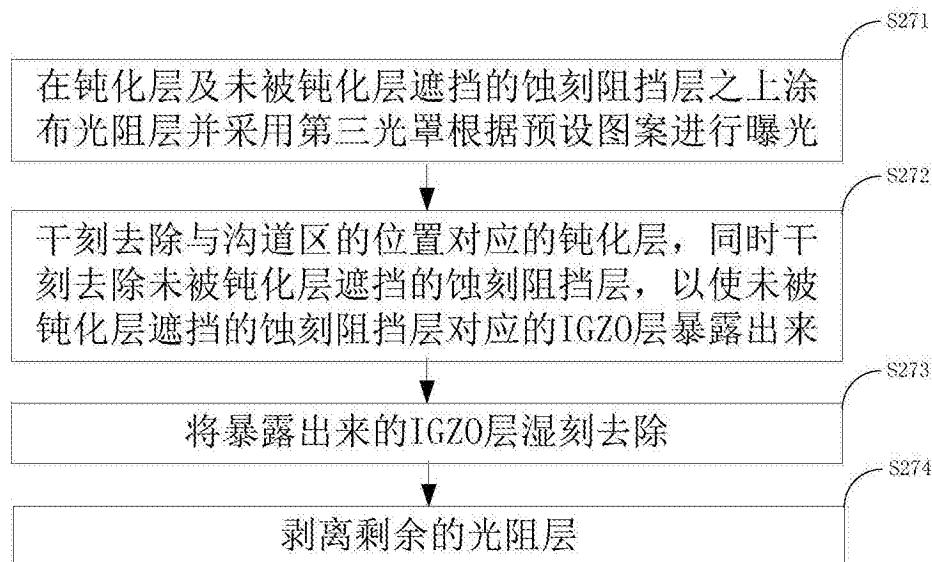


图8

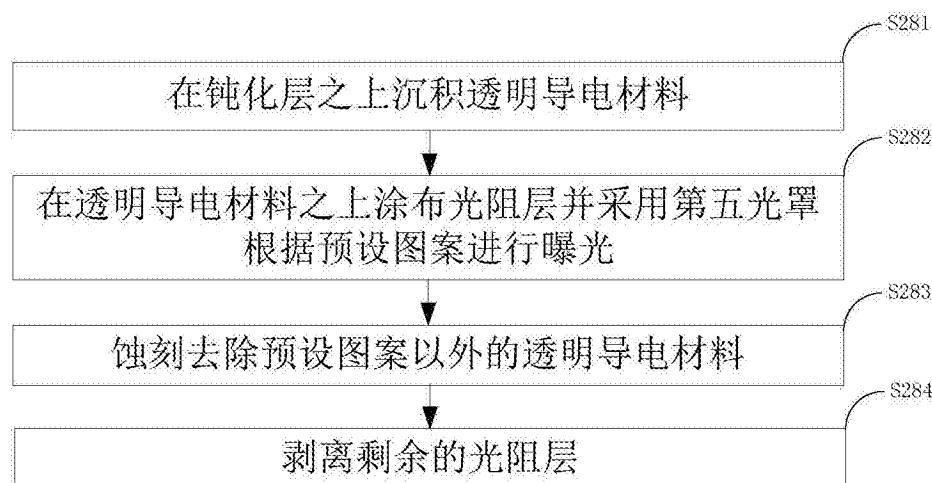


图9

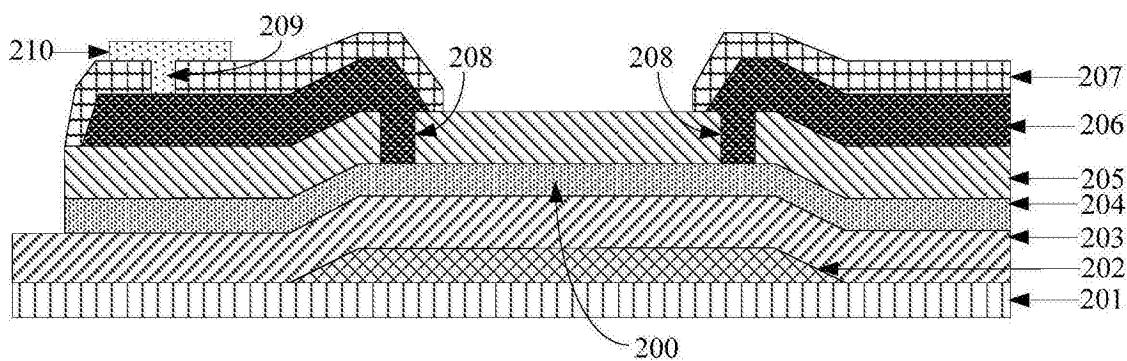


图10



图11