



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0026681
(43) 공개일자 2020년03월11일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 27/15</i> (2006.01) <i>H01L 21/28</i> (2006.01)
 <i>H01L 21/67</i> (2006.01) <i>H01L 21/768</i> (2006.01)
 <i>H01L 33/00</i> (2010.01)</p> <p>(52) CPC특허분류
 <i>H01L 27/156</i> (2013.01)
 <i>H01L 21/28</i> (2019.08)</p> <p>(21) 출원번호 10-2019-0078213
 (22) 출원일자 2019년06월28일
 심사청구일자 2019년06월28일</p> | <p>(71) 출원인
 엘지전자 주식회사
 서울특별시 영등포구 여의대로 128 (여의도동)</p> <p>(72) 발명자
 정창현
 서울특별시 서초구 양재대로11길 19</p> <p>문성민
 서울특별시 서초구 양재대로11길 19
 (뒷면에 계속)</p> <p>(74) 대리인
 박장원</p> |
|---|---|

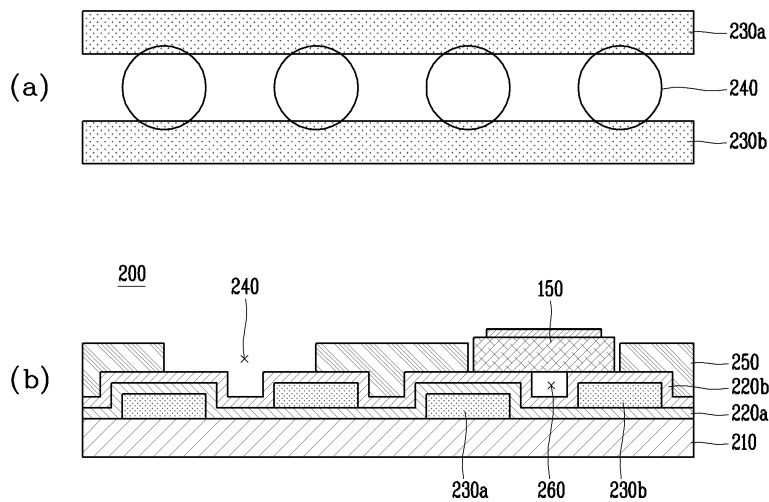
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **디스플레이 장치 제조를 위한 기판 및 디스플레이 장치의 제조방법**

(57) 요약

본 발명의 실시예에 따르면, 전기장 및 자기장을 이용하여 반도체 발광소자들을 조립 기판의 기 설정된 위치로 안착시키는 디스플레이 제조방법에 사용되는 조립 기판에 있어서, 상기 조립 기판은, 베이스부; 일 방향으로 연장 형성되고, 상기 베이스부 상에 소정 간격으로 배치되는 복수의 조립 전극들; 상기 조립 전극들을 덮도록 상기 베이스부에 적층되는 유전체층; 및 상기 조립 전극의 일부와 오버랩 되도록 상기 조립 전극의 연장 방향을 따라 소정 간격으로 반도체 발광소자가 안착되는 셀을 형성하면서 상기 유전체층에 적층되는 격벽을 포함하고, 상기 조립 전극들은 상기 베이스부 상의 서로 다른 평면 상에 배치되는 제1전극들 및 제2전극들로 이루어지며, 상기 제1전극들은 상기 베이스부의 일면에 배치되고, 상기 제2전극들은 상기 유전체층의 일면에 배치되는 것을 특징으로 한다.

대표도 - 도17



(52) CPC특허분류

H01L 21/67144 (2013.01)

H01L 21/768 (2013.01)

H01L 33/005 (2013.01)

(72) 발명자

박창서

서울특별시 서초구 양재대로11길 19

오동해

서울특별시 서초구 양재대로11길 19

명세서

청구범위

청구항 1

전기장 및 자기장을 이용하여 반도체 발광소자들을 조립 기관의 기 설정된 위치로 안착시키는 디스플레이 제조 방법에 사용되는 조립 기관에 있어서,

상기 조립 기관은,

베이스부;

일 방향으로 연장 형성되고, 상기 베이스부 상에 소정 간격으로 배치되는 복수의 조립 전극들;

상기 조립 전극들을 덮도록 상기 베이스부에 적층되는 유전체층; 및

상기 조립 전극의 일부와 오버랩 되도록 상기 조립 전극의 연장 방향을 따라 소정 간격으로 반도체 발광소자가 안착되는 셀을 형성하면서 상기 유전체층에 적층되는 격벽을 포함하고,

상기 조립 전극들은, 상기 베이스부 상의 서로 다른 평면 상에 배치되는 제1전극들 및 제2전극들로 이루어지며,

상기 제1전극들은 상기 베이스부의 일면에 배치되고, 상기 제2전극들은 상기 유전체층의 일면에 배치되는 것을 특징으로 하는, 조립 기관.

청구항 2

제1항에 있어서,

상기 유전체층은, 상기 제1전극들을 덮도록 형성되며, 상기 제2전극들이 배치되는 제1유전체층; 및

상기 제2전극들 및 상기 제1유전체층을 덮도록 형성되며, 상기 격벽이 적층되는 제2유전체층을 포함하는 것을 특징으로 하는, 조립 기관.

청구항 3

제1항에 있어서,

상기 제1전극들 및 상기 제2전극들 중 적어도 어느 하나는, 동일 평면 상에 배치된 인접한 전극들 간 평행하게 배치되는 것을 특징으로 하는, 조립 기관.

청구항 4

제3항에 있어서,

상기 제1전극들과 상기 제2전극들은 서로 평행하는 것을 특징으로 하는, 조립 기관.

청구항 5

제3항에 있어서,

상기 제1전극들과 상기 제2전극들은 서로 교차하는 것을 특징으로 하는, 조립 기관.

청구항 6

제5항에 있어서,

상기 제1전극들 및 상기 제2전극들은 서로 직교하는 것을 특징으로 하는, 조립 기관.

청구항 7

제5항에 있어서,

상기 제1전극들 및 상기 제2전극들 중 어느 하나는, 상기 제2전극들 또는 제1전극들과 평행한 방향으로 돌출된 복수의 돌출부들을 더 포함하는 것을 특징으로 하는, 조립 기관.

청구항 8

제7항에 있어서,

상기 돌출부는, 상기 각각의 셀에 대응하여 구비되는 것을 특징으로 하는, 조립 기관.

청구항 9

제4항 또는 제7항에 있어서,

상기 제1전극들과 상기 제2전극들은, 서로에 대하여 평행하는 부분이 교대로 배치된 것을 특징으로 하는, 조립 기관.

청구항 10

조립 기관을 조립위치로 이송하고, 자성체를 구비하는 복수의 반도체 발광소자들을 유체 챔버 내 투입하는 단계;

상기 유체 챔버 내 투입된 상기 반도체 발광소자들이 일방향을 따라 이동하도록 상기 반도체 발광소자들에 자기력을 가하는 단계;

상기 반도체 발광소자들이 이동하는 과정에서 상기 조립 기관 상의 기 설정된 위치에 안착되도록 전기장을 가하여 상기 반도체 발광소자들을 상기 기 설정된 위치로 유도하는 단계; 및

상기 조립 기관에 안착된 상기 반도체 발광소자들을 배선이 형성된 최종 기관으로 전사시키는 단계를 포함하고, 상기 조립 기관은, 전기장을 형성하기 위한 조립 전극으로 서로 다른 평면 상에 형성되는 제1전극 및 제2전극을 포함하며, 상기 제1전극 및 상기 제2전극에는 서로 다른 극성의 전압 신호가 인가되는 것을 특징으로 하는, 디스플레이 장치의 제조방법.

청구항 11

제10항에 있어서,

상기 제1전극들 및 상기 제2전극들은 서로 평행하는 것을 특징으로 하는, 디스플레이 장치의 제조 방법.

청구항 12

제10항에 있어서,

상기 제1전극들 및 상기 제2전극들은 서로 교차하는 것을 특징으로 하는, 디스플레이 장치의 제조방법.

청구항 13

제10항에 있어서,

상기 반도체 발광소자가 안착되는 기 설정된 위치는, 상기 제1전극 및 상기 제2전극의 일부와 오버랩 되는 것을 특징으로 하는, 디스플레이 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 장치 제조방법에 사용되는 조립 기관 및 수 내지 수십 μm 크기를 갖는 반도체 발광소자를 이용한 디스플레이 장치의 제조방법에 관한 것이다.

배경 기술

[0002] 최근에는 디스플레이 기술분야에서 대면적 디스플레이를 구현하기 위하여, 액정 디스플레이(LCD), 유기 발광소자(OLED) 디스플레이, 그리고 마이크로 LED 디스플레이 등이 경쟁하고 있다.

- [0003] 그러나, LCD의 경우 빠르지 않은 반응 시간과, 백라이트에 의해 생성된 광의 낮은 효율 등의 문제점이 존재하고, OLED의 경우에 수명이 짧고, 양산 수율이 좋지 않을 뿐 아니라 효율이 낮은 취약점이 존재한다.
- [0004] 이에 반해, 디스플레이에 100 μm 이하의 직경 또는 단면적을 가지는 반도체 발광소자(마이크로 LED)를 사용하면 디스플레이가 편광판 등을 사용하여 빛을 흡수하지 않기 때문에 매우 높은 효율을 제공할 수 있다. 그러나 대형 디스플레이에는 수백만 개의 반도체 발광소자들을 필요로 하기 때문에 다른 기술에 비해 소자들을 전사하는 것이 어려운 단점이 있다.
- [0005] 전사공정으로 현재 개발되고 있는 기술은 픽앤플레이스(pick & place), 레이저 리프트 오프법(Laser Lift-off, LLO) 또는 자가조립 등이 있다. 이 중에서, 자가조립 방식은 유체 내에서 반도체 발광소자가 스스로 위치를 찾아가는 방식으로서, 대화면의 디스플레이 장치의 구현에 가장 유리한 방식이다.
- [0006] 한편, 자가조립 방식에는 반도체 발광소자를 배선이 형성된 최종 기판 (또는 배선 기판)에 직접 조립하는 방식 및 반도체 발광소자를 조립 기판에 조립한 후 추가 전사 공정을 통해 최종 기판으로 전사하는 방식이 있다. 최종 기판에 직접 조립하는 방식은 공정 측면에서 효율적이며, 조립 기판을 이용하는 경우에는 자가조립을 위한 구조를 제한없이 추가할 수 있는 점에서 장점이 있어 두 방식이 선택적으로 사용되고 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 목적은, 전기장 및 자기장을 이용하여 반도체 발광소자를 조립 기판에 안착시키는 자가조립 방식에 있어서, 서로 다른 극성의 전압 신호가 인가되는 조립 전극들을 서로 다른 평면 상에 배치하여 전극 간의 단락을 방지함으로써 반도체 발광소자의 조립율을 향상시킬 수 있는 구조가 구현된 조립 기판 및 디스플레이 장치의 제조방법을 제공하는 것을 목적으로 한다.
- [0008] 본 발명의 다른 일 목적은, 서로 다른 극성의 전압 신호가 인가되는 조립 전극들이 서로 다른 평면 상에서 서로 교차하도록 배치하여 반도체 발광소자의 선택적인 조립이 가능한 조립 기판 및 디스플레이 장치의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명의 실시예에 따르면, 전기장 및 자기장을 이용하여 반도체 발광소자들을 조립 기판의 기 설정된 위치로 안착시키는 디스플레이 제조방법에 사용되는 조립 기판에 있어서, 상기 조립 기판은, 베이스부; 일 방향으로 연장 형성되고, 상기 베이스부 상에 소정 간격으로 배치되는 복수의 조립 전극들; 상기 조립 전극들을 덮도록 상기 베이스부에 적층되는 유전체층; 및 상기 조립 전극의 일부와 오버랩 되도록 상기 조립 전극의 연장 방향을 따라 소정 간격으로 반도체 발광소자가 안착되는 셀을 형성하면서 상기 유전체층에 적층되는 격벽을 포함하고, 상기 조립 전극들은 상기 베이스부 상의 서로 다른 평면 상에 배치되는 제1전극들 및 제2전극들로 이루어지며, 상기 제1전극들은 상기 베이스부의 일면에 배치되고, 상기 제2전극들은 상기 유전체층의 일면에 배치되는 것을 특징으로 한다.
- [0010] 본 실시예에 있어서, 상기 유전체층은, 상기 제1전극들을 덮도록 형성되며, 상기 제2전극들이 배치되는 제1유전체층; 및 상기 제2전극들 및 상기 제1 유전체층을 덮도록 형성되며, 상기 격벽이 적층되는 제2유전체층을 포함하는 것을 특징으로 한다.
- [0011] 본 실시예에 있어서, 상기 제1전극들 및 상기 제2전극들 중 적어도 어느 하나는, 동일 평면 상에 배치된 인접한 전극들 간 평행하게 배치되는 것을 특징으로 한다.
- [0012] 본 실시예에 있어서, 상기 제1전극들과 상기 제2전극들은 서로 평행하는 것을 특징으로 한다.
- [0013] 본 실시예에 있어서, 상기 제1전극들 및 상기 제2전극들은 서로 직교하는 것을 특징으로 한다.
- [0014] 본 실시예에 있어서, 상기 제1전극들 및 상기 제2전극들 중 어느 하나는, 상기 제2전극들 또는 제1전극들과 평행한 방향으로 돌출된 복수의 돌출부들을 더 포함하는 것을 특징으로 한다.
- [0015] 본 실시예에 있어서, 상기 돌출부는 상기 각각의 셀에 대응하여 구비되는 것을 특징으로 한다.
- [0016] 본 실시예에 있어서, 상기 제1전극들과 상기 제2전극들은, 서로에 대하여 평행하는 부분이 교대로 배치된 것을 특징으로 한다.

[0017] 본 발명의 실시예에 따른 디스플레이 장치의 제조방법은 조립 기판을 조립위치로 이송하고, 자성체를 구비하는 복수의 반도체 발광소자들을 유체 챔버 내 투입하는 단계; 상기 유체 챔버 내 투입된 상기 반도체 발광소자들이 일방향을 따라 이동하도록 상기 반도체 발광소자들에 자기력을 가하는 단계; 상기 반도체 발광소자들이 이동하는 과정에서 상기 조립 기판 상의 기 설정된 위치에 안착되도록 전기장을 가하여 상기 반도체 발광소자들을 상기 기 설정된 위치로 유도하는 단계; 및 상기 조립 기판에 안착된 상기 반도체 발광소자들을 배선이 형성된 최종 기판으로 전사시키는 단계를 포함하고, 상기 조립 기판은, 전기장을 형성하기 위한 조립 전극으로 서로 다른 평면 상에 형성되는 제1전극 및 제2전극을 포함하며, 상기 제1전극 및 상기 제2전극에는 서로 다른 극성의 전압 신호가 인가되는 것을 특징으로 한다.

[0018] 본 실시예에 있어서, 상기 제1전극들 및 상기 제2전극들은 서로 평행하는 것을 특징으로 한다.

[0019] 본 실시예에 있어서, 상기 제1전극들 및 상기 제2전극들은 서로 교차하는 것을 특징으로 한다.

[0020] 본 실시예에 있어서, 상기 반도체 발광소자가 안착되는 기 설정된 위치는, 상기 제1전극 및 상기 제2전극의 일부와 오버랩 되는 것을 특징으로 한다.

발명의 효과

[0021] 본 발명의 실시예에 따르면, 조립 기판에 형성된 조립 전극들 중 서로 다른 극성의 전압 신호를 인가받는 제1전극 및 제2전극이 서로 다른 평면 상에 배치되어 전극 단락을 방지할 수 있으며, 반도체 발광소자의 조립물을 향상시킬 수 있는 효과가 있다.

[0022] 또한, 본 발명의 실시예에 따르면, 제1전극 및 제2전극이 서로 다른 평면 상에 배치되므로 반도체 발광소자의 조립물을 향상시킬 수 있는 다양한 조립 전극 구조의 구현이 가능하며, 특히, 제1전극 및 제2전극이 서로 교차하도록 배치된 경우, 특정 셀에 반도체 발광소자를 선택적으로 조립시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 반도체 발광소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이다.

도 2는 도 1의 디스플레이 장치의 A부분의 부분 확대도이다.

도 3은 도 2의 반도체 발광소자의 확대도이다.

도 4는 도 2의 반도체 발광소자의 다른 실시예를 나타내는 확대도이다.

도 5a 내지 도 5e는 전술한 반도체 발광소자를 제작하는 새로운 공정을 설명하기 위한 개념도들이다.

도 6은 본 발명에 따른 반도체 발광소자의 자가조립 장치의 일 예를 나타내는 개념도이다.

도 7은 도 6의 자가조립 장치의 블록 다이어그램이다.

도 8a 내지 도 8e는 도 6의 자가조립 장치를 이용하여 반도체 발광소자를 자가조립 하는 공정을 나타내는 개념도이다.

도 9는 도 8a 내지 도 8e의 반도체 발광소자를 설명하기 위한 개념도이다.

도 10a 내지 도 10c는 본 발명에 따른 자가조립 공정 후 반도체 발광소자가 전사되는 모습을 나타내는 개념도들이다.

도 11 내지 도 13은 적색(R), 녹색(G), 청색(B)을 발광하는 반도체 발광소자를 포함하는 디스플레이 장치의 제조방법을 나타내는 순서도이다.

도 14는 종래 조립 기판의 구조를 나타낸 도면이다.

도 15는 조립 전극 사이에 형성되는 전기장의 형태를 설명하는 개념도이다.

도 16은 종래 조립 기판에 형성된 조립 전극이 단락된 상태를 나타낸 도면이다.

도 17은 본 발명의 일 실시예에 따른 조립 기판의 단면도이다.

도 18은 본 발명의 다른 실시예에 따른 조립 기판에 형성된 조립 전극의 구조를 나타낸 도면이다.

도 19a 및 도 19b는 도 18에 따른 조립 기판의 단면도이다.

도 20은 본 발명의 다른 실시예에 따른 조립 기판에 형성된 조립 전극의 구조를 나타낸 도면이다.

도 21a 내지 도 21f는 본 발명의 일 실시예에 따른 조립 기판을 제조하는 과정을 순차적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 “모듈” 및 “부”는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시예를 설명함에 있어서 관련된 공지기술에 대한 구체적인 설명이 본 명세서에 개시된 실시예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되는 것으로 해석되어서는 아니된다. 또한, 층, 영역 또는 기판과 같은 요소가 다른 구성요소 “상(on)”에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있는 것으로 이해할 수 있을 것이다.
- [0025] 본 명세서에서 설명되는 디스플레이 장치에는 휴대폰(mobile phone), 스마트폰(smart phone), 노트북 컴퓨터(laptop computer), 디지털방송용 단말기, PDA(personal digital assistant), PMP(portable multimedia player), 네비게이션, 슬레이트 PC(slate PC), 테블릿 PC(tablet PC), 울트라북(ultra book), 디지털 TV(digital TV), 데스크톱 컴퓨터(desktop computer) 등이 포함될 수 있다. 그러나 본 명세서에 기재된 실시예에 따른 구성은 추후 개발되는 새로운 제품형태라도 디스플레이를 포함할 수 있다면 적용될 수 있다.
- [0026] 도 1은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이고, 도 2는 도 1의 디스플레이 장치의 A 부분의 부분 확대도이고, 도 3은 도 2의 반도체 발광소자의 확대도이며, 도 4는 도 2의 반도체 발광소자의 다른 실시예를 나타내는 확대도이다.
- [0027] 도시에 의하면, 디스플레이 장치(100)의 제어부에서 처리되는 정보는 디스플레이 모듈(140)에서 출력될 수 있다. 상기 디스플레이 모듈의 테두리를 감싸는 페루프 형태의 케이스(101)가 상기 디스플레이 장치의 베젤을 형성할 수 있다.
- [0028] 상기 디스플레이 모듈(140)은 영상이 표시되는 패널(141)을 구비하고, 상기 패널(141)은 마이크로 크기의 반도체 발광소자(150)와 상기 반도체 발광소자(150)가 장착되는 배선기판(110)을 구비할 수 있다.
- [0029] 상기 배선기판(110)에는 배선이 형성되어, 상기 반도체 발광소자(150)의 n형 전극(152) 및 p형 전극(156)과 연결될 수 있다. 이를 통하여, 상기 반도체 발광소자(150)는 자발광하는 개별화소로서 상기 배선기판(110) 상에 구비될 수 있다.
- [0030] 상기 패널(141)에 표시되는 영상은 시각 정보로서, 매트릭스 형태로 배치되는 단위 화소(sub-pixel)의 발광이 상기 배선을 통하여 독자적으로 제어됨에 의하여 구현된다.
- [0031] 본 발명에서는 전류를 빛으로 변환시키는 반도체 발광소자(150)의 일 종류로서 마이크로 LED(Light Emitting Diode)를 예시한다. 상기 마이크로 LED는 100마이크로 이하의 작은 크기로 형성되는 발광 다이오드가 될 수 있다. 상기 반도체 발광소자(150)는 청색, 적색 및 녹색이 발광영역에 각각 구비되어 이들의 조합에 의하여 단위 화소가 구현될 수 있다. 즉, 상기 단위 화소는 하나의 색을 구현하기 위한 최소 단위를 의미하며, 상기 단위 화소 내에 적어도 3개의 마이크로 LED가 구비될 수 있다.
- [0032] 보다 구체적으로, 도 3을 참조하면, 상기 반도체 발광 소자(150)는 수직형 구조가 될 수 있다.
- [0033] 예를 들어, 상기 반도체 발광 소자(150)는 질화 갈륨(GaN)을 주로 하여, 인듐(In) 및/또는 알루미늄(Al)이 함께 첨가되어 청색을 비롯한 다양한 빛을 발광하는 고효율의 발광 소자로 구현될 수 있다.
- [0034] 이러한 수직형 반도체 발광 소자는 p형 전극(156), p형 전극(156) 상에 형성된 p형 반도체층(155), p형 반도체층(155) 상에 형성된 활성층(154), 활성층(154) 상에 형성된 n형 반도체층(153), 및 n형 반도체층(153) 상에 형성된 n형 전극(152)을 포함한다. 이 경우, 하부에 위치한 p형 전극(156)은 배선기판의 p전극과 전기적으로 연결될 수 있고, 상부에 위치한 n형 전극(152)은 반도체 발광소자의 상층에서 n전극과 전기적으로 연결될 수 있다. 이러한 수직형 반도체 발광 소자(150)는 전극을 상/하로 배치할 수 있으므로, 칩 사이즈를 줄일 수 있다는 큰

장점을 가지고 있다.

- [0035] 다른 예로서 도 4를 참조하면, 상기 반도체 발광 소자는 플립 칩 타입 (flip chip type)의 발광 소자가 될 수 있다.
- [0036] 이러한 예로서, 상기 반도체 발광 소자(250)는 p형 전극(256), p형 전극 (256)이 형성되는 p형 반도체층(255), p형 반도체층(255) 상에 형성된 활성층 (254), 활성층(254) 상에 형성된 n형 반도체층(253), 및 n형 반도체층 (253) 상에서 p형 전극(256)과 수평방향으로 이격 배치되는 n형 전극(252)을 포함한다. 이 경우, p형 전극(256)과 n형 전극(152)은 모두 반도체 발광소자의 하부에서 배전기판의 p전극 및 n전극과 전기적으로 연결될 수 있다.
- [0037] 상기 수직형 반도체 발광소자와 수평형 반도체 발광소자는 각각 녹색 반도체 발광소자, 청색 반도체 발광소자 또는 적색 반도체 발광소자가 될 수 있다. 녹색 반도체 발광소자와 청색 반도체 발광소자의 경우에 질화 갈륨 (GaN)을 주로 하여, 인듐(In) 및/또는 알루미늄(Al)이 함께 첨가되어 녹색이나 청색의 빛을 발광하는 고효율의 발광 소자로 구현될 수 있다. 이러한 예로서, 상기 반도체 발광소자는 n-GaN, p-GaN, AlGaN, InGaN 등 다양한 계층으로 형성되는 질화갈륨 박막이 될 수 있으며, 구체적으로 상기 p형 반도체층은 P-type GaN이고, 상기 n형 반도체층은 N-type GaN 이 될 수 있다. 다만, 적색 반도체 발광소자의 경우에는, 상기 p형 반도체층은 P-type GaAs이고, 상기 n형 반도체층은 N-type GaAs 가 될 수 있다.
- [0038] 또한, 상기 p형 반도체층은 p 전극 쪽은 Mg가 도핑된 P-type GaN이고, n형 반도체층은 n 전극 쪽은 Si가 도핑된 N-type GaN 인 경우가 될 수 있다. 이 경우에, 전술한 반도체 발광소자들은 활성층이 없는 반도체 발광소자가 될 수 있다.
- [0039] 한편, 도 1 내지 도 4를 참조하면, 상기 발광 다이오드가 매우 작기 때문에 상기 디스플레이 패널은 자발광하는 단위화소가 고정세로 배열될 수 있으며, 이를 통하여 고품질의 디스플레이 장치가 구현될 수 있다.
- [0040] 상기에서 설명된 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치에서는 웨이퍼 상에서 성장되어, 메사 및 아이솔레이션을 통하여 형성된 반도체 발광소자가 개별 화소로 이용된다. 이 경우에, 마이크로 크기의 반도체 발광소자(150)는 웨이퍼에 상기 디스플레이 패널의 기판 상의 기설정된 위치로 전사되어야 한다. 이러한 전사기술로 픽앤플레이스(pick and place)가 있으나, 성공률이 낮고 매우 많은 시간이 요구된다. 다른 예로서, 스탬프나 롤을 이용하여 한 번에 여러개의 소자를 전사하는 기술이 있으나, 수율에 한계가 있어 대화면의 디스플레이에는 적합하지 않다. 본 발명에서는 이러한 문제를 해결할 수 있는 디스플레이 장치의 새로운 제조방법 및 제조장치를 제시한다.
- [0041] 이를 위하여, 이하, 먼저 디스플레이 장치의 새로운 제조방법에 대하여 살펴본다. 도 5a 내지 도 5e는 전술한 반도체 발광 소자를 제작하는 새로운 공정을 설명하기 위한 개념도들이다.
- [0042] 본 명세서에서는, 패시브 매트릭스(Passive Matrix, PM) 방식의 반도체 발광 소자를 이용한 디스플레이 장치를 예시한다. 다만, 이하 설명되는 예시는 액티브 매트릭스(Active Matrix, AM) 방식의 반도체 발광 소자에도 적용 가능하다. 또한, 수평형 반도체 발광소자를 자가조립 하는 방식에 대하여 예시하나, 이는 수직형 반도체 발광소자를 자가조립 하는 방식에도 적용가능하다.
- [0043] 먼저, 제조방법에 의하면, 성장기판(159)에 제1도전형 반도체층(153), 활성층(154), 제2 도전형 반도체층(155)을 각각 성장시킨다(도 5a).
- [0044] 제1도전형 반도체층(153)이 성장하면, 다음은, 상기 제1도전형 반도체층 (153) 상에 활성층(154)을 성장시키고, 다음으로 상기 활성층(154) 상에 제2 도전형 반도체층(155)을 성장시킨다. 이와 같이, 제1도전형 반도체층 (153), 활성층(154) 및 제2도전형 반도체층(155)을 순차적으로 성장시키면, 도 5a에 도시된 것과 같이, 제1도전형 반도체층(153), 활성층(154) 및 제2도전형 반도체층(155)이 적층 구조를 형성한다.
- [0045] 이 경우에, 상기 제1도전형 반도체층(153)은 p형 반도체층이 될 수 있으며, 상기 제2도전형 반도체층(155)은 n형 반도체층이 될 수 있다. 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 제1도전형이 n형이 되고 제2도전형이 p형이 되는 예시도 가능하다.
- [0046] 또한, 본 실시예에서는 상기 활성층이 존재하는 경우를 예시하나, 전술한 바와 같이 경우에 따라 상기 활성층이 없는 구조도 가능하다. 이러한 예로서, 상기 p형 반도체층은 Mg가 도핑된 P-type GaN이고, n형 반도체층은 n 전극 쪽은 Si가 도핑된 N-type GaN 인 경우가 될 수 있다.

- [0047] 성장기판(159)(웨이퍼)은 광 투과적 성질을 가지는 재질, 예를 들어 사파이어(Al₂O₃), GaN, ZnO, AlO 중 어느 하나를 포함하여 형성될 수 있으나, 이에 한정하지는 않는다. 또한, 성장기판(1059)은 반도체 물질 성장에 적합한 물질, 캐리어 웨이퍼로 형성될 수 있다. 열 전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판을 포함하여 예를 들어, 사파이어(Al₂O₃) 기판에 비해 열전도성이 큰 SiC 기판 또는 Si, GaAs, GaP, InP, Ga₂O₃ 중 적어도 하나를 사용할 수 있다.
- [0048] 다음으로, 제1도전형 반도체층(153), 활성층(154) 및 제2 도전형 반도체층 (155)의 적어도 일부를 제거하여 복수의 반도체 발광소자를 형성한다(도 5b).
- [0049] 보다 구체적으로, 복수의 발광소자들이 발광 소자 어레이를 형성하도록, 아이솔레이션(isolation)을 수행한다. 즉, 제1도전형 반도체층(153), 활성층 (154) 및 제2 도전형 반도체층(155)을 수직방향으로 식각하여 복수의 반도체 발광소자를 형성한다.
- [0050] 만약, 수평형 반도체 발광소자를 형성하는 경우라면, 상기 활성층(154) 및 제2 도전형 반도체층(155)은 수직방향으로 일부가 제거되어, 상기 제1도전형 반도체층(153)이 외부로 노출되는 메사 공정과, 이후에 제1도전형 반도체층을 식각하여 복수의 반도체 발광소자 어레이를 형성하는 아이솔레이션(isolation)이 수행될 수 있다.
- [0051] 다음으로, 상기 제2도전형 반도체층(155)의 일면 상에 제2도전형 전극(156, 또는 p형 전극)를 각각 형성한다(도 5c). 상기 제2도전형 전극(156)은 스퍼터링 등의 증착 방법으로 형성될 수 있으나, 본 발명은 반드시 이에 한정되는 것은 아니다. 다만, 상기 제1도전형 반도체층과 제2도전형 반도체층이 각각 n형 반도체층과 p형 반도체층인 경우에는, 상기 제2도전형 전극(156)은 n형 전극이 되는 것도 가능하다.
- [0052] 그 다음에, 상기 성장기판(159)을 제거하여 복수의 반도체 발광소자를 구비한다. 예를 들어, 성장기판(1059)은 레이저 리프트 오프법(Laser Lift-off, LLO) 또는 화학적 리프트 오프법(Chemical Lift-off, CLO)을 이용하여 제거할 수 있다(도 5d).
- [0053] 이후에, 유체가 채워진 챔버에서 반도체 발광소자들(150)이 기판에 안착되는 단계가 진행된다(도 5e).
- [0054] 예를 들어, 유체가 채워진 챔버 속에 상기 반도체 발광소자들(150) 및 기판을 넣고 유동, 중력, 표면 장력 등을 이용하여 상기 반도체 발광소자들이 상기 기판(1061)에 스스로 조립되도록 한다. 이 경우에, 상기 기판은 조립 기판(161)이 될 수 있다.
- [0055] 다른 예로서, 상기 조립기판(161) 대신에 배선기판을 유체 챔버 내에 넣어, 상기 반도체 발광소자들(150)이 배선기판에 바로 안착되는 것도 가능하다. 이 경우에, 상기 기판은 배선기판이 될 수 있다. 다만, 설명의 편의상, 본 발명에서는 기판이 조립기판(161)으로서 구비되어 반도체 발광소자들(1050)이 안착되는 것을 예시한다.
- [0056] 반도체 발광소자들(150)이 조립 기판(161)에 안착하는 것이 용이하도록, 상기 조립 기판(161)에는 상기 반도체 발광소자들(150)이 끼워지는 셀들 (미도시)이 구비될 수 있다. 구체적으로, 상기 조립기판(161)에는 상기 반도체 발광소자들(150)이 배선전극에 얼라인되는 위치에 상기 반도체 발광소자들 (150)이 안착되는 셀들이 형성된다. 상기 반도체 발광소자들(150)은 상기 유체 내에서 이동하다가, 상기 셀들에 조립된다.
- [0057] 상기 조립기판(161)에 복수의 반도체 발광소자들이 어레이된 후에, 상기 조립기판(161)의 반도체 발광소자들을 배선기판으로 전사하면, 대면적의 전사가 가능하게 된다. 따라서, 상기 조립기판(161)은 임시기판으로 지칭될 수 있다.
- [0058] 한편, 상기에서 설명된 자가조립 방법은 대화면 디스플레이의 제조에 적용하려면, 전사수율을 높여야만 한다. 본 발명에서는 전사수율을 높이기 위하여, 중력이나 마찰력의 영향을 최소화하고, 비특이적 결합을 막는 방법과 장치를 제안한다.
- [0059] 이 경우, 본 발명에 따른 디스플레이 장치는, 반도체 발광소자에 자성체를 배치시켜 자기력을 이용하여 반도체 발광소자를 이동시키고, 이동과정에서 전기장을 이용하여 상기 반도체 발광소자를 기 설정된 위치에 안착시킨다. 이하에서는, 이러한 전사 방법과 장치에 대하여 첨부된 도면과 함께 보다 구체적으로 살펴본다.
- [0060] 도 6은 본 발명에 따른 반도체 발광소자의 자가조립 장치의 일 예를 나타내는 개념도이고, 도 7은 도 6의 자가조립 장치의 블록 다이어그램이다. 또한, 도 8a 내지 도 8d는 도 6의 자가조립 장치를 이용하여 반도체 발광소자를 자가조립 하는 공정을 나타내는 개념도이며, 도 9는 도 8a 내지 도 8d의 반도체 발광소자를 설명하기 위한 개념도이다.
- [0061] 도 6 및 도 7의 도시에 의하면, 본 발명의 자가조립 장치(160)는 유체 챔버(162), 자석(163) 및 위치 제어부

(164)를 포함할 수 있다.

- [0062] 상기 유체 챔버(162)는 복수의 반도체 발광소자들을 수용하는 공간을 구비한다. 상기 공간에는 유체가 채워질 수 있으며, 상기 유체는 조립용액으로서 물 등을 포함할 수 있다. 따라서, 상기 유체 챔버(162)는 수조가 될 수 있으며, 오픈형으로 구성될 수 있다. 다만, 본 발명은 이에 한정되는 것은 아니며, 상기 유체 챔버(162)는 상기 공간이 닫힌 공간으로 이루어지는 클로즈형이 될 수 있다.
- [0063] 상기 유체 챔버(162)에는 기관(161)이 상기 반도체 발광소자들(150)이 조립되는 조립면이 아래를 향하도록 배치될 수 있다. 예를 들어, 상기 기관(161)은 이송부에 의하여 조립위치로 이송되며, 상기 이송부는 기관이 장착되는 스테이지(165)를 구비할 수 있다. 상기 스테이지(165)가 제어부에 의하여 위치조절되며, 이를 통하여 상기 기관(161)은 상기 조립위치로 이송될 수 있다.
- [0064] 이 때에, 상기 조립위치에서 상기 기관(161)의 조립면이 상기 유체 챔버(162)의 바닥을 향하게 된다. 도시에 의하면, 상기 기관(161)의 조립면은 상기 유체 챔버(162)내의 유체에 잠기도록 배치된다. 따라서, 상기 반도체 발광소자(150)는 상기 유체내에서 상기 조립면으로 이동하게 된다.
- [0065] 상기 기관(161)은 전기장 형성이 가능한 조립기관으로서, 베이스부(161a), 유전체층(161b) 및 복수의 전극들(161c)을 포함할 수 있다.
- [0066] 상기 베이스부(161a)는 절연성 있는 재료로 이루어지며, 상기 복수의 전극들(161c)은 상기 베이스부(161a)의 일면에 패터닝된 박막 또는 후막 bi-planar 전극이 될 수 있다. 상기 전극(161c)은 예를 들어, Ti/Cu/Ti의 적층, Ag 페이스트 및 ITO 등으로 형성될 수 있다.
- [0067] 상기 유전체층(161b)은, SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, HfO₂ 등의 무기 물질로 이루어질 있다. 이와 다르게, 유전체층(161b)은, 유기 절연체로서 단일층이거나 멀티층으로 구성될 수 있다. 유전체층(161b)의 두께는, 수십 nm~수 μm ~ μm의 두께로 이루어질 수 있다.
- [0068] 나아가, 본 발명에 따른 기관(161)은 격벽에 의하여 구획되는 복수의 셀들(161d)을 포함한다. 셀들(161d)은, 일 방향을 따라 순차적으로 배치되며, 폴리머(polymer) 재료로 이루어질 수 있다. 또한, 셀들(161d)을 이루는 격벽(161e)은, 이웃하는 셀들(161d)과 공유되도록 이루어진다. 상기 격벽(161e)은 상기 베이스부(161a)에서 돌출되며, 상기 격벽(161e)에 의하여 상기 셀들(161d)이 일방향을 따라 순차적으로 배치될 수 있다. 보다 구체적으로, 상기 셀들(161d)은 열과 행 방향으로 각각 순차적으로 배치되며, 매트릭스 구조를 가질 수 있다.
- [0069] 셀들(161d)의 내부는, 도시와 같이, 반도체 발광소자(150)를 수용하는 홈을 구비하며, 상기 홈은 상기 격벽(161e)에 의하여 한정되는 공간이 될 수 있다. 상기 홈의 형상은 반도체 발광소자의 형상과 동일 또는 유사할 수 있다. 예를 들어, 반도체 발광소자가 사각형상인 경우, 홈은 사각형상일 수 있다. 또한, 비록 도시되지는 않았지만, 반도체 발광소자가 원형인 경우, 셀들 내부에 형성된 홈은, 원형으로 이루어질 수 있다. 나아가, 셀들 각각은, 단일의 반도체 발광소자를 수용하도록 이루어진다. 즉, 하나의 셀에는, 하나의 반도체 발광소자가 수용된다.
- [0070] 한편, 복수의 전극들(161c)은 각각의 셀들(161d)의 바닥에 배치되는 복수의 전극라인을 구비하며, 상기 복수의 전극라인은 이웃한 셀로 연장되도록 이루어질 수 있다.
- [0071] 상기 복수의 전극들(161c)은 상기 셀들(161d)의 하측에 배치되며, 서로 다른 극성이 각각 인가되어 상기 셀들(161d) 내에 전기장을 생성한다. 상기 전기장 형성을 위하여, 상기 복수의 전극들(161c)을 상기 유전체층이 덮으면서, 상기 유전체층이 상기 셀들(161d)의 바닥을 형성할 수 있다. 이런 구조에서, 각 셀들(161d)의 하측에서 한 쌍의 전극(161c)에 서로 다른 극성이 인가되면 전기장이 형성되고, 상기 전기장에 의하여 상기 셀들(161d) 내부로 상기 반도체 발광소자가 삽입될 수 있다.
- [0072] 상기 조립위치에서 상기 기관(161)의 전극들은 전원공급부(171)와 전기적으로 연결된다. 상기 전원공급부(171)는 상기 복수의 전극에 전원을 인가하여 상기 전기장을 생성하는 기능을 수행한다.
- [0073] 도시에 의하면, 상기 자가조립 장치는 상기 반도체 발광소자들에 자기력을 가하기 위한 자석(163)을 구비할 수 있다. 상기 자석(163)은 상기 유체 챔버(162)와 이격 배치되어 상기 반도체 발광소자들(150)에 자기력을 가하도록 이루어진다. 상기 자석(163)은 상기 기관(161)의 조립면의 반대면을 마주보도록 배치될 수 있으며, 상기 자석(163)과 연결되는 위치 제어부(164)에 의하여 상기 자석의 위치가 제어된다.
- [0074] 상기 자석(163)의 자기장에 의하여 상기 유체내에서 이동하도록, 상기 반도체 발광소자(1050)는 자성체를 구비

할 수 있다.

- [0075] 도 9를 참조하면, 자성체를 구비하는 반도체 발광 소자는 제1도전형 전극(1052) 및 제2도전형 전극(1056), 상기 제1도전형 전극(1052)이 배치되는 제1도전형 반도체층(1053), 상기 제1도전형 반도체층(1052)과 오버랩되며, 상기 제2도전형 전극(1056)이 배치되는 제2도전형 반도체층(1055), 그리고 상기 제1 및 제2도전형 반도체층(1053, 1055) 사이에 배치되는 활성층(1054)을 포함할 수 있다.
- [0076] 여기에서, 제1도전형은 p형이고, 제2도전형은 n형으로 구성될 수 있으며, 그 반대로도 구성될 수 있다. 또한, 전술한 바와 같이 상기 활성층이 없는 반도체 발광소자가 될 수 있다.
- [0077] 한편, 본 발명에서, 상기 제1도전형 전극(1052)은 반도체 발광소자의 자가조립 등에 의하여, 반도체 발광소자가 배선기판에 조립된 이후에 생성될 수 있다. 또한, 본 발명에서, 상기 제2도전형 전극(1056)은 상기 자성체를 포함할 수 있다. 자성체는 자성을 띄는 금속을 의미할 수 있다. 상기 자성체는 Ni, SmCo 등이 될 수 있으며, 다른 예로서 Gd 계, La계 및 Mn계 중 적어도 하나에 대응되는 물질을 포함할 수 있다.
- [0078] 자성체는 입자 형태로 상기 제2도전형 전극(1056)에 구비될 수 있다. 또한, 이와 다르게, 자성체를 포함한 도전형 전극은, 도전형 전극의 일 레이어가 자성체로 이루어질 수 있다. 이러한 예로서, 도 9에 도시된 것과 같이, 반도체 발광소자(1050)의 제2도전형 전극(1056)은, 제1층(1056a) 및 제2층(1056b)을 포함할 수 있다. 여기에서, 제1층(1056a)은 자성체를 포함하도록 이루어질 수 있고, 제2층(1056b)은 자성체가 아닌 금속소재를 포함할 수 있다.
- [0079] 도시와 같이, 본 예시에서는 자성체를 포함하는 제1층(1056a)이, 제2 도전형 반도체층(1055)과 맞닿도록 배치될 수 있다. 이 경우, 제1층(1056a)은, 제2층(1056b)과 제2도전형 반도체층(1055) 사이에 배치된다. 상기 제2층(1056b)은 배선기판의 제2전극과 연결되는 콘택 메탈이 될 수 있다. 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 상기 자성체는 상기 제1도전형 반도체층의 일면에 배치될 수 있다.
- [0080] 다시 도 6 및 도 7을 참조하면, 보다 구체적으로, 상기 자가조립 장치는 상기 유체 챔버의 상부에 x,y,z 축으로 자동 또는 수동으로 움직일 수 있는 자석 핸들러를 구비하거나, 상기 자석(163)을 회전시킬 수 있는 모터를 구비할 수 있다. 상기 자석 핸들러 및 모터는 상기 위치 제어부(164)를 구성할 수 있다. 이를 통하여, 상기 자석(163)은 상기 기관(161)과 수평한 방향, 시계방향 또는 반시계방향으로 회전하게 된다.
- [0081] 한편, 상기 유체 챔버(162)에는 광투과성의 바닥판(166)이 형성되고, 상기 반도체 발광소자들은 상기 바닥판(166)과 상기 기관(161)의 사이에 배치될 수 있다. 상기 바닥판(166)을 통하여 상기 유체 챔버(162)의 내부를 모니터링하도록, 이미지 센서(167)가 상기 바닥판(166)을 바라보도록 배치될 수 있다. 상기 이미지 센서(167)는 제어부(172)에 의하여 제어되며, 기관(161)의 조립면을 관찰할 수 있도록 inverted type 렌즈 및 CCD 등을 구비할 수 있다.
- [0082] 상기에서 설명한 자가조립 장치는 자기장과 전기장을 조합하여 이용하도록 이루어지며, 이를 이용하면, 상기 반도체 발광소자들이 상기 자석의 위치변화에 의하여 이동하는 과정에서 전기장에 의하여 상기 기관의 기설정된 위치에 안착될 수 있다. 이하, 상기에서 설명한 자가조립 장치를 이용한 조립과정에 대하여 보다 상세히 설명한다.
- [0083] 먼저, 도 5a 내지 도 5c에서 설명한 과정을 통하여 자성체를 구비하는 복수의 반도체 발광소자들(1050)을 형성한다. 이 경우에, 도 5c의 제2도전형 전극을 형성하는 과정에서, 자성체를 상기 반도체 발광소자에 증착할 수 있다.
- [0084] 다음으로, 기관(161)을 조립위치로 이송하고, 상기 반도체 발광소자들 (1050)을 유체 챔버(162)에 투입한다(도 8a).
- [0085] 전술한 바와 같이, 상기 기관(161)의 조립위치는 상기 기관(161)의 상기 반도체 발광소자들(1050)이 조립되는 조립면이 아래를 향하도록 상기 유체 챔버(162)에 배치되는 위치가 될 수 있다.
- [0086] 이 경우에, 상기 반도체 발광소자들(1050) 중 일부는 유체 챔버(162)의 바닥에 가라앉고 일부는 유체 내에 부유할 수 있다. 상기 유체 챔버(162)에 광투과성의 바닥판(166)이 구비되는 경우에, 상기 반도체 발광소자들(1050) 중 일부는 바닥판(166)에 가라앉을 수 있다.
- [0087] 다음으로, 상기 유체 챔버(162) 내에서 상기 반도체 발광소자들(1050)이 수직방향으로 떠오르도록 상기 반도체 발광소자들(1050)에 자기력을 가한다(도 8b).

- [0088] 상기 자가조립 장치의 자석(163)이 원위치에서 상기 기관(161)의 조립면의 반대면으로 이동하면, 상기 반도체 발광소자들(1050)은 상기 기관(161)을 향하여 상기 유체 내에서 떠오르게 된다. 상기 원위치는 상기 유체 챔버(162)로부터 벗어난 위치가 될 수 있다. 다른 예로서, 상기 자석(163)이 전자석으로 구성될 수 있다. 이 경우에는 전자석에 전기를 공급하여 초기 자기력을 생성하게 된다.
- [0089] 한편, 본 예시에서, 상기 자기력의 크기를 조절하면 상기 기관(161)의 조립면과 상기 반도체 발광소자들(1050)의 이격거리가 제어될 수 있다. 예를 들어, 상기 반도체 발광소자들(1050)의 무게, 부력 및 자기력을 이용하여 상기 이격거리를 제어한다. 상기 이격거리는 상기 기관의 최외각으로부터 수 밀리미터 내지 수십 마이크로미터가 될 수 있다.
- [0090] 다음으로, 상기 유체 챔버(162) 내에서 상기 반도체 발광소자들(1050)이 일방향을 따라 이동하도록, 상기 반도체 발광소자들(1050)에 자기력을 가한다. 예를 들어, 상기 자석(163)을 상기 기관과 수평한 방향, 시계방향 또는 반시계방향으로 이동한다(도 8c). 이 경우에, 상기 반도체 발광소자들(1050)은 상기 자기력에 의하여 상기 기관(161)과 이격된 위치에서 상기 기관(161)과 수평한 방향으로 따라 이동하게 된다.
- [0091] 다음으로, 상기 반도체 발광소자들(1050)이 이동하는 과정에서 상기 기관(161)의 기설정된 위치에 안착되도록, 전기장을 가하여 상기 반도체 발광소자들(1050)을 상기 기설정된 위치로 유도하는 단계가 진행된다(도 8c). 예를 들어, 상기 반도체 발광소자들(1050)이 상기 기관(161)과 수평한 방향으로 따라 이동하는 도중에 상기 전기장에 의하여 상기 기관(161)과 수직인 방향으로 이동하여 상기 기관(161)의 기설정된 위치에 안착된다.
- [0092] 보다 구체적으로, 기관(161)의 bi-planar 전극에 전원을 공급하여 전기장을 생성하고, 이를 이용하여 기설정된 위치에서만 조립이 되도록 유도하게 된다. 즉 선택적으로 생성한 전기장을 이용하여, 반도체 발광소자들(1050)이 상기 기관(161)의 조립위치에 스스로 조립되도록 한다. 이를 위하여, 상기 기관(161)에는 상기 반도체 발광소자들(1050)이 끼워지는 셀들이 구비될 수 있다.
- [0093] 이후에, 상기 기관(161)의 언로딩 과정이 진행되며, 조립 공정이 완료된다. 상기 기관(161)이 조립 기관인 경우에, 전술한 바와 같이 어레인된 반도체 발광소자들을 배선기관으로 전사하여 디스플레이 장치를 구현하기 위한 후공정이 진행될 수 있다.
- [0094] 한편, 상기 반도체 발광소자들(1050)을 상기 기설정된 위치로 유도한 후에, 상기 유체 챔버(162) 내에 남아있는 반도체 발광소자들(1050)이 상기 유체 챔버(162)의 바닥으로 떨어지도록 상기 자석(163)을 상기 기관(161)과 멀어지는 방향으로 이동시킬 수 있다(도 8d). 다른 예로서, 상기 자석(163)이 전자석인 경우에 전원공급을 중단하면, 상기 유체 챔버(162) 내에 남아있는 반도체 발광소자들(1050)이 상기 유체 챔버(162)의 바닥으로 떨어지게 된다.
- [0095] 이후에, 상기 유체 챔버(162)의 바닥에 있는 반도체 발광소자들(1050)을 회수하면, 상기 회수된 반도체 발광소자들(1050)의 재사용이 가능하게 된다.
- [0096] 상기에서 설명된 자가조립 장치 및 방법은 fluidic assembly에서 조립 수율을 높이기 위해 자기장을 이용하여 먼거리의 부품들을 미리 정해진 조립 사이트 근처에 집중시키고, 조립 사이트에 별도 전기장을 인가하여 조립 사이트에만 선택적으로 부품이 조립되도록 한다. 이때 조립기관을 수조 상부에 위치시키고 조립면이 아래로 향하도록 하여 부품의 무게에 의한 중력 영향을 최소화하면서 비특이적 결합을 막아 불량률을 제거한다. 즉, 전사수율을 높이기 위해 조립 기관을 상부에 위치시켜 중력이나 마찰력 영향을 최소화하며, 비특이적 결합을 막는다.
- [0097] 이상에서 살펴본 것과 같이, 상기와 같은 구성의 본 발명에 의하면, 개별화소를 반도체 발광소자로 형성하는 디스플레이 장치에서, 다량의 반도체 발광소자를 한번에 조립할 수 있다.
- [0098] 이와 같이, 본 발명에 따르면 작은 크기의 웨이퍼 상에서 반도체 발광소자를 다량으로 화소화시킨 후 대면적 기관으로 전사시키는 것이 가능하게 된다. 이를 통하여, 저렴한 비용으로 대면적의 디스플레이 장치를 제작하는 것이 가능하게 된다.
- [0099] 한편, 본 발명은 상술한 자가 조립 공정의 수율 및 자가 조립 이후 공정 수율을 높이기 위한 조립 기관의 구조 및 방법을 제공한다. 본 발명은 상기 기관(161)이 조립 기관으로 사용될 때로 한정된다. 즉, 후술할 조립 기관은 디스플레이 장치의 배선 기관으로 사용되는 것이 아니다. 이에, 이하에서는 상기 기관(161)을 조립 기관(161)이라 칭한다.
- [0100] 본 발명은 두 가지 관점에서 공정 수율을 향상시킨다. 첫 번째, 본 발명은 원하지 않는 위치에 전기장이 강하게 형성되어, 반도체 발광소자가 원하지 않는 위치에 안착되는 것을 방지한다. 두 번째, 본 발명은 조립 기관에 안

착된 반도체 발광소자들을 다른 기판으로 전사할 때, 반도체 발광소자가 조립 기판 상에 잔류하는 것을 방지한다.

- [0101] 상술한 해결과제는 서로 다른 구성 요소에 의해 개별적으로 달성되는 것이 아니다. 상술한 두 가지 해결과제는 후술할 구성요소와 기 설명한 조립 기판 (161)의 유기적인 결합에 의해 달성될 수 있다.
- [0102] 본 발명에 대하여 구체적으로 설명하기에 앞서, 자가 조립 후 디스플레이 장치를 제조하기 위한 후공정에 대하여 설명한다.
- [0103] 도 10a 내지 10c는 본 발명에 따른 자가 조립 공정 후 반도체 발광소자가 전사되는 모습을 나타내는 개념도들이다.
- [0104] 도 8a 내지 8e에서 설명한 자가 조립 공정이 종료되면, 조립 기판(161)의 기설정된 위치에는 반도체 발광소자들이 안착된 상태가 된다. 상기 조립 기판(161)에 안착된 반도체 발광소자들은 적어도 한 번 다른 기판으로 전사된다. 본 명세서에서는 상기 조립 기판(161)에 안착된 반도체 발광소자들이 2회 전사되는 일 실시 예에 대하여 설명하지만 이에 한정되지 않고, 상기 조립 기판(161)에 안착된 반도체 발광소자들은 1회 또는 3회 이상 다른 기판으로 전사될 수 있다.
- [0105] 한편, 자가 조립 공정이 종료된 직후에는 조립 기판(161)의 조립면이 하측 방향(또는 중력 방향)을 향하고 있는 상태이다. 자가 조립 후 공정을 위해 상기 조립 기판(161)은 반도체 발광소자가 안착된 상태로 180도 뒤집어질 수 있다. 이 과정에서 반도체 발광소자가 조립 기판(161)으로부터 이탈할 위험이 있기 때문에, 상기 조립 기판(161)을 뒤집는 동안 상기 복수의 전극들(161c, 이하 조립 전극들)에는 전압이 인가되어야 한다. 상기 조립 전극들간에 형성되는 전기장은 상기 조립 기판(161)이 뒤집어지는 동안 반도체 발광소자가 조립 기판(161)으로부터 이탈하는 것을 방지한다.
- [0106] 자가 조립 공정 후 조립 기판(161)을 180도로 뒤집으면 도 10a와 같은 형상이 된다. 구체적으로, 도 10a와 같이, 조립 기판(161)의 조립면은 상측(또는 중력의 반대 방향)을 향하는 상태가 된다. 이 상태에서, 전사 기판(400)이 상기 조립 기판(161) 상측에 열라인 된다.
- [0107] 상기 전사 기판(400)은 상기 조립 기판(161)에 안착된 반도체 발광소자들을 이탈시켜 배선 기판으로 전사하기 위한 기판이다. 상기 전사 기판(400)은 PDMS(polydimethylsiloxane) 재질로 형성될 수 있다. 따라서, 상기 전사 기판(400)은 PDMS 기판으로 지칭될 수 있다.
- [0108] 상기 전사 기판(400)은 상기 조립 기판(161)에 열라인된 후 상기 조립 기판(161)에 압착된다. 이후, 상기 전사 기판(400)을 상기 조립 기판(161)의 상측으로 이송하면, 전사 기판(400)의 부착력에 의하여, 조립 기판(161)에 배치된 반도체 발광소자들(350)은 상기 전사 기판(400)으로 이동하게 된다.
- [0109] 이를 위해, 상기 반도체 발광소자(350)와 전사 기판(400)간의 표면 에너지는 상기 반도체 발광소자(350)와 유전체층(161b) 간의 표면 에너지보다 높아야 한다. 상기 반도체 발광소자(350)와 전사 기판(400)간의 표면 에너지와 상기 반도체 발광소자(350)와 유전체층(161b) 간의 표면 에너지의 차이가 클수록, 반도체 발광소자(350)가 조립 기판(161)으로부터 이탈될 확률이 높아지므로, 상기 두 표면 에너지의 차이는 클수록 바람직하다.
- [0110] 한편, 상기 전사 기판(400)을 상기 조립 기판(161)에 압착시킬 때, 전사 기판(400)에 의해 가해지는 압력이 반도체 발광소자(350)에 집중되도록, 상기 전사 기판(400)은 복수의 돌기부(410)를 포함할 수 있다. 상기 돌기부(410)는 상기 조립 기판(161)에 안착된 반도체 발광소자들과 동일한 간격으로 형성될 수 있다. 상기 돌기부(410)가 상기 반도체 발광소자들(350)과 오버랩되도록 열라인 한 후, 상기 전사 기판(400)을 조립 기판(161)에 압착시킬 경우, 전사 기판(400)에 의한 압력이 반도체 발광소자들(350)에만 집중될 수 있다. 이를 통해, 본 발명은 반도체 발광소자가 조립 기판(161)으로부터 이탈될 확률을 증가시킨다.
- [0111] 한편, 상기 반도체 발광소자들이 상기 조립 기판(161)에 안착된 상태에서 반도체 발광소자의 일부는 홈 외부로 노출되는 것이 바람직하다. 반도체 발광소자들(350)이 홈 외부로 노출되지 않는 경우, 전사 기판(400)에 의한 압력이 반도체 발광소자들(350)에 집중되지 않아 반도체 발광소자(350)가 조립 기판(161)으로부터 이탈할 확률이 낮아질 수 있다.
- [0112] 마지막으로, 도 10c를 참조하면, 상기 전사 기판(400)을 배선 기판(500)에 압착시켜, 반도체 발광소자들(350)을 상기 전사 기판(400)에서 상기 배선 기판(500)으로 전사시키는 단계가 진행된다. 이때, 상기 배선 기판(500)에는 돌출부(510)가 형성될 수 있다. 상기 전사 기판(400)에 배치된 반도체 발광소자들(350)과 상기 돌출부(510)가 오버랩되도록, 상기 전사 기판(400)과 상기 배선 기판(500)을 열라인 시킨다. 이후, 상기 전사 기판(400)과

상기 배선 기판(500)을 압착시킬 경우, 상기 돌출부(510)로 인하여 상기 반도체 발광소자들(350)이 상기 전사 기판(400)으로부터 이탈할 확률이 증가할 수 있다.

- [0113] 한편, 전사 기판(400)에 배치된 반도체 발광소자들(350)이 배선 기판 (500)으로 전사되기 위해서는, 상기 반도체 발광소자(350)와 상기 배선 기판(500) 간의 표면 에너지가 상기 반도체 발광소자(350)와 전사 기판(400)간의 표면 에너지보다 높아야 한다. 상기 반도체 발광소자(350)와 상기 배선 기판 (500) 간의 표면 에너지와 상기 반도체 발광소자(350)와 전사 기판(400)간의 표면 에너지의 차이가 클수록, 반도체 발광소자(350)가 전사 기판 (400)으로부터 이탈될 확률이 높아지므로, 상기 두 표면 에너지의 차이는 클수록 바람직하다.
- [0114] 상기 배선 기판(500)으로 상기 전사 기판(400)에 배치된 반도체 발광소자들(350) 모두 전사한 후, 상기 반도체 발광소자들(350)과 배선 기판에 형성된 배선 전극 간에 전기적 연결을 형성하는 단계가 진행될 수 있다. 상기 배선 전극의 구조 및 전기적 연결을 형성하는 방법은 반도체 발광소자(350)의 종류에 따라 달라질 수 있다.
- [0115] 한편, 도시되지 않았지만, 상기 배선 기판(500)에는 이방성 전도성 필름이 배치될 수 있다. 이 경우, 상기 전사 기판(400)과 상기 배선 기판(500)을 압착시키는 것 만으로 반도체 발광소자들(350)과 배선 기판(500)에 형성된 배선 전극들간에 전기적 연결이 형성될 수 있다.
- [0116] 한편, 서로 다른 색을 발광하는 반도체 발광소자들을 포함하는 디스플레이 장치를 제조하는 경우, 도 10a 내지 10c에서 설명한 방법은 다양한 방식으로 구현될 수 있다. 이하, 적색(R), 녹색(G), 청색(B)을 발광하는 반도체 발광소자를 포함하는 디스플레이 장치의 제조 방법에 대하여 설명한다.
- [0117] 도 11 내지 13은 적색(R), 녹색(G), 청색(B)을 발광하는 반도체 발광소자를 포함하는 디스플레이 장치의 제조 방법을 나타내는 순서도이다.
- [0118] 서로 다른 색을 발광하는 반도체 발광소자들은 서로 다른 조립 기판에 개별적으로 조립될 수 있다. 구체적으로, 상기 조립 기판(161)은 제1색을 발광하는 반도체 발광소자들이 안착되는 제1조립 기판, 상기 제1색과 다른 제2 색을 발광하는 반도체 발광소자들이 안착되는 제2조립 기판, 상기 제1색 및 제2색과 다른 제3색을 발광하는 반도체 발광소자들이 안착되는 제3조립 기판을 포함할 수 있다. 각각의 조립 기판에는 도 8a 내지 8e에서 설명한 방법에 따라, 서로 다른 종류의 반도체 발광소자들이 조립된다. 예를 들어, 제1 내지 제3조립 기판 각각에는 적 색(R), 녹색(G), 청색(B)을 발광하는 반도체 발광소자 각각이 조립될 수 있다.
- [0119] 도 11을 참조하면, 제1 내지 제3조립 기판(RED TEMPLATE, GREEN TEMPLATE, BLUE TEMPLATE) 각각에 RED 칩, GREEN 칩, BLUE 칩 각각이 조립될 수 있다. 이 상태에서, 상기 RED 칩, GREEN 칩, BLUE 칩 각각은 서로 다른 전사 기판에 의해 배선 기판으로 전사될 수 있다.
- [0120] 구체적으로, 조립 기판에 안착된 반도체 발광소자들을 배선 기판으로 전사하는 단계는, 상기 제1조립 기판(RED TEMPLATE)에 제1전사 기판 (스탬프(R))을 압착시켜, 상기 제1색을 발광하는 반도체 발광소자들(RED 칩)을 상기 제1조립 기판(RED TEMPLATE)에서 상기 제1전사 기판(스탬프(R))으로 전사시키는 단계, 상기 제2조립 기판(GREEN TEMPLATE)에 제2전사 기판 (스탬프(G))을 압착시켜, 상기 제2색을 발광하는 반도체 발광소자들(GREEN 칩)을 상 기 제2조립 기판(GREEN TEMPLATE)에서 상기 제2전사 기판(스탬프(G))으로 전사시키는 단계 및 상기 제3조립 기판(BLUE TEMPLATE)에 제3전사 기판 (스탬프(B))을 압착시켜, 상기 제3색을 발광하는 반도체 발광소자들(BLUE 칩)을 상기 제3조립 기판(BLUE TEMPLATE)에서 상기 제3전사 기판(스탬프(B))으로 전사시키는 단계를 포함할 수 있다.
- [0121] 이후, 상기 제1 내지 제3전사 기판 각각을 상기 배선 기판에 압착시켜, 상기 제1 내지 제3색을 발광하는 반도체 발광소자들을 상기 제1 내지 제3전사 기판 각각에서 상기 배선 기판으로 전사시키는 단계가 진행된다.
- [0122] 도 11에 따른 제조방법에 따르면, RED 칩, GREEN 칩, BLUE 칩을 포함하는 디스플레이 장치를 제조하기 위해 세 종류의 조립 기판 및 세 종류의 전사 기판을 필요로 한다.
- [0123] 이와 달리, 도 12를 참조하면, 제1 내지 제3조립 기판(RED TEMPLATE, GREEN TEMPLATE, BLUE TEMPLATE) 각각에 RED 칩, GREEN 칩, BLUE 칩 각각이 조립될 수 있다. 이 상태에서, 상기 RED 칩, GREEN 칩, BLUE 칩 각각은 동 일한 전사 기판에 의해 배선 기판으로 전사될 수 있다.
- [0124] 구체적으로, 상기 조립 기판 상에 안착된 반도체 발광소자들을 배선 기판으로 전사하는 단계는, 상기 제1조립 기판(RED TEMPLATE)에 전사 기판(RGB 통합 스탬프)을 압착시켜, 상기 제1색을 발광하는 반도체 발광소자들(RED 칩)을 상기 제1조립 기판(RED TEMPLATE)에서 상기 전사 기판(RGB 통합 스탬프)으로 전사시키는 단계, 상기 제2 조립 기판(GREEN TEMPLATE)에 상기 전사 기판(RGB 통합 스탬프)을 압착시켜, 상기 제2색을 발광하는 반도체 발

광소자들(GREEN 칩)을 상기 제2조립 기관(GREEN TEMPLATE)에서 상기 전사 기관(RGB 통합 스탬프)으로 전사시키는 단계, 상기 제3조립 기관(BLUE TEMPLATE)에 상기 전사 기관(RGB 통합 스탬프)을 압착시켜, 상기 제3색을 발광하는 반도체 발광소자들(BLUE 칩)을 상기 제3조립 기관(BLUE TEMPLATE)에서 상기 전사 기관(RGB 통합 스탬프)으로 전사시키는 단계를 포함한다.

- [0125] 이 경우, 상기 제1 내지 제3조립 기관 각각과 상기 전사 기관 간의 얼라인 위치가 서로 달라질 수 있다. 예를 들어, 조립 기관과 전사 기관 간의 얼라인이 완료되었을 때, 상기 제1조립 기관에 대한 상기 전사 기관의 상대적 위치와 상기 제2조립 기관에 대한 상기 전사 기관의 상대적 위치는 서로 다를 수 있다. 상기 전사 기관은 조립 기관의 종류가 바뀔 때마다, SUB PIXEL의 PITCH 만큼 얼라인 위치를 쉬프트할 수 있다. 이러한 방식을 통해, 상기 전사 기관을 상기 제1 내지 제3조립 기관에 순차적으로 압착시켰을 때, 세 종류의 칩이 모두 상기 전사 기관으로 전사되도록 할 수 있다.
- [0126] 이 후, 도 11과 마찬가지로, 상기 전사 기관을 상기 배선 기관에 압착시켜, 상기 제1 내지 제3색을 발광하는 반도체 발광소자들을 상기 전사 기관에서 상기 배선 기관으로 전사시키는 단계가 진행된다.
- [0127] 도 12에 따른 제조방법에 따르면, RED 칩, GREEN 칩, BLUE 칩을 포함하는 디스플레이 장치를 제조하기 위해 세 종류의 조립 기관 및 한 종류의 전사 기관을 필요로 한다.
- [0128] 상술한 도 11 및 12와는 달리, 도 13에 따르면, 하나의 조립 기관(RGB 통합 TEMPLATE)에 RED 칩, GREEN 칩, BLUE 칩 각각이 조립될 수 있다. 이 상태에서, 상기 RED 칩, GREEN 칩, BLUE 칩 각각은 동일한 전사 기관(RGB 통합 스탬프)에 의해 배선 기관으로 전사될 수 있다.
- [0129] 도 13에 따른 제조방법에 따르면, RED 칩, GREEN 칩, BLUE 칩을 포함하는 디스플레이 장치를 제조하기 위해 한 종류의 조립 기관 및 한 종류의 전사 기관을 필요로 한다.
- [0130] 상술한 바와 같이, 서로 다른 색을 발광하는 반도체 발광소자들을 포함하는 디스플레이 장치를 제조하는 경우, 그 제조방법은 다양한 방식으로 구현될 수 있다.
- [0131] 본 발명은 전술한 자가조립 방식에 있어서, 전기장을 형성하기 위해 조립 기관에 형성된 조립 전극들 중 서로 다른 극성의 전압 신호를 인가받는 조립 전극들을 서로 다른 평면 상에 배치하여 전극 간 단락을 방지함으로써 반도체 발광소자의 자가조립률을 향상시킬 수 있는 구조를 갖는 조립 기관에 관한 것으로, 이하에서는 첨부된 도면을 참조하여 본 발명의 다양한 실시예에 대해 설명하도록 한다.
- [0132] 먼저, 도 14 내지 도 16을 참조하여 종래의 조립 기관 구조 및 자가조립 시 조립 기관에 형성되는 전기장의 형태에 대해 간략하게 설명한다.
- [0133] 도 14는 종래 조립 기관의 구조를 나타낸 도면이고, 도 15는 조립 전극 사이에 형성되는 전기장의 형태를 설명하는 개념도이고, 도 16은 종래 조립 기관에 형성된 조립 전극이 단락된 상태를 나타낸 도면이다.
- [0134] 조립 기관(161)은 디스플레이 장치의 제조방법에 사용되는 기관으로, 구체적으로 자가조립을 통한 디스플레이 장치의 제조방법에 사용되는 기관일 수 있다. 여기서, 자가조립은 전기장 및 자기장을 이용하여 반도체 발광소자들(150)을 조립 기관(161)의 기 설정된 위치로 안착시키는 디스플레이 제조 방법일 수 있다. 또한, 이하에서 설명하는 반도체 발광소자(150)는 전기장 및 자기장에 의해 조립 기관(161)에 자가조립 될 수 있도록 자성체를 포함하는 반도체 발광소자를 의미할 수 있다.
- [0135] 도 14에 도시된 바와 같이 종래의 조립 기관(161)은 베이스부(161a), 유전체층(161b), 복수의 조립 전극들(161c), 반도체 발광소자(150)가 안착되는 셀(161d) 및 격벽(161e)으로 이루어질 수 있다.
- [0136] 조립 전극들(161c)은 일 방향으로 연장 형성되어, 베이스부(161a) 상에 평행하게 배치될 수 있으며, 유전체층(161b)은 복수의 조립 전극들(161c)을 덮도록 베이스부(161a)에 적층될 수 있다.
- [0137] 유전체층(161b)에는 격벽(161e)이 적층될 수 있다. 격벽(161e)은 조립 전극(161c)의 일부와 오버랩 되도록 조립 전극(161c)의 연장 방향을 따라 소정 간격으로 반도체 발광소자(150)가 안착되는 셀(161d)을 형성하면서 적층될 수 있다.
- [0138] 한편, 외부에서 조립 전극(161c)으로 전압이 인가됨에 따라 셀(161d) 내부에는 도 15와 같이 전기장(E1)이 형성될 수 있으며, 반도체 발광소자(150)는 전기장(E1)에 의해 셀(161d)에 안착될 수 있다. 전기장(E1)의 형성을 위해 인접한 조립 전극(161c)에는 서로 다른 극성의 전압 신호가 인가될 수 있으며, 이로써 인접한 조립 전극(161c) 사이의 영역에 전기장(E1)이 형성될 수 있다. 전기장(E1)은 조립 전극들(161c)과 가까울수록 강하게 형

성되며, 조립 전극들 (161c)로부터 멀어질수록 약해진다.

- [0139] 조립 기관(161)은 조립 전극들(161c)이 형성된 조립면에 외부에서 전원이 인가됨에 따라 조립 전극들(161c)에 전압을 공급하는 전압 인가부(170)를 포함할 수 있다. 전압 인가부(170)는 전원 공급부(미도시)와 연결되어 전원이 인가되는 전극 패드와, 전극 패드 및 조립 전극들(161c)과 연결되어 조립 전극들(161c)에 전압을 공급하는 버스 라인을 포함할 수 있다.
- [0140] 전압 인가부(170)는 조립 전극들(161c)이 연장된 방향을 기준으로 양측에 각각 구비될 수 있다. 이 때, 일측에 구비된 전압 인가부(170a)(이하, 제1 전압 인가부)는 조립 전극들 (161c)에 (+) 신호의 전압을 인가하고, 타측에 구비된 전압 인가부(170b)(이하, 제2 전압 인가부)는 조립 전극들(161c)에 (-) 신호의 전압을 인가할 수 있다.
- [0141] 제1 전압 인가부(170a) 및 제2 전압 인가부(170b)는 서로 다른 조립 전극들(161c)과 선택적으로 연결될 수 있다. 즉, 하나의 조립 전극(161c)은 제1 전압 인가부(170a) 및 제2 전압 인가부(170b) 중 어느 하나와 연결되어 (+) 또는 (-) 극성의 전압 신호가 인가될 수 있다.
- [0142] 또한, 조립면에 전기장(E1) 형성을 위해 인접한 조립 전극(161c)은 서로 다른 전압 인가부(170)와 연결되어 서로 다른 극성의 전압 신호가 인가될 수 있다.
- [0143] 한편, 반도체 발광소자(150)는 전술한 자가조립을 위한 장치를 이용하여 조립 기관(200) 상에 조립될 수 있다. 이 때, 조립면은 반도체 발광소자(150)가 부유하고 있는 유체를 향하도록 배치될 수 있으며, 조립면 상에는 전기장(E1)이 형성되어 반도체 발광소자(150)를 조립면 측으로 유도할 수 있다. 이러한 조립 환경 하에서 조립면에는 미세 크기의 파티클(P)이 들러붙을 수 있으며, 파티클 (P)로 인해 인접한 조립 전극(161c) 간 단락이 발생하는 문제가 있었다. 한편, 전극 단락 발생 시 조립면 전체에 전기장(E1)이 형성되지 않게 되어 반도체 발광소자(150)의 조립률이 크게 저하되는 문제가 있었다.
- [0144] 이하에서는 도 17 내지 도 21을 참조하여 본 발명의 실시예에 따른 서로 다른 극성의 전압 신호가 인가되는 조립 전극이 서로 다른 평면 상에 배치되는 구조의 조립 기관 및 조립 기관의 제조 방법에 대하여 설명하도록 한다.
- [0145] 도 17은 본 발명의 일 실시예에 따른 조립 기관의 단면도이고, 도 18은 본 발명의 다른 실시예에 따른 조립 기관에 형성된 조립 전극의 구조를 나타낸 도면이고, 도 19a 및 도 19b는 도 18에 따른 조립 기관의 단면도이고, 도 20은 본 발명의 다른 실시예에 따른 조립 기관에 형성된 조립 전극의 구조를 나타낸 도면이고, 도 21a 내지 도 21f는 본 발명의 일 실시예에 따른 조립 기관을 제조하는 과정을 순차적으로 나타낸 도면이다.
- [0146] 본 발명의 실시예에 따른 조립 기관(200)은 전술한 조립 기관(161)과 마찬가지로 반도체 발광소자(150)의 자가조립에 사용되는 기관일 수 있으며, 베이스부(210), 유전체층(220), 복수의 조립 전극들(230), 반도체 발광소자(150)가 안착되는 셀(240) 및 격벽(250)을 포함하여 이루어질 수 있다.
- [0147] 복수의 조립 전극들(230)은 일 방향으로 연장 형성되어, 베이스부(210) 상에 소정 간격으로 배치될 수 있다.
- [0148] 유전체층(220)은 복수의 조립 전극들(230)을 덮도록 베이스부(210)에 적층될 수 있다. 유전체층(220)에는 격벽(250)이 적층될 수 있으며, 격벽(250)은 조립 전극(230)의 일부와 오버랩 되도록 조립 전극(230)의 연장 방향을 따라 소정 간격으로 반도체 발광소자(150)가 안착되는 셀(240)을 형성하면서 유전체층 (220)에 적층될 수 있다.
- [0149] 조립 전극들(230)에 전압이 인가됨에 따라 조립 전극(230)의 일부와 오버랩 되도록 형성된 셀(240) 내부에는 전기장(E1)이 형성될 수 있으며, 전기장 (E1)에 의해 반도체 발광소자(150)는 셀(240)에 안착될 수 있다.
- [0150] 본 발명의 실시예에 따르면, 조립 전극들(230)은 베이스부(210) 상의 서로 다른 평면 상에 배치될 수 있다. 예를 들어, 본 실시예에 의하면 조립 전극들 (230)은 배치되는 평면에 따라 제1전극(230a) 및 제2전극(230b)으로 구분될 수 있으며, 제1전극(230a)은 베이스부(210)의 일면에 배치되고, 제2전극(230b)은 유전체층(220)의 일면에 배치될 수 있다(도 17 참조). 즉, 조립 기관(200)은 유전체층(220)에 의해 제1전극(230a) 및 제2전극(230b)이 서로 분리된 구조를 가질 수 있다. 또한, 서로 분리된 제1전극(230a) 및 제2전극(230b)에는 서로 다른 극성의 전압 신호가 인가될 수 있다.
- [0151] 본 발명의 실시예에 따르면, 유전체층(220)은 조립 전극들(230)을 서로 다른 평면 상에 배치하기 위해 2개의 층으로 이루어질 수 있다. 구체적으로, 유전체층(220)은 베이스부(210)의 일면에 배치된 제1전극들(230a)을 덮도록 형성되며, 제2전극들(230b)이 배치되는 제1유전체층(220a)과, 제2전극들 (230b) 및 제1유전체층(220a)을 덮

도록 형성되며, 격벽(250)이 적층되는 제2 유전체층(220b)으로 이루어질 수 있다.

- [0152] 유전체층(220)은 제1전극(230a) 및 제2 전극(230b)을 분리시키기 위해 제1유전체층(220a) 및 제2유전체층(220b)으로 분리될 수 있으며, 제1유전체층(220a) 및 제2유전체층(220b)의 기능(예: 절연 기능)은 동일할 수 있다.
- [0153] 이하에서는, 조립 전극(230)을 구성하는 제1전극들(230a) 및 제2전극들(230b)의 다양한 실시예에 대하여 설명한다.
- [0154] 먼저, 제1전극들(230a) 및 제2전극들(230b) 중 적어도 어느 하나는 동일 평면 상에 배치된 인접한 전극들 간 평행하게 배치될 수 있다. 베이스부(210) 상에 배치된 제1전극들(230a)은 제1전극들(230a) 간에 서로 평행할 수 있으며, 제1유전체층(220a) 상에 배치된 제2전극들(230b)은 제2전극들(230b) 간에 서로 평행할 수 있다.
- [0155] 이 때, 일 실시예로, 제1전극들(230a) 및 제2전극들(230b)은 서로에 대하여 평행하게 배치될 수 있다(도 17). 즉, 서로 다른 평면 상에 배치된 제1 전극들(230a) 및 제2전극들(230b)은 서로 평행하도록 배치될 수 있다. 또한, 이와 같이 제1전극들(230a) 및 제2전극들(230b)이 서로 평행하는 경우, 제1전극(230a) 및 제2전극(230b)은 교대로 배치될 수 있으며, 셀(240)은 제1 전극(230a) 및 제2전극(230b)의 일부와 오버랩 될 수 있다.
- [0156] 다른 실시예로, 제1전극들(230a) 및 제2전극들(230b)은 서로 교차하도록 배치될 수 있다. 이하에서는, 제1전극(230a)과 교차하도록 형성된 제2전극(230b)의 일부를 교차 라인(232b)이라고 한다.
- [0157] 제2전극들(230b)은 제1전극(230a)과 교차하도록 배치된 교차 라인(232b)을 포함할 수 있으며, 교차 라인들(232b) 간에는 서로 평행할 수 있다.
- [0158] 제1전극들(230a)과 제2전극들(230b)은 다양한 각도로 교차할 수 있으며, 바람직하게 제1전극들(230a) 및 제2전극들(230b)은 서로 직교할 수 있다. 제1 전극들(230a) 및 제2전극들(230b)이 직교하는 경우, 보다 많은 위치에 반도체 발광소자를 조립할 수 있는 바, 조립 기관의 활용 측면에서 유리하다.
- [0159] 제1전극들(230a)과 제2전극들(230b)이 서로 교차하는 경우, 반도체 발광소자(150)가 안착되는 셀(240)은 제1전극(230a) 및 제2전극(230b)이 교차하는 지점 부근에서 제1전극(230a) 및 제2전극(230b)의 일부와 오버랩 되도록 형성될 수 있다.
- [0160] 제1전극들(230a) 및 제2전극들(230b)이 서로 교차하도록 배치된 경우, 특정 셀(240)에 반도체 발광소자(150)를 선택적으로 조립할 수 있는 장점이 있다. 구체적으로, 도 18에서, 하나의 제1전극(230a)과 하나의 제2전극(230b)에 전압을 인가하는 경우, 상기 전압이 인가된 제1전극(230a) 및 제2전극(230b)이 교차하는 지점 부근에 형성된 셀(240) 내부에 한하여 전기장(E1)이 형성되게 되며, 이로써 반도체 발광소자(150)의 선택적인 조립이 가능할 수 있다.
- [0161] 특히, R, G, B 부분 화소 중 적어도 2 이상의 부분 화소로 구성된 조립 기관(200)을 제조할 수 있으며, 상기 부분 화소들을 원하는 배열로 조립할 수 있는 효과가 있다.
- [0162] 또한, 자가조립 이후 리페어 공정에서 반도체 발광소자(150)가 미조립 된 특정 사이트에 반도체 발광소자(150)를 선택적으로 조립할 수 있다.
- [0163] 다른 실시예로, 제1전극들(230a) 및 제2전극들(230b)이 교차하는 경우, 제1전극들(230a) 및 제2전극들(230b) 중 어느 하나는, 제2전극들(230b) 또는 제1전극들(230a)과 평행한 방향으로 돌출된 복수의 돌출부(231b)들을 더 포함할 수 있다(도 18, 도 20 참조).
- [0164] 돌출부(231b)는 각각의 셀(240)에 대응하여 구비될 수 있으며, 제1전극(230a) 및 제2전극(230b) 사이에 형성되는 전기장(E1)의 세기를 보강할 수 있다. 예를 들어, 제2전극(230b)이 돌출부(231b)를 포함하는 경우, 제1전극(230a) 및 상기 제1전극(230a)과 평행하는 제2전극(230b)의 돌출부(232b)는 교대로 배치될 수 있으며, 셀(240)은 제1전극(230a) 및 제2전극(230b)의 일부와 오버랩 될 수 있다. 이 때, 셀(240)은 제1전극(230a) 및 돌출부(232b)의 일부와 오버랩 될 수 있다.
- [0165] 한편, 이상의 설명 및 첨부된 도면에서는 제2전극들(230b)이 돌출부(231b)를 포함하는 것으로 설명하였으나, 이와 반대로 제1전극들(230a)이 상기 제2전극들(230b)의 구조를 가질 수 있음은 물론이다.
- [0166] 다음으로, 도 21a 내지 도 21f를 참조하여, 전술한 서로 다른 평면 상에 배치된 조립 전극들(230)을 포함하는 조립 기관(200)을 제조하는 과정에 대해 설명한다.
- [0167] 먼저, 베이스부(210) 상에 제1전극(230a)을 형성하기 위한 금속을 증착한다(도 21a). 베이스부(210)는 절연성

있는 재질로 이루어진 것일 수 있으며, 베이스부(210) 상에는 Mo/Al/Mo, Ti/Cu/To, ITO 등이 제1전극(230a)을 형성하기 위한 금속으로 증착될 수 있다. 상기 금속은 베이스부(210) 상에 수 십 내지 수 백 nm 수준의 두께로 증착될 수 있다.

- [0168] 증착된 금속에는 포토레지스트 공정을 통해 패턴을 형성하며, 이 후 소정 간격으로 식각하여 복수의 제1전극들(230a)을 형성한다(도 21b). 제1전극들(230a)은 식각에 의해 베이스부(210) 상에 소정 간격으로 배치될 수 있다.
- [0169] 다음으로, 제1전극들(230a)을 덮도록 베이스부(210) 상에 제1유전체층(220a)이 적층될 수 있으며, 베이스부(210) 및 제1전극들(230a)의 둘레를 따라 적층될 수 있다(도 20c). 제1유전체층(220a)은 절연성 있는 SiO₂, SiN_x, Al₂O₃ 등의 무기물, 유기 폴리머 등의 절연성 있는 재질로 형성될 수 있다. 또한, 제1 유전체층(220a)은 두께가 너무 얇은 경우 부식에 의해 전극이 손상되기 쉽고, 너무 두꺼운 경우 전기장(E1)의 영향력이 약해져 조립력이 저하될 수 있으므로, 수 십 내지 수 백 nm 수준의 두께로 증착될 수 있다.
- [0170] 제1유전체층(220a)에는 제1전극(230a)과 동일한 방식으로 제2전극(230b)이 형성될 수 있다(도 20d). 즉, 제1유전체층(220a) 상에 제2전극(230b)을 형성하기 위한 금속을 증착하고, 포토레지스트 공정을 통해 패턴을 형성한 후 식각함으로써 제2전극(230b)을 형성할 수 있다.
- [0171] 일 실시예로, 제2전극(230b)은 제1전극(230a)과 오버랩 되지 않는 제1 유전체층(220a)의 영역에 형성될 수 있으며, 이 경우, 제1전극(230a) 및 제2 전극(230b)은 서로 평행하도록 배치될 수 있다. 인접한 제1전극(230a) 및 제2 전극(230b)에는 서로 다른 극성의 전압이 인가되게 되며, 한 쌍의 페어 전극을 이룰 수 있다.
- [0172] 바람직하게는, 인접한 제1전극(230a) 및 제2전극(230b) 간의 간격은 반도체 발광소자(150)의 크기 대비 25 내지 75%일 수 있다. 페어 전극의 간격이 너무 좁으면 반도체 발광소자(150)가 수직으로 조립될 확률이 높아지고, 간격이 너무 넓으면 조립력이 저하될 수 있으므로, 제1전극(230a) 및 제2전극(230b)은 상기 범위의 간격을 갖도록 형성될 수 있다.
- [0173] 다른 실시예로, 제2전극(230b)은 제1전극(230a)과 교차하도록 제1유전체층(220a)에 형성될 수 있다. 제1전극(230a) 및 제2전극(230b)은 약 5° 내지 90°의 교차각을 이루도록 교차할 수 있으며, 바람직하게는 서로 직교할 수 있다.
- [0174] 다음으로, 제2전극들(230b)을 덮도록 제1유전체층(220a) 상에 제2 유전체층(220b)이 적층될 수 있으며, 제1유전체층(220a) 및 제2전극들(230b)의 둘레를 따라 적층될 수 있다(도 20f). 제2유전체층(220b)은 절연성 있는 SiO₂, SiN_x, Al₂O₃ 등의 무기물, 유기 폴리머 등의 절연성 있는 재질로 형성될 수 있으며, 제1유전체층(220a)과 동일한 소재로 형성되거나 또는 서로 다른 소재로 형성될 수 있다. 또한, 제1 유전체층(220a)과 동일하거나 유사한 두께(수 십 내지 수 백 nm 수준의 두께)로 증착될 수 있다.
- [0175] 마지막으로, 제2유전체층(220b) 상에 격벽(250)이 적층될 수 있다. 격벽(250)은 반도체 발광소자(150)가 안착되는 셀(240)을 형성하면서, 조립 전극들(230)의 일부, 즉, 제1전극(230a) 및 제2전극(230b)의 일부와 오버랩 되도록 제2유전체층(220b) 상에 적층될 수 있다.
- [0176] 격벽(250)은 감광성 폴리머(예: 감광성 아크릴레이트) 또는 SiO₂, SiN_x 등의 무기 재료로 형성될 수 있으며, 조립되는 반도체 발광소자(150)의 두께(높이 방향 기준)와 유사한 두께, 예를 들어, 수 내지 수 십 μm의 두께로 적층될 수 있다. 격벽(250)의 두께가 너무 얇으면 자가조립 시 셀(240)과의 구분이 용이하지 않게 되며, 격벽(250)의 두께가 너무 두꺼우면 하나의 셀(240)에 2 개 이상의 반도체 발광소자(150)가 조립될 수 있는 단점이 있으므로, 격벽(250)은 상기 범위를 만족하는 두께로 적층되는 것이 바람직하다.
- [0177] 또한, 격벽(250)에 의해 형성되는 셀(240)은 반도체 발광소자(150)보다 큰 크기로 형성되되, 1개의 반도체 발광소자(150)가 안착될 수 있는 크기로 형성될 수 있다. 바람직하게는, 셀(240)의 폭은 반도체 발광소자(150)의 조립률을 고려하여, 반도체 발광소자(150)의 크기 대비 약 20% 이상의 크기로 형성될 수 있다.
- [0178] 또한, 본 발명의 실시예에 따르면, 제1유전체층(220a) 및 제2유전체층(220b)이 평탄하게 적층되지 않고, 조립 전극(230)의 둘레를 따라 적층됨에 따라 셀(240) 내부에 리세스부(260)가 포함될 수 있다. 리세스부(260)는 셀(240)에 안착된 반도체 발광소자(150)와 유전체층(220) 사이의 접촉 면적을 감소시켜, 조립 기관(200)으로부터 전사 기관 또는 최종 기관으로 반도체 발광소자(150)를 전사하는 과정에서 반도체 발광소자(150)의 전사율을 향상시킬 수 있다.

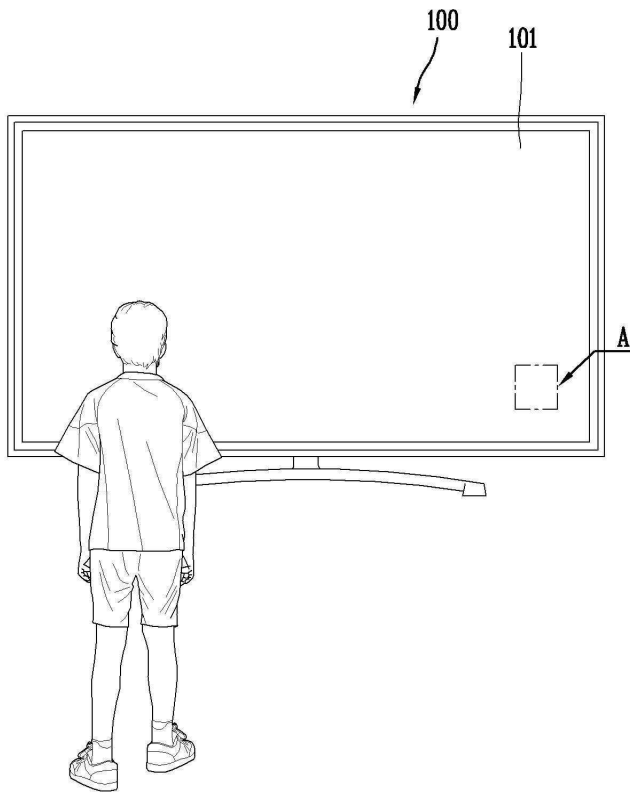
- [0179] 이하에서는, 본 발명의 실시예에 따른 전술한 조립 기관(200)을 이용한 디스플레이 제조방법에 대해 간략하게 설명한다.
- [0180] 본 발명에 의하면, 디스플레이 장치는 전술한 구조의 조립 기관(200)을 이용하여 종래의 자가조립 방식에 의한 디스플레이 장치의 제조 방법과 동일한 방식으로 제조될 수 있다.
- [0181] 구체적으로, 본 발명에 따른 디스플레이 장치의 제조방법은 전술한 구조의 조립 기관(200)을 조립위치로 이송하고, 자성체를 구비하는 복수의 반도체 발광소자들(150)을 유체 챔버 내 투입하는 단계, 유체 챔버 내 투입된 반도체 발광소자들(150)이 일방향을 따라 이동하도록 반도체 발광소자들(150)에 자기력을 가하는 단계, 반도체 발광소자들(150)이 이동하는 과정에서 조립 기관 (200) 상의 기 설정된 위치에 안착되도록 전기장을 가하여 반도체 발광소자들 (150)을 기 설정된 위치로 유도하는 단계, 및 조립 기관(200)에 안착된 반도체 발광소자들(150)을 배선이 형성된 최종 기관으로 전사시키는 단계를 포함할 수 있다.
- [0182] 본 발명의 제조방법에 사용되는 조립 기관(200)은 조립면의 서로 다른 평면 상에 배치되며, 전압 인가 시 전기장(E1)을 형성하는 조립 전극들(230)을 포함할 수 있다. 예를 들어, 조립 전극들(230)은 베이스부(120) 상에 형성되는 제1전극(230a) 및 유전체층(220) 상에 형성되는 제2전극(230b)을 포함할 수 있으며, 제1전극(230a) 및 제2전극 (230b)에는 서로 다른 극성의 전압 신호가 인가될 수 있다. 이와 같이 제1전극(230a) 및 제2전극(230b)을 분리시켜 배치함으로써 전극 간 단락을 방지할 수 있다.
- [0183] 한편, 제1전극(230a) 및 제2전극(230b)은 서로 평행하거나, 서로 교차할 수 있다. 제1전극(230a) 및 제2전극 (230b)이 서로 평행하는 경우, 제1전극 (230a) 및 제2전극(230b)은 교대로 배치될 수 있다.
- [0184] 또한, 제1전극(230a) 및 제2전극(230b)이 서로 평행하는 경우, 제1 전극(230a) 및 제2전극(230b) 사이의 영역에 전기장(E1)이 형성될 수 있으며, 제1전극(230a) 및 제2전극 (230b)이 서로 교차하는 경우, 두 전극이 교차하는 지점 부근에 전기장(E1)이 형성될 수 있다.
- [0185] 반도체 발광소자(150)가 안착되는 기 설정된 위치는 제1전극(230a) 및 제2전극(230b)의 일부와 오버랩 될 수 있으며, 이 때, 전기장(E1)이 형성되는 영역과도 오버랩 될 수 있다.
- [0186] 한편, 조립 기관(200)에 안착된 반도체 발광소자들(150)을 배선이 형성된 최종 기관으로 전사시키는 단계는 2회 이상의 전사 과정을 포함할 수 있다. 조립 기관(200)에 안착된 반도체 발광소자들(150)은 최종 기관으로 전사되기 전 전사용 기관(또는 전사 스탬프)에 전사된 후 최종 기관으로 전사될 수 있으며, 상기 과정은 복수 회 반복 수행될 수 있다.
- [0187] 전술한 본 발명은 위에서 설명된 실시예들의 구성과 방법에 한정되는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수 있다.

부호의 설명

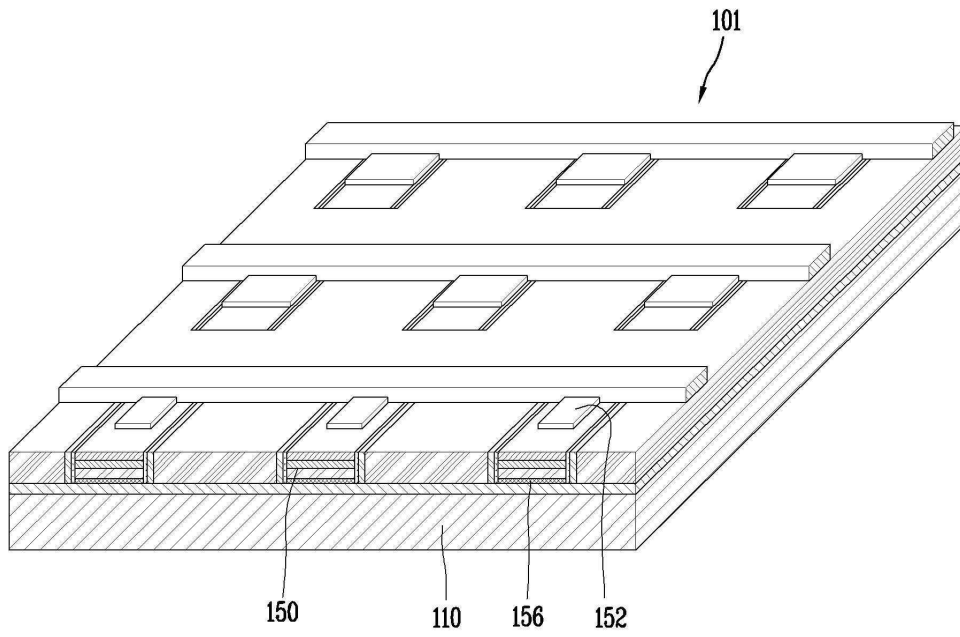
- [0188] 200: 조립 기관
- 210: 베이스부
- 220: 유전체층
- 220a: 제1유전체층
- 220b: 제2유전체층
- 230: 조립 전극
- 230a: 제1전극
- 230b: 제2전극
- 240: 셀
- 250: 격벽
- 260: 리세스부

도면

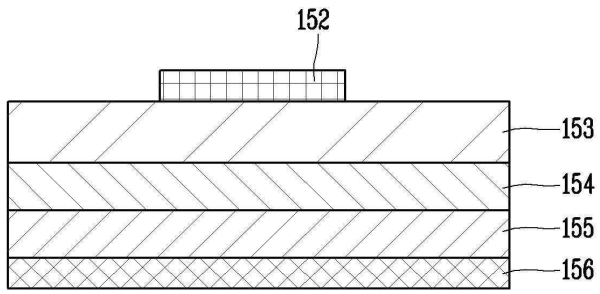
도면1



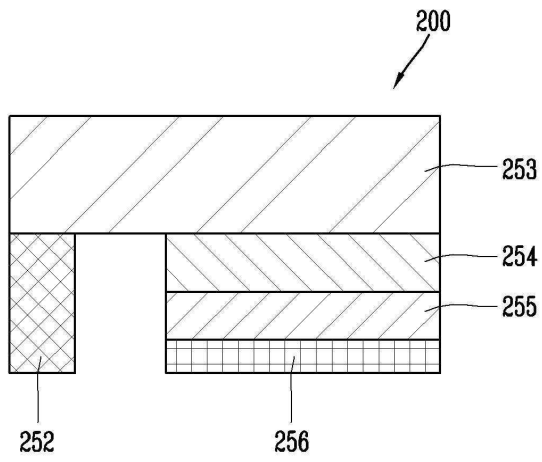
도면2



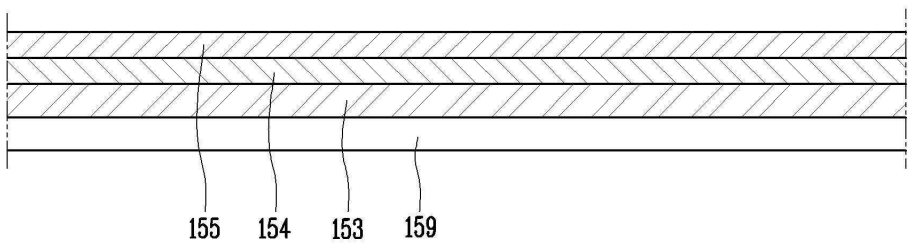
도면3



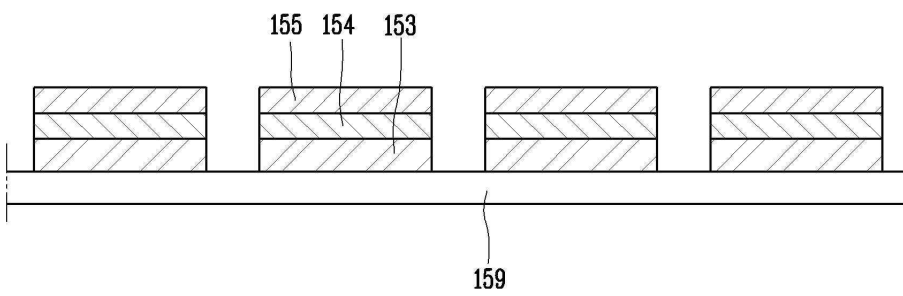
도면4



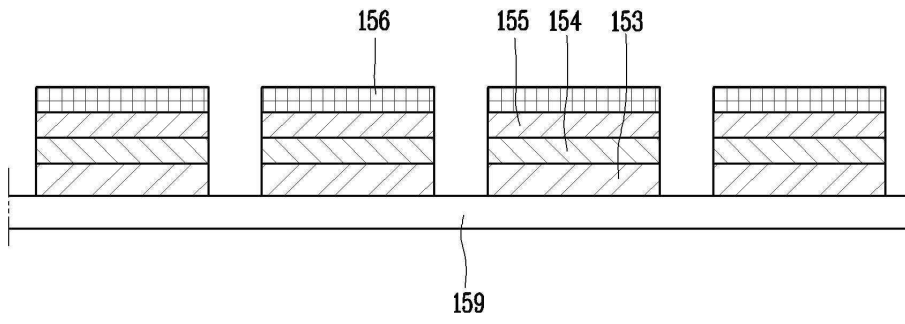
도면5a



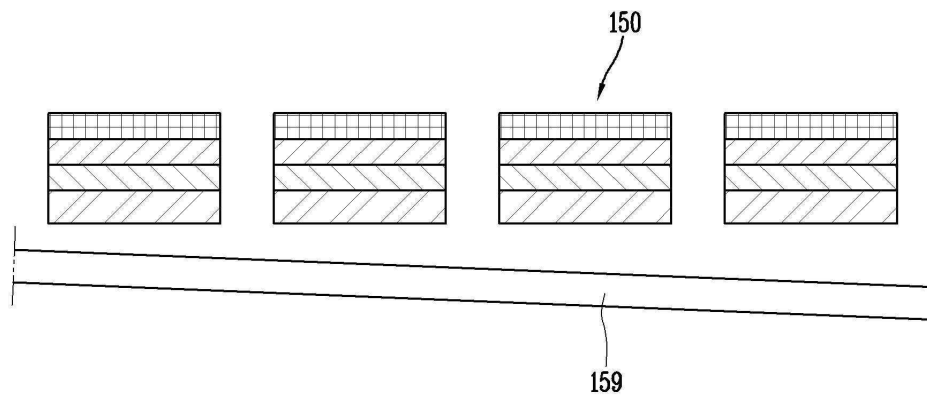
도면5b



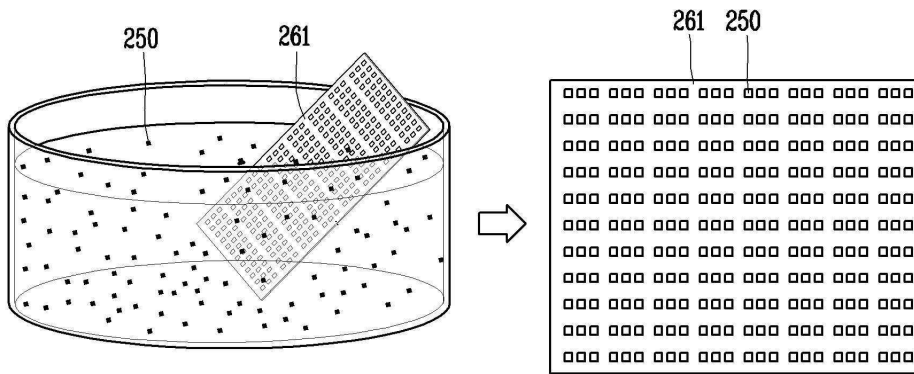
도면5c



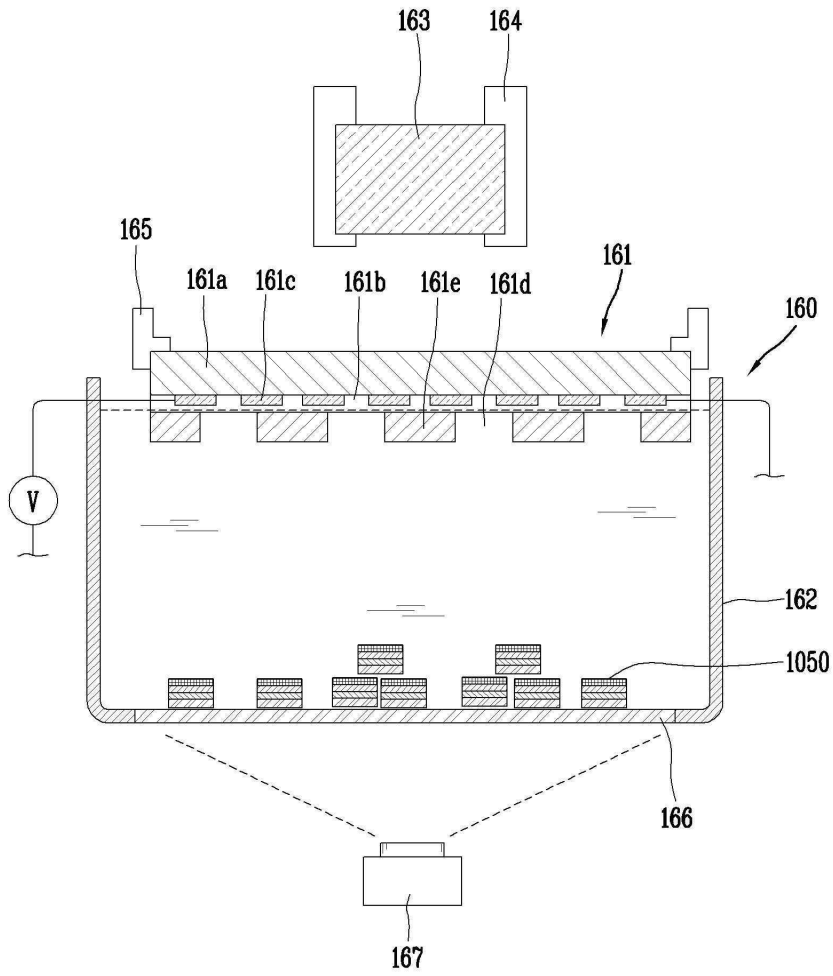
도면5d



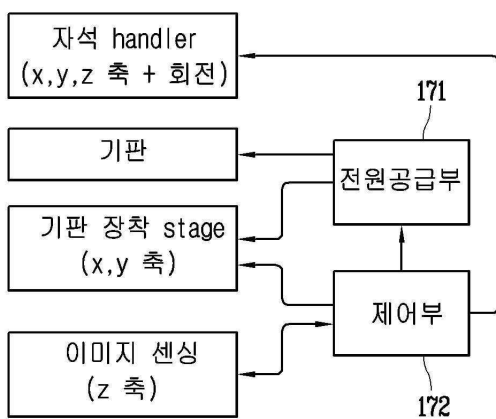
도면5e



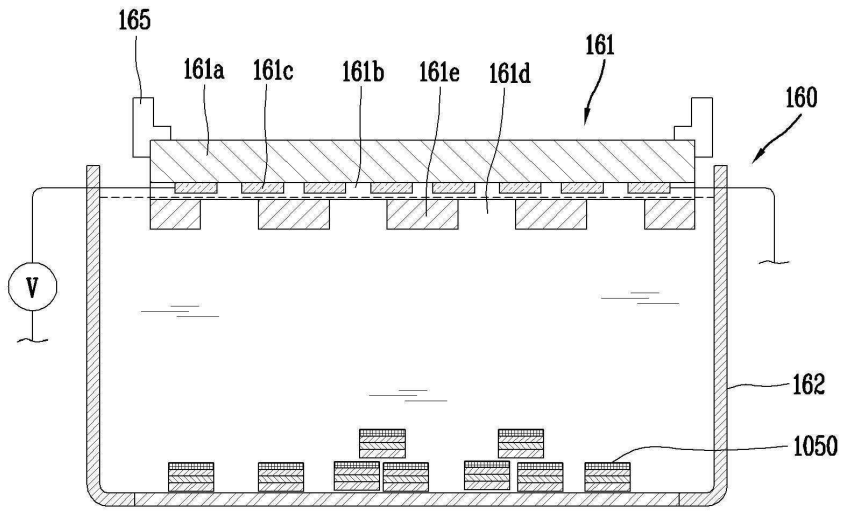
도면6



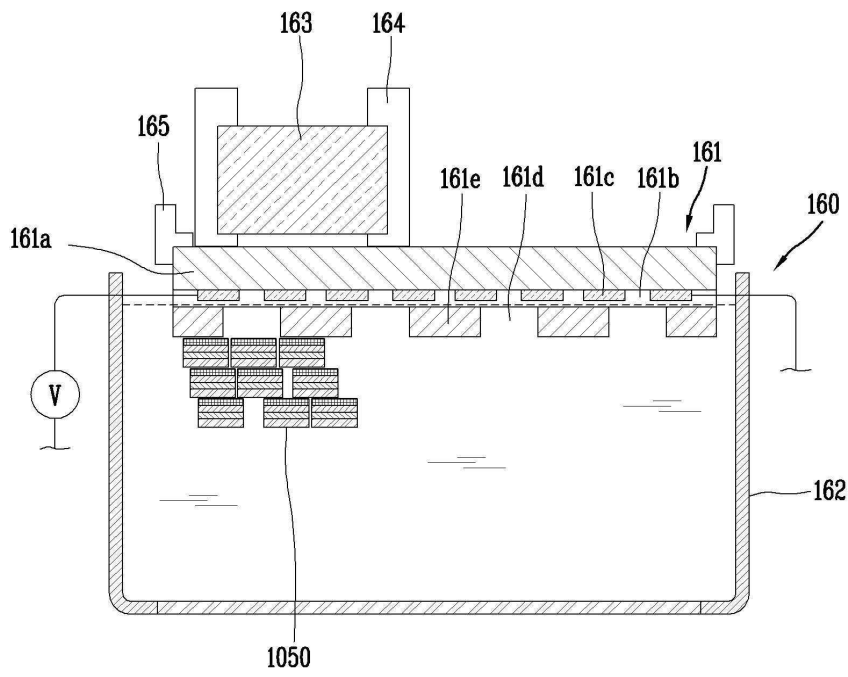
도면7



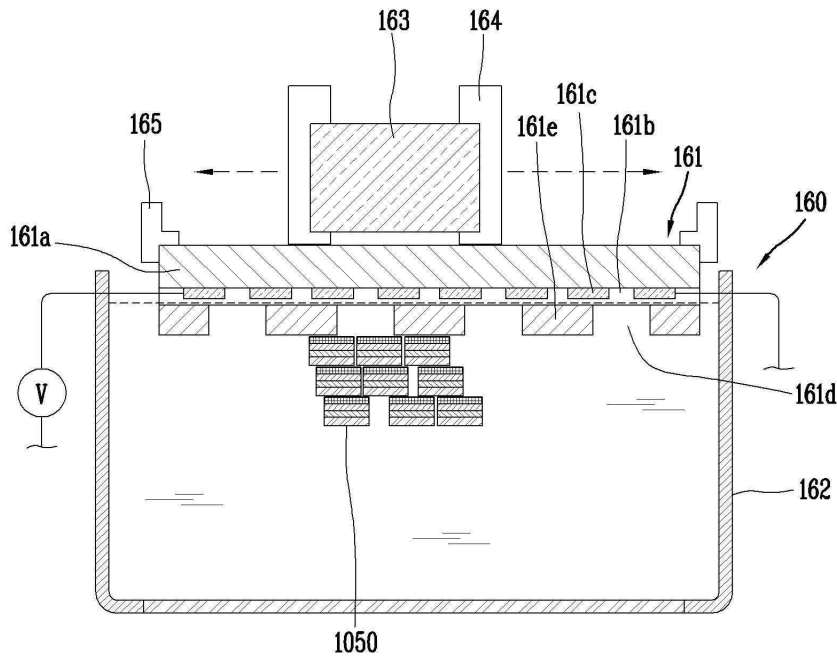
도면8a



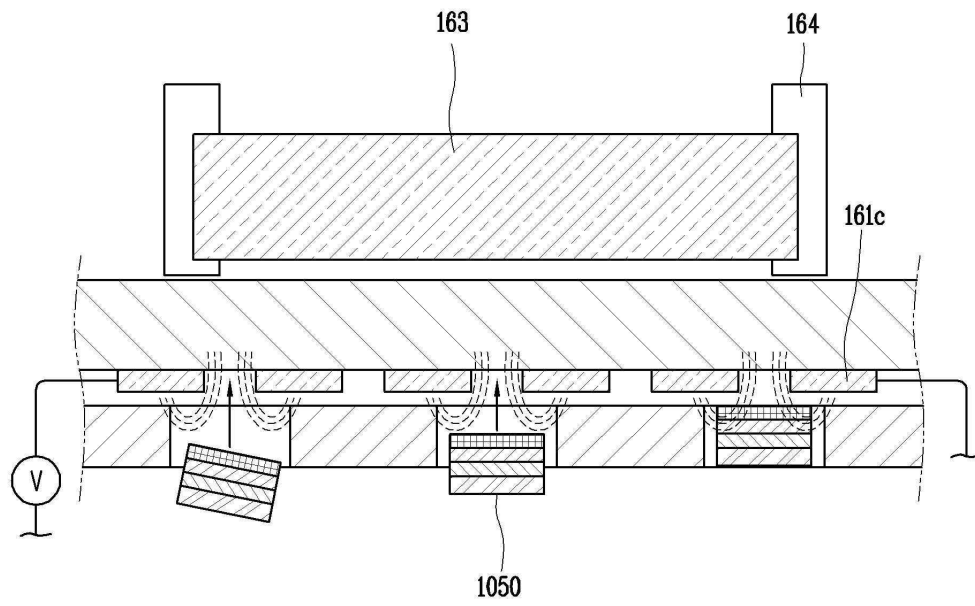
도면8b



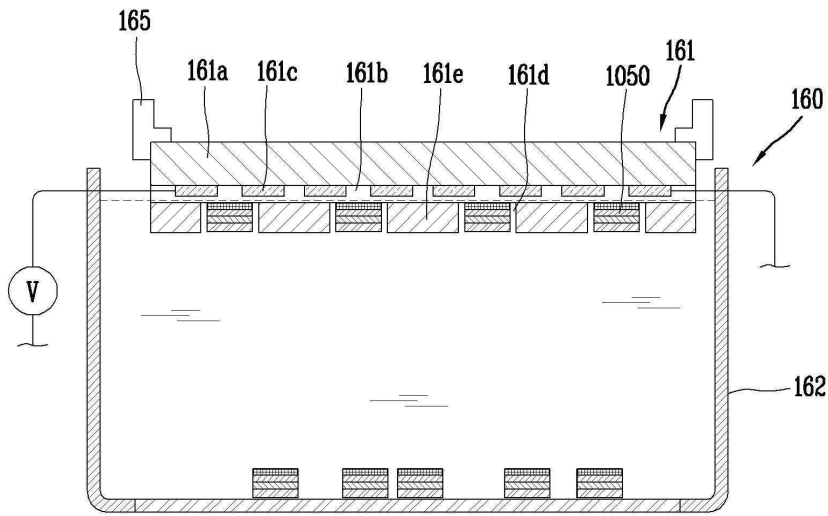
도면8c



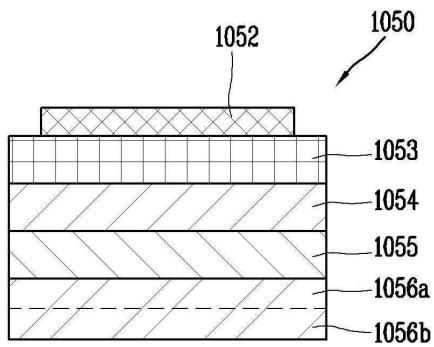
도면8d



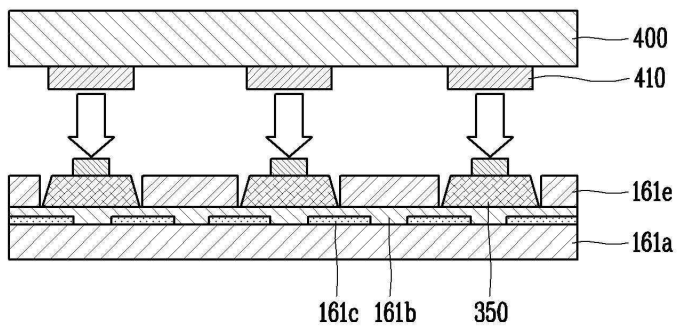
도면8e



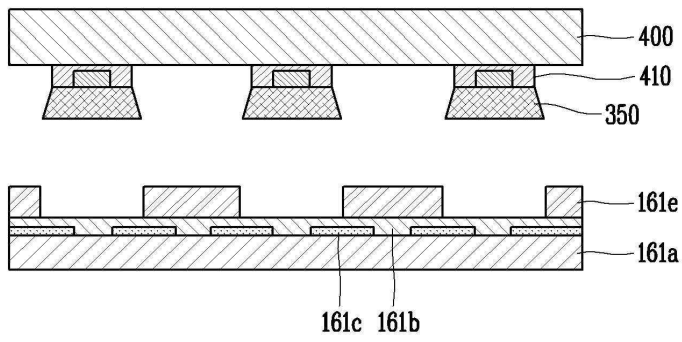
도면9



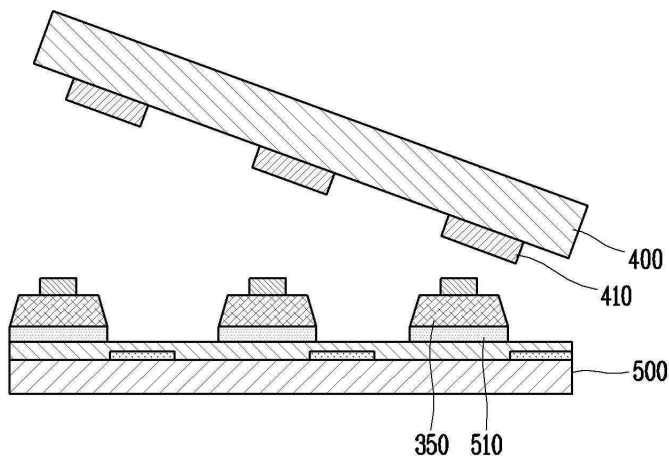
도면10a



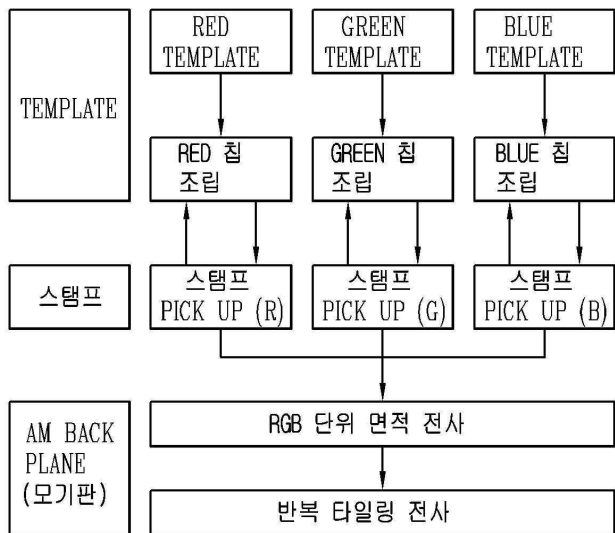
도면10b



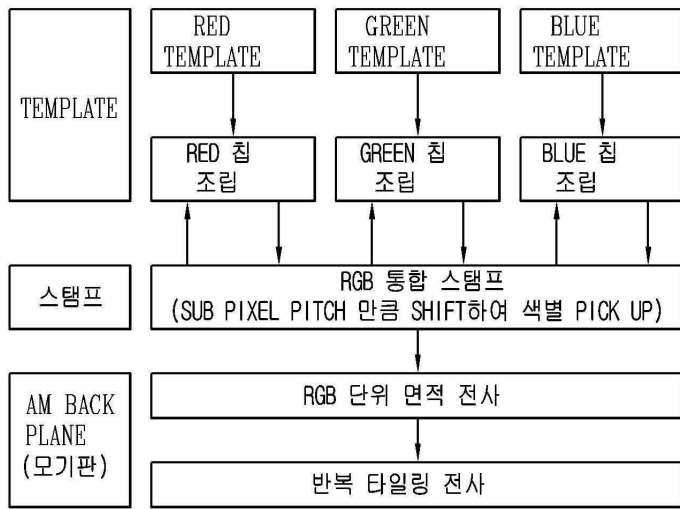
도면10c



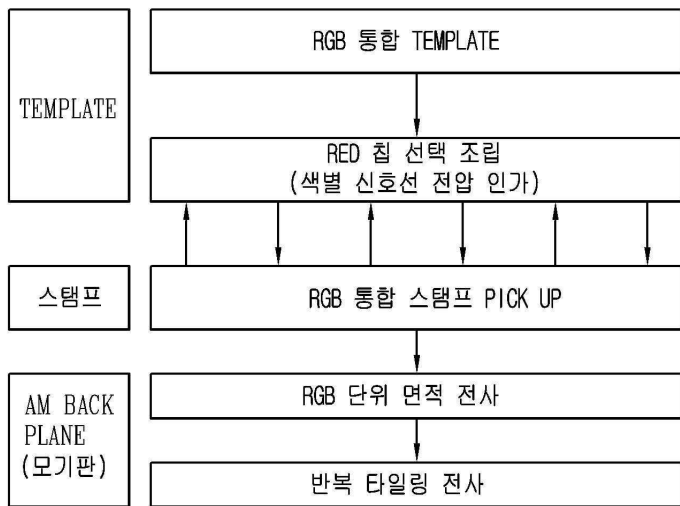
도면11



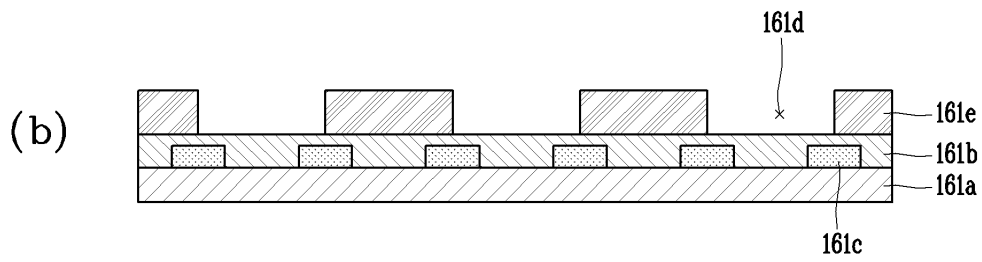
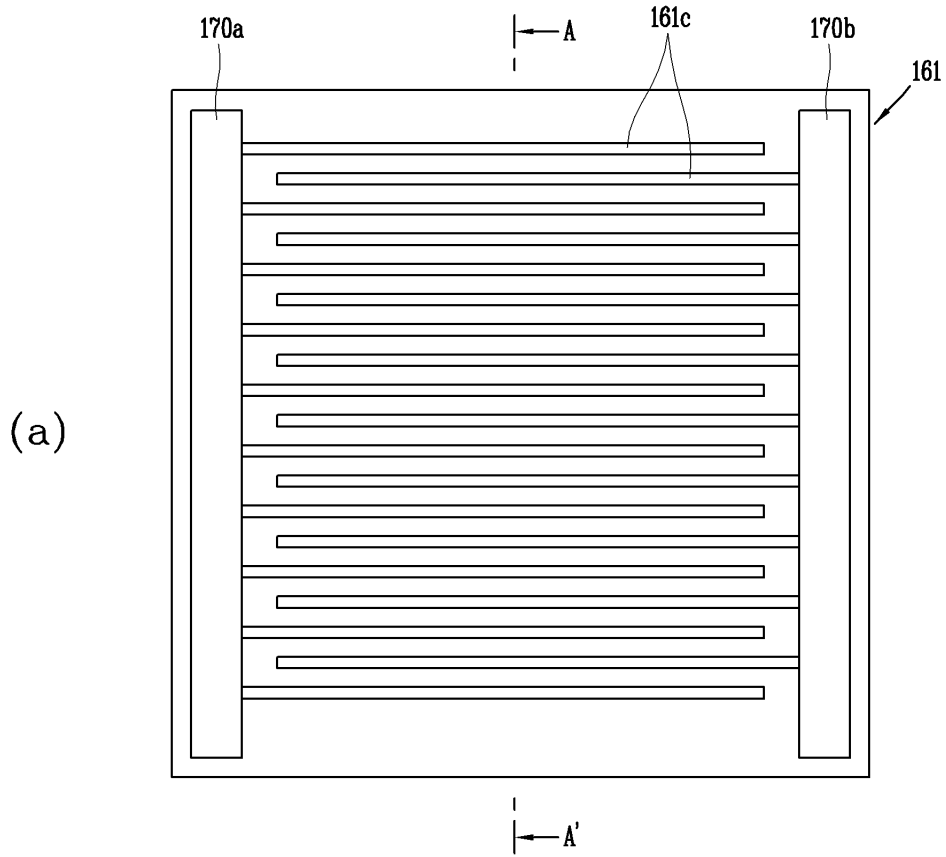
도면12



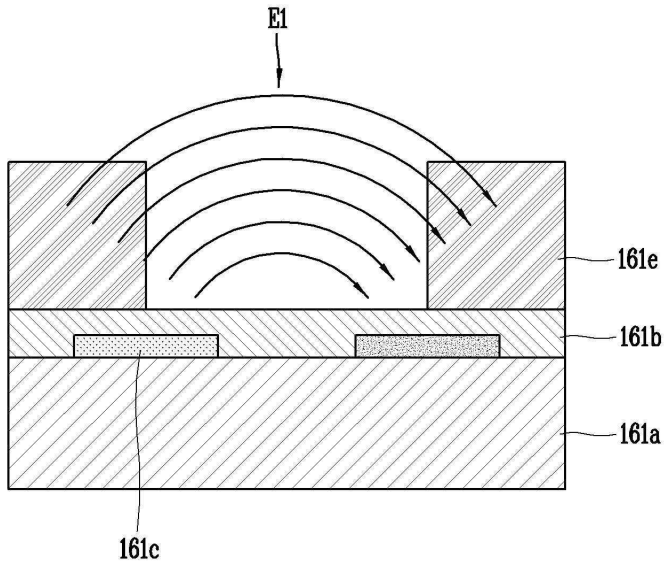
도면13



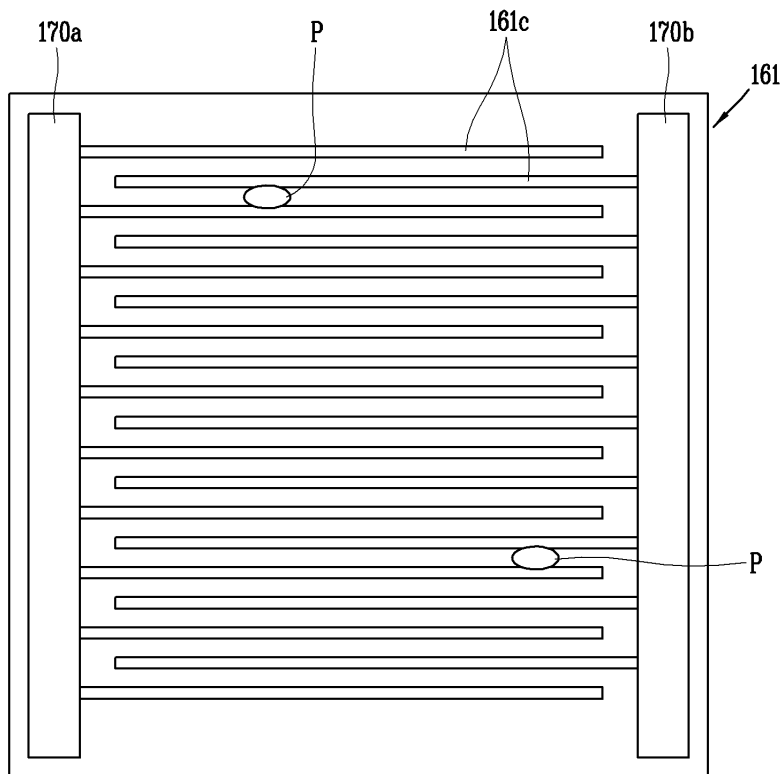
도면14



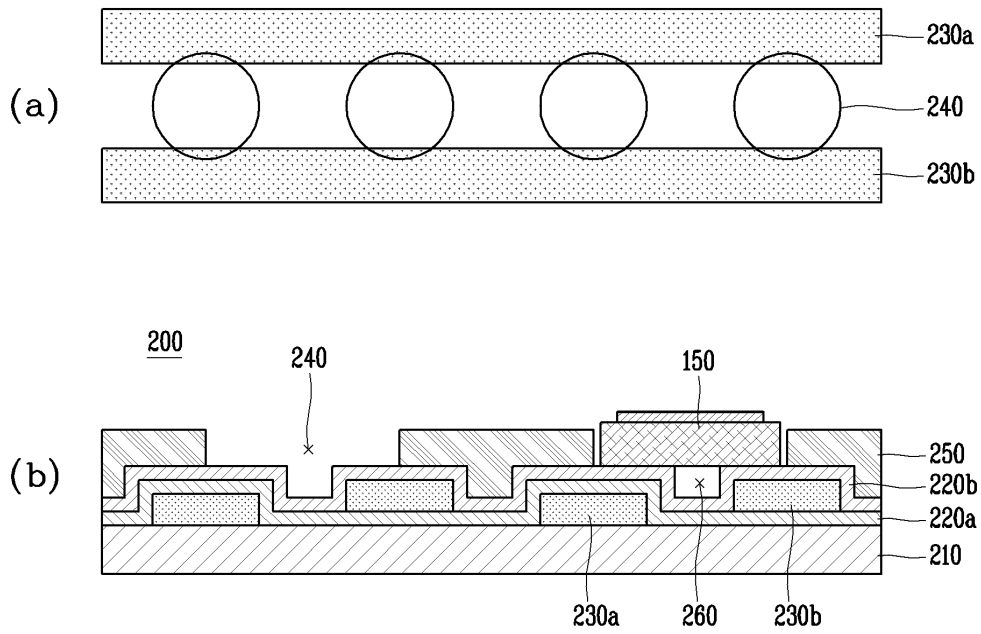
도면15



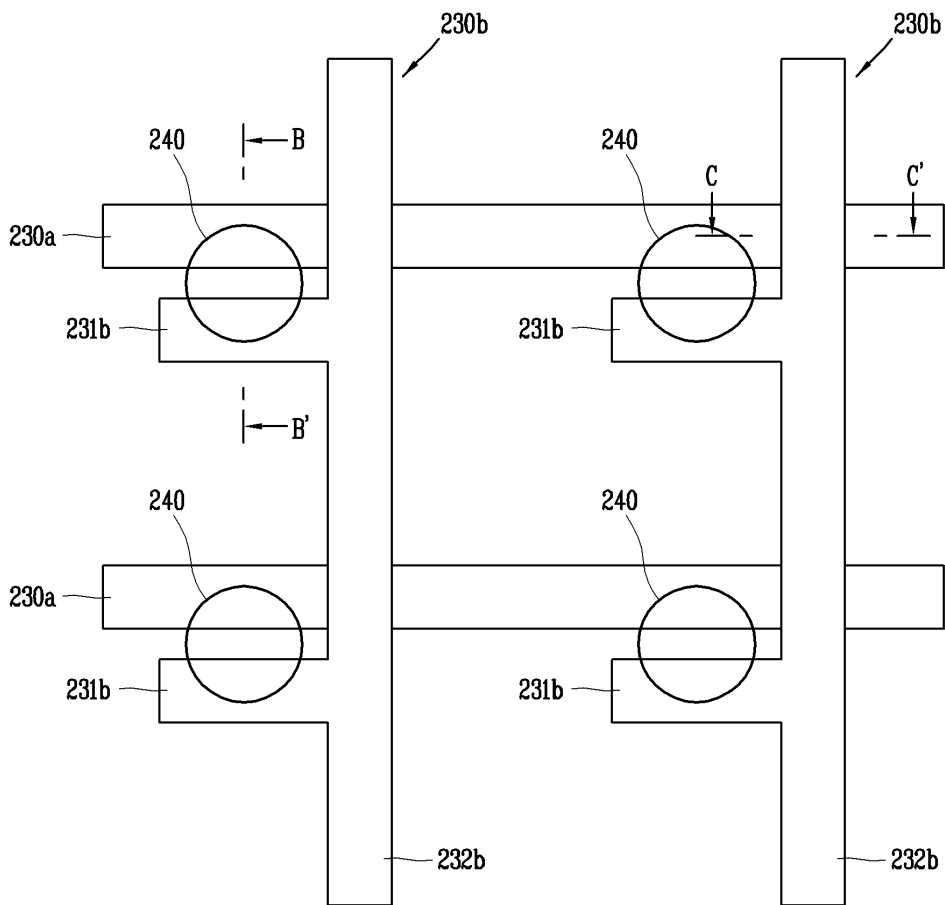
도면16



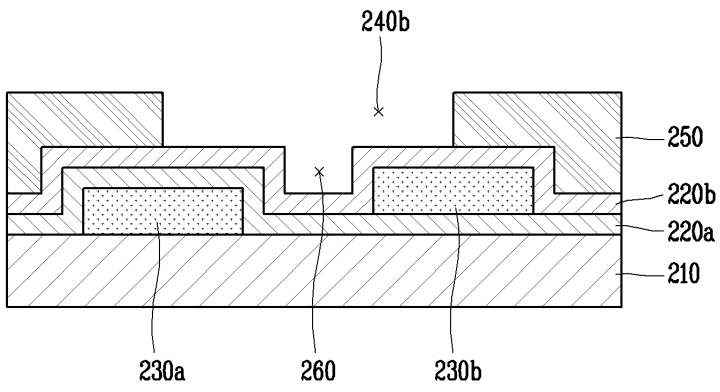
도면17



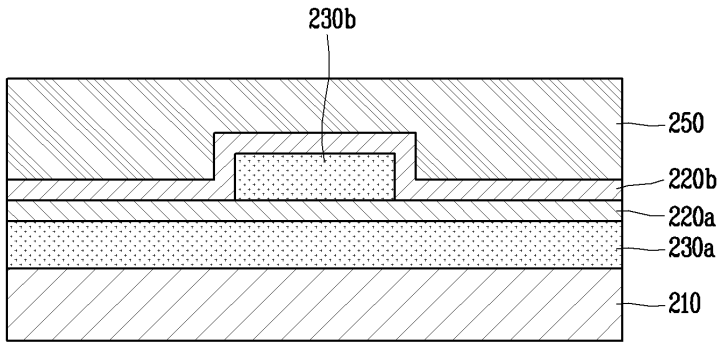
도면18



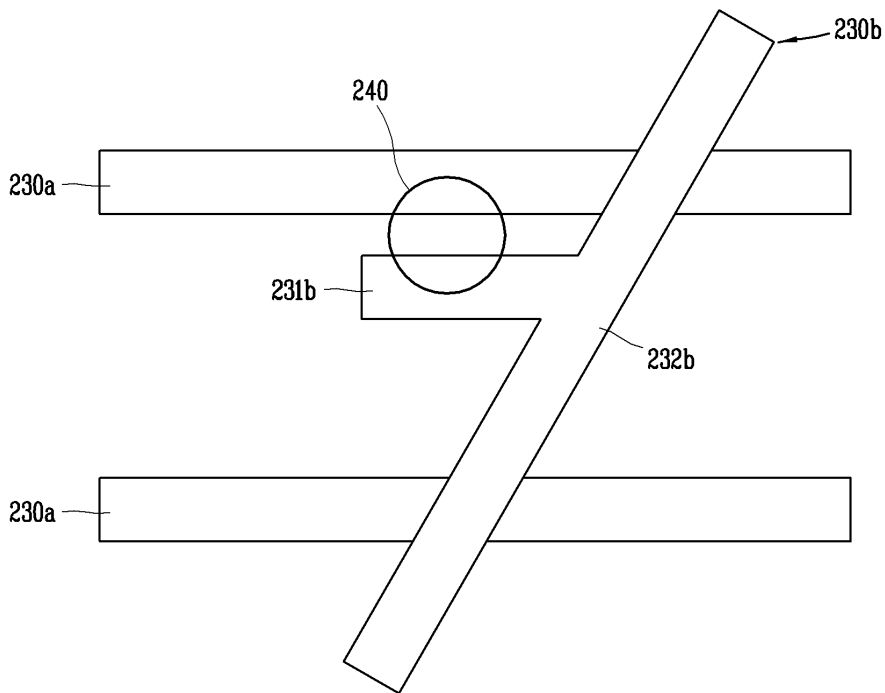
도면19a



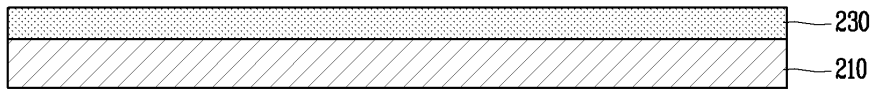
도면19b



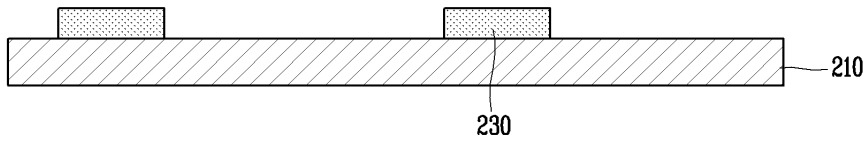
도면20



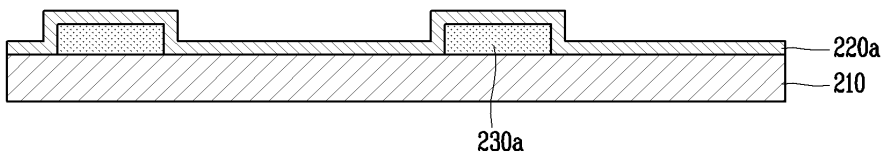
도면21a



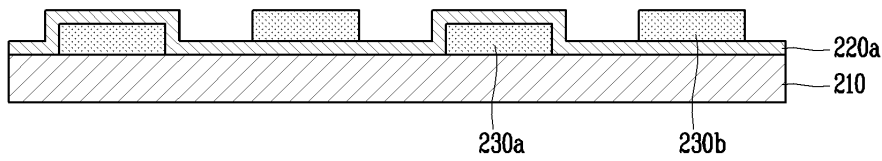
도면21b



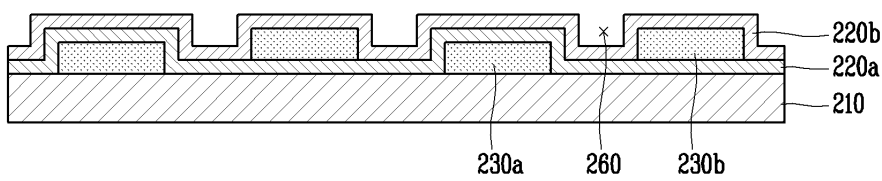
도면21c



도면21d



도면21e



도면21f

