

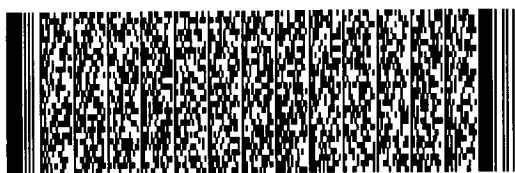
I309448

申請日期：91 9 30	案號：91122507
類別：H01L 21/16	公告本

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	形成溝槽及其雙鑲嵌結構之方法
	英文	
二、 發明人	姓名 (中文)	1. 張志福 2. 黃鈺鈞
	姓名 (英文)	1. Chih-Fu Chang 2. Yu-Chun Huang
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 嘉義市新店里義教街117巷3號 2. 花蓮市國風里16鄰林森路201巷18號
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
-----------	------	----	-------

無

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無

五、發明說明 (1)

發明領域

本發明係有關於一種半導體製程技術，特別是有關於一種避免柵欄問題的雙鑲嵌結構(dual damascene)之製造方法。

發明背景

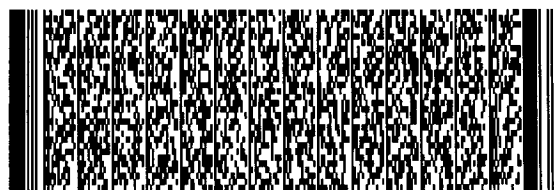
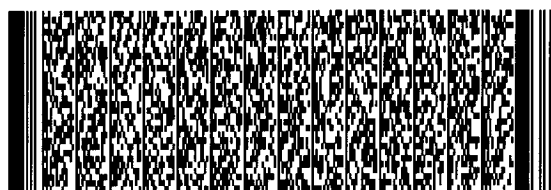
在半導體內連線技術的發展中，雙鑲嵌式(dual damascene)的內連線結構，可在半導體基板的介電層上，先行製作出具有介層洞(via hole)與內連線圖案溝槽(trench)，接著再以導電金屬材料填滿介層洞和內連線圖案溝槽，配合以化學機械研磨製程移除介電層上方多餘的金屬後，則同時形成出金屬接觸插塞(plug)與金屬內連線結構，達到簡化製程步驟的效果。

雙鑲嵌製程可分為兩類，一種是先形成介層洞開口後再形成導線溝槽開口，另一種則是先形成導線溝槽開口後再形成介層洞開口。

以下以第1A至1F圖說明習知的一種先形成介層洞開口後再形成導線溝槽開口的雙鑲嵌結構的製造方法。

如第1A圖所示，在已形成既定之金屬內連線結構102，例如銅或鋁的半導體基底100上，先形成第一介電層104，接著形成一氮化矽層106作為蝕刻終止層。接著再形成一第二介電層108。

接著，如第1B圖，在介電層108覆蓋光阻層110，並進行微影蝕刻製程，在介電層108上對應內連線結構102之區域，形成介層洞開口112。接著以光阻層110為幕罩，繼



五、發明說明 (2)

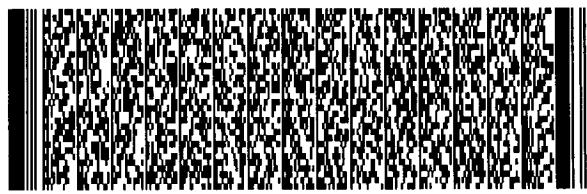
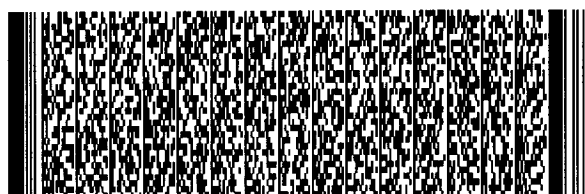
續蝕刻氮化矽層106與介電層104，而在去除光阻層110後，則介電層間形成完全穿透的介層洞開口112，如第1C圖所示。

接著參見第1D圖，在介電層108上覆蓋一光阻層114，並利用微影製程在光阻層114上定義出導線溝槽圖案116。部分的光阻材料會殘留於介層洞112中，形成光阻插塞114a。

接著以光阻層114之溝槽圖案為幕罩，蝕刻介電層108至作為蝕刻終止層的氮化矽層106為止，以形成導線溝槽116，如第1E圖所示。此時過高的光阻插塞114a可能會使溝槽底部蝕刻不完全，而產生介電材料的殘留。

最後則去除導線溝槽中的氮化矽蝕刻終止層106，如第1F圖所示。填入金屬導電材料後，去除多餘的導電材料後，則形成金屬接觸插塞與金屬內連線結構。

然而，由於定義溝槽圖案時的光阻材質會填入之前形成的介層洞開口形成光阻插塞114a，而與介電層蝕刻劑反應生成副產物(by-products)，如聚合物(polymer)殘餘，而無法移除，而在介層洞112的上部側壁形成所謂的柵欄(fence)，如第1F圖中所示。此柵欄會阻礙導電金屬材質的填入，而容易於雙鑲嵌圖案中形成金屬導線的不規則形狀。此外，柵欄的存在也會造成電流於導線和介層洞插塞流動的障礙，而形成電子遷移空洞，使得產品可靠度下降。這些問題，均會嚴重影響內連線(由多層導線和介層窗插塞所構成)的品質。



五、發明說明 (3)

美國專利第6211068號中，則提出一種雙鑲嵌製程，主要在介電層表面多形成一層氮氧化矽層作為抗反射塗層，可使得溝槽蝕刻時，溝槽開口的形狀控制較佳。

美國專利第6399483號中，則提出一種雙鑲嵌製程，主要在形成介層洞後，要形成溝槽開口前，先形成一抗反射層覆蓋介層洞側壁，以形成輪廓較佳的雙鑲嵌結構。

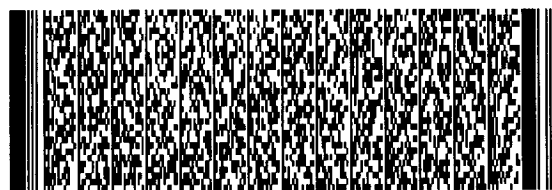
美國專利第6403471號中，則揭露一種雙鑲嵌製程，主要在形成介層洞與溝槽開口後，在移除介層洞與半導體基底之間的蝕刻終止層後，以熱處理使雙鑲嵌開口中的側壁更均勻圓滑與增大介層洞上部開口，有助於後續導電材質的填入。

發明簡述

本發明的一個目的在於藉由氧氣/氮氣之電漿蝕刻降低光阻插塞的高度，以避免雙鑲嵌製程中柵欄現象的發生。

本發明的再一個目的在於提供藉由氧氣/氮氣之電漿蝕刻，去除在蝕刻過程中介層洞壁的雜質，以避免雙鑲嵌製程中柵欄現象的發生。

本發明提供一種先形成介層洞再形成內連線溝槽的雙鑲嵌結構的製造方法，其步驟簡述如下。首先提供一半導體基底，接著在半導體基底上形成介電層。在介電層上形成具有介層洞圖案的第一光阻，並以第一光阻為幕罩，蝕刻介電層以形成完全穿透的介層洞開口。續於介電層上形成具有溝槽圖案的第二光阻，同時在介層洞中形成光阻插



五、發明說明 (4)

塞。進行一氧氣/氮氣電漿蝕刻，以除去部分的光阻插塞與介層洞壁表面之雜質。接著以第二光阻為幕罩，蝕刻介電層至一定深度以形成溝槽。移除所有剩下的光阻後，沈積導電材料以填滿介層洞與溝槽，形成雙鑲嵌內連線結構。

本發明更提供另一種先形成介層洞再形成內連線溝槽的雙鑲嵌結構的製造方法，其步驟簡述如下。首先提供一半導體基底，其中包含一導電層。接著於半導體基底上，依序形成第一蝕刻終止層、第一介電層、第二蝕刻終止層、第二介電層以及覆蓋層。在覆蓋層上形成具有介層洞圖案的第一光阻，以該第一光阻為幕罩，蝕刻覆蓋層、第二介電層、第一蝕刻終止層與第一介電層，以形成完全穿透的介層洞開口。在該覆蓋層上形成具有溝槽圖案的第二光阻，同時介層洞中形成一光阻插塞。對介層洞進行一氧氣/氮氣電漿蝕刻，以除去部分的光阻插塞與介層洞壁表面之雜質。接著以第二光阻為幕罩，蝕刻覆蓋層與第二介電層至第二蝕刻終止層以形成一溝槽。移除所有剩下的光阻後，移除溝槽底部的第二蝕刻終止層與介層洞底部的第一蝕刻終止層，最後沈積導電材料以填滿介層洞與溝槽，形成雙鑲嵌內連線結構。

本發明另提供一種溝槽的形成方法，適用於半導體基底，係包含下列步驟：於半導體基底上覆蓋一介電層，其上具有介層洞；在介電層上覆蓋具有溝槽圖案之光阻層，並於該介層洞中形成光阻插塞；對該介層洞進行一氧氣/



五、發明說明 (5)

氮氣電漿蝕刻，以除去部分的光阻插塞與介層洞壁表面之雜質；以光阻層為幕罩，蝕刻介電層以於介層洞上形成溝槽；移除所有剩下的光阻。

本發明之優點在於在先形成介層洞再形成溝槽開口的雙鑲嵌製程中，利用氧氣/氮氣的電漿蝕刻處理，可有效避免溝槽跟介層洞交界處發生柵欄現象，並可達到介層洞上部側壁的角度圓滑化。

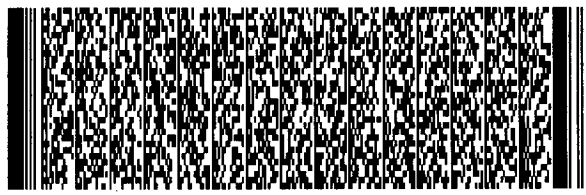
發明詳述

本發明提供一種先形成介層洞開口(via hole)後再形成導線溝槽開口(trench opening)的雙鑲嵌(dual damascene)製程。主要在介電層上先形成一穿透的介層洞後，在介電層上定義具有溝槽圖案之光阻，同時介層洞中亦形成光阻插塞，此時藉由氧氣/氮氣電漿蝕刻處理，預先去除部分光阻插塞，降低其高度，並去除介層洞側壁中的雜質，避免此類雙鑲嵌製程中的光阻插塞形成柵欄(fence)問題。以下以實施例一與實施例二詳細說明本發明之形成雙鑲嵌結構之方法流程。

實施例一

以下以第2A至2G圖詳細說明根據本發明之一種形成雙鑲嵌結構的方法流程。

首先參見第2A圖，提供一半導體基底200，其中包含內連線之導電層結構202以電性連結半導體元件(未顯示)。而在半導體基底200上，以化學氣相沈積(CVD)方式沈積摻氟二氧化矽(fluorinated SiO_2 , FSG)或低介電常數材



五、發明說明 (6)

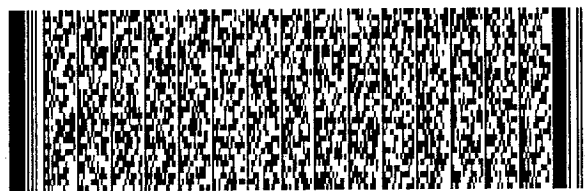
料(介電值小於或等於3.5)作為第一介電層204，其厚度可介於1000至2000埃，較佳者為3000至7000埃左右。然介電層亦可採用電漿氧化矽、低介電常數旋塗式玻璃、四乙氧基矽玻璃、磷摻雜氧化矽、氟化氧化矽(F-SiO_2)、磷矽玻璃(PSG)、高密度電漿所沈積的未摻雜矽玻璃(HDP-USG)、高密度電漿所沈積的氧化矽(HDP- SiO_2)、次壓化學氣相沈積法(SACVD)所沈積的氧化矽、以及以臭氧-四乙氧基矽烷($\text{O}_3\text{-TEOS}$)所沈積的氧化矽等等，本發明並非以此為限。

接著在第一介電層204上，以化學氣相沈積(CVD)法形成厚度介於300至600埃的氮化矽層，作為蝕刻終止層206，其較佳厚度為300埃左右。接著再以化學氣相沈積方式，在蝕刻終止層206上沈積摻氟二氧化矽(fluorinated SiO_2 , FSG)材料或低介電常數材料(介電值小於或等於3.5)作為第二介電層208，其厚度可介於3000至7000埃，較佳者為4200埃左右。而第二介電層可採用與第一介電層204相同或不同的介電材料。

接著參見第2B圖，以微影製程在第二介電層208上形成具有介層洞圖案的光阻層210，並以光阻層210為幕罩，先蝕刻第二介電層208以形成介層洞圖案212。

接著參見第2C圖，以光阻層210及第二介電層208為幕罩，繼續蝕刻氮化矽蝕刻終止層206與其下的第一介電層204，以形成完全穿透的介層洞開口212，並露出其下的導電層結構202。

接著參見第2D圖，在去除光阻210後，續以微影製程

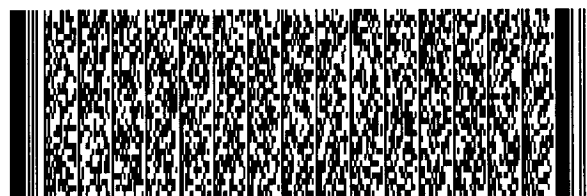


五、發明說明 (7)

在第二介電層208上形成具有溝槽圖案的光阻214。而光阻214在填入介層洞212時，則會殘留在介層洞212中形成光阻插塞214a。一般而言，光阻插塞214a可保護底層的導電層結構202，避免其受到蝕刻損害。另外，光阻插塞214a在後續溝槽蝕刻時，也有保護介層洞側壁免於被蝕刻的作用，以維持其垂直的側壁。然而，光阻插塞214a頂部容易與第二介電層208接觸，因而在溝槽蝕刻時，光阻插塞214a頂部與介電層208側壁形成不易清除的雜質或聚合物，導致溝槽蝕刻後形成柵欄問題(fence)。

為了避免上述問題，因此，進行一氧氣/氮氣電漿蝕刻以除去部分的光阻插塞與該介層洞壁表面之雜質。此電漿蝕刻之步驟，其氧氣與氮氣之混合比例介於2:1至1:6，較佳者為氧氣/氮氣混合比例為2/1，進行電漿蝕刻20秒。氧氣與氮氣電漿蝕刻之氧氣流量可控制於1至1000sccm，而氮氣流量控制於1至1000sccm，反應室之氣體壓力約為1至50毫托耳(mtorr)。氧氣/氮氣電漿蝕刻之電漿源能量控制於1至2000瓦特之間，較佳者為50至500瓦特。而其偏壓能量則介於1至2000瓦特之間。在上述條件下進行氧氣/氮氣電漿蝕刻5至100秒。

藉由上述氧氣/氮氣電漿蝕刻的良好蝕刻選擇比，可以有效地去除部分的光阻插塞214a以降低其高度，同時可去除介層洞212側壁上的雜質與聚合物，但又不會損傷介電層204與208以及蝕刻終止層206，可保持介層洞212側壁的完整性。

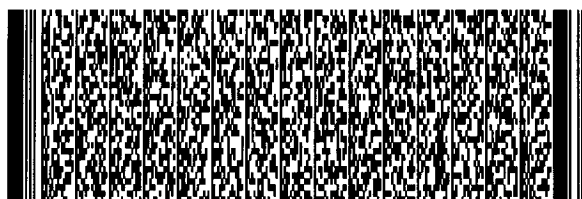


五、發明說明 (8)

電漿蝕刻完成後則形成如第2E圖所示之低矮而呈山尖型的光阻插塞214a，以及無殘留物的介層洞212側壁，避免在後續製程中形成柵欄問題。

接著以光阻214之溝槽圖形為幕罩，繼續蝕刻第二介電層208至蝕刻終止層206為止，以形成溝槽開口216。接著去除剩下的光阻，包括光阻214與光阻插塞214a後，則形成第2F圖所示之開口。由於預先以氧氣/氮氣電漿蝕刻處理，因此在溝槽開口216之蝕刻後，在介層洞頂部212與溝槽開口216底部之間，介層洞212頂部側壁可達成角度圓滑化(corner rounding)，有助於後續導電材料的良好填充。

最後如第2G圖所示，移除溝槽216底部的蝕刻終止層206後，在介層洞212與溝槽216中沈積擴散阻障層，如鈮(Ta)，氮化鈮(TaN)，氮化鎢(WN)，或是習知製程中常用的氮化鈦(TiN)等。接著，以化學氣相沈積法(CVD)、物理氣相沈積法(PVD)，或電鍍沈積法(Electroplating)在阻障層上製作銅金屬層，並使其填滿介層洞212與溝槽216。較佳者，可利用離子化金屬電漿(IMP)先在基底上沈積一層厚約300~1500 Å的晶種層(未顯示)，然後再以電鍍法完成銅導電層的沈積。則形成導通導電層結構202的雙鑲嵌內連線結構，而不會因為柵欄問題而導致電性不良。同時，由於介層洞212上部的側壁角度圓滑化，因此導電材料的填充效果更佳，可形成良好的內連線結構。

實施例二

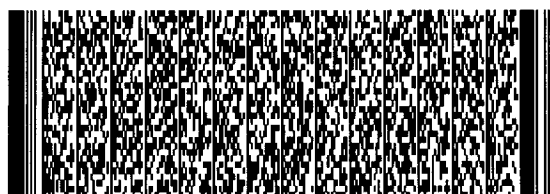
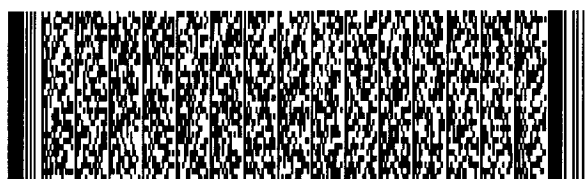
五、發明說明 (9)

以下以第3A至第3G圖詳細說明根據本發明之另一種形成雙鑲嵌結構的方法流程。

首先參見第3A圖，提供一半導體基底300，其中包含內連線之導電層結構302以電性連結半導體元件(未顯示)。而在半導體基底300上，先形成第一蝕刻終止層303，避免導電層結構302暴露於氧氣或其他腐蝕性化學製程中。第一蝕刻終止層303的材質可為氮化矽(SiN)，其形成方法可為電漿增強化學氣相沈積法(PECVD)，其厚度可介於300埃至700埃左右，較佳者為500埃。接著在第一蝕刻終止層303上以化學氣相沈積(CVD)的方式沈積摻氟二氧化矽(fluorinated SiO_2 , FSG)材料或低介電常數材料(介電值小於或等於3.5)作為第一介電層304，其厚度可介於3000至7000埃，較佳者為4900埃左右。接著在第一介電層304上，以化學氣相沈積(CVD)法形成厚度介於300至600埃的氮化矽層，作為第二蝕刻終止層306，其較佳厚度為300埃左右。

仍參見第3A圖，接著再以化學氣相沈積，或是旋塗方式，在蝕刻終止層306上沈積摻氟二氧化矽(FSG)材料或低介電常數材料作為第二介電層308，其厚度可介於3000至7000埃，較佳者為4300埃左右。而在第二介電層308上，則形成一覆蓋層309，如以化學氣相沈積法形成厚度1000埃至1400埃的氮化矽或氮氧化矽(SiON)，較佳者為形成約1200埃的氮氧化矽作為覆蓋層。

本實施例中的第一與第二介電層，均可根據製程要



五、發明說明 (10)

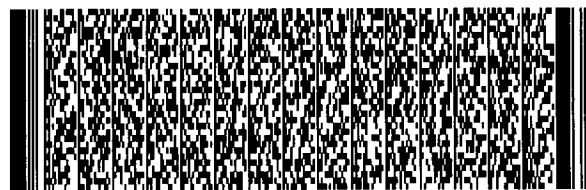
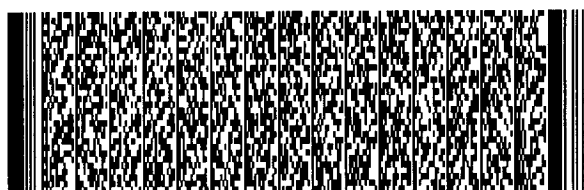
求，選擇如實施例一中所述之其他介電材料，並不以摻氟二氧化矽(FSG)為限。

接著參見第3B圖，在覆蓋層309上形成具有介層洞圖案的光阻層310，並以光阻層310為幕罩，先蝕刻覆蓋層309與第二介電層308以形成介層洞圖案312。

接著參見第3C圖，以光阻層310、覆蓋層309及第二介電層308為幕罩，繼續蝕刻氮化矽第二蝕刻終止層306與其下的第一介電層304，至第一蝕刻終止層303為止，以形成穿透介電層308與304之介層洞開口312。

接著參見第3D圖，在去除光阻310後，續以微影製程在覆蓋層309上形成具有溝槽圖案的光阻314。而光阻314在填入介層洞312時，則會殘留在介層洞312中形成光阻插塞314a。光阻插塞314a可保護介層洞312的底層結構，避免其受到蝕刻損害。另外，光阻插塞314a在進行後續溝槽蝕刻時，也有保護介層洞312側壁免於被蝕刻的作用，以維持其垂直的側壁。然而，光阻插塞314a頂部容易與第二介電層308接觸，因而在溝槽蝕刻時，光阻插塞314a頂部與介電層308側壁形成不易清除的雜質與聚合物，導致溝槽蝕刻後形成柵欄問題(fence)。

為了避免上述問題，因此，進行一氧氣/氮氣電漿蝕刻以除去部分的光阻插塞與該介層洞壁表面之雜質。此電漿蝕刻之步驟，其氧氣與氮氣之混合比例介於2：1至1：6，較佳者為氧氣/氮氣混合比例為2/1，進行電漿蝕刻20秒。氧氣與氮氣電漿蝕刻之氧氣流量可控制於1至



五、發明說明 (11)

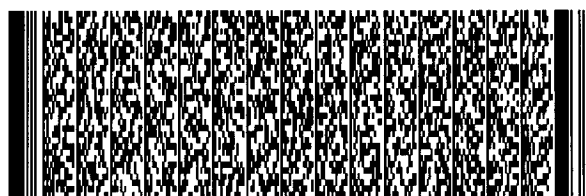
1000sccm，而氮氣流量控制於1至1000sccm，反應室之氣體壓力約為1至50毫托耳(mtorr)。氧氣/氮氣電漿蝕刻之電漿源能量控制於1至2000瓦特之間，較佳者為50至500瓦特之間。而其偏壓能量則介於1至2000瓦特之間。在上述條件下進行氧氣/氮氣電漿蝕刻5至100秒。

藉此可降低光阻插塞314a的高度，同時清除掉上述製程中，介層洞312側壁上所殘留的雜質與聚合物。電漿蝕刻完成後則形成如第2E圖所示之低矮而呈山尖型的光阻插塞314a，與無殘留物的介層洞312側壁，避免在後續製程中形成柵欄問題。

藉由氧氣/氮氣電漿蝕刻的良好蝕刻選擇比，可以有效地去除部分的光阻插塞314a與介層洞312側壁上的雜質，但又不會損傷到介電層304與308，以及第二蝕刻終止層306，可保持介層洞312側壁的完整性。

接著以光阻314之溝槽圖形為幕罩，繼續蝕刻幕罩層309與第二介電層308至至第二蝕刻終止層306為止，以形成溝槽開口316。接著去除剩下的光阻，包括光阻314與光阻插塞314a後，則形成第3F圖所示之開口。由於預先以氧氣/氮氣電漿蝕刻處理，因此在溝槽開口316之蝕刻後，在介層洞頂部312與溝槽開口316底部之間，介層洞312頂部側壁可達成角度圓滑化(corner rounding)，有助於後續導電材料的良好填充。

最後如第3G圖所示，移除溝槽316底部的第二蝕刻終止層306以及去除介層洞312底部的第一蝕刻終止層303後



五、發明說明 (12)

，在介層洞312與溝槽316中填入導電材料，則形成導通導電層結構302的雙鑲嵌內連線結構，而不會因為柵欄問題而導致電性不良。同時，由於介層洞312上部的側壁角度圓滑化，因此導電材料的填充效果更佳，可形成良好的內連線結構。

雖然本發明以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為了讓本發明之上述目的、特徵、及優點能更明顯易懂，以下配合所附圖式，作詳細說明如下：

第1A至1F圖所示為習知的一種先形成介層洞開口後再形成導線溝槽開口的雙鑲嵌結構的方法流程。

第2A至2G圖所示為根據本發明之實施例一中，一種形成雙鑲嵌結構的方法流程。

第3A至3G圖所示為根據本發明之實施例二中，一種形成雙鑲嵌結構的方法流程。

符號說明

半導體基底~100、200、300；

導電層結構~102、202、302；

蝕刻終止層~106、206、303、306；

介電層~104、108、204、208、304、308；

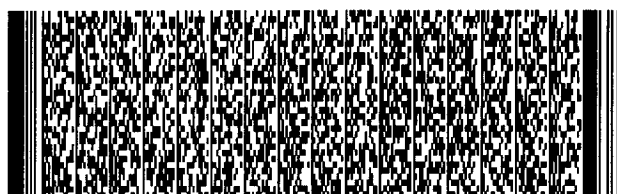
幕罩層~309；

光阻~110、114、220、214、310、314；

光阻插塞~114a、214a、314a；

介層洞開口~112、212、312；

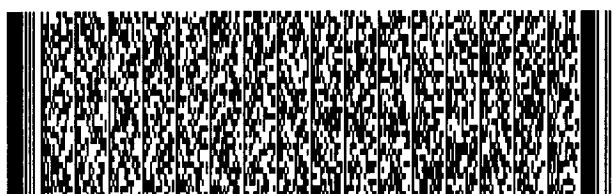
溝槽開口~116、216、316。

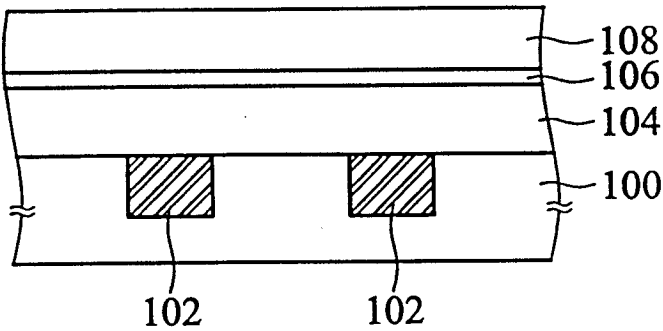


四、中文發明摘要 (發明之名稱：形成溝槽及其雙鑲嵌結構之方法)

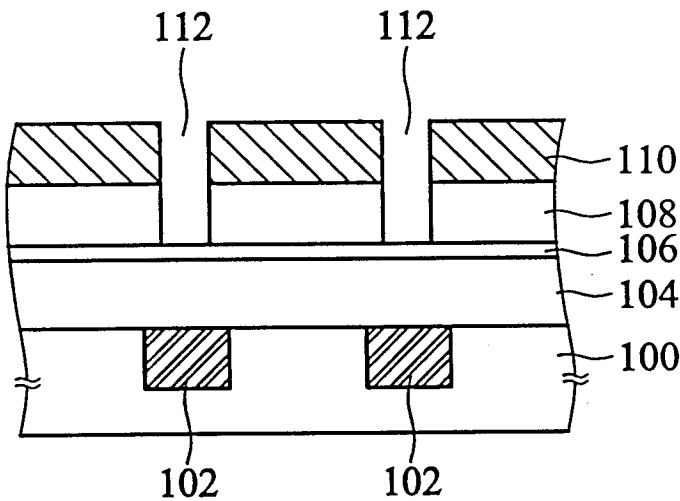
一種先形成介層洞再形成內連線溝槽的雙鑲嵌結構的製造方法，其步驟如下。首先提供一半導體基底，其中包含導電層結構，接著在半導體基底上形成介電層。在介電層上形成具有介層洞圖案的第一光阻，並以第一光阻為幕罩，蝕刻介電層以形成完全穿透的介層洞開口。續於介電層上形成具有溝槽圖案的第二光阻，同時在介層洞中形成光阻插塞。進行一氧氣/氮氣電漿蝕刻，以除去部分的光阻插塞與介層洞壁表面之雜質，避免後續製程中出現柵欄現象。接著以第二光阻為幕罩，蝕刻介電層至一定高度以形成溝槽。移除所有剩下的光阻後，沈積導電材料以填滿介層洞與溝槽，形成雙鑲嵌內連線結構。

英文發明摘要 (發明之名稱：)

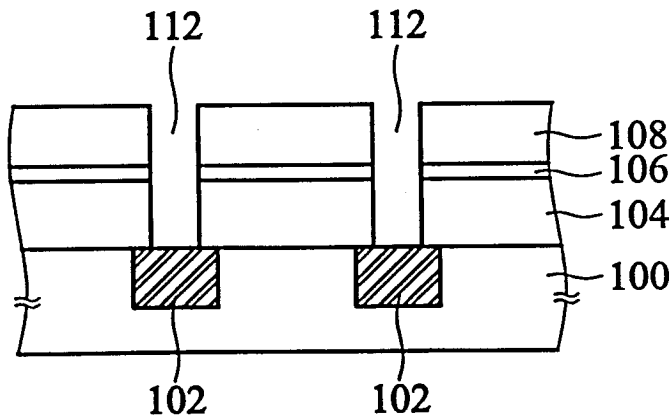




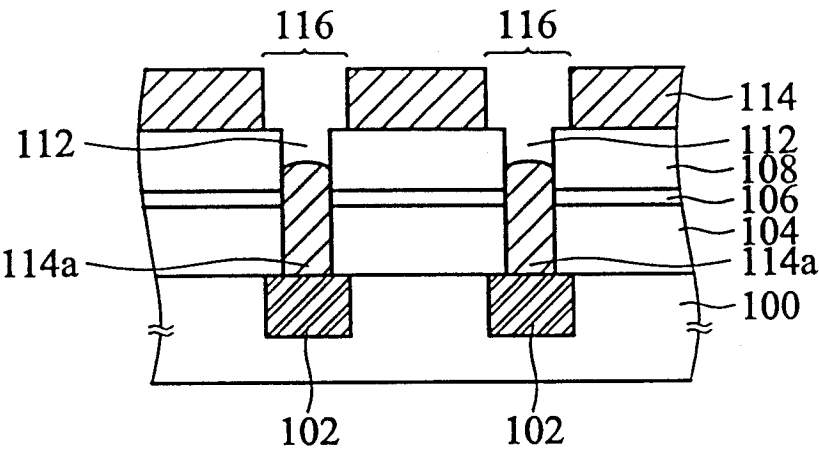
第 1A 圖



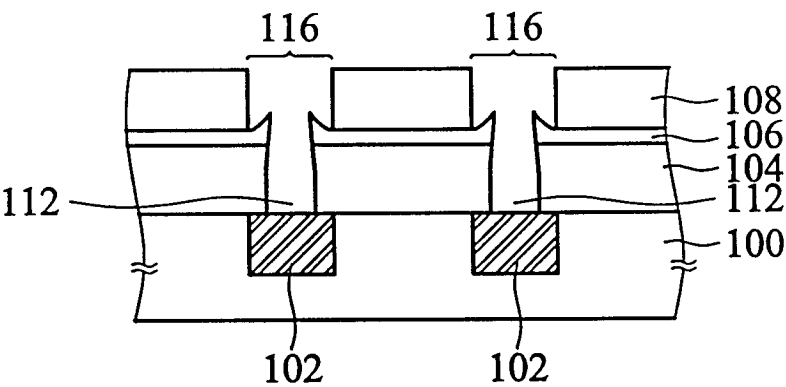
第 1B 圖



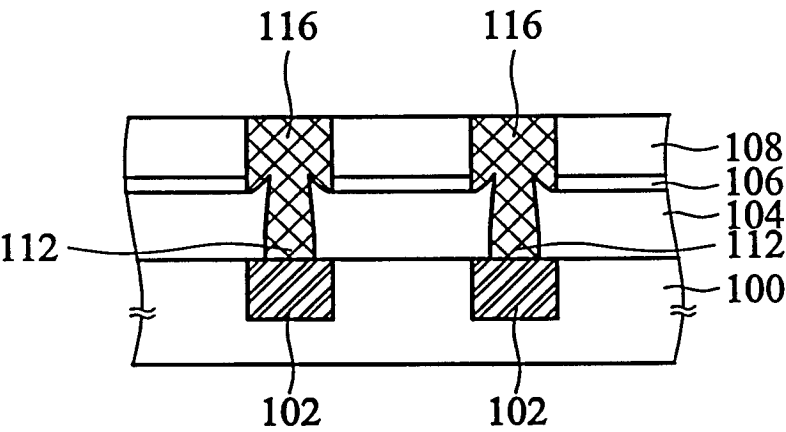
第 1C 圖



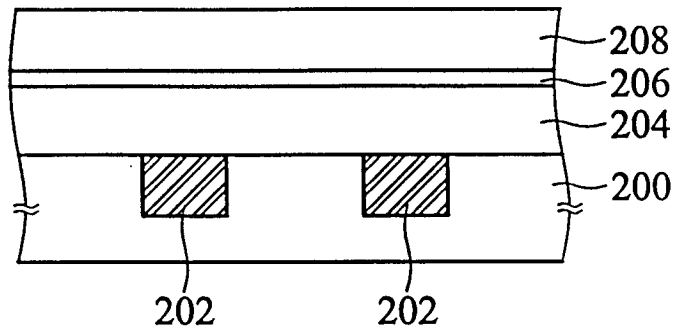
第 1D 圖



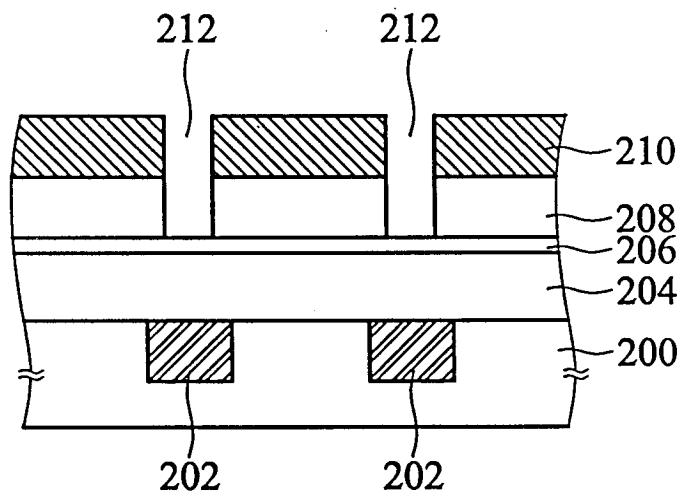
第 1E 圖



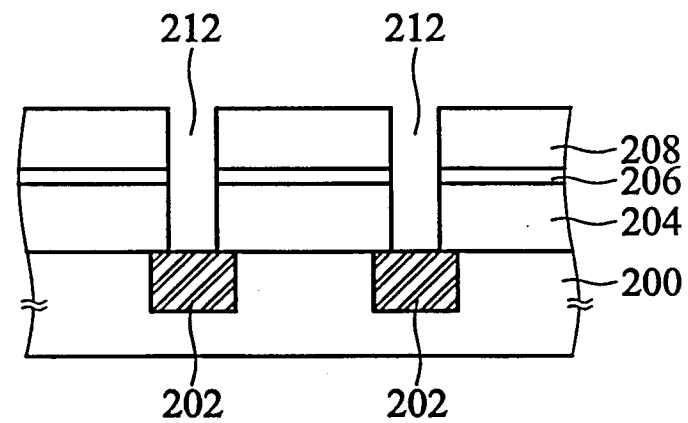
第 1F 圖



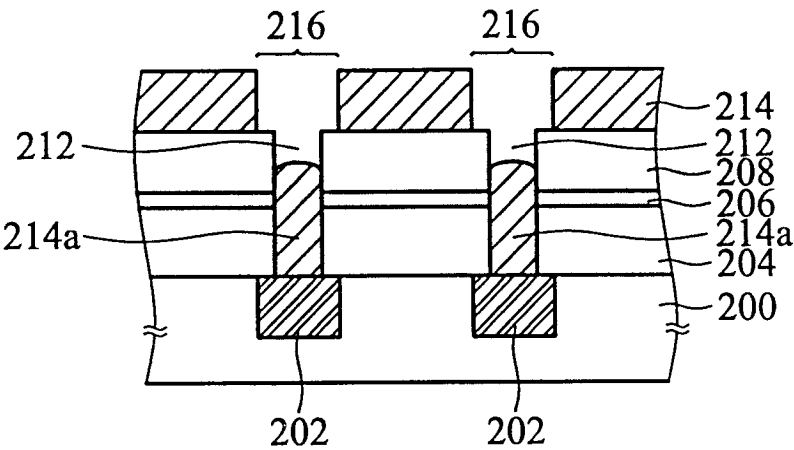
第 2A 圖



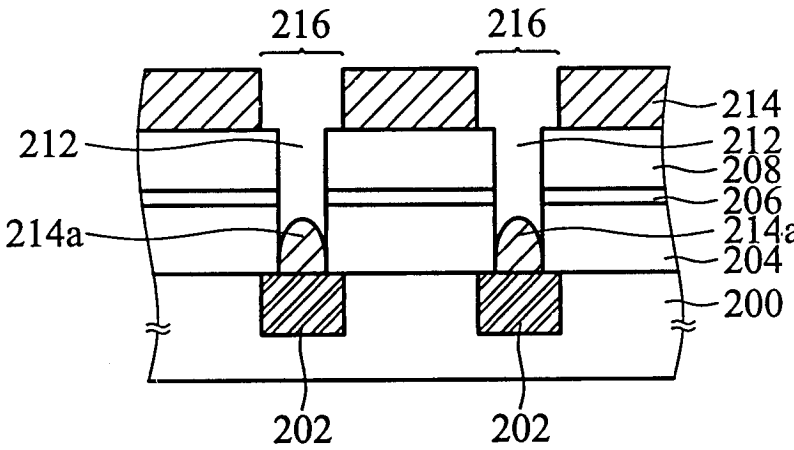
第 2B 圖



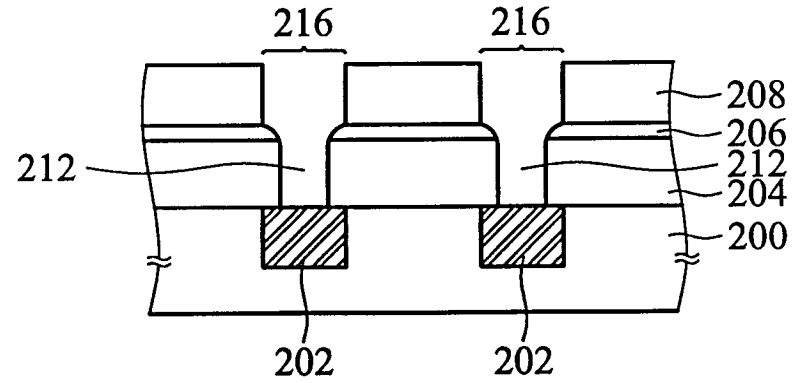
第 2C 圖



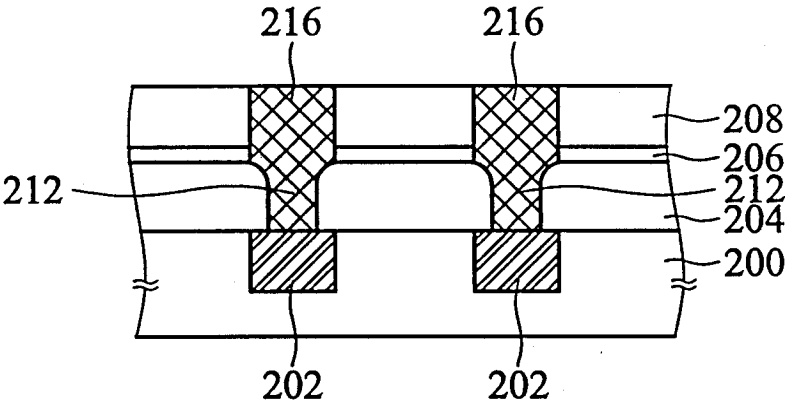
第 2D 圖



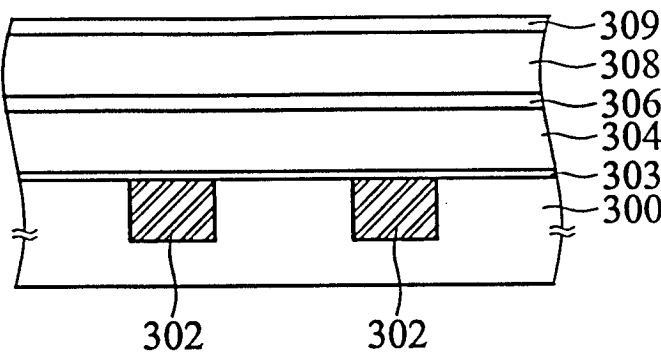
第 2E 圖



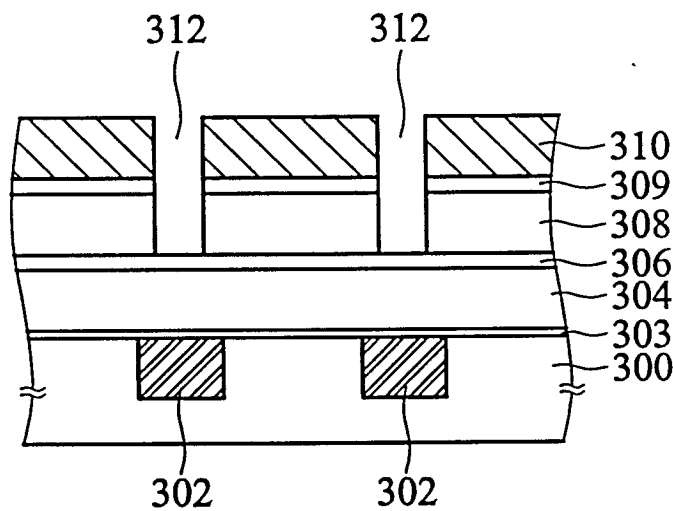
第 2F 圖



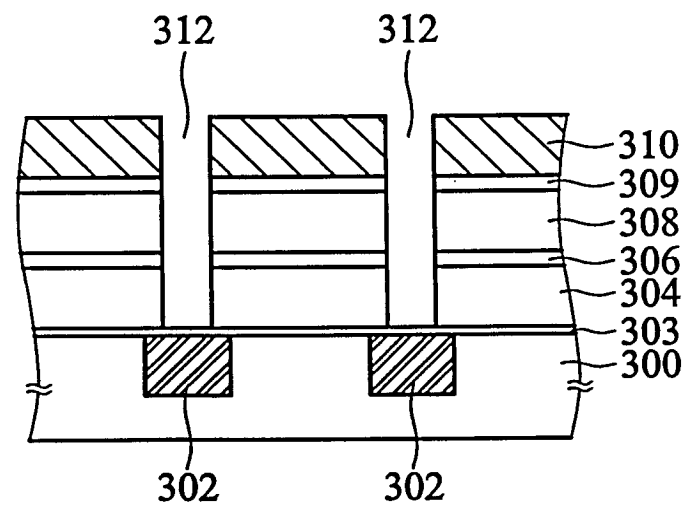
第 2G 圖



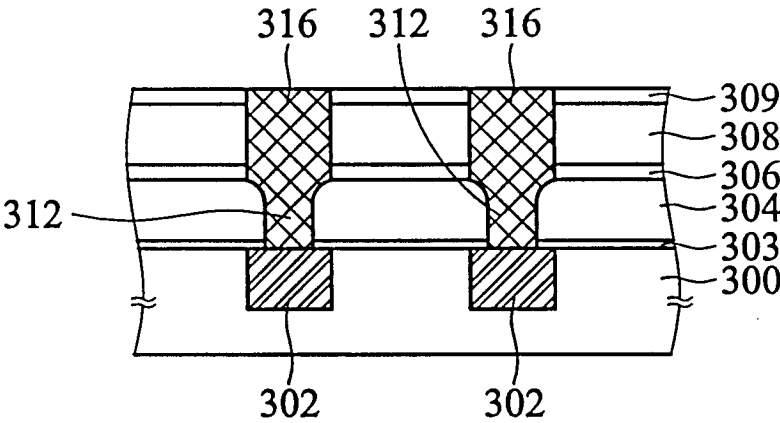
第 3A 圖



第 3B 圖



第 3C 圖



第 3G 圖

六、申請專利範圍

1. 一種形成雙鑲嵌結構的方法，包含下列步驟：

提供一半導體基底；

形成一介電層於該半導體基底上；

於該介電層上形成具有介層洞圖案的一第一光阻；

以該第一光阻為幕罩，蝕刻該介電層以形成完全穿透的介層洞開口；

去除該第一光阻；

於該介電層上形成具有溝槽圖案的一第二光阻，同時在該介層洞中形成一光阻插塞；

進行一氧氣/氮氣電漿蝕刻以除去部分的光阻插塞與該介層洞壁表面之雜質；

以該第二光阻為幕罩，蝕刻該介電層至一定深度以形成一溝槽；

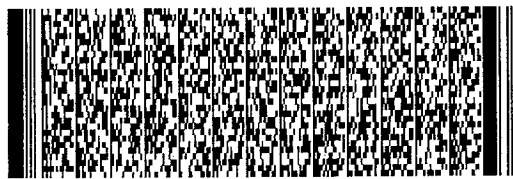
移除所有剩下的光阻；以及

沈積一導電材料以填滿該介層洞與該溝槽，形成一雙鑲嵌內連線結構。

2. 根據申請專利範圍第1項所述之形成雙鑲嵌結構的方法，其中該介電層為摻氟矽玻璃(FSG)。

3. 根據申請專利範圍第1項所述之形成雙鑲嵌結構的方法，其中該氧氣/氮氣電漿蝕刻係進行5至100秒，而氧氣/氮氣混合比例為2/1~1/6。

4. 根據申請專利範圍第3項所述之形成雙鑲嵌結構的方法，其中該氧氣/氮氣電漿蝕刻之氧氣流量約為1至1000sccm，氮氣流量約為1至1000sccm。



六、申請專利範圍

5. 根據申請專利範圍第4項所述之形成雙鑲嵌結構的方法，其中該氧氣/氮氣電漿蝕刻之氣體壓力約為1至50毫托耳。

6. 根據申請專利範圍第4項所述之形成雙鑲嵌結構的方法，其中該氧氣/氮氣電漿蝕刻之電漿源能量介於1至2000瓦特之間。

7. 根據申請專利範圍第4項所述之形成雙鑲嵌結構的方法，其中該氧氣/氮氣電漿蝕刻時之偏壓能量介於1至2000瓦特之間。

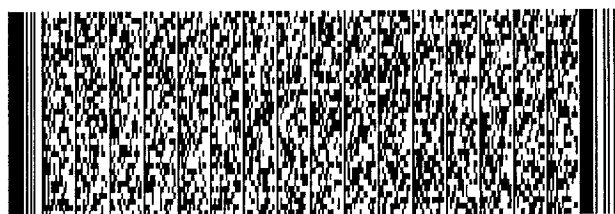
8. 根據申請專利範圍第1項所述之形成雙鑲嵌結構的方法，更包括在形成該介電層前，先形成一第一蝕刻終止層於該半導體基底上。

9. 根據申請專利範圍第8項所述之形成雙鑲嵌結構的方法，其中該介電層由該第一蝕刻終止層往上依序包括一第一介電層、一第二蝕刻終止層、一第二介電層與一覆蓋層。

10. 根據申請專利範圍第9項所述之形成雙鑲嵌結構的方法，其中該溝槽之形成包括以該第二光阻為罩幕，蝕刻該覆蓋層與該第二介電層至該第二蝕刻終止層。

11. 根據申請專利範圍第9項所述之形成雙鑲嵌結構的方法，在沉積該導電材料前，更包括移除該溝槽底部的第二蝕刻終止層與該介層洞底部的第一蝕刻終止層。

12. 根據申請專利範圍第9項所述之形成雙鑲嵌結構的方法，其中該第一與第二蝕刻終止層為氮化矽(SiN)。



六、申請專利範圍

13. 根據申請專利範圍第9項所述之形成雙鑲嵌結構的方法，其中該覆蓋層為氮氧化矽(SiON)。

14. 一種形成溝槽的方法，適用於一半導體基底，係包含下列步驟：

於該半導體基底上覆蓋一介電層，其上具有一介層洞；

在該介電層上覆蓋具有溝槽圖案之一光阻層，並於該介層洞中形成一光阻插塞；

對該介層洞進行一氧氣/氮氣電漿蝕刻，以除去部分的光阻插塞與介層洞壁表面之雜質；

以該光阻層為幕罩，蝕刻該介電層以於該介層洞上形成一溝槽；

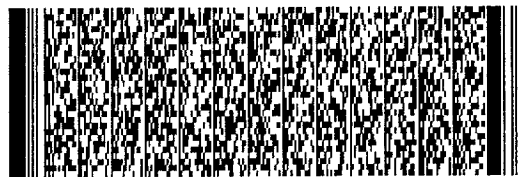
移除所有剩下的光阻。

15. 根據申請專利範圍第14項所述之形成溝槽的方法，其中該介電層為低介電值材料，其介電值小於或等於3.5。

16. 根據申請專利範圍第14項所述之形成溝槽的方法，其中該氧氣/氮氣電漿蝕刻係進行5至100秒，而氧氣/氮氣混合比例為2/1~1/6。

17. 根據申請專利範圍第14項所述之形成溝槽的方法，其中該氧氣/氮氣電漿蝕刻之氧氣流量約為1至1000sccm，氮氣流量約為1至1000sccm。

18. 根據申請專利範圍第14項所述之形成溝槽的方法，其中該氧氣/氮氣電漿蝕刻之氣體壓力約為1至50毫托

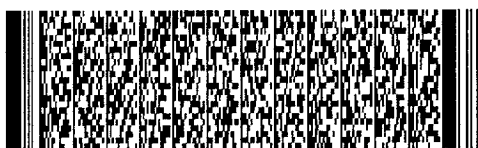


六、申請專利範圍

耳。

19. 根據申請專利範圍第14項所述之形成溝槽的方法，其中該氧氣/氮氣電漿蝕刻之電漿源能量介於1至2000瓦特之間。

20. 根據申請專利範圍第14項所述之形成溝槽的方法，其中該氧氣/氮氣電漿蝕刻時之偏壓能量介於1至2000瓦特之間。



四、中文發明摘要 (發明之名稱：形成溝槽及其雙鑲嵌結構之方法)

指定代表圖：

(一) 本案指定代表圖為：第(2E)圖。

(二) 本代表圖之元件符號簡單說明：

200~半導體基底； 202~導電層結構；

204、208~介電層； 206~蝕刻終止層；

212~介層洞開口； 214~光阻；

214a~光阻插塞； 216~溝槽開口。

英文發明摘要 (發明之名稱：)

