

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5618963号  
(P5618963)

(45) 発行日 平成26年11月5日(2014.11.5)

(24) 登録日 平成26年9月26日(2014.9.26)

(51) Int.Cl.		F I	
HO 1 L 27/04	(2006.01)	HO 1 L 27/04	H
HO 1 L 21/822	(2006.01)	HO 1 L 27/06	1 O 2 A
HO 1 L 27/06	(2006.01)	HO 1 L 27/08	3 3 1 G
HO 1 L 21/8234	(2006.01)	HO 1 L 27/06	3 1 1 B
HO 1 L 27/08	(2006.01)	HO 1 L 27/06	3 1 1 C

請求項の数 8 (全 14 頁)

(21) 出願番号 特願2011-234814 (P2011-234814)  
 (22) 出願日 平成23年10月26日(2011.10.26)  
 (65) 公開番号 特開2013-93448 (P2013-93448A)  
 (43) 公開日 平成25年5月16日(2013.5.16)  
 審査請求日 平成25年12月6日(2013.12.6)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 山本 剛司  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内  
 (72) 発明者 河本 厚信  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内  
 審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、  
 前記半導体基板の一面に形成し、接続する負荷に電力を供給する電力素子と、  
 前記電力素子を形成した前記半導体基板の前記一面に形成し、第1導電型のソース・ド  
 レイン領域を有するM O Sトランジスタを少なくとも1つ含む回路素子と、  
 前記電力素子を形成した前記半導体基板の前記一面に形成し、前記電力素子および前記  
 回路素子に対し独立して配置した第2導電型の第1半導体層と、  
 前記半導体基板および前記第1半導体層と電気的に接続する外部回路と  
 を備え、  
 前記外部回路は、第1電源と、前記第1電源に一端を接続する第1抵抗素子と、前記第  
 1抵抗素子の他端にアノード電極を接続し、カソード電極をG N D接地する第1ダイオ  
 ドとを有し、  
 前記第1抵抗素子の他端に前記第1半導体層を接続する、半導体装置。

【請求項2】

前記外部回路の前記第1抵抗素子および前記第1ダイオードのうち少なくとも一方を、  
 前記半導体基板内に形成してある、請求項1に記載の半導体装置。

【請求項3】

前記第1半導体層内に形成した第1導電型の第2半導体層をさらに備え、  
 前記第2半導体層と、前記第1半導体層と、前記半導体基板とで第1トランジスタを構

成し、

前記第 1 抵抗素子の一端に前記第 2 半導体層を接続し、前記第 1 抵抗素子の他端に前記第 1 半導体層を接続する、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記電力素子を形成した前記半導体基板の前記一面に形成し、少なくとも前記回路素子および前記第 1 半導体層に対し独立して配置した第 2 導電型の第 3 半導体層と、

前記第 3 半導体層内に形成した第 1 導電型の第 4 半導体層と、

前記電力素子を形成した前記半導体基板の前記一面に形成し、少なくとも前記回路素子、前記第 1 半導体層および前記第 3 半導体層に対し独立して配置した第 2 導電型の第 5 半導体層と、

10

前記第 5 半導体層内に形成した第 1 導電型の第 6 半導体層とをさらに備え、

前記第 4 半導体層と、前記第 3 半導体層と、前記半導体基板とで第 2 トランジスタを、前記第 6 半導体層と、前記第 5 半導体層と、前記半導体基板とで第 3 トランジスタをそれぞれ構成し、

前記第 2 トランジスタおよび前記第 3 トランジスタのコレクタ電極は、前記半導体基板を介して接続し、

前記第 1 抵抗素子の他端に、前記第 2 トランジスタのベース電極を接続し、前記第 2 トランジスタのエミッタ電極に第 2 電源または第 2 抵抗素子を接続する、請求項 3 に記載の半導体装置。

【請求項 5】

20

前記第 3 トランジスタのエミッタ電極に、一端を接続する第 3 抵抗素子と、

前記第 3 抵抗素子の他端にアノード電極を接続し、前記第 1 抵抗素子の一端にカソード電極を接続した第 2 ダイオードと、

前記第 1 電源に対して並列に接続した容量素子と、

前記容量素子に対して並列に接続した第 3 ダイオードと、

前記第 3 ダイオードと前記第 1 電源との間に接続した第 4 抵抗素子と

をさらに備える、請求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 抵抗素子、前記第 3 抵抗素子、前記第 2 ダイオード、前記第 3 ダイオードおよび前記容量素子のうち少なくとも 1 つは、前記半導体基板内に形成してある、請求項 5 に記載の半導体装置。

30

【請求項 7】

前記第 1 トランジスタ、前記第 2 トランジスタおよび前記第 3 トランジスタは、前記電力素子に形成する、請求項 4 ~ 請求項 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 半導体層内に形成した第 1 導電型の第 2 半導体層と、

前記電力素子を形成した前記半導体基板の前記一面に形成し、少なくとも前記回路素子および前記第 1 半導体層に対し独立して配置した第 2 導電型の第 3 半導体層と、

前記第 3 半導体層内に形成した第 1 導電型の第 4 半導体層とをさらに備え、

前記第 2 半導体層と、前記第 1 半導体層と、前記半導体基板とで第 1 トランジスタを、前記第 4 半導体層と、前記第 3 半導体層と、前記半導体基板とで第 2 トランジスタをそれぞれ構成し、

40

前記第 1 トランジスタおよび前記第 2 トランジスタのコレクタ電極は、前記半導体基板を介して接続し、

前記第 1 抵抗素子の他端に、前記第 1 トランジスタのベース電極を接続し、前記第 1 トランジスタのエミッタ電極に第 2 電源または第 2 抵抗素子を接続する、請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、電力用の半導体装置に関し、特に同一の半導体基板内に電力素子と回路素子とを形成する半導体装置に関する。

【背景技術】

【0002】

近年、電力用の半導体装置では、接続する負荷に電力を供給する電力素子と、電力素子を制御する回路素子とを同一の半導体基板に形成する構造が開発されている。電力素子と、回路素子とを同一の半導体基板に形成した半導体装置では、通常の動作において、回路素子を構成するp型の深い半導体層（GND接地）の電位に対して、半導体基板の電位が低くなることはない。そのため、回路素子を構成するNMO S（N-channel Metal-Oxide-Semiconductor）と半導体基板との間に形成される寄生素子（寄生NPNトランジスタ）は、通常動作において作動することがなく、半導体装置が誤動作することはない。

10

【0003】

しかし、半導体装置に負電流が流れた場合、回路素子を構成するp型の深い半導体層の電位に対して、半導体基板の電位が低くなり、p型の半導体層から半導体基板に寄生電流が流れて寄生素子が作動する。半導体装置は、寄生素子が作動すると、誤動作する可能性がある。

【0004】

特許文献1および特許文献2には、半導体装置に形成される寄生素子を作動させず、半導体装置の誤動作を防止する構成が開示してある。

【0005】

特許文献1に開示されている半導体装置では、寄生素子を作動させないために、電力素子のトランジスタと回路素子との間に第1のダミー領域を形成し、トランジスタと半導体基板の端との間に第2のダミー領域とを形成してある。そして、第1及び第2のダミー領域は、半導体基板とは異なった導電型であり、第2のダミー領域はトランジスタと第1のダミー領域との間にある半導体基板部分とに接続されている。

20

【0006】

また、特許文献2に開示してある半導体装置では、寄生素子を作動させないために、素子分離領域と内部回路のGNDラインが、GNDパッドから配線層により直接接続せず、抵抗素子を介して接続してある。

【先行技術文献】

30

【特許文献】

【0007】

【特許文献1】特開2006-156959号公報

【特許文献2】特開平06-350032号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

電力素子と、回路素子とを同一の半導体基板に形成した半導体装置では、回路素子を構成するNMO Sと半導体基板との間に寄生素子が形成される。この半導体装置において、負電流が流れた場合、回路素子を構成するp型の深い半導体層の電位に対して、半導体基板の電位が低くなり寄生素子が作動して、半導体装置の誤動作が発生する。

40

【0009】

それゆえに、本発明は、上記問題点を解決するためになされたものであり、半導体装置に負電流が流れた場合でも、回路素子を構成する深い半導体層の電位に対して、半導体基板の電位が低くなるのを抑制して寄生素子を作動させず、半導体装置の誤動作を防止する。

【課題を解決するための手段】

【0010】

上記課題を解決するために、本発明は、第1導電型の半導体基板と、半導体基板の一面に形成し、接続する負荷に電力を供給する電力素子と、電力素子を形成した半導体基板の

50

一面に形成し、第1導電型のソース・ドレイン領域を有するMOSトランジスタを少なくとも1つ含む回路素子と、電力素子を形成した半導体基板の一面に形成し、電力素子および回路素子に対し独立して配置した第2導電型の第1半導体層と、半導体基板および第1半導体層と接続する外部回路とを備えている。外部回路は、第1電源と、第1電源に一端を接続する第1抵抗素子と、第1抵抗素子の他端にアノード電極を接続し、カソード電極をGND接地する第1ダイオードとを有し、第1抵抗素子の他端に第1半導体層を接続する。

【発明の効果】

【0011】

本発明に係る半導体装置によれば、半導体装置に負電流が流れた場合でも、回路素子を構成する深い半導体層の電位に対して、半導体基板の電位が低くなるのを抑制して寄生素子を作動させず、半導体装置の誤動作を防止する。

10

【図面の簡単な説明】

【0012】

【図1】本発明の実施の形態1に係る半導体装置の構成を示す概略図である。

【図2】本発明の実施の形態1に係る半導体装置の回路構成を示す回路図である。

【図3】本発明の実施の形態2に係る半導体装置の構成を示す概略図である。

【図4】本発明の実施の形態2に係る半導体装置の回路構成を示す回路図である。

【図5】本発明の実施の形態3に係る半導体装置の回路構成を示す回路図である。

【図6】本発明の実施の形態4に係る半導体装置の構成を示す概略図である。

20

【図7】本発明の実施の形態4に係る半導体装置の回路構成を示す回路図である。

【図8】本発明の実施の形態5に係る半導体装置の構成を示す概略図である。

【図9】本発明の実施の形態5に係る半導体装置の回路構成を示す回路図である。

【図10】本発明の実施の形態6に係る半導体装置の回路構成を示す回路図である。

【発明を実施するための形態】

【0013】

以下、本発明に係る実施の形態について図面を参照して説明する。

(実施の形態1)

図1は、本発明の実施の形態1に係る半導体装置の構成を示す概略図である。図1に示す半導体装置10は、電力用であり、接続する負荷に電力を供給する電力素子1と、電力素子1を制御する回路素子2とを同一の半導体基板3に形成してある。さらに、半導体基板3には、電力素子1を形成した一面に、電力素子1および回路素子2に対し独立して配置したp型の半導体層4が形成してある。

30

【0014】

半導体基板3は、n型のシリコン基板であり、一面に電力素子1および回路素子2を形成してある。また、半導体基板3は、電力素子1および回路素子2を形成した一面の反対側の面に、p型の半導体層5、裏面電極6を積層してある。

【0015】

電力素子1には、p型の半導体層1a内に、n型のソース・ドレイン領域1bを有するMOSトランジスタ1cが形成してある。

40

【0016】

回路素子2には、p型の半導体層2a内に、n型のソース・ドレイン領域2bを有するMOSトランジスタ2cが形成してある。ここで、p型の半導体層2aは、p型の半導体層1aに比べて深く形成してある。さらに、半導体基板3には、p型の半導体層2a内にn型の半導体層2dを形成し、形成した半導体層2d内にp型のソース・ドレイン領域2eを有するMOSトランジスタ2fが形成してある。なお、p型のソース・ドレイン領域2eの間には、ゲート電極2gが形成してある。同様に、n型のソース・ドレイン領域1bの間、およびn型のソース・ドレイン領域2bの間にもゲート電極1d, 2hが形成してある。

【0017】

50

図 1 に示した電力素子 1 および回路素子 2 の構成は例示であり、MOS トランジスタ 1c, 2c, 2f に限定されるものではなく、他の構成の素子を形成してもよい。ただし、回路素子 2 には、MOS トランジスタ 2c を少なくとも 1 つ含むものとする。そのため、回路素子 2 には、MOS トランジスタ 2c と半導体基板 3 との間に寄生素子が形成され、具体的に、n 型のソース・ドレイン領域 2b と、p 型の半導体層 2a と、n 型の半導体基板 3 とで構成される寄生 NPN トランジスタ 7 が半導体基板 3 に形成される。

【0018】

p 型の半導体層 4 は、n 型の半導体基板 3 に形成してあるので、pn 接合のダイオード 8 を構成する。

【0019】

図 1 には図示していないが、半導体装置 10 には、半導体基板 3 および半導体層 4 と接続する外部回路を備えている。外部回路を含めた半導体装置 10 の等価回路を説明する。図 2 は、本発明の実施の形態 1 に係る半導体装置 10 の回路構成を示す回路図である。

【0020】

図 2 に示す外部回路 9 は、電源 9a と、電源 9a に一端を接続する抵抗素子 9b と、抵抗素子 9b の他端にアノード電極を接続し、カソード電極を GND 接地するダイオード 9c とを有している。また、抵抗素子 9b の他端は、ダイオード 8 のアノード電極（半導体層 4）と電気的に接続してある。

【0021】

図 2 に示す半導体装置 10 では、電源 9a に抵抗素子 9b およびダイオード 9c を直列に接続することによって、ダイオード 9c のアノード電極での電位が、たとえばダイオード 9c の順方向降下電圧  $V_F$  に対応する 0.7V 程度（常温）となる。これにより、半導体層 4 の電位を 0.7V 程度に固定し、半導体基板 3 の電位を、半導体層 4 の電位から 0.7V 程度低下した 0V 程度にする。

【0022】

半導体装置 10 は、電力素子 1 が通常動作によるオン状態の間、半導体基板 3 の電位が電力素子 1 のコレクタ - エミッタ間飽和電圧  $V_{CE}$  (saturation) となる。また、半導体装置 10 は、電力素子 1 が通常動作によるオフ状態の間、裏面電極 6 の電位が半導体基板 3 の電位に比べて高電位となるため、半導体基板 3 の電位が負電位となることはない。

【0023】

しかし、半導体装置 10 に負電流が流れた場合、半導体基板 3 の電位が負電位となる。負電流が流れ半導体基板 3 の電位が負電位となった場合、外部回路 9 を備えていない従来の半導体装置では、半導体層 2a の電位に対して半導体基板 3 の電位が低くなるので寄生 NPN トランジスタ 7 がオン状態となり、半導体層 2a から半導体基板 3 へ寄生電流が流れて、寄生 NPN トランジスタ 7 が作動する。

【0024】

半導体装置 10 では、負電流が流れた場合でも、ダイオード 9c によって半導体層 4 の電位を 0.7V 程度に固定することができるため、半導体基板 3 の電位が負電位となることなく、0V 程度に維持することができる。これにより、半導体装置 10 では、半導体層 2a の電位と半導体基板 3 の電位とをほぼ同電位にすることができ、寄生 NPN トランジスタ 7 がオン状態とならず、半導体層 2a から半導体基板 3 へ寄生電流が流れないため、寄生 NPN トランジスタ 7 が作動しない。

【0025】

以上のように、本発明の実施の形態 1 に係る半導体装置 10 では、ダイオード 9c によって半導体層 4 の電位を 0.7V 程度に固定することができるため、負電流が流れた場合でも、回路素子を構成する p 型の半導体層 2a の電位に対して、半導体基板 3 の電位が低くなるのを抑制して寄生 NPN トランジスタ 7 を作動させず、半導体装置 10 の誤動作を防止する。なお、半導体装置 10 は、誤動作を防止することで、誤動作による特性の劣化を抑えることができ、より長期間使用することが可能となる。

【0026】

10

20

30

40

50

(実施の形態 2)

実施の形態 1 に係る半導体装置 10 では、負電流が流れた場合、半導体層 4 に構成されるダイオード 8 の順方向に電流が導通し、ダイオード 8 を流れる電流が増加する。ダイオード 8 を流れる電流が増加すると、抵抗素子 9 b による電圧降下によってダイオード 9 c のアノード電極の電位 (半導体層 4 の電位) が下がる。

【0027】

抵抗素子 9 b による電圧降下によってダイオード 9 c のアノード電極の電位が、ダイオード 9 c の順方向降下電圧  $V_F$  (たとえば、0.7V) 以下になると、ダイオード 9 c がオフ状態となり電流が導通しなくなる。ダイオード 9 c の順方向に電流が導通しなくなると、半導体層 4 の電位を固定することができなくなる。

10

【0028】

さらに、抵抗素子 9 b による電圧降下が大きくなることによってダイオード 9 c のアノード電極の電位が 0V 以下になると、半導体基板 3 の電位が、半導体層 2 a の電位に対して 0.7V 以上低下することになるため、寄生 NPN トランジスタ 7 が作動する。つまりは、抵抗素子 9 b による電圧降下が大きくなることで、半導体装置 10 が誤動作する恐れがある。

【0029】

そこで、本発明の実施の形態 2 に係る半導体装置では、半導体層 4 に構成されるダイオード 8 に代えて、半導体層 4 にトランジスタを構成する。図 3 は、本発明の実施の形態 2 に係る半導体装置の構成を示す概略図である。図 3 に示す半導体装置 20 は、電力用であり、接続する負荷に電力を供給する電力素子 1 と、電力素子 1 を制御する回路素子 2 とを同一の半導体基板 3 に形成してある。さらに、半導体基板 3 には、電力素子 1 を形成した一面に、電力素子 1 および回路素子 2 に対し独立して配置した p 型の半導体層 4 が形成してある。また、半導体装置 20 は、半導体層 4 内に、n 型の半導体層 21 を形成してある。

20

【0030】

なお、本発明の実施の形態 2 に係る半導体装置 20 は、実施の形態 1 に係る半導体装置 10 と同じ構成要素について同じ符号を付して、詳細な説明を省略する。

【0031】

p 型の半導体層 4 内に n 型の半導体層 21 を形成してあるので、n 型の半導体層 21 と、p 型の半導体層 4 と、n 型の半導体基板 3 とで構成される NPN トランジスタ 22 が半導体基板 3 に形成される。

30

【0032】

図 3 には図示していないが、半導体装置 20 には、半導体基板 3 および半導体層 4 と接続する外部回路を備えている。外部回路を含めた半導体装置 20 の等価回路を説明する。図 4 は、本発明の実施の形態 2 に係る半導体装置 20 の回路構成を示す回路図である。

【0033】

図 4 に示す外部回路 9 は、電源 9 a と、電源 9 a に一端を接続する抵抗素子 9 b と、抵抗素子 9 b の他端にアノード電極を接続し、カソード電極を GND 接地するダイオード 9 c とを有している。また、抵抗素子 9 b の一端は、NPN トランジスタ 22 のコレクタ電極 (半導体層 21) と電氣的に接続し、抵抗素子 9 b の他端は、NPN トランジスタ 22 のベース電極 (半導体層 4) と電氣的に接続してある。

40

【0034】

図 4 に示す半導体装置 20 では、電源 9 a に抵抗素子 9 b およびダイオード 9 c を直列に接続することによって、ダイオード 9 c のアノード電極での電位が、たとえば 0.7V 程度 (常温) とする。これにより、半導体層 4 の電位を 0.7V 程度に固定し、半導体基板 3 の電位を、半導体層 4 の電位から 0.7V 程度低下した 0V 程度にする。

【0035】

半導体装置 20 は、電力素子 1 が通常動作によるオン状態の間、半導体基板 3 の電位が電力素子 1 のコレクタ - エミッタ間飽和電圧  $V_{CE}$  (saturation) となる。また、半導体

50

装置 20 は、電力素子 1 が通常動作によるオフ状態の間、裏面電極 6 の電位が半導体基板 3 の電位に比べて高電位となるため、半導体基板 3 の電位が負電位となることはない。

【0036】

半導体装置 20 では、負電流が流れた場合でも、ダイオード 9c によって半導体層 4 の電位を 0.7V 程度に固定することができるため、半導体基板 3 の電位が負電位となることなく、0V 程度に維持することができる。これにより、半導体装置 20 では、半導体層 2a の電位と半導体基板 3 の電位とをほぼ同電位にすることができ、寄生 NPN トランジスタ 7 がオン状態とならず、半導体層 2a から半導体基板 3 へ寄生電流が流れないため、寄生 NPN トランジスタ 7 が作動しない。

【0037】

また、半導体装置 20 では、p 型の半導体層 4 内に n 型の半導体層 21 を形成し NPN トランジスタ 22 を構成することで、抵抗素子 9b へ流れる電流を低減することができ、抵抗素子 9b での電圧降下を抑制できる。そのため、半導体装置 20 では、負電流が流れた場合でも、半導体装置 10 のダイオード 8 を用いた場合に比べて、直流電流増幅率 ( $h_{FE}$ ) 倍までのコレクタ電流を流すことが可能となり、寄生 NPN トランジスタ 7 の作動を抑えることができる。

【0038】

以上のように、本発明の実施の形態 2 に係る半導体装置 20 では、半導体装置 10 のダイオード 8 に代えて NPN トランジスタ 22 を用いることで、抵抗素子 9b による電圧降下を抑制して寄生 NPN トランジスタ 7 を作動させず、半導体装置 20 の誤動作をより確実に防止する。

【0039】

(実施の形態 3)

外部回路 9 の一部構成を半導体基板 3 内に形成する場合について説明する。図 5 は、本発明の実施の形態 3 に係る半導体装置の回路構成を示す回路図である。図 5 (a) に示す半導体装置 10a は、図 2 に示す半導体装置 10 の外部回路 9 の一部構成を半導体基板 3 内に形成してある。具体的に、半導体装置 10a は、抵抗素子 9b およびダイオード 9c を半導体基板 3 に形成してある。抵抗素子 9b は、半導体基板 3 にポリシリコン膜を形成することで構成し、ダイオード 9c は、半導体基板 3 に注入する不純物の濃度を拡散することで構成してある。

【0040】

同様に、図 5 (b) に示す半導体装置 20a は、図 4 に示す半導体装置 20 の外部回路 9 の一部構成を半導体基板 3 内に形成してある。具体的に、半導体装置 20a は、抵抗素子 9b およびダイオード 9c を半導体基板 3 に形成してある。

【0041】

なお、本発明の実施の形態 3 に係る半導体装置 10a, 20a は、実施の形態 1 に係る半導体装置 10 および実施の形態 2 に係る半導体装置 20 と同じ構成要素について同じ符号を付して、詳細な説明を省略する。

【0042】

以上のように、本発明の実施の形態 3 に係る半導体装置 10a, 20a では、外部回路 9 の一部構成を半導体基板 3 内に形成することで、外部回路 9 のサイズの縮小化、短配線化、低コスト化が可能である。

【0043】

なお、本発明の実施の形態 3 に係る半導体装置 10a, 20a では、抵抗素子 9b およびダイオード 9c を半導体基板 3 内に形成する場合について説明したが、本発明はこれに限定されるものではなく、抵抗素子 9b およびダイオード 9c のうち少なくとも一方を半導体基板 3 に形成すればよい。

【0044】

(実施の形態 4)

図 6 は、本発明の実施の形態 4 に係る半導体装置の構成を示す概略図である。図 6 に示

10

20

30

40

50

す半導体装置 40 は、電力用であり、接続する負荷に電力を供給する電力素子 1 と、電力素子 1 を制御する回路素子 2 とを同一の半導体基板 3 に形成してある。

【0045】

なお、本発明の実施の形態 4 に係る半導体装置 40 は、実施の形態 1 に係る半導体装置 10 と同じ構成要素について同じ符号を付して、詳細な説明を省略する。

【0046】

電力素子 1 には、p 型の半導体層 1 f と、p 型の半導体層 1 f 内に形成した n 型の半導体層 1 e とが形成してある。そのため、電力素子 1 には、n 型の半導体層 1 e と、p 型の半導体層 1 f と、n 型の半導体基板 3 とで構成される NPN トランジスタ 41 が形成される。さらに、p 型の半導体層 1 f と、n 型の半導体基板 3 と、p 型の半導体層 5 とで構成する PNP トランジスタ 42 が半導体基板 3 に形成される。同様に、電力素子 1 には、p 型の半導体層 1 g 内に、n 型の半導体層 1 h を形成してある。そのため、電力素子 1 には、n 型の半導体層 1 h と、p 型の半導体層 1 g と、n 型の半導体基板 3 とで構成される NPN トランジスタ 43 が形成される。さらに、p 型の半導体層 1 g と、n 型の半導体基板 3 と、p 型の半導体層 5 とで構成する PNP トランジスタ 44 が半導体基板 3 に形成される。なお、NPN トランジスタ 41 のコレクタ電極と、NPN トランジスタ 43 のコレクタ電極とは、p 型の半導体層 5 を介して電氣的に接続している。

【0047】

なお、図示していないが、電力素子 1 には、図 1 で示したように、p 型の半導体層 1 a 内に、n 型のソース・ドレイン領域 1 b を有する MOS トランジスタ 1 c が形成してある。

【0048】

図 6 には図示していないが、半導体装置 40 には、半導体基板 3 および半導体層 1 f と接続する外部回路を備えている。外部回路を含めた半導体装置 40 の等価回路を説明する。図 7 は、本発明の実施の形態 4 に係る半導体装置 40 の回路構成を示す回路図である。

【0049】

図 7 に示す外部回路 9 は、電源 9 a と、電源 9 a に一端を接続する抵抗素子 9 b と、抵抗素子 9 b の他端にアノード電極を接続するダイオード 9 c と、ダイオード 9 c のカソード電極にアノード電極を接続し、カソード電極を GND 接地するダイオード 9 d とを有している。また、抵抗素子 9 b の他端は、NPN トランジスタ 41 のベース電極（半導体層 1 f）と電氣的に接続してある。

【0050】

図 7 に示す半導体装置 40 では、電源 9 a に抵抗素子 9 b およびダイオード 9 c, 9 d を直列に接続することによって、ダイオード 9 c のアノード電極での電位が、たとえばダイオード 9 c, 9 d の順方向降下電圧  $V_F$  の和に対応する 1.4 V 程度（常温）となる。これにより、NPN トランジスタ 41 は、ベース電極に 1.4 V 程度の電圧が印加され、エミッタ電極に接続された電流源 45 によって半導体基板 3 から電流を引抜くことができる。NPN トランジスタ 41 により半導体基板 3 から電流を引抜くことで、半導体基板 3 に注入されたホール電流の一部が、NPN トランジスタ 43 のベース電極に流れ、NPN トランジスタ 43 を動作させる。

【0051】

NPN トランジスタ 43 が動作することで、NPN トランジスタ 43 のエミッタ電極から出力する電圧は、NPN トランジスタ 43 のコレクタ電極の電圧に限りなく近い電圧となる。そのため、NPN トランジスタ 43 のエミッタ電極に、たとえば出力端子電圧を検出する機能回路 46 を設けることで、半導体装置 40 は、出力端子電圧に比例した信号を取込んで過電圧を制御する過電圧保護機能を設けることができる。なお、NPN トランジスタ 43 のベース電極は、複数のツェナーダイオード 47 を介して GND 接地してある。

【0052】

半導体装置 40 は、半導体装置 40 に負電流が流れた場合、NPN トランジスタ 41 のベース電極（p 型の半導体層 1 f）と n 型の半導体基板 3 とで構成される pn 結合によっ

10

20

30

40

50



て、半導体基板3の電位がNPNトランジスタ41のベース電極の電位(1.4V程度(常温))から0.7V程度(常温)に低下した電位を維持しようとする。そのため、半導体装置40は、p型の半導体層2aとn型の半導体基板3とが逆バイアス状態となり、半導体層2aから半導体基板3へ寄生電流が流れないため、寄生NPNトランジスタ7が作動しない。

#### 【0053】

以上のように、本発明の実施の形態4に係る半導体装置40では、電力素子1にNPNトランジスタ41およびNPNトランジスタ43を設けることで、負電流が流れた場合でも、回路素子を構成するp型の半導体層2aの電位に対して、半導体基板3の電位が低くなるのを抑制して寄生NPNトランジスタ7を作動させず、半導体装置40の誤動作を防止する。

10

#### 【0054】

なお、本発明の実施の形態4に係る半導体装置40では、NPNトランジスタ41およびNPNトランジスタ43を電力素子1に設けたが、本発明はこれに限定されるものではなく、電力素子1および回路素子2以外に設けてもよい。

#### 【0055】

また、NPNトランジスタ41およびNPNトランジスタ43は、必要な性能を得るため、電力素子1および回路素子2と別の製造工程で形成することが望ましい。しかし、十分な性能が得られるのであれば、NPNトランジスタ41およびNPNトランジスタ43は、電力素子1または回路素子2と同じ製造工程で形成してもよい。また、NPNトランジスタ41およびNPNトランジスタ43を電力素子1に形成することで、電力素子1を構成する他の素子と同じ製造工程で形成することができ、製造コストを低減することができる。

20

#### 【0056】

さらに、NPNトランジスタ41は、エミッタ電極に接続された電流源45によって半導体基板3から電流を引抜いているが、電流源45に代えて抵抗素子をエミッタ電極に接続して、半導体基板3から電流を引抜いてもよい。なお、NPNトランジスタ41のエミッタ電極に抵抗素子を接続した場合に比べて、電流源45を接続した方が回路構成のサイズを縮小することができる。

#### 【0057】

また、複数のツェナーダイオード47は、ポリツェナーダイオードとして半導体基板3上に形成してもよい。同様に、電流源45に代えてNPNトランジスタ41のエミッタ電極に接続する抵抗素子もポリシリコン抵抗として半導体基板3上に形成してもよい。

30

#### 【0058】

(実施の形態5)

図8は、本発明の実施の形態5に係る半導体装置の構成を示す概略図である。図8に示す半導体装置50は、電力用であり、接続する負荷に電力を供給する電力素子1と、電力素子1を制御する回路素子2とを同一の半導体基板3に形成してある。さらに、半導体基板3には、電力素子1を形成した一面に、電力素子1および回路素子2に対し独立して配置したp型の半導体層4が形成してある。また、半導体装置50は、半導体層4内に、n型の半導体層21を形成してある。

40

#### 【0059】

なお、本発明の実施の形態5に係る半導体装置50は、実施の形態2に係る半導体装置20および実施の形態4に係る半導体装置40と同じ構成要素について同じ符号を付して、詳細な説明を省略する。

#### 【0060】

電力素子1には、図6に示す半導体装置40と同様に、NPNトランジスタ41、43、PNPトランジスタ42、44を含んでいる。なお、図示していないが、電力素子1には、図1で示したように、p型の半導体層1a内に、n型のソース・ドレイン領域1bを有するMOSトランジスタ1cが形成してある。

50

## 【0061】

また、図3に示す半導体装置20と同様、p型の半導体層4内にn型の半導体層21を形成してあるので、n型の半導体層21と、p型の半導体層4と、n型の半導体基板3とで構成されるNPNトランジスタ22が半導体基板3に形成される。

## 【0062】

図8には図示していないが、半導体装置50には、半導体基板3および半導体層1f、4と接続する外部回路を備えている。外部回路を含めた半導体装置50の等価回路を説明する。図9は、本発明の実施の形態5に係る半導体装置50の回路構成を示す回路図である。

## 【0063】

図9に示す外部回路9は、電源9aと、電源9aに一端を接続する抵抗素子9bと、抵抗素子9bの他端にアノード電極を接続するダイオード9cと、ダイオード9cのカソード電極にアノード電極を接続し、カソード電極をGND接地するダイオード9dとを有している。また、抵抗素子9bの他端は、NPNトランジスタ41のベース電極(半導体層1f)と電氣的に接続してある。さらに、抵抗素子9bの一端は、NPNトランジスタ22のコレクタ電極(半導体層21)と電氣的に接続し、抵抗素子9bの他端は、NPNトランジスタ22のベース電極(半導体層4)と電氣的に接続してある。

## 【0064】

実施の形態4に係る半導体装置40では、負電流が流れた場合、抵抗素子9bを流れる電流が大きくなると、抵抗素子9bによる電圧降下によってダイオード9cのアノード電極の電位、つまりNPNトランジスタ41のベース電極の電位が下がる。

## 【0065】

NPNトランジスタ41のベース電極の電位が下がると、半導体基板3の電位が、半導体層2aの電位に対して低下するため、寄生NPNトランジスタ7が作動する。つまりは、抵抗素子9bによる電圧降下が大きくなることで、半導体装置40が誤動作する恐れがある。

## 【0066】

そこで、半導体装置50では、p型の半導体層4内にn型の半導体層21を形成しNPNトランジスタ22を構成することで、抵抗素子9bへ流れる電流を低減することができ、抵抗素子9bでの電圧降下を抑制できる。そのため、半導体装置50では、負電流が流れた場合でも、実施の形態4に係る半導体装置40の構成を用いた場合に比べて、抵抗素子9bでの電圧降下を抑制し、寄生NPNトランジスタ7の作動を抑えることができる。

## 【0067】

以上のように、本発明の実施の形態5に係る半導体装置50では、半導体装置40の構成に加えてNPNトランジスタ22を設けることで、抵抗素子9bによる電圧降下を抑制して寄生NPNトランジスタ7を作動させず、半導体装置50の誤動作をより確実に防止する。

## 【0068】

(実施の形態6)

図10は、本発明の実施の形態6に係る半導体装置60の回路構成を示す回路図である。図10に示す半導体装置60は、外部回路9以外の構成が実施の形態5に係る半導体装置50と同じであるため、半導体装置50と同じ構成要素について同じ符号を付して、詳細な説明を省略する。

## 【0069】

図10に示す外部回路9は、電源9aと、電源9aに一端を接続する抵抗素子9bと、抵抗素子9bの他端にアノード電極を接続するダイオード9cと、ダイオード9cのカソード電極にアノード電極を接続し、カソード電極をGND接地するダイオード9dとを有している。さらに、外部回路9は、NPNトランジスタ43のエミッタ電極に、一端を接続する抵抗素子9eと、抵抗素子9eの他端にアノード電極を接続し、抵抗素子9bの一端にカソード電極を接続したダイオード9fとを有している。また、外部回路9は、電源

10

20

30

40

50

9 a に対して並列に接続した容量素子 9 g と、容量素子 9 g に対して並列に接続したツェナーダイオード 9 h と、電源 9 a とツェナーダイオード 9 h との間に接続した抵抗素子 9 i とを有している。

【0070】

抵抗素子 9 b の他端は、NPNトランジスタ 4 1 のベース電極（半導体層 1 f）と電氣的に接続してある。さらに、抵抗素子 9 b の一端は、NPNトランジスタ 2 2 のコレクタ電極（半導体層 2 1）と電氣的に接続し、抵抗素子 9 b の他端は、NPNトランジスタ 2 2 のベース電極（半導体層 4）と電氣的に接続してある。

【0071】

半導体装置 6 0 では、NPNトランジスタ 4 3 のエミッタ電極に接続されている抵抗素子 9 e がダイオード 9 f に流れる電流を制限している。また、ツェナーダイオード 9 h は、電源 9 a の電圧（たとえば 1 4 V）に対し、たとえば 7 V 程度でクランプする。

10

【0072】

NPNトランジスタ 4 3 のエミッタ電極の電位が、容量素子 9 g のキャパシタ電位より高い場合、容量素子 9 g へ充電が行なわれ、容量素子 9 g に充電した電荷を、制御回路などを含む回路素子 2 の電源として用いることもできる。なお、容量素子 9 g のキャパシタ電圧は、ツェナーダイオード 9 h でクランプされるため最大 7 V 程度までしか上昇することがなく、電源 9 a 側へ容量素子 9 g のキャパシタ電流が逆流することはない。

【0073】

以上のように、半導体装置 6 0 では、容量素子 9 g に充電した電荷を利用するため、電源 9 a 直近の抵抗素子 9 i で消費される電力を低減することができ、回路全体の消費電力を抑制することができる。

20

【0074】

なお、半導体装置 6 0 では、負電流が流れた場合でも、ダイオード 9 f を設けているので、NPNトランジスタ 4 3 のエミッタ電極へ電流が流れることがなく、NPNトランジスタ 2 2 の動作により、抵抗素子 9 b による電圧降下を抑制して寄生NPNトランジスタ 7 を作動させず、半導体装置 6 0 の誤動作を防止する。

【0075】

また、抵抗素子 9 b , 9 e , 9 i は、ポリシリコン抵抗として半導体基板 3 上に形成してもよい。同様に、ダイオード 9 c , 9 d , 9 f も、拡散ダイオードとして半導体基板 3 上に形成してもよい。さらに、容量素子 9 g は、シリコン基板とポリシリコンを利用したコンデンサとして半導体基板 3 上に形成してもよい。同様に、ツェナーダイオード 9 h も、ポリツェナーダイオードとして半導体基板 3 上に形成してもよい。

30

【0076】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

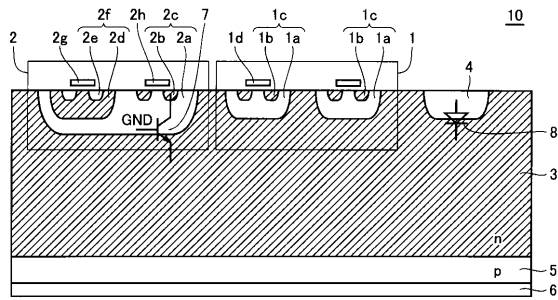
【符号の説明】

【0077】

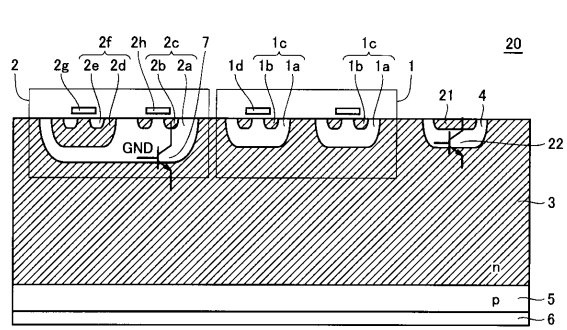
1 電力素子、4, 5, 2 1 半導体層、7 寄生NPNトランジスタ、2 2, 4 1, 4 3 NPNトランジスタ、4 2, 4 4 PNPトランジスタ、1 d, 2 h, 2 g ゲート電極、2 回路素子、3 半導体基板、6 裏面電極、8, 9 c, 9 d, 9 f ダイオード、9 外部回路、9 a 電源、9 b, 9 e, 9 i 抵抗素子、9 g 容量素子、9 h, 4 7 ツェナーダイオード、1 0, 2 0, 4 0, 5 0, 6 0 半導体装置、4 5 電流源、4 6 機能回路。

40

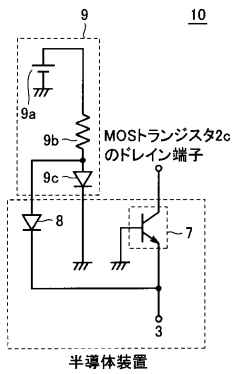
【図1】



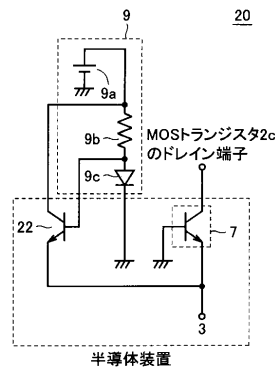
【図3】



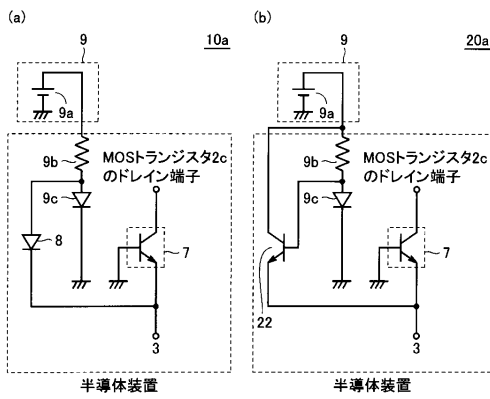
【図2】



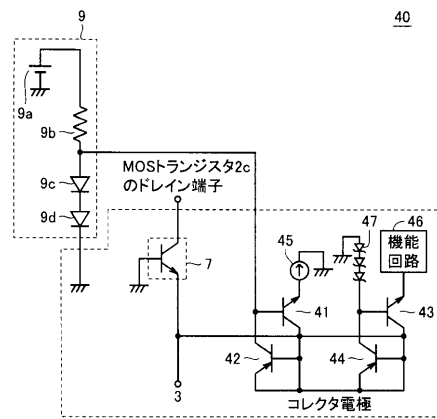
【図4】



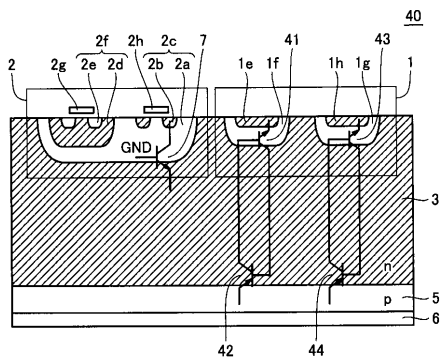
【図5】



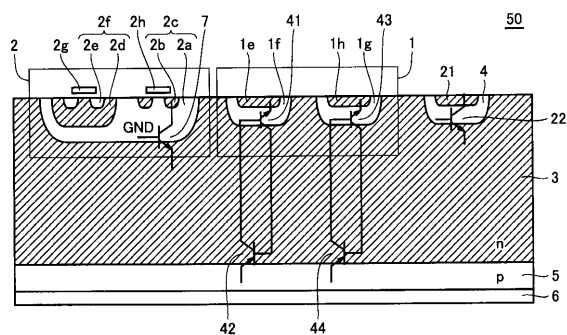
【図7】



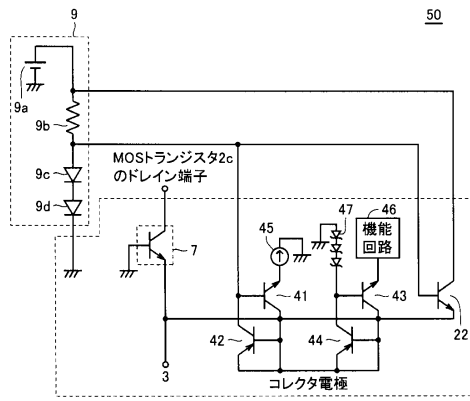
【図6】



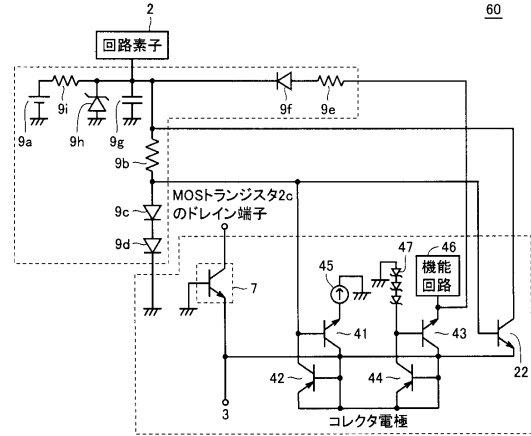
【図8】



【図 9】



【図 10】



---

フロントページの続き

- (56)参考文献 特開平08 - 186232 (JP, A)  
特開平07 - 283719 (JP, A)  
特開2008 - 140824 (JP, A)  
特開2001 - 077682 (JP, A)  
特開2005 - 252044 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 21/8234  
H01L 27/04  
H01L 27/06  
H01L 27/08