

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月10日(10.03.2011)

PCT

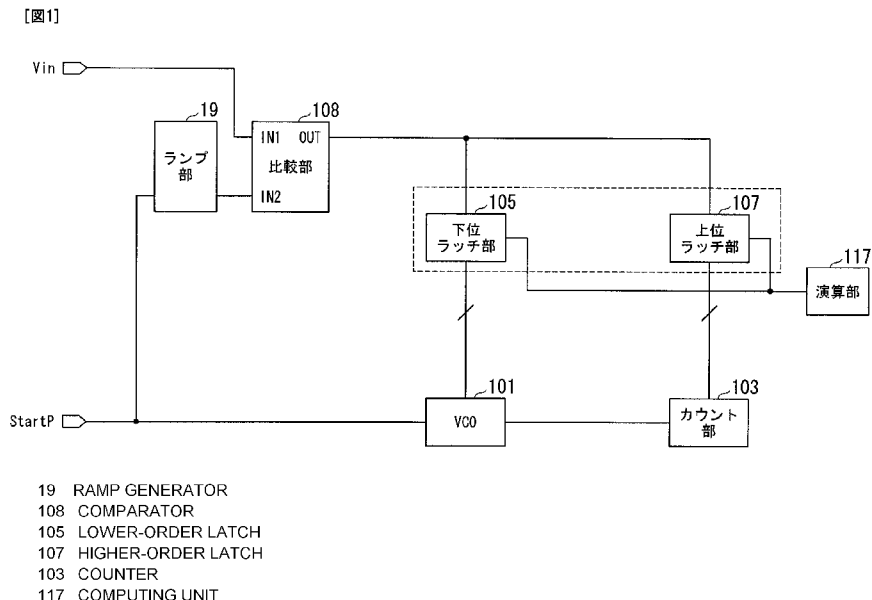
(10) 国際公開番号
WO 2011/027768 A1

- (51) 国際特許分類:
H03M 1/56 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2010/064891
- (22) 国際出願日: 2010年9月1日(01.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-201522 2009年9月1日(01.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷2丁目43番2号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 萩原 義雄 (HAGIHARA Yoshio) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: A/D CONVERTER AND SOLID-STATE IMAGING APPARATUS

(54) 発明の名称: AD変換器および固体撮像装置



(57) Abstract: In this A/D converter, a ramp generator (19) generates a reference signal which increases or decreases with the passage of time. A comparator (108) starts processing for comparison of an analog signal and the reference signal at a timing related to the input of the analog signal and ends this comparison processing at the timing at which the reference signal satisfies predetermined conditions with respect to the analog signal. A VCO (101) has a plurality of delay units of the same configuration and starts a transition operation at a timing related to the start of the comparison processing. A counter (103) counts the clock from the VCO (101). A lower-order latch (105) latches lower-order logic states at a first timing related to the end of comparison processing, said lower-order logic states being logic states of the plurality of delay units. A higher-order latch (107) latches higher-order logic states at the first timing, said higher-order logic states being logic states of the counter (103). A computation unit (117) computes a digital signal on the basis of the data of the lower-order latch (105) and higher-order latch (107). According to this A/D converter, higher precision A/D conversion becomes possible.

(57) 要約:

[続葉有]

WO 2011/027768 A1



NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF), 添付公開書類:

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, — 国際調査報告 (条約第 21 条(3))
SN, TD, TG).

この AD 変換器において、ランプ部 (19) は、時間の経過とともに増加または減少する参照信号を生成する。比較部 (108) は、アナログ信号の入力に係るタイミングでアナログ信号と参照信号の比較処理を開始し、参照信号がアナログ信号に対して所定の条件を満たしたタイミングで比較処理を終了する。VCO (101) は、複数の同一構成の遅延ユニットを有し、比較処理の開始に係るタイミングで遷移動作を開始する。カウント部 (103) は、VCO (101) からのクロックをカウントする。下位ラッチ部 (105) は、比較処理の終了に係る第 1 のタイミングで、複数の遅延ユニットの論理状態である下位論理状態をラッチする。上位ラッチ部 (107) は、上記第 1 のタイミングで、カウント部 (103) の論理状態である上位論理状態をラッチする。演算部 (117) は、下位ラッチ部 (105) および上位ラッチ部 (107) のデータに基づいてデジタル信号を算出する。この AD 変換器によれば、より高精度な AD 変換が可能となる。

明 細 書

発明の名称：AD変換器および固体撮像装置

技術分野

[0001] AD変換器（アナログーデジタル変換器）およびそれを用いた固体撮像装置に関する。

本願は、２００９年９月１日に日本に出願された特願２００９－２０１５２２号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来例に係るAD変換器を用いた一例として、特許文献１～４に記載された構成が知られている。初めに、特許文献１のAD変換器の構成および動作について説明する。

[0003] 図24は、特許文献１に記載された第１の従来例に係るAD変換器を用いたMOSセンサの構成図である。このMOSセンサは、画素1101の列毎に、比較器1107およびデジタルメモリ1108で構成されたAD変換回路1106を備えている。カウンタ1104から出力されるデジタル（バイナリ）値は、DA変換回路（以後、DACと称す）1105に入力される。DAC1105は、入力されたデジタル値に応じたランプ電圧（ランプ波）1122を生成し、このランプ電圧（ランプ波）1122を参照信号として比較器1107の入力部の一方に出力する。カウンタ1104の出力は、バイナリーグレイコード変換器1115を介して各列のデジタルメモリ1108に分配される。各AD変換回路1106内の比較器1107の入力部の他方には、画素1101から読出し信号線1103を介して画素信号が、AD変換の対象となるアナログ信号として入力される。

[0004] 次に、第１の従来例に係るAD変換動作を説明する。まず、クロック生成回路1120から入力されるクロック信号1121に同期して、カウンタ1104がその初期値からカウントを開始すると同時に、DAC1105がランプ電圧（ランプ波）1122の生成を開始する。そして、各列の画素1101からの読出し信号と、カウンタ1104の計数値と同期して変化する共通のランプ電圧（ランプ波）1122と

が各列の比較器1107に入力される。これと平行して、カウンタ1104の計数値はデジタルメモリ1108に分配される。ある列の比較器1107への2つの入力信号の大小関係が入れ替わると、その比較器1107の出力電圧が反転し、その列のデジタルメモリ1108はその計数値を保持する。比較器1107に入力されるランプ電圧（ランプ波）1122とデジタルメモリ1108に入力される計数値は同期しているので、以上の動作により、画素からの読出し信号が、デジタルメモリに保持された値（デジタル値）にAD変換される。

[0005] 以上で説明したAD変換方式は、特にランプ型AD変換（Ramp Run-up ADC）と呼ばれる種類の方式で、AD変換一般の方式分類によると、カウンティングADC（計数型AD変換）と呼ばれる種類の方式である。参照信号としてランプ電圧（ランプ波）を用いることは、画素からのアナログ信号電位を時間の長さに変換するのと等価であり、更に固定周波数のクロック信号を用いて時間の長さを計ることでAD変換を実現するため、この名称がある。

[0006] 特許文献2～4に記載された第2の従来例に係るAD変換器では、カウンタ1104の計数値を上位ビットとし、更にカウンタに入力されるクロック（またはカウンタから出力されるクロック）の位相を遅延させることにより多相クロックを生成して、その論理状態を下位ビットとすることで更なる分解能の向上を可能としている。

[0007] 第1の従来例に係るAD変換器を用いて、例えば10ビットのAD変換を実現する場合、AD変換の対象となるアナログ信号とDACで生成されるランプ電圧（ランプ波）との比較では、10ビットの階調数分（すなわち1024回）のカウントを行う必要がある。

[0008] ここで、AD変換器を用いる具体的なデバイスとして、デジタルスチルカメラ（DSC）等を使用されるイメージャを例示する。具体的なスペックとしては、画素数は2000万画素、フレームレートは60frame/secとする。説明を容易にするため、2000万画素の画素配列を縦横比4000行×5000列として、更に単純化のためにブランキング期間がないものとする、1行の読出し期間は、

$$60\text{frame/sec} \times 4000\text{行/frame} = 240\text{Kline/sec}$$

となる。つまり、1行の読出しレートは240KHzとなる。このデバイスに第1の従来例に係るAD変換器を適用すると、10ビットのAD変換であれば、1行の読出し時間にその階調数210=1024回の比較をする必要があり、1行の読出しレートの約千倍である240MHz程度で、デジタルメモリに出力するカウンタの計数値を変える必要がある。

[0009] この計算では、AD変換回路が画素からデータを受け取るまでの待機期間やAD変換結果の出力メモリへの転送期間、すなわちAD変換としての比較動作ができない期間を考慮していない。また、上記以外にOB (=Optical Black) 画素期間やブランキング期間を除いているため、実際には、この見積り周波数よりも高い周波数になる。

[0010] 次に、第2の従来例に係るAD変換器を用いて、同様な計算を試みる。例えば10ビットを上位8ビットと下位2ビットで構成したとすると、上位ビットについては、1行の読出しレートの256倍である60MHz程度で、デジタルメモリに出力するカウンタの計数値を変えるだけで済む。下位ビットについては、カウンタに入力するクロック（またはカウンタから出力されるクロック）の位相を0、 $\pi/4$ 、 $\pi/2$ 、 $3\pi/4$ 、と遅延させ、その論理状態を保持およびエンコードすることによりデジタル値を取得する。更に、10ビットを上位6ビットと下位4ビットで構成したと仮定すると、上位ビットについては、1行の読出しレートの64倍である15MHz程度で、デジタルメモリに出力するカウンタの計数値を変えるだけで済む。下位ビットについては、カウンタに入力するクロック（またはカウンタから出力されるクロック）の位相を0、 $\pi/16$ 、 $\pi/8$ 、 $3\pi/16$ 、 $\pi/4$ 、 $5\pi/16$ 、 $3\pi/8$ 、 $7\pi/16$ 、 $\pi/2$ 、 $9\pi/16$ 、 $5\pi/8$ 、 $11\pi/16$ 、 $3\pi/4$ 、 $13\pi/16$ 、 $7\pi/8$ 、 $15\pi/16$ 、と遅延させ、その論理状態を保持およびエンコードすることによりデジタル値を取得する。

先行技術文献

特許文献

[0011] 特許文献1：特開2005-347931号公報

特許文献2：特開2009-33297号公報

特許文献3：特開2009-38726号公報

特許文献4：特開2009-38781号公報

発明の概要

発明が解決しようとする課題

[0012] しかしながら、上記従来のAD変換器には以下に示すような、AD変換の精度に関する課題がある。

(1) 上位ビットと下位ビットとが完全な従属動作ではない。

(2) 下位ビットの保持データを正確に2値化するのが困難である。

[0013] 以下で、上記(1)の不具合について詳述する。仮に、上位ビットおよび下位ビットのラッチタイミングが同じであったとしても、上位ビットと下位ビットとが完全に従属していないため、例えば下位ビットの論理状態が変化する前に上位ビットの論理状態が変化する、逆に上位ビットの論理状態が変化する前に下位ビットの論理状態が変化する、所謂上位ビットと下位ビットとの間での位相ズレが存在し、特に高速動作になるとこの位相ズレが顕著に(相対的に大きく)見えてくる。これにより、上位ビットと下位ビットとの位相ズレに起因したミスコードが発生し、精度の高いAD変換結果を得ることができない。

[0014] 次に、上記(2)の不具合について詳述する。下位ビットの2値化は、デジタルメモリに保持された多相クロックの論理状態に基づいて行われる。特に高速動作におけるラッチタイミングでの論理状態の取得の際には、[1]High状態からLow状態へ論理状態が変化する途中のLow状態や、[2]Low状態からHigh状態へ論理状態が変化する途中のHigh状態が混在する(確率が高くなる)。これが2値化を困難にしている。2値化が困難である第1の理由は、回路の立上り時間と立下り時間とは必ずしも等しくならない、ことに起因する。CMOS回路、例えばCMOSインバータ回路で考えた場合、PMOSトランジスタの閾値電圧の設定とNMOSトランジスタの閾値電圧の設定とは、異なる工程で行われる。また、回路の出力電圧の立上り時間は、主としてPMOSトランジスタの閾値電圧によって決定され、回路の立下り時間は、主としてNMOSトランジスタの

閾値電圧によって決定される。したがって、回路の出力電圧の立上り時間と立下り時間とが異なるのは、特別な現象ではなく、製造工程に由来して起こる一般的な現象である。2値化が困難である第2の理由は、仮に、立上り時間と立下り時間とが等しくなるよう製造できたとしても、実際には電源電圧変動や温度変化によって保持回路（ラッチ回路）の閾値電圧が変動するため、結果的に誤った論理状態を保持する可能性がある、ことに起因する。この問題を回避するためには、電源電圧変動や温度変化を検知して回路を制御する手段を内蔵することが必要となるが、その分、回路規模が大きくなり、消費電力も増大する。

- [0015] 本発明は、上述した課題に鑑みてなされたものであって、より高精度にAD変換することができるAD変換器およびそれを用いた固体撮像装置を提供することを目的とする。

課題を解決するための手段

- [0016] 本発明のAD変換器は、時間の経過とともに増加または減少する参照信号を生成する参照信号生成部と、AD変換の対象となるアナログ信号の入力に係るタイミングで前記アナログ信号と前記参照信号の比較処理を開始し、前記参照信号が前記アナログ信号に対して所定の条件を満たしたタイミングで前記比較処理を終了する比較部と、複数の同一構成の遅延ユニットを有し、前記比較処理の開始に係るタイミングで遷移動作を開始する円環遅延回路と、前記円環遅延回路からのクロックをカウントするカウント部と、前記比較処理の終了に係る第1のタイミングで、前記複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、前記比較処理の終了に係る前記第1のタイミングで、前記カウント部の論理状態である上位論理状態をラッチする上位ラッチ部と、前記下位ラッチ部および前記上位ラッチ部のデータに基づいて前記アナログ信号に応じたデジタル信号を算出する演算部と、を有する。
- [0017] また、本発明のAD変換器において、前記複数の遅延ユニットの個数は、奇数個である、ことが望ましい。

- [0018] また、本発明のAD変換器において、前記複数の遅延ユニットの個数は、奇数個であり、前記複数の遅延ユニットの各々は、更に奇数個の反転素子を有する、ことが望ましい。
- [0019] また、本発明のAD変換器において、前記遅延ユニットを構成する前記奇数個の前記反転素子は全差動型反転回路で構成される、ことが望ましい。
- [0020] また、本発明のAD変換器において、前記複数の遅延ユニットは、その遅延量を制御可能となるよう構成される、ことが望ましい。
- [0021] また、本発明のAD変換器において、前記複数の遅延ユニットの遅延量は、遅延ユニットに流れる電流により制御される、ことが望ましい。
- [0022] また、本発明のAD変換器において、前記演算部は、前記複数の遅延ユニットからの出力である前記下位ラッチ部のデータを、一定の時間間隔で順に立上げる、又は、一定の時間間隔で順に立下る信号群に並び変え、前記演算部は、前記比較処理の終了に係る前記第1のタイミングでの前記信号群における状態の遷移位置を検出する、ことが望ましい。
- [0023] また、本発明のAD変換器において、前記カウント部は、前記上位論理状態以外に冗長上位論理状態を出力し、ラッチ部として前記下位ラッチ部および前記上位ラッチ部以外に、前記冗長上位論理状態をラッチする冗長上位ラッチ部を有し、前記冗長上位論理状態は前記上位論理状態の少なくとも一部をある時間だけ遅延させたものである、または前記上位論理状態は前記冗長上位論理状態の少なくとも一部をある時間だけ遅延させたものである、ことが望ましい。
- [0024] また、本発明のAD変換器において、前記比較部は、前記比較処理の終了に係る前記第1のタイミングを示す信号と、前記第1のタイミングをある遅延時間だけ遅延させた第2のタイミングを示す信号とを出力する、ことが望ましい。
- [0025] また、本発明のAD変換器において、前記参照信号生成部は、積分回路を用いて構成される、ことが望ましい。
- [0026] また、本発明のAD変換器において、前記参照信号生成部は、DAC回路を用い

て構成される、ことが望ましい。

[0027] また、本発明のAD変換器において、前記参照信号生成部は、前記DAC回路の後段に更にLPF回路を有する、ことが望ましい。

[0028] また、本発明のAD変換器において、前記LPF回路のフィルタ定数は、少なくとも前記遅延ユニットの遅延量および前記DAC回路の量子化ステップ、に応じて制御される、ことが望ましい。

[0029] また、本発明は、入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配された撮像部と、前記画素信号に応じたアナログ信号をAD変換の対象となるアナログ信号とする前記AD変換器と、前記撮像部および前記AD変換器を制御する制御部と、を有する固体撮像装置である。

[0030] また、本発明の固体撮像装置において、前記画素信号は、基準レベルと信号レベルとを含んでおり、前記比較部は、前記基準レベルと前記参照信号とを比較する第1の比較処理と、前記信号レベルと前記参照信号とを比較する第2の比較処理とを実行し、前記上位ラッチ部は、第1の上位ラッチ部および第2の上位ラッチ部を有し、前記下位ラッチ部は、第1の下位ラッチ部および第2の下位ラッチ部を有し、前記第1の比較処理に係る第1のデータと、前記第2の比較処理に係る第2のデータと、を保持する、ことが望ましい。

[0031] また、本発明の固体撮像装置において、前記第1のデータを前記第1の上位ラッチ部および前記第1の下位ラッチ部に保持し、保持された第1のデータを前記第2の上位ラッチ部および前記第2の下位ラッチ部に転送した後、前記第2のデータを前記第1の上位ラッチ部および前記第1の下位ラッチ部に保持する、ことが望ましい。

[0032] また、本発明の固体撮像装置において、前記カウント部は、前記上位論理状態以外に、更に前記冗長上位論理状態を出力し、前記上位ラッチ部は、前記第1の上位ラッチ部および前記第2の上位ラッチ部以外に、更に第1の前記冗長上位ラッチ部および第2の前記冗長上位ラッチ部を有し、前記下位ラッチ部は、第1の下位ラッチ部および第2の下位ラッチ部を有する、ことが

望ましい。

[0033] また、本発明の固体撮像装置において、前記第 1 のデータを前記第 1 の上位ラッチ部、前記第 1 の冗長上位ラッチ部、および前記第 1 の下位ラッチ部に保持し、保持されたデータを前記第 2 の上位ラッチ部、前記第 2 の冗長上位ラッチ部、および前記第 2 の下位ラッチ部に転送した後、前記第 2 のデータを前記第 1 の上位ラッチ部、前記第 1 の冗長上位ラッチ部、および前記第 1 の下位ラッチ部に保持する、ことが望ましい。

[0034] また、本発明の固体撮像装置において、前記第 1 あるいは前記第 2 の上位ラッチ部でのデータの保持は、前記比較処理の終了に係る前記第 1 のタイミングまたは前記比較処理の終了に係る前記第 1 のタイミングをある遅延時間だけ遅延させた前記第 2 のタイミングの一方で行い、前記第 1 あるいは前記第 2 の冗長上位ラッチ部のデータ保持は、前記比較処理の終了に係る前記第 1 のタイミングまたは前記比較処理の終了に係る前記第 1 のタイミングをある遅延時間だけ遅延させた前記第 2 のタイミングの他方で行う、ことが望ましい。

[0035] また、本発明の固体撮像装置において、前記撮像部の 1 列、または複数列毎に前記カウント部を設けてカラムカウント部とし、前記円環遅延回路からのクロックを、前記カラムカウント部のカウントクロックとして用いる、ことが望ましい。

[0036] また、本発明の固体撮像装置において、前記カラムカウント部は、アップカウントモードおよびダウンカウントモードを有し、前記第 1 の比較処理に係るカウントをダウンカウントまたはアップカウントの一方で行い、前記第 2 の比較処理に係るカウントをダウンカウントまたはアップカウントの他方で行う、ことが望ましい。

発明の効果

[0037] 本発明によれば、上位論理状態と下位論理状態が、同一の円環遅延回路の出力に基づくことにより上位論理状態と下位論理状態の位相関係が保たれるので、より高精度にAD変換することができる。

[0038] また、本発明によれば、下位ラッチ部のデータを、一定の時間間隔で順に立上る、又は、一定の時間間隔で順に立下る信号群に並び変え、比較処理の終了に係る第1のタイミングでの信号群における状態の遷移位置を検出することにより、信号の立上りあるいは立下りのみを基準に遷移位置を検出することが可能となるので、より高精度にAD変換することができる。

図面の簡単な説明

[0039] [図1]本発明の第1の実施形態によるAD変換器の構成を示すブロック図である。

[図2]本発明の第1の実施形態によるAD変換器が有するVCOの構成を示すブロック図である。

[図3]本発明の第1の実施形態によるAD変換器が有するVCOの部分構成を示すブロック図である。

[図4]本発明の第1の実施形態によるAD変換器が有するVCOの部分構成を示すブロック図である。

[図5]本発明の第1の実施形態によるAD変換器が有するVCOの部分構成を示すブロック図である。

[図6]本発明の第1の実施形態によるAD変換器が有するVCOの部分構成を示すブロック図である。

[図7]本発明の第1の実施形態によるAD変換器が有するVCOの下位論理状態の検出動作を説明するための構成図およびタイミングチャートである。

[図8]本発明の第1の実施形態によるAD変換器が有するVCOの下位論理状態の検出動作を説明するための構成図およびタイミングチャートである。

[図9]本発明の第1の実施形態によるAD変換器が有するランプ部の構成を示す構成図である。

[図10]本発明の第1の実施形態によるAD変換器が有するランプ部の構成を示す構成図である。

[図11]本発明の第1の実施形態によるAD変換器が有するランプ部の構成を示す構成図である。

[図12]本発明の第1の実施形態によるAD変換器が有するランプ部の構成を示す構成図である。

[図13]本発明の第1の実施形態によるAD変換器が有するランプ部の構成を示す構成図である。

[図14]本発明の第1の実施形態によるAD変換器が有するランプ部におけるランプ波の制御の内容を説明するための参考図である。

[図15]本発明の第1の実施形態によるAD変換器が有するVCOの部分構成を示すブロック図である。

[図16]本発明の第2の実施形態によるAD変換器の構成を示すブロック図である。

[図17]本発明の第2の実施形態によるAD変換器の構成を示すブロック図である。

[図18]本発明の第2の実施形態によるAD変換器の構成を示すブロック図である。

[図19]本発明の第3の実施形態による固体撮像装置の構成を示すブロック図である。

[図20]本発明の第3の実施形態による固体撮像装置が備える読出電流源部の構成を示す構成図である。

[図21]本発明の第4の実施形態による固体撮像装置の構成を示すブロック図である。

[図22]本発明の第5の実施形態による固体撮像装置の構成を示すブロック図である。

[図23]本発明の第6の実施形態による固体撮像装置の構成を示すブロック図である。

[図24]従来例に係るAD変換器を用いたMOSセンサの構成を示すブロック図である。

発明を実施するための形態

[0040] 以下、本発明の実施形態について図を参照しながら説明する。

[0041] (第1の実施形態)

図1は、本発明の第1の実施形態によるAD変換器全体の構成図の一例である。以下、図1に示す構成について説明する。このAD変換器は、ランプ部19、比較部108、VC0101、カウント部103、下位ラッチ部105、上位ラッチ部107、演算部117で構成される。

[0042] ランプ部19は、時間の経過とともに増加または減少する参照信号（ランプ波）を生成する。比較部108は、AD変換の対象となるアナログ信号 V_{in} が入力される第1の入力端子IN1と、ランプ部19からのランプ波が入力される第2の入力端子IN2と、その比較結果を出力する第3の端子OUTとを有する。VC0101は、 n 個の（ n は2以上の自然数）遅延ユニット（Delay Unit）を有する円環遅延回路である。カウント部103は、VC0101からのクロックをカウントする。下位ラッチ部105は、VC0101の下位論理状態を保持する。上位ラッチ部107は、カウント部103の上位論理状態を保持する。演算部117は、下位ラッチ部105および上位ラッチ部107のデータに基づいてデジタル信号を算出する。

[0043] 次に、本例の動作について説明する。まず、スタートパルス（StartP）の論理状態がLowからHighに変化することで、VC0101が遷移動作を開始するとともにカウント部103がその初期値からカウントを開始する。これと同時に、ランプ部19がランプ波の生成を開始する。そして、AD変換の対象となるアナログ信号 V_{in} と、カウント部103の上位論理状態と略同期して変化（増加あるいは減少）するランプ波とが比較部108に入力され、比較部108は比較動作を開始する。

[0044] これと平行して、VC0101の下位論理状態は下位ラッチ部105に、カウント部103の上位論理状態は上位ラッチ部107に、それぞれ分配される。比較部108への2つの入力信号の大小関係が入れ替わると、比較部108の出力が反転し、下位ラッチ部105および上位ラッチ部107は各々、入力される論理状態を保持する。比較部108に入力されるランプ波と下位ラッチ部105および上位ラッチ部107に入力される論理状態は略同期しているので、AD変換の対象となるアナログ信号が、下位ラッチ部105および上位ラッチ部107に保持された値にAD変換

されることになる。その後、演算部117において下位ラッチ部105および上位ラッチ部107のデータから合成データが算出される。

[0045] 図2は、図1のVC0101の構成図の一例である。VC0101は、遅延ユニット(Delay Unit)を円環状に奇数段(本例では9段)接続した構成となっている。遅延ユニットDU0~DU8は、動作中の遅延ユニットの状態CK0~CK8を各出力端子から出力する。ここでは、状態CK8がカウント部103へのクロックとなる。上記では、遅延ユニットの数を9段として説明したが、これに限る必要はない。

[0046] 図3は、図2の遅延ユニットの部分Dの拡大図を示した第1の例である。各遅延ユニットDU0~DU8は、3個の反転素子(NAND*_1およびINV*_1~INV*_2)で構成される。ここで、『*』には各遅延ユニットDU0~DU8の対応する数字(0~8)が入る。上記では、反転素子の数を3個として説明したが、これに限る必要はない。また、NAND回路とINV(インバータ)回路を用いて遅延ユニットを構成したが、これ以外でも構わない。

[0047] 図4は、図2の遅延ユニットの部分Dの拡大図を示した第2の例である。各遅延ユニットDU0~DU8は、3個の全差動型反転素子(DE*_1~DE*_3)で構成される。ここで、『*』には各遅延ユニットDU0~DU8の対応する数字(0~8)が入る。上記では、全差動型反転素子の数を3個として説明したが、これに限る必要はない。

[0048] 図5は、図2の遅延ユニットの部分Dの拡大図を示した第3の例である。図3と異なるのは、各遅延ユニットDU0~DU8を構成する反転素子INV*_1の電源線に、遅延ユニットDU0~DU8の遅延量を制御するための電流源I1およびI2を挿入したことである。これにより、遅延量を可変することが可能となり、VC0101を例えば他のクロックに同期させて動作させる、等のフィードバック動作が可能となる。上記では、反転素子INV*_1の電源線に電流源を挿入して説明したが、これに限る必要はない。

[0049] 図6は、図2の遅延ユニットの部分Dの拡大図を示した第4の例である。図4と異なるのは、各遅延ユニットDU0~DU8を構成する全差動型反転素子DE*_2

の電源線に、遅延ユニットDU0～DU8の遅延量を制御するための電流源I1およびI2を挿入したことである。これにより、遅延量を可変することが可能となり、VC0101を例えば他のクロックに同期させて動作させる、等のフィードバック動作が可能となる。上記では、全差動型反転素子DE*_2の電源線に電流源を挿入して説明したが、これに限る必要はない。

[0050] 上記のように、VC0101を構成する遅延ユニットDU0～DU8の下位論理状態が下位ラッチ部105に保持され、遅延ユニットDU8の論理状態が入力されるカウンタ部103の上位論理状態が上位ラッチ部107に保持される。これにより、上位論理状態と下位論理状態は、同一のスタートパルス（StartP）に同期してそれぞれ変化することになり、上位論理状態と下位論理状態の位相関係が保たれるので、前述した（１）の課題を解決することが可能となる。

[0051] 尚、本構成では円環遅延回路を、対称発振回路であるVCO（=Voltage Controlled Oscillator）回路で構成した場合について説明したが、対称発振回路と同様に円環遅延回路自体は奇数個の遅延ユニットで構成されるが、その出力は等価的に偶数（特に、２のべき乗）である所謂非対称発振回路を用いても構わない。更に、図15に示すような円環遅延回路自体が偶数個（特に、２のべき乗個）の遅延ユニットで構成され、下位論理状態の出力（端子）が偶数（特に、２のべき乗）となるRDL(=Ring Delay Line)回路や円環遅延回路自体が偶数個（特に、２のべき乗個）の遅延ユニットで構成され、更に遅延ユニットを構成する全差動型反転回路の最終段の出力がそれぞれ初段の入力の逆側に帰還されて構成される所謂全差動型発振回路を用いても構わない。

[0052] 次に、VC0101の下位論理状態の検出動作について、説明する。図7は、下位論理状態の検出動作を説明するための図で、構成図（（a））およびタイミングチャート（（b））から構成されている。以下、図7の（a）に示す構成について説明する。VC0101は、遅延ユニットを9段接続した構成である。遅延ユニットDU0～DU8は、動作中の遅延ユニットの状態CK0～CK8を各出力端子から出力する。各遅延ユニットDU0～DU8は、NAND回路（NAND0～NAND8）で構成されており、NAND回路（NAND1～NAND8）の一方の端子は電源VDDに接続さ

れた構成となっている。

[0053] 次に、図7の(b)に示す動作について説明する。スタートパルス(Start P)の論理状態がLowからHighに変化するとVC0101の遷移動作が開始され、信号CK0~CK8は一定の時間間隔で反転動作を繰り返すことになる。つまり、VC0101内の遅延ユニットの状態が順次変化(遷移)していく。ここで、演算部117は、VC0101の状態出力(=信号群)を第1の信号群(CK1、CK3、CK5、CK7)と第2の信号群(CK0、CK2、CK4、CK6、CK8)とに分類して並び替える。具体的には、CK1、CK3、CK5、CK7、CK0、CK2、CK4、CK6、CK8、と並び変える。これにより、図7の(b)の矢印が示すように、信号群は一定の時間間隔で順に立上る(又は、一定の時間間隔で順に立下る)ことになる。

[0054] 続いて、比較処理の終了に係るタイミングで保持されたデータにおける遷移位置の検出が行われる。尚、遷移位置は、並び替えた信号群において状態がLowからHigh(あるいはHighからLow)に変化した箇所である。例えば、図7の(b)において、スタートパルス(StartP)の論理状態がLowからHighに変化してからTs秒後のVC0101の状態出力は、Low(CK1)、Low(CK3)、Low(CK5)、Low(CK7)、High(CK0)、High(CK2)、High(CK4)、High(CK6)、High(CK8)となり、CK0が遷移位置である。上記のように並び替えた信号群においては、状態がLowからHigh(あるいはHighからLow)に変化した遷移位置が時間の経過とともに順次移動する。

[0055] この遷移位置の検出回路としては、例えばフラッシュ型ADCと略同様な手法が採れる。例えば、並び替えた信号群においてLowからHigh(あるいはHighからLow)に状態変化した箇所を遷移位置とすることで、遷移位置が検出できる。この遷移位置は、信号の立上りと立下りのうちの一方のみを基準にして検出できるので、前述した(2)の課題を解決することが可能となる。ちなみに、本例の場合、得られる下位ビットのデータは2のべき乗ではないが、上位ビットと下位ビットの合成データを2のべき乗とする場合、詳細は省略するが、加減算およびビットシフト等の簡易な演算処理で容易に2のべき乗のデータに変換することが可能である。尚、前述した出力が等価的に2のべき

乗である非対称発振回路等であればこれは必要ない。

[0056] 次に、VC0101の下位論理状態の検出動作の他の例について、説明する。図8は、下位論理状態の検出動作を説明するための図で、構成図（（a））およびタイミングチャート（（b））から構成されている。以下、図8の（a）に示す構成について説明する。VC0101は遅延ユニット（Delay Unit）を9段接続した構成である。遅延ユニットDU0～DU8は、動作中の遅延ユニットの状態CK0～CK8および/CK0～/CK8を各出力端子から出力する。各遅延ユニットDU0～DU8は、全差動型反転素子（DE0～DE8）で構成されている。

[0057] 次に、図8の（b）に示す動作について説明する。スタートパルス（Start P）の論理状態がLowからHighに変化するとVC0101の発振が開始され、信号CK0～CK8および/CK0～/CK8は一定の時間間隔で反転動作を繰り返すことになる。つまり、VC0101内の遅延ユニットの状態が順次変化（遷移）していく。ここで、演算部117は、VC0101の状態（＝信号群）を第1の信号群（/CK0～/CK8）と第2の信号群（CK0～CK8）とに分類して並び替える。具体的には、/CK0、/CK1、/CK2、/CK3、/CK4、/CK5、/CK6、/CK7、/CK8、CK0、CK1、CK2、CK3、CK4、CK5、CK6、CK7、CK8、と並び変える。これにより、図8の（b）の矢印が示すように、信号群は一定の時間間隔で順に立上る（又は、一定の時間間隔で順に立下る）ことになる。

[0058] 続いて、比較処理の終了に係る第1のタイミングで保持されたデータにおける遷移位置の検出が行われる。遷移位置の検出は、フラッシュ型ADCと略同様な手法が採れる。これにより、前述した（2）の課題を解決することが可能となる。ちなみに、本例の場合、得られる下位ビットのデータは2のべき乗ではないため、上位ビットと下位ビットの合成データを2のべき乗とする場合、詳細は省略するが、加減算およびビットシフト、等の簡易な演算処理で容易に2のべき乗のデータに変換することが可能である。尚、前述した2のべき乗個の遅延ユニットで構成された全差動型発振回路等であればこれは必要ない。

[0059] 図7では遅延ユニットがNAND回路で構成されており、一つの遅延ユニット

の出力に注目すると、論理状態としてHighとLowのうち的一方が得られる。一方、図8では遅延ユニットが全差動型反転素子で構成されており、一つの遅延ユニットの出力に注目すると、論理状態としてHighとLowの両方が得られる。この違いにより、図7の(b)および図8の(b)において、矢印の傾きが示すように、信号の立上り位置の変化だけを追うと、図8の(b)のほうが図7の(b)よりも立上り位置が速く移動する。すなわち、図8の(a)の構成では、図7の(a)の構成よりも、下位論理状態における遷移位置の変化がより高速となり、高速動作が可能となる。

[0060] 次に、図1のランプ部19の構成例について説明する。図9は、ランプ部19の構成図を示した第1の例である。図示するように、ランプ部19は、電荷供給回路121、積分回路122、を備えている。電荷供給回路121は、一定時間毎に一定の電荷を発生するように構成されている。本例の場合、電荷供給回路121は、一端がグランドGNDに接続され、他端が積分回路122の入力に接続された可変電流源126を備えている。可変電流源126は、その電流値が可変であるように構成されている。このため、可変電流源126の電流値を変化させることにより、積分回路122から出力されるランプ波の傾きとして所望の傾きを得ることも可能である。積分回路122は、電荷供給回路121から発生した電荷を蓄積して電圧に変換するように構成されている。本例の場合、積分回路122は、キャパシタC、電圧源Vref、および演算増幅器Gを備えている。電圧源Vrefは、一端がグランドGNDに接続され、他端が演算増幅器Gの正(+)側入力端子に接続されている。更に、電圧源Vrefを可変電圧源構成とすることでランプ波の初期値(開始電圧)を所望の値とすることも可能である。

[0061] 図10は、ランプ部19の構成図を示した第2の例である。図9と異なるのは、電荷供給回路121の可変電流源126の一端が基準電源に接続されていることである。

[0062] 図11は、ランプ部19の構成図を示した第3の例である。図9と異なるのは、可変電流源を複数のNMOSトランジスタで構成したことである。NMOSトランジスタのゲート電極に印加される電圧源Vnの電圧およびトランジスタの数

を可変することにより、所望の傾きのランプ波を得ることが可能となる。

[0063] 図12は、ランプ部19の構成図を示した第4の例である。図10と異なるのは、可変電流源を複数のPMOSトランジスタで構成したことである。図11と同様に、NMOSトランジスタのゲート電極に印加される電圧源 V_p の電圧およびトランジスタの数を可変することにより、所望の傾きのランプ波を得ることが可能となる。

[0064] 図13は、ランプ部19の構成図を示した第5の例である。図示するように、ランプ部19は、DAC(=Digital Analog Converter)回路131、LPF(=Low Pass Filter)回路132、バッファ回路133、を備えている。DAC回路131は、例えばカウンタ部103のカウント値の増加に応じてステップ状のランプ波を発生する。LPF回路132は、例えば抵抗と容量とで構成される、所謂低周波通過フィルタ回路である。フィルタ定数である抵抗値 R と容量値 C を変化させることで帯域($\propto 1/\tau$:時定数 $\tau=R \times C$)が制御される。尚、フィルタ回路はこの構成に限る必要はない。バッファ回路133は、LPF回路132を通過したランプ波をバッファリングして出力する。尚、バッファ回路133を、例えばソースフォロワ回路、ボルテージフォロワ回路、あるいは、電圧増幅できる増幅器で構成しても構わない。

[0065] 図14は、図13のLPF回路132のフィルタ定数を変化させた場合の様子を模式的に表した図である。横軸は時間、縦軸は電圧であり、フィルタ定数を制御することでランプ波形が変化する。

[0066] 次に、ランプ波の制御について具体的に説明する。図14の横軸の時間は遅延ユニットの遅延量(時間)と同等であり、縦軸の電圧はDAC回路131の量子化ステップと同等である。例えば遅延ユニットの遅延量の変化に関しては、遅延量が小さくなれば帯域を大きくし、遅延量が大きくなれば帯域を小さくする制御を行う。また、例えばDAC回路の量子化ステップの変化に関しては、量子化ステップが小さくなれば帯域を小さくし、量子化ステップが大きくなれば帯域を大きくする制御を行う。このように、フィルタを設け、更にフィルタ定数を制御する、ことで滑らかなランプ波を得ることが可能となる。

- [0067] 上述したように、本実施形態では、原理的に上位ビットの制御が下位ビットの制御に完全に従属しているため、上位ビットと下位ビットとの位相ズレによるミスコードが発生しない。また、VC0101の下位論理状態を示す信号を並び替えた信号群におけるLowからHighあるいはHighからLowへの遷移位置を検出することにより立上りあるいは立下りのみでエンコードが可能となり、エンコードミスの発生を抑圧することが可能となる。
- [0068] また、VC0101を奇数個の遅延ユニットで構成することにより、DNL (=Differential Non Linearity : 微分非直線性) を高く確保し、且つ、容易に発振させることができる。更に、1個の遅延ユニットを1以上の奇数個の反転素子で構成することにより、遅延ユニットを構成する反転素子の回路構成の多様化が可能となる。更にVC0101を奇数個の全差動型反転回路で構成することにより、円環遅延回路を高速で動作させることが可能となる。
- [0069] また、遅延ユニットの遅延量を制御可能とすることにより、VC0101を他のクロックに同期させる等のフィードバック制御が可能となる。更に、複数の遅延ユニットの遅延量を、遅延ユニットに流れる電流を可変することで制御することにより、容易な構成でフィードバック制御が可能となる。
- [0070] また、積分回路を用いてランプ部19を構成することにより、参照信号（ランプ波）がアナログ信号となるため、高分解能かつ高精度なAD変換を実現することが可能となる。また、DAC回路を用いてランプ部19を構成することにより、参照信号がデジタル的な信号となるため、ノイズ耐性を向上させることが可能となる。
- [0071] また、ランプ部19において、DAC回路の後段にLPF回路を設けることにより、デジタル的な参照信号をアナログ的な参照信号とすることが可能となる。更に、LPF回路のフィルタ定数を遅延ユニットの遅延量およびDAC回路の量子化ステップに応じて制御することにより、駆動状態に応じて、デジタル的な参照信号をアナログ的な参照信号に好適化し、より滑らかに変化する参照信号を得ることが可能となる。
- [0072] また、電源電圧変動や温度変化を検知して回路を制御する手段をAD変換器

に内蔵する必要がないので、消費電力や回路規模の増大を防止することが可能となる。

[0073] (第2の実施形態)

図16は、本発明の第2の実施形態によるAD変換器全体の構成図の一例である。以下、図16に示す構成について説明する。図1と異なるのは、カウンタ部103からの上位論理状態の出力を遅延させるためのカウンタ遅延部104および冗長上位ラッチ部106を設けたことである。カウンタ遅延部104は、制御信号によって制御される。カウンタ部103から出力された上位論理状態はカウンタ遅延部104によって遅延され、冗長上位ラッチ部106によって保持される。それ以外は、図1と同様であるので説明は省略する。

[0074] これにより、上位論理状態と、上位論理状態を遅延させた冗長上位論理状態とを出力できるので、例えば下位論理状態と上位論理状態との間でデータを保持するタイミングにズレ（ミスマッチ）が生じた場合でも、冗長上位論理状態を保持したデータを用いることでデータの補正をすることが可能となる。尚、図16では、上位論理状態を遅延させたものを冗長上位論理状態としているが、冗長上位論理状態を遅延させたものを上位論理状態としてもよい。

[0075] 図17は、本実施形態によるAD変換器全体の構成図の第2の例である。以下、図17に示す構成について説明する。図1と異なるのは、比較部108での比較結果を遅延させるための比較遅延部109を設けたことである。比較遅延部109は、制御信号によって制御される。比較部108から出力された信号と、比較遅延部109から出力された信号との一方によって下位ラッチ部105のラッチのタイミングが制御され、他方によって上位ラッチ部107のラッチのタイミングが制御される。それ以外は、図1と同様であるので説明は省略する。

[0076] これにより、例えばVC0101からの下位論理状態とカウンタ部103からの上位論理状態を保持するタイミングを制御することで、取込みタイミングを好適にすることが可能となる。

[0077] 図18は、本実施形態によるAD変換器全体の構成図の第3の例である。以

下、図 18 に示す構成について説明する。図 1 と異なるのは、カウント部103 からの上位論理状態の出力を遅延させるためのカウント遅延部104と、冗長上位ラッチ部106と、比較部108での比較結果を遅延させるための比較遅延部109 とを設けたことである。カウント遅延部104および比較遅延部109は、制御信号によって各々制御される。それ以外は、図 1 と同様であるので説明は省略する。

[0078] これにより、下位ラッチ部、上位ラッチ部、および冗長上位ラッチ部へのデータ保持タイミングを制御することで各ビット間での取込みタイミングをより好適にすることが可能となる。

[0079] (第 3 の実施形態)

図 19 は、本発明の第 3 の実施形態による (C) MOS固体撮像装置の概略構成図の一例である。以下、図 19 に示す構成について説明する。固体撮像装置1は、撮像部2、垂直選択部12、読出電流源部5、アナログ部6、クロック生成部18、ランプ部19、カラム処理部15、水平選択部14、出力部17、制御部20 で構成されている。

[0080] 撮像部2は、入射される電磁波の大きさに応じた信号を生成且つ出力する単位画素3が複数、行列状に配されている。垂直選択部12は、撮像部2の各行を選択する。読出電流源部5は、撮像部2からの信号を電圧信号として読み出す。アナログ部6は、詳細な説明は省略するが、必要に応じて信号増幅機能を持つAGC(=Auto Gain Control)回路などを有する。クロック生成部18は各クロックを生成する。ランプ部19は、時間の経過とともに増加または減少する参照信号(ランプ波)を生成する。カラム処理部15は、ランプ部19と参照信号線19を介して接続される。水平選択部14は、AD変換されたデータを水平信号線18に読み出す。出力部17は、水平信号線18に接続される。制御部20は各部を制御する。

[0081] 図 19 では、簡単のため 4 行 × 6 列の単位画素3から構成される撮像部2の場合について説明しているが、現実には、撮像部2の各行や各列には、数十から数万の単位画素3が配置されることになる。尚、図示を割愛するが、撮像部

2を構成する単位画素3は、フォトダイオード／フォトゲート／フォトトランジスタなどの光電変換素子、およびトランジスタ回路によって構成されている。

[0082] このシステム構成において、撮像部2の各単位画素3を駆動制御する周辺の駆動系や信号処理系、即ち垂直選択部12、水平選択部14、カラム処理部15、出力部17、クロック生成部18、ランプ部19、および制御部20などの周辺回路は、撮像部2と共に、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成される。

[0083] 以下では、各部のより詳細な説明を行う。撮像部2は、単位画素3が4行6列分だけ2次元に配置されるとともに、この4行6列の画素配列に対して行毎に行制御線11が配線されている。行制御線11の各一端は、垂直選択部12の各行に対応した各出力端に接続されている。垂直選択部12は、シフトレジスタあるいはデコーダなどによって構成され、撮像部2の各単位画素3の駆動に際して、行制御線11を介して撮像部2の行アドレスや行走査の制御を行う。また、撮像部2の画素配列に対して列毎に垂直信号線13が配線されている。

[0084] 図20は、読出電流源部5の一例を示したものである。NMOSトランジスタを用いて読出電流源部5が構成されている。ドレイン端子には撮像部2からの垂直信号線13が接続され、制御端子には適宜所望の電圧が印加され、ソース端子はGNDに接続された構成となっている。これにより、画素からの信号が電圧モードとして出力されることになる。尚、図20では、読出電流源部5としてNMOSトランジスタを用いた場合で説明しているがこれに限る必要はない。

[0085] カラム処理部15は、撮像部2の画素列毎、即ち垂直信号線13毎に設けられたADC部16を有し、撮像部2の各単位画素3から画素列毎に垂直信号線13を通して読み出されるアナログの画素信号をデジタルデータに変換する。尚、本例では、撮像部2の画素列に対して1対1の対応関係をもってADC部16を配置する構成をとっているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、複数の画素列に対してADC部16を1つ配置し、この1つのADC部16を複数の画素列間で時分割にて使用する構成をとることも可能である。

カラム処理部15は、後述するランプ部19、クロック生成部18、および出力部17と共に、撮像部2の選択画素行の単位画素3から読み出されるアナログの画素信号をデジタルの画素データに変換するアナログ-デジタル変換手段を構成している。このカラム処理部15、特にADC部16の詳細については後述する。

[0086] ランプ部19は、例えば積分回路によって構成され、制御部20による制御に従って、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ波を生成し、参照信号線119を介して比較部108の入力端子の一方に供給する。尚、ランプ部19としては、積分回路を用いたものに限られるものではなく、DAC回路を用いても構わない。ただし、DAC回路を用いてデジタル的にランプ波を生成する構成をとる場合には、ランプ波のステップを細かくする、あるいはそれと同等な構成をとる必要がある。

[0087] 水平選択部14は、シフトレジスタあるいはデコーダなどによって構成され、カラム処理部15のADC部16の列アドレスや列走査の制御を行う。この水平選択部14による制御に従って、ADC部16でAD変換されたデジタルデータは順に水平信号線118に読み出される。

[0088] 制御部20は、ランプ部19、クロック生成部18、垂直選択部12、水平選択部14、出力部17などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG(=Timing Generator : タイミングジェネレータ)の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。尚、制御部20は、撮像部2や垂直選択部12および水平選択部14など、他の機能要素とは独立して、別の半導体集積回路として提供されても構わない。その場合、撮像部2や垂直選択部12および水平選択部14などからなる撮像デバイスと制御部20とにより、半導体システムの一例である撮像装置が構築される。この撮像装置は、周辺の信号処理や電源回路なども組み込まれた撮像モジュールとして提供されても構わない。

[0089] クロック生成部18は、VC0101とカウント部103とで構成される。VC0101が、例えば9段の遅延ユニットで構成されていれば、クロック生成部18は9相クロックCK0、CK1、CK2、CK3、CK4、CK5、CK6、CK7、CK8を出力する。

- [0090] 出力部17は、演算部を内蔵し、出力されたデジタルデータに基づいてバイナリ化等のコード変換を実施し、2値化したデジタルデータを出力する。また、出力部17は、バッファリング機能以外に、例えば黒レベル調整、列バラツキ補正、色処理などの信号処理機能を内蔵しても構わない。更に、nビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。
- [0091] 次に、ADC部16の構成について説明する。ADC部16は各々、撮像部2の各単位画素3から垂直信号線13を通して読み出されるアナログの画素信号を、ランプ部19から与えられる、AD変換するためのランプ波と比較することにより、リセットレベル（基準レベル）や信号レベルの各大きさに対応した時間軸方向の大きさ（パルス幅）を持つパルス信号を生成する。そして、このパルス信号のパルス幅の期間に対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。
- [0092] 以下では、ADC部16の構成の詳細について説明する。ADC部16は列毎に設けられており、図19では6個のADC部16が設けられている。各列のADC部16は同一の構成となっている。ADC部16は、比較部108と、第1の下位ラッチ部105および第1の上位ラッチ部107で構成される第1のラッチ部116と、第2の下位ラッチ部105' および第2の上位ラッチ部107' で構成される第2のラッチ部116' とで構成される。
- [0093] 比較部108は、撮像部2の単位画素3から垂直信号線13を通して出力されるアナログの画素信号に応じた信号電圧と、ランプ部19から供給されるランプ波とを比較することによって、画素信号の大きさを時間軸方向の情報（パルス信号のパルス幅）に変換する。比較部108の比較出力は、例えばランプ電圧が信号電圧よりも大なときにはHighレベルになり、ランプ電圧が信号電圧以下のときにはLowレベルになる。
- [0094] 第1のラッチ部116は、比較部108の比較出力を受けて、この比較出力が反転するタイミングで、クロック生成部18（VC0101およびカウント部103）で生成された論理状態であるデジタルデータをラッチ（保持／記憶）する。第1

のラッチ部116にラッチされたデジタルデータは、第2のラッチ部116' に転送される。

[0095] ここで、下位ラッチ部105および下位ラッチ部105' のデジタルデータは、例えば9ビットのデータである。また、上位ラッチ部107および上位ラッチ部107' のデジタルデータは、例えば10ビットのデータである。尚、この10ビットは一例であって、10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。本ADC部16では、ラッチ部116およびラッチ部116' を上下に分離して配置する構成としたがこれは1例に過ぎない。例えば、転送時間の短縮化のためには、対応するラッチ部の更に対応する各ビットを近接して配置することが好ましい。

[0096] 次に、本例の動作について説明する。ここでは、単位画素3の具体的な動作については説明を省略するが、周知のように単位画素3ではリセットレベルと信号レベルとが出力される。

[0097] AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波と、単位画素3からの画素信号であるリセットレベルあるいは信号レベルの各電圧とを比較し、この比較処理で用いるランプ波が生成された時点から、リセットレベルや信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、VC0101から出力されるクロック（例えばCK8）によりカウントするとともに、一定の位相差を有する多相クロック（CK0、CK1、CK2、CK3、CK4、CK5、CK6、CK7、CK8）の論理状態を計測することで、リセットレベルあるいは信号レベルの各大きさに対応したデジタルデータを得る。

[0098] ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読出し動作で画素信号の雑音を含むリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通してADC部16に時系列で入力される。以下では、1回目および2回目の各読出し動作とその後の演算処理の詳細について説明する。

[0099] <1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、制御部20は、ランプ部19に対して、ランプ波生成の制御データを供給する。これを受けてランプ部19は、比較部108の一方の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波を出力する。比較部108は、このランプ波とリセットレベルとを比較する。VC0101およびカウンタ部103の各論理状態は、第1のラッチ部116を構成する下位ラッチ部105および上位ラッチ部107に出力される。

[0100] 比較部108は、ランプ部19から与えられるランプ波と、リセットレベルとを比較し、双方の電圧が略一致したときに、比較出力を反転させる。第1のラッチ部116は、比較出力が反転した時点のVC0101およびカウンタ部103の各論理状態を下位ラッチ部105および上位ラッチ部107に保持する。制御部20は、所定の期間を経過すると、ランプ部19への制御データの供給と、クロック生成部18からの出力とを停止する。これにより、ランプ部19は、ランプ波の生成を停止する。その後、第1のラッチ部116に保持されたデータは、第2のラッチ部116'に転送される。このとき、下位ラッチ部105に保持されているデータが下位ラッチ部105'に転送され、上位ラッチ部107に保持されているデータが上位ラッチ部107'に転送される。

[0101] <2回目の読出し>

続いて、2回目の読出し時には、単位画素3毎の入射光量に応じた信号レベルを読み出し、1回目の読出しと同様な動作を行う。任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、制御部20は、ランプ部19に対して、ランプ波生成の制御データを供給する。これを受けてランプ部19は、比較部108の一方の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波を出力する。比較部108は、このランプ波と信号レベルとを比較する。VC0101およびカウンタ部103の各論理状態は、第1のラッチ部116を構成する下位ラッチ部105および上位ラッチ部107に出力される。

[0102] 比較部108は、ランプ部19から与えられるランプ波と、信号レベルとを比較

し、双方の電圧が略一致したときに、比較出力を反転させる。第1のラッチ部116は、比較出力が反転した時点のVC0101およびカウント部103の各論理状態を下位ラッチ部105および上位ラッチ部107に保持する。制御部20は、所定の期間を経過すると、ランプ部19への制御データの供給と、クロック生成部18からの出力とを停止する。これにより、ランプ部19は、ランプ波の生成を停止する。

[0103] <演算処理>

第1のラッチ部116および第2のラッチ部116'にラッチされたデジタルデータは、水平選択部14により水平信号線118を介して出力され、出力部17に内蔵された演算部に転送される。その後、演算部において、バイナリ化処理、減算処理（リセットレベルのデータと信号レベルのデータとの差分処理）を実施することで信号成分の合成データが得られる。

[0104] 上述したように、本実施形態では、一定の位相差を持つ多相クロックからなる下位の論理状態を下位ビットとし、この多相クロックの1つをカウントクロックとすることで生成した上位の論理状態を上位ビットとする。そして、アナログの画素信号とランプ波との比較出力が反転したときの多相クロックの論理状態を保持する。これにより、カウンタの動作速度に律則されることなく、さらに細かい時間情報を持つビット列を得ることが可能となる。また、上位ビットが下位ビットに完全に従属して動作しているため、特に高速時に問題となる位相ズレに起因したミスコードが原理的に存在せず、更に下位ビットを構成する多相クロックの立上り、あるいは、立下りのみを用いるため、2値化エラーの無い固体撮像装置を提供することが可能となる。

[0105] また、リセットレベルのデータと信号レベルのデータとの差分処理をすることで、信号成分を高速かつ高精度にAD変換することが可能となる。

[0106] また、第1のラッチ部116でラッチしたリセットレベルのデータを第2のラッチ部116'に転送した後、第1のラッチ部116で信号レベルのデータをラッチすることで、リセットレベルおよび信号レベルのデータを同一の第1のラッチ部116でラッチすることになるので、ラッチ部毎の特性の個体差によるデー

タのホールドエラーを抑圧することが可能となる。

[0107] (第4の実施形態)

図21は、本発明の第4の実施形態による(C)MOS固体撮像装置の概略構成図の一例である。以下、図21に示す構成図について説明する。図19と異なるのは、カウント部103からの上位論理状態をある遅延時間だけ遅延させた冗長上位論理状態を保持するための第1の冗長上位ラッチ部106および第2の冗長上位ラッチ部106'を設けたことである。それ以外は、図19と同様であるので説明は省略する。

[0108] 次に、本例の動作であるが、基本動作は第2の実施形態および第3の実施の形態で説明した内容と同様であるので省略する。

[0109] 上述したように、本実施形態では、上位論理状態と、上位論理状態を遅延させた冗長上位論理状態とを出力できるので、例えば下位論理状態と上位論理状態との間でデータを保持するタイミングにズレ（ミスマッチ）が生じた場合でも、冗長上位論理状態を保持したデータを用いることでデータの補正をすることが可能となる。

[0110] (第5の実施形態)

図22は、本発明の第5の実施形態による(C)MOS固体撮像装置の概略構成図の一例である。以下、図22に示す構成について説明する。図21と異なるのは、比較部108の比較出力をある遅延時間だけ遅延して出力する比較遅延部109を設けたことである。それ以外は、図21と同様であるので説明は省略する。

[0111] 次に、本例の動作であるが、基本動作は図2の実施形態および第3の実施の形態で説明した内容と同様であるので省略する。

[0112] 上述したように、本実施形態では、上位論理状態と、上位論理状態を遅延させた冗長上位論理状態とを出力できるので、例えば下位論理状態と上位論理状態との間でデータを保持するタイミングにズレ（ミスマッチ）が生じた場合でも、冗長上位論理状態を保持したデータを用いることでデータの補正をすることが可能となる。更に、比較部108での比較結果を出力する以外に、

比較結果をある遅延時間だけ遅延して出力できるので、結果的にデータの取込みタイミングを制御することになり、より好適な取込みタイミングにすることが可能となる。

[0113] (第6の実施形態)

図23は、本発明の第6の実施形態による(C)MOS固体撮像装置の概略構成図の一例である。以下、図23に示す構成について説明する。図19と異なるのは、カウント部103をカラムカウンタ103'としてADC部16毎に内蔵し、比較部108の比較結果をある遅延時間だけ遅延して出力する比較遅延部109を設けたこと、およびカウント部103からの上位論理状態をある遅延時間だけ遅延させた冗長上位論理状態を保持するための第1の冗長上位ラッチ部106および第2の冗長上位ラッチ部106'を設けたことである。それ以外は、図19と同様であるので説明は省略する。ここで、カラムカウンタ103'は、上位論理状態を保持するラッチ機能を合わせ持つカウンタ回路を想定している。これにより、別途第1の上位ラッチ部を内蔵する必要がなくなる。尚、カラムカウンタ103'として、Up/Downカウンタ回路を用いて構成しても構わない。その場合、内蔵するラッチ回路の数を低減できるので面積の低減が可能になる。

[0114] 次に、本例の動作について説明する。基本的な動作は、第3の実施形態～第5の実施形態と同様ではあるが、要点について改めて詳述する。AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波と、単位画素3からの画素信号であるリセットレベルあるいは信号レベルの各電圧とを比較し、この比較処理で用いるランプ波が生成された時点から、リセットレベルや信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、VC0101から出力されるクロック（例えばCK8）によりカウントするとともに、一定の位相差を有する多相クロック（CK0、CK1、CK2、CK3、CK4、CK5、CK6、CK7、CK8）の論理状態を計測することで、リセットレベルあるいは信号レベルの各大きさに対応したデジタルデータを得る。

[0115] ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号とし

て、1回目の読出し動作で画素信号の雑音を含むリセットレベルが読み出され、その後、2回目の読出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通してADC部16に時系列で入力される。以下では、1回目および2回目の各読出し動作とその後の演算処理の詳細について説明する。

[0116] <1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、制御部20は、ランプ部19に対して、ランプ波生成の制御データを供給する。これを受けてランプ部19は、比較部108の一方の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波を出力する。比較部108は、このランプ波とリセットレベルとを比較する。VC0101の下位論理状態は、第1のラッチ部116を構成する下位ラッチ部105に保持される。また、この下位論理状態のクロックの1つがカラムカウンタ103'のカウンタクロックとして用いられる。

[0117] 比較部108は、ランプ部19から与えられるランプ波と、リセットレベルとを比較し、双方の電圧が略一致したときに、比較出力を反転させて出力する。この出力のタイミングを第1のタイミングとする。また、比較遅延部109は、比較部108からの比較出力をある遅延時間だけ遅延させて出力する。この出力のタイミングを第2のタイミングとする。

[0118] 第1のタイミングにおいて、カラムカウンタ103'の冗長上位論理状態が冗長上位ラッチ部106に保持される。続いて、第2のタイミングにおいて、VC0101の下位論理状態が下位ラッチ部105に保持されるとともに、例えばカラムカウンタ103'のカウント動作を停止することでカラムカウンタ103'が上位論理状態を保持する。制御部20は、所定の期間を経過すると、ランプ部19への制御データの供給と、クロック生成部18からの出力とを停止する。これにより、ランプ部19は、ランプ波の生成を停止する。その後、第1のラッチ部116に保持されたデータは、第2のラッチ部116'に転送される。このとき、下位ラッチ部105に保持されているデータが下位ラッチ部105'に転送され、カラム

カウンタ103'に保持されているデータが上位ラッチ部107'に転送され、冗長上位ラッチ部106に保持されているデータが冗長上位ラッチ部106'に転送される。

[0119] <2回目の読出し>

続いて、2回目の読出し時には、単位画素3ごとの入射光量に応じた信号レベルを読み出し、1回目の読出しと同様な動作を行う。任意の画素行の単位画素3から垂直信号線13への2回目の読出しが安定した後、制御部20は、ランプ部19に対して、ランプ波生成の制御データを供給する。これを受けてランプ部19は、比較部108の一方の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波を出力する。比較部108は、このランプ波と信号レベルとを比較する。VC0101の下位論理状態は、第1のラッチ部116を構成する下位ラッチ部105に保持される。また、この下位論理状態のクロックの1つがカラムカウンタ103'のカウントクロックとして用いられる。

[0120] 比較部108は、ランプ部19から与えられるランプ波と、信号レベルとを比較し、双方の電圧が略一致したときに、比較出力を反転させて出力する。この出力のタイミングを第1のタイミングとする。また、比較遅延部109は、比較部108からの比較出力をある遅延時間だけ遅延させて出力する。この出力のタイミングを第2のタイミングとする。

[0121] 第1のタイミングにおいて、カラムカウンタ103'の冗長上位論理状態が冗長上位ラッチ部106に保持される。続いて、第2のタイミングにおいて、VC0101の下位論理状態が下位ラッチ部105に保持されるとともに、例えばカラムカウンタ103'のカウント動作を停止することでカラムカウンタ103'が上位論理状態を保持する。制御部20は、所定の期間を経過すると、ランプ部19への制御データの供給と、クロック生成部18からの出力を停止する。これにより、ランプ部19は、ランプ波の生成を停止する。

[0122] <演算処理>

第1のラッチ部および第2のラッチ部に保持されたデジタルデータは、水

平選択部14により水平信号線118を介して出力され、出力部17に内蔵された演算部に転送される。その後、演算部において、バイナリ化処理、減算処理を実施することで信号成分の合成データが得られる。

[0123] 上述したように、本実施形態では、一定の位相差を持つ多相クロックからなる下位の論理状態を下位ビットとし、この多相クロックの1つをカウントクロックとすることで生成した上位の論理状態を上位ビットとする。そして、アナログの画素信号とランプ波との比較出力が反転したときの多相クロックの論理状態を保持する。これにより、カウンタの動作速度に律則されることなく、さらに細かい時間情報を持つビット列を得ることが可能となる。また、上位ビットが下位ビットに完全に従属して動作しているため、特に高速時に問題となる位相ズレに起因したミスコードが原理的に存在せず、更に下位ビットを構成する多相クロックの立上り、あるいは、立下りのみを用いるため、2値化エラーの無い固体撮像装置を提供することが可能となる。

[0124] 更に、上位論理状態と冗長上位論理状態とを出力できるので、例えば下位論理状態と上位論理状態との間でデータを保持するタイミングにズレ（ミスマッチ）が生じた場合でも、冗長上位論理状態を保持したデータを用いることでデータの補正をすることが可能となり、精度の高い固体撮像装置を実現することが可能となる。

[0125] また、図19では、図示していないが、カウント部103の上位論理状態を上位ラッチ部107に伝達するためのバッファ回路が必要となるが、図23では、撮像部2の列毎にカラムカウンタ103'を設け、VC0101からのクロックを、カラムカウンタ103'のカウントクロックとして用いることにより、このバッファ回路が不要となる。

[0126] 尚、Up/Downカウンタ回路を用いてカラムカウンタ103'を構成する場合、カラムカウンタ103'が1回目の読出し時に例えばダウンカウントでカウントを行い、2回目の読出し時に例えばアップカウントでカウントを行えばよい。これにより、リセットレベルの上位データと信号レベルの上位データとのCDS動作が可能となる。

[0127] 以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

産業上の利用可能性

[0128] 以上説明した通り、本発明によれば、より高精度にAD変換することができるAD変換器およびそれを用いた固体撮像装置を提供することができる。

符号の説明

[0129] 2・・・撮像部、5・・・読出電流源部、6・・・アナログ部、12・・・垂直選択部、14・・・水平選択部、15カラム処理部、16・・・ADC部、17・・・出力部、18・・・クロック生成部、19・・・ランプ部、20・・・制御部、101・・・VC0、103・・・カウント部、103'・・・カラムカウンタ、104・・・カウント遅延部、105, 105'・・・下位ラッチ部、106, 106'・・・冗長上位ラッチ部、107, 107'・・・上位ラッチ部、108・・・比較部、109・・・比較遅延部、116・・・第1のラッチ部、116'・・・第2のラッチ部、117・・・演算部、121・・・電荷供給回路、122・・・積分回路、126・・・可変電流源、131・・・DAC回路、132・・・LPF回路、133・・・バッファ回路

請求の範囲

- [請求項1] 時間の経過とともに増加または減少する参照信号を生成する参照信号生成部と、
- AD変換の対象となるアナログ信号の入力に係るタイミングで前記アナログ信号と前記参照信号の比較処理を開始し、前記参照信号が前記アナログ信号に対して所定の条件を満たしたタイミングで前記比較処理を終了する比較部と、
- 複数の同一構成の遅延ユニットを有し、前記比較処理の開始に係るタイミングで遷移動作を開始する円環遅延回路と、
- 前記円環遅延回路からのクロックをカウントするカウント部と、
- 前記比較処理の終了に係る第1のタイミングで、前記複数の遅延ユニットの論理状態である下位論理状態をラッチする下位ラッチ部と、
- 前記比較処理の終了に係る前記第1のタイミングで、前記カウント部の論理状態である上位論理状態をラッチする上位ラッチ部と、
- 前記下位ラッチ部および前記上位ラッチ部のデータに基づいて前記アナログ信号に応じたデジタル信号を算出する演算部と、
- を有するAD変換器。
- [請求項2] 前記複数の遅延ユニットの個数は、奇数個である、
- 請求項1に係るAD変換器。
- [請求項3] 前記複数の遅延ユニットの個数は、奇数個であり、前記複数の遅延ユニットの各々は、更に奇数個の反転素子を有する、
- 請求項1に係るAD変換器。
- [請求項4] 前記遅延ユニットを構成する前記奇数個の前記反転素子は全差動型反転回路で構成される、
- 請求項3に係るAD変換器。
- [請求項5] 前記複数の遅延ユニットは、その遅延量を制御可能となるよう構成される、
- 請求項1に係るAD変換器。

- [請求項6] 前記複数の遅延ユニットの遅延量は、その遅延ユニットに流れる電流により制御される、
請求項 5 に係るAD変換器。
- [請求項7] 前記演算部は、前記複数の遅延ユニットからの出力である前記下位ラッチ部のデータを、一定の時間間隔で順に立上る、又は、一定の時間間隔で順に立下る信号群に並び替え、
前記演算部は、前記比較処理の終了に係る前記第 1 のタイミングでの前記信号群における状態の遷移位置を検出する、
請求項 1 に係るAD変換器。
- [請求項8] 前記カウント部は、前記上位論理状態以外に冗長上位論理状態を出力し、
ラッチ部として前記下位ラッチ部および前記上位ラッチ部以外に、前記冗長上位論理状態をラッチする冗長上位ラッチ部を有し、
前記冗長上位論理状態は前記上位論理状態の少なくとも一部をある時間だけ遅延させたものである、または前記上位論理状態は前記冗長上位論理状態の少なくとも一部をある時間だけ遅延させたものである、
請求項 1 に係るAD変換器。
- [請求項9] 前記比較部は、前記比較処理の終了に係る前記第 1 のタイミングを示す信号と、前記第 1 のタイミングをある遅延時間だけ遅延させた第 2 のタイミングを示す信号とを出力する、
請求項 1 に係るAD変換器。
- [請求項10] 前記参照信号生成部は、積分回路を用いて構成される、
請求項 1 に係るAD変換器。
- [請求項11] 前記参照信号生成部は、DAC回路を用いて構成される、
請求項 1 に係るAD変換器。
- [請求項12] 前記参照信号生成部は、前記DAC回路の後段に更に L P F 回路を有する、

請求項 1 1 に係るAD変換器。

[請求項13] 前記LPF回路のフィルタ定数は、少なくとも前記遅延ユニットの遅延量および前記DAC回路の量子化ステップ、に応じて制御される、請求項 1 2 に係るAD変換器。

[請求項14] 入射される電磁波の大きさに応じて画素信号を出力する画素が複数、行列状に配された撮像部と、
前記画素信号に応じたアナログ信号をAD変換の対象となるアナログ信号とする請求項 1 から 1 3 のいずれか 1 つに係るAD変換器と、
前記撮像部および前記AD変換器を制御する制御部と、
を有する固体撮像装置。

[請求項15] 前記画素信号は、基準レベルと信号レベルとを含んでおり、
前記比較部は、前記基準レベルと前記参照信号とを比較する第 1 の比較処理と、前記信号レベルと前記参照信号とを比較する第 2 の比較処理とを実行し、
前記上位ラッチ部は、第 1 の上位ラッチ部および第 2 の上位ラッチ部を有し、
前記下位ラッチ部は、第 1 の下位ラッチ部および第 2 の下位ラッチ部を有し、
前記第 1 の比較処理に係る第 1 のデータと、前記第 2 の比較処理に係る第 2 のデータと、を保持する、
請求項 1 4 に係る固体撮像装置。

[請求項16] 前記第 1 のデータを前記第 1 の上位ラッチ部および前記第 1 の下位ラッチ部に保持し、保持された第 1 のデータを前記第 2 の上位ラッチ部および前記第 2 の下位ラッチ部に転送した後、前記第 2 のデータを前記第 1 の上位ラッチ部および前記第 1 の下位ラッチ部に保持する、請求項 1 5 に係る固体撮像装置。

[請求項17] 前記カウント部は、前記上位論理状態以外に、更に前記冗長上位論理状態を出力し、

前記上位ラッチ部は、前記第 1 の上位ラッチ部および前記第 2 の上位ラッチ部以外に、更に第 1 の前記冗長上位ラッチ部および第 2 の前記冗長上位ラッチ部を有し、

前記下位ラッチ部は、第 1 の下位ラッチ部および第 2 の下位ラッチ部を有する、

請求項 15 に係る固体撮像装置。

[請求項18]

前記第 1 のデータを前記第 1 の上位ラッチ部、前記第 1 の冗長上位ラッチ部、および前記第 1 の下位ラッチ部に保持し、保持されたデータを前記第 2 の上位ラッチ部、前記第 2 の冗長上位ラッチ部、および前記第 2 の下位ラッチ部に転送した後、前記第 2 のデータを前記第 1 の上位ラッチ部、前記第 1 の冗長上位ラッチ部、および前記第 1 の下位ラッチ部に保持する、

請求項 17 に係る固体撮像装置。

[請求項19]

前記第 1 あるいは前記第 2 の上位ラッチ部でのデータの保持は、前記比較処理の終了に係る前記第 1 のタイミングまたは前記比較処理の終了に係る前記第 1 のタイミングをある遅延時間だけ遅延させた前記第 2 のタイミングの一方で行い、前記第 1 あるいは前記第 2 の冗長上位ラッチ部のデータ保持は、前記比較処理の終了に係る前記第 1 のタイミングまたは前記比較処理の終了に係る前記第 1 のタイミングをある遅延時間だけ遅延させた前記第 2 のタイミングの他方で行う、

請求項 17 に係る固体撮像装置。

[請求項20]

前記撮像部の 1 列、または複数列毎に前記カウント部を設けてカラムカウント部とし、

前記円環遅延回路からのクロックを、前記カラムカウント部のカウントクロックとして用いる、

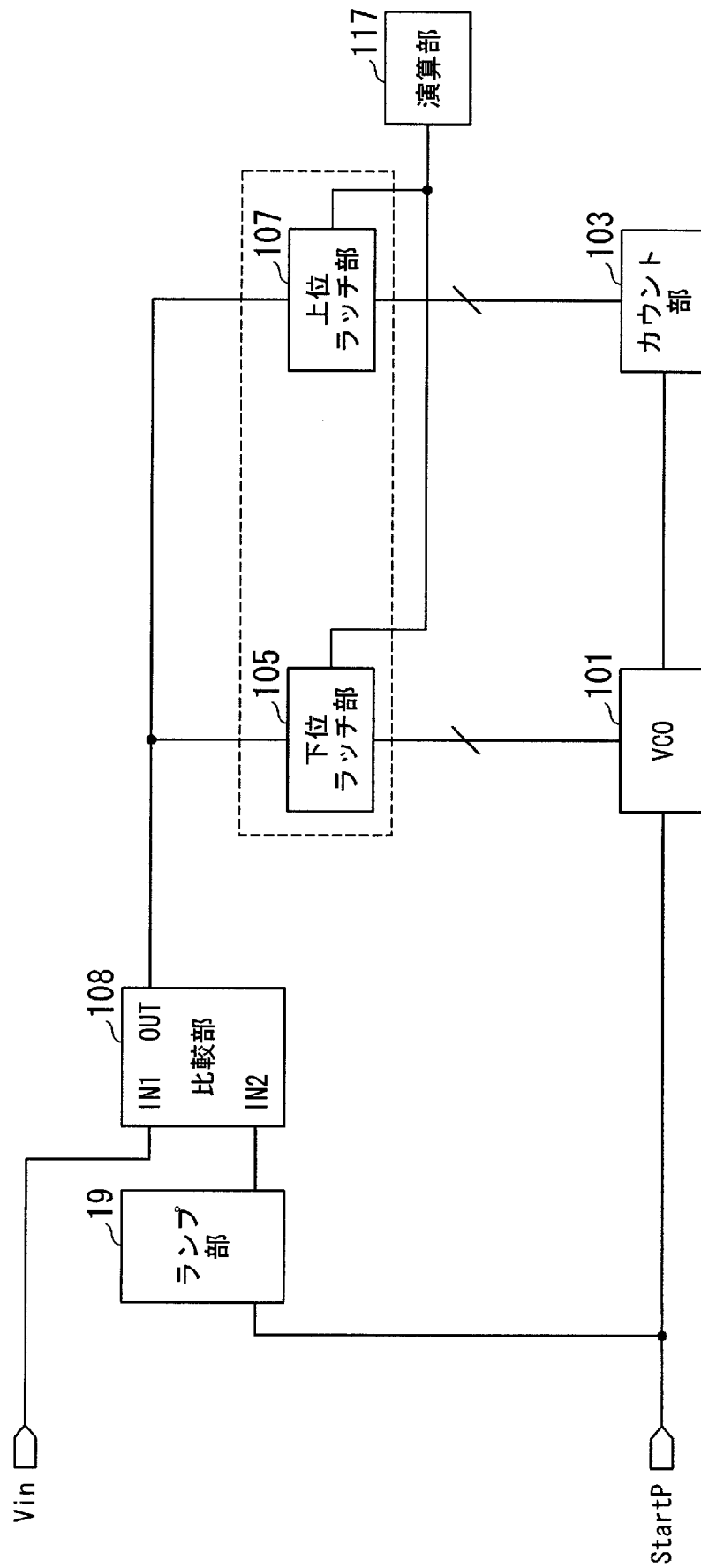
請求項 14 ～請求項 19 のいずれか 1 つに係る固体撮像装置。

[請求項21]

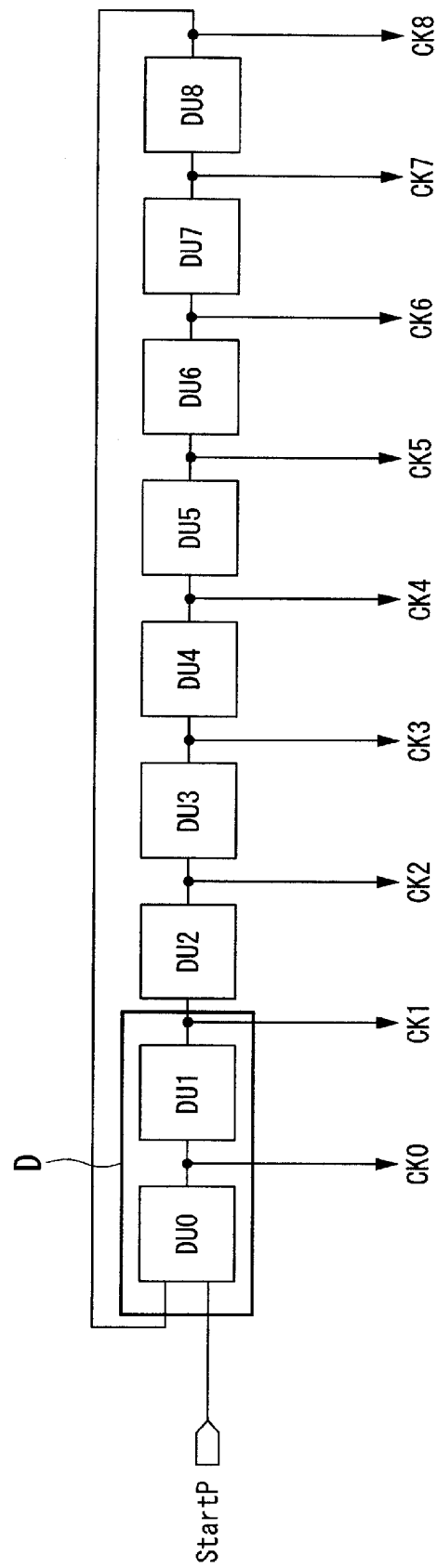
前記カラムカウント部は、アップカウントモードおよびダウンカウントモードを有し、前記第 1 の比較処理に係るカウントをダウンカウ

ントまたはアップカウントの一方で行い、前記第２の比較処理に係るカウントをダウンカウントまたはアップカウントの他方で行う、請求項２０に係る固体撮像装置。

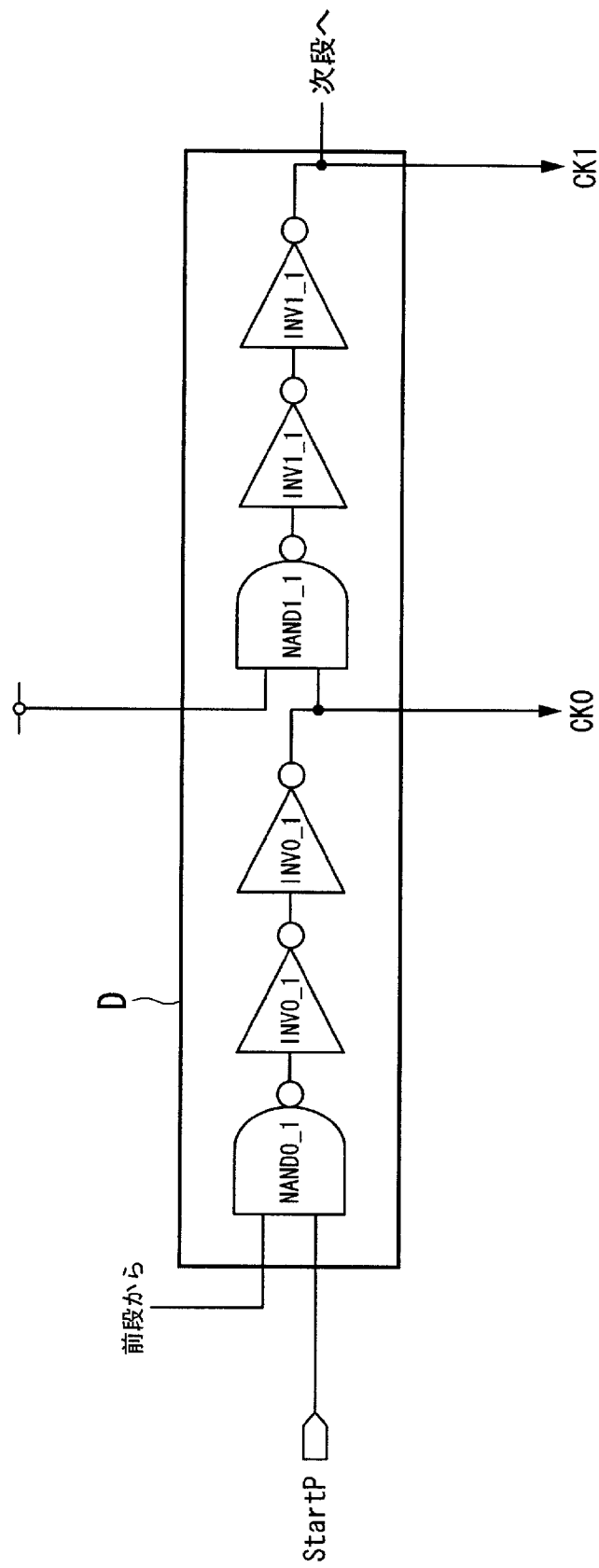
[図1]



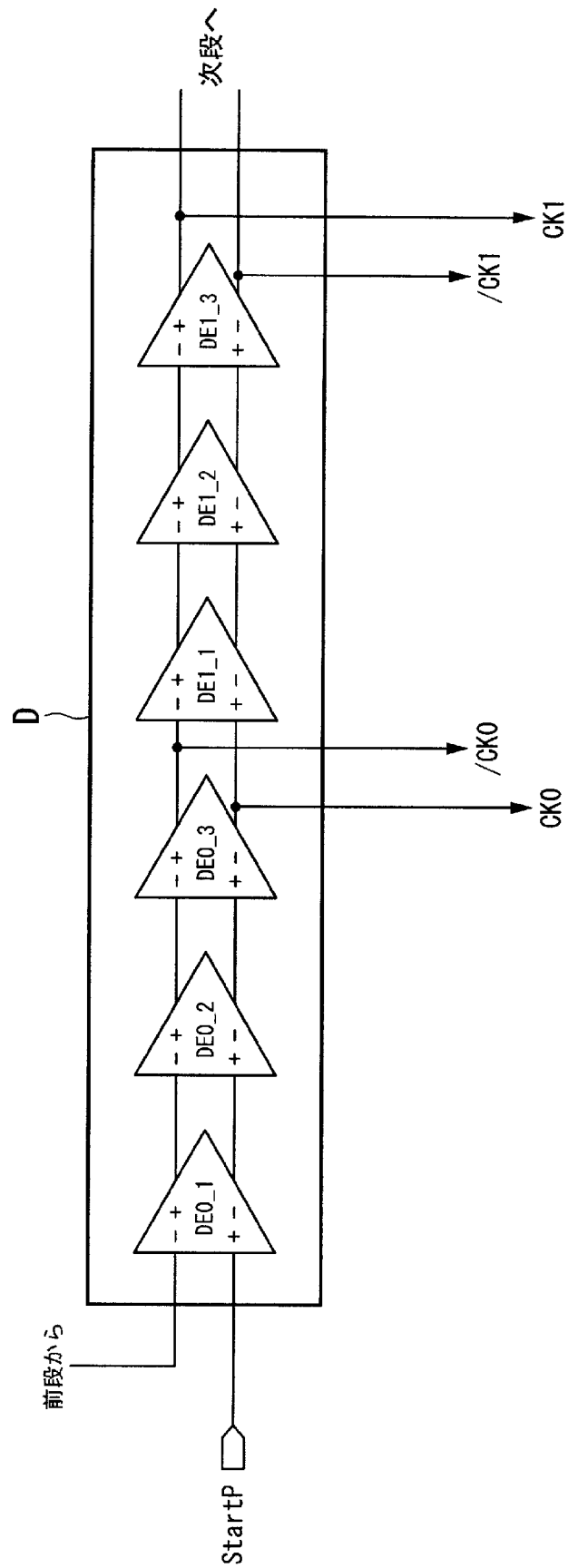
[図2]



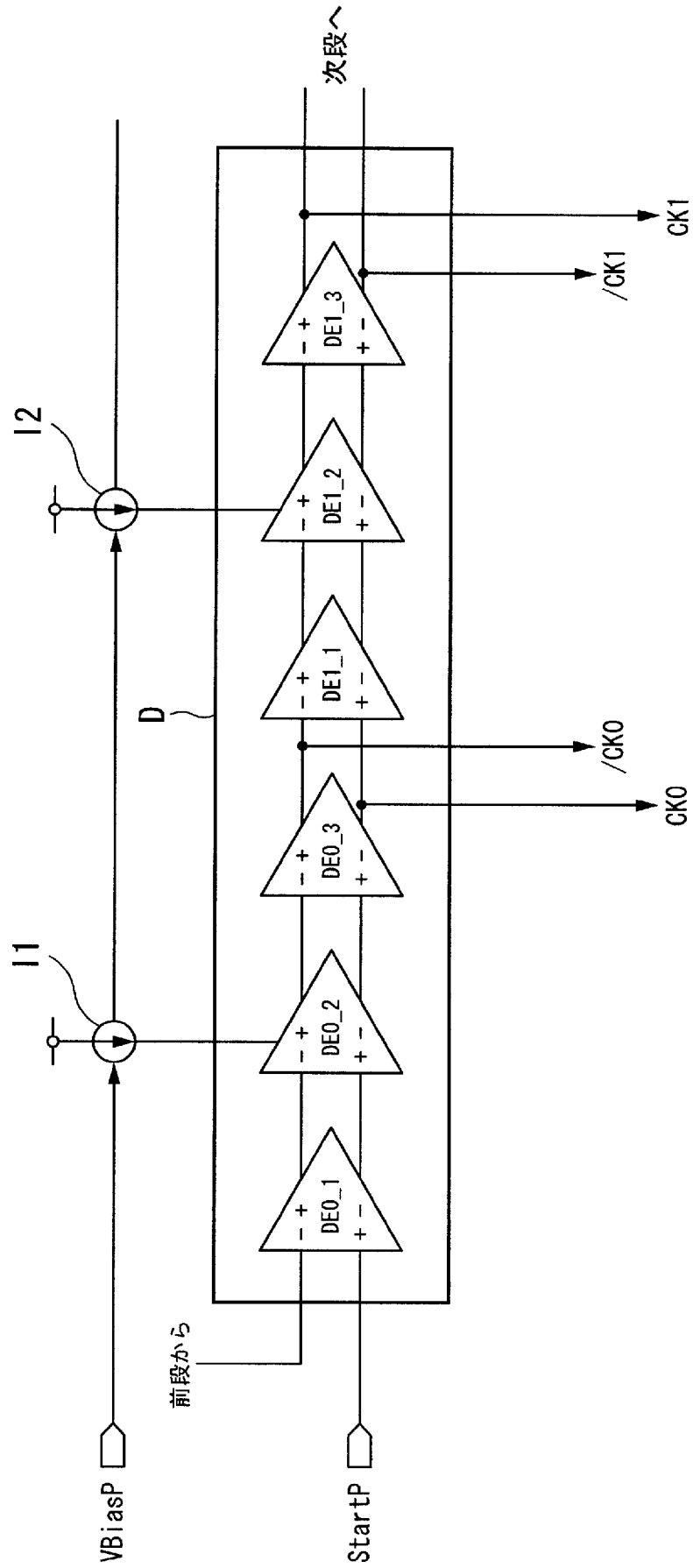
[図3]



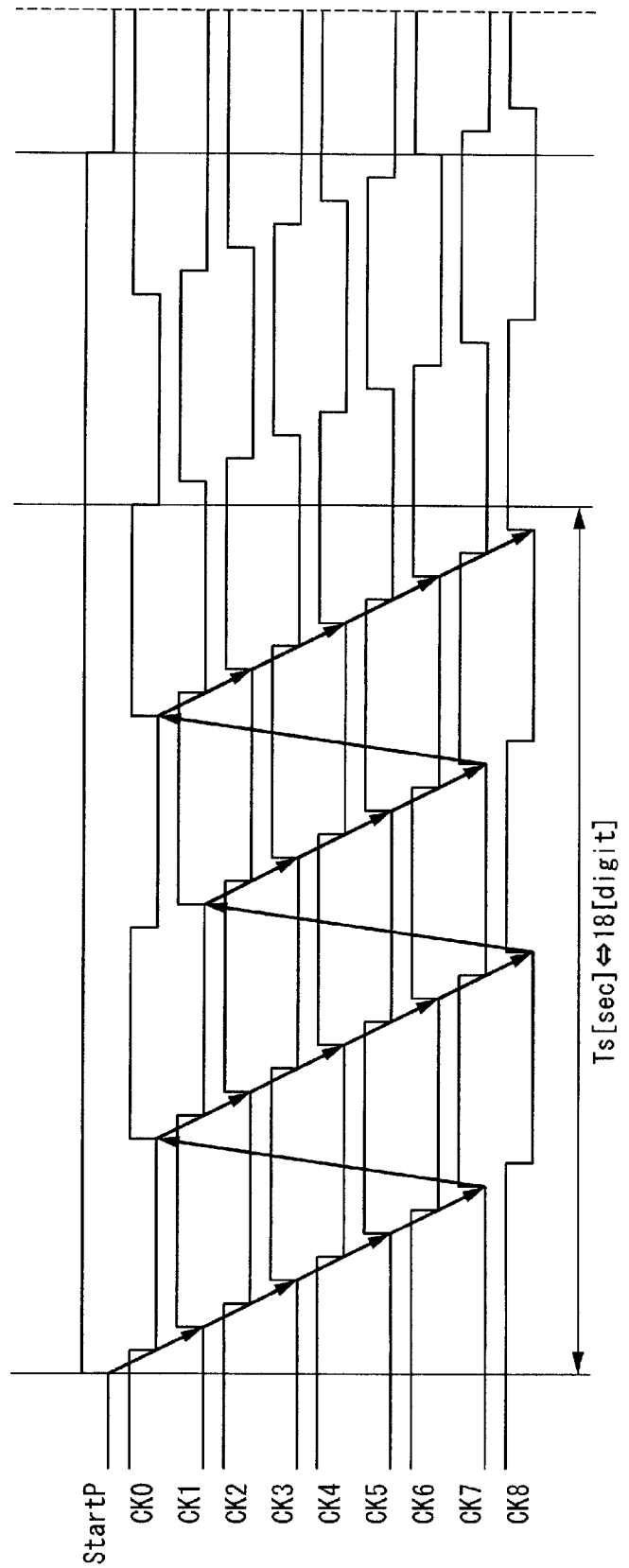
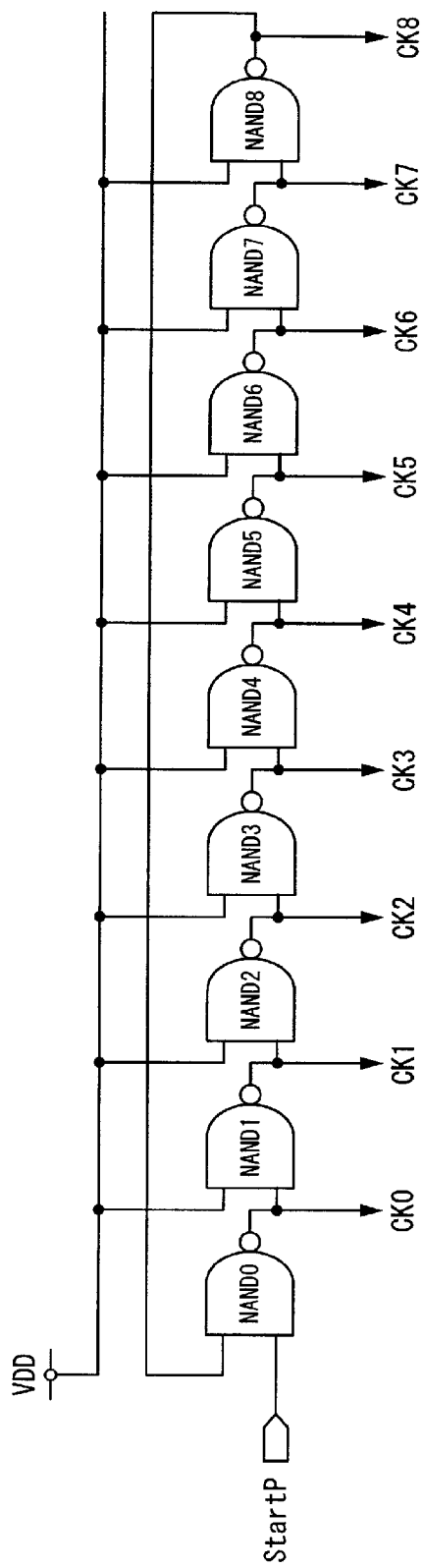
[図4]



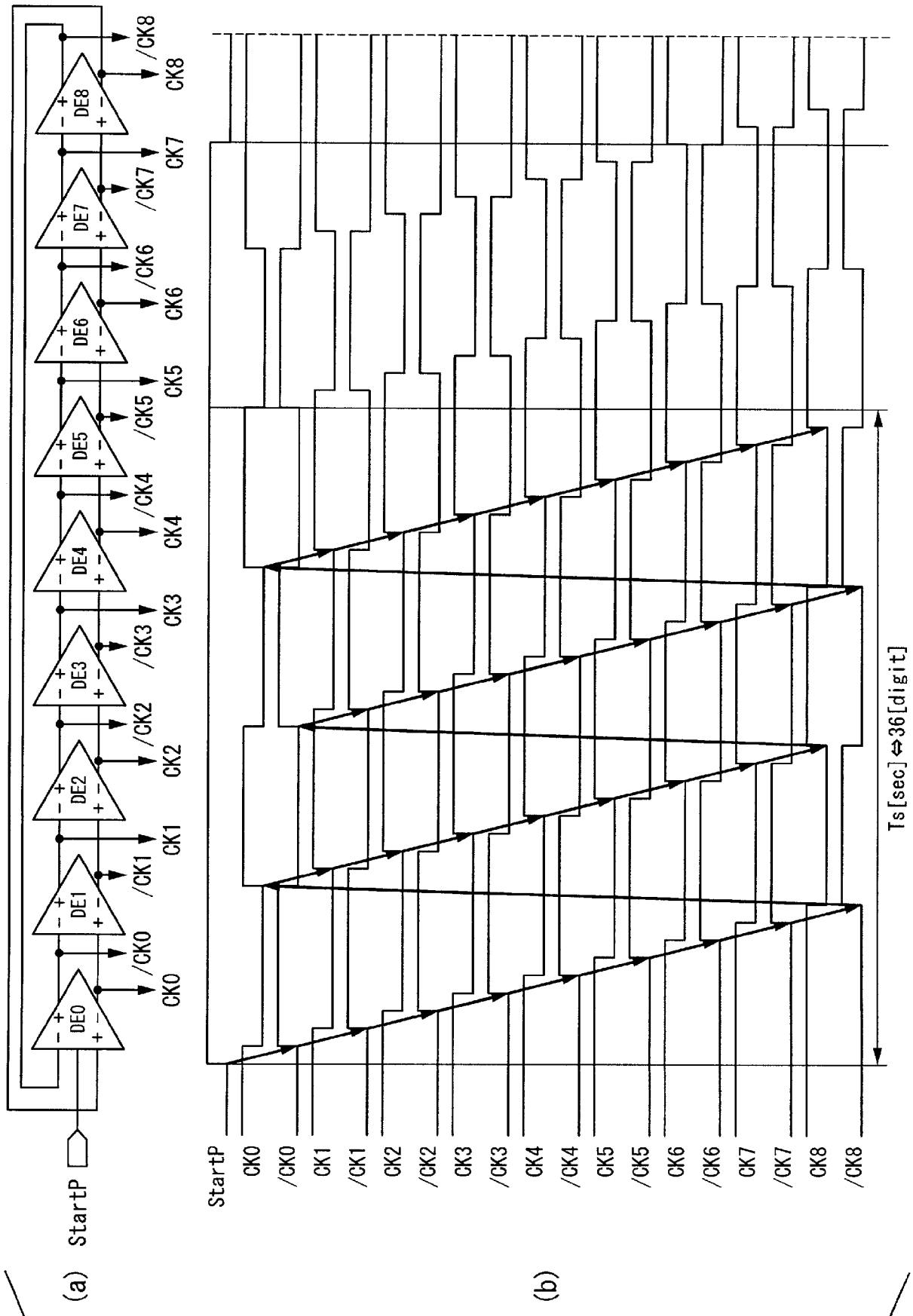
[図6]



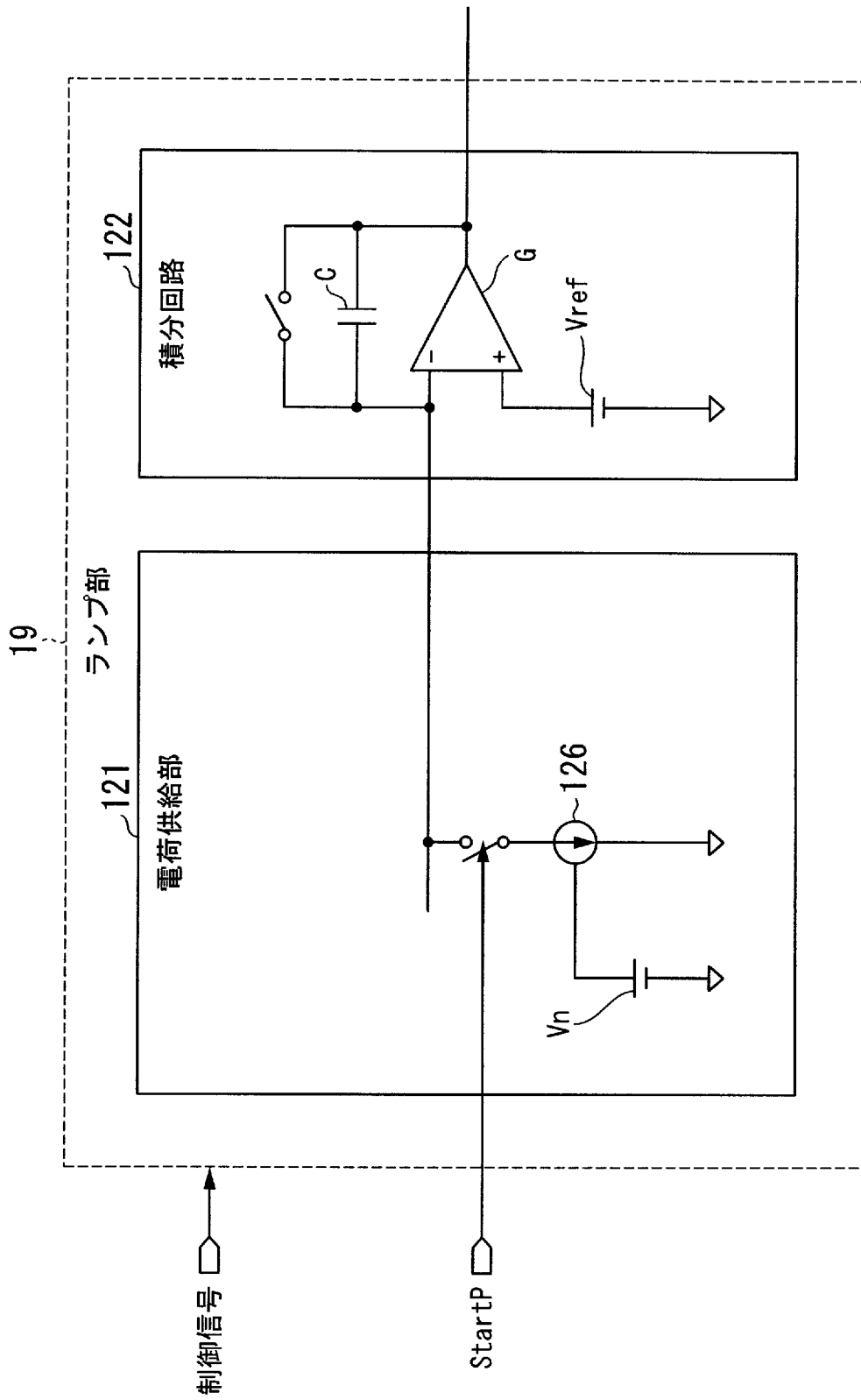
[図7]



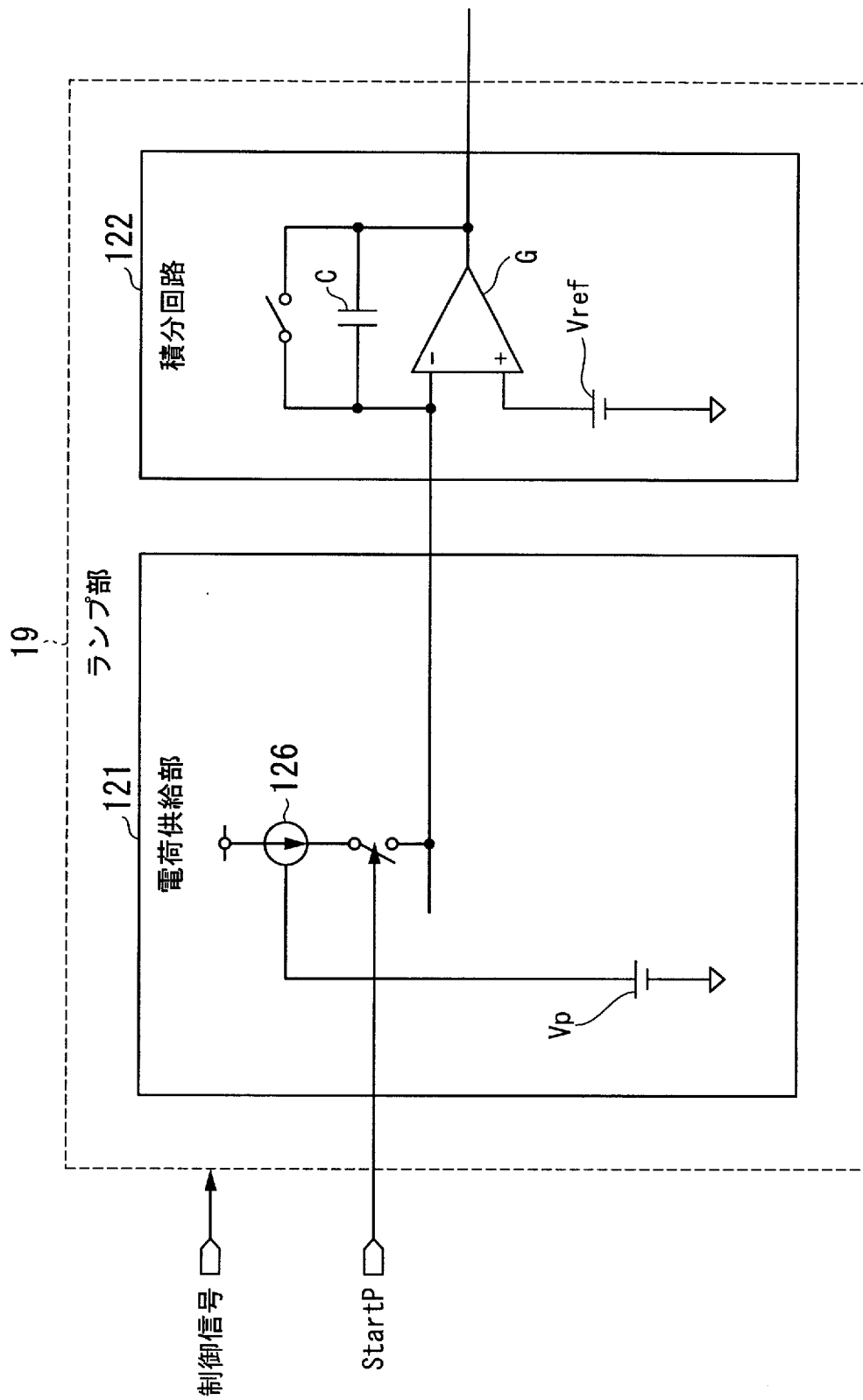
[図8]



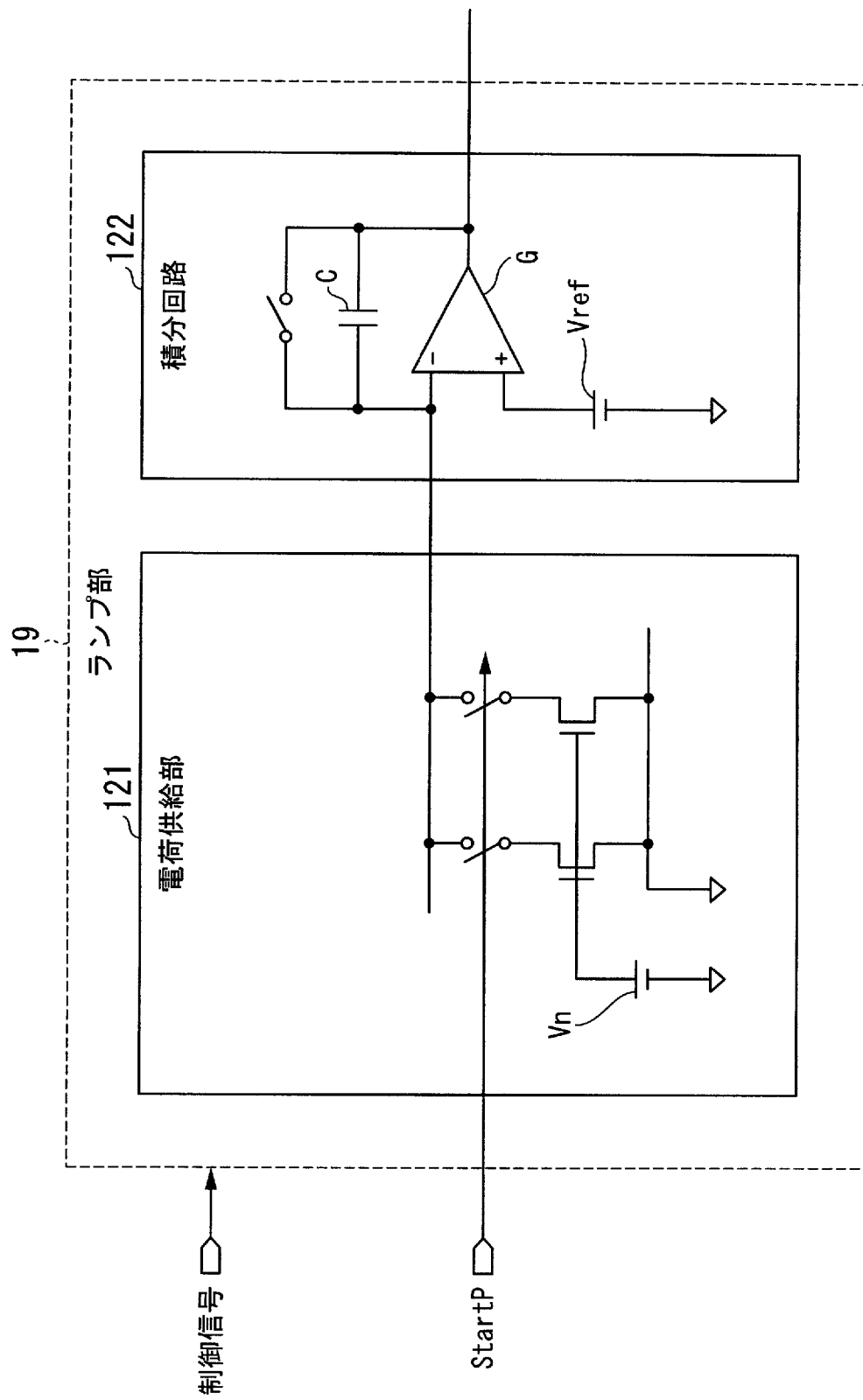
[図9]



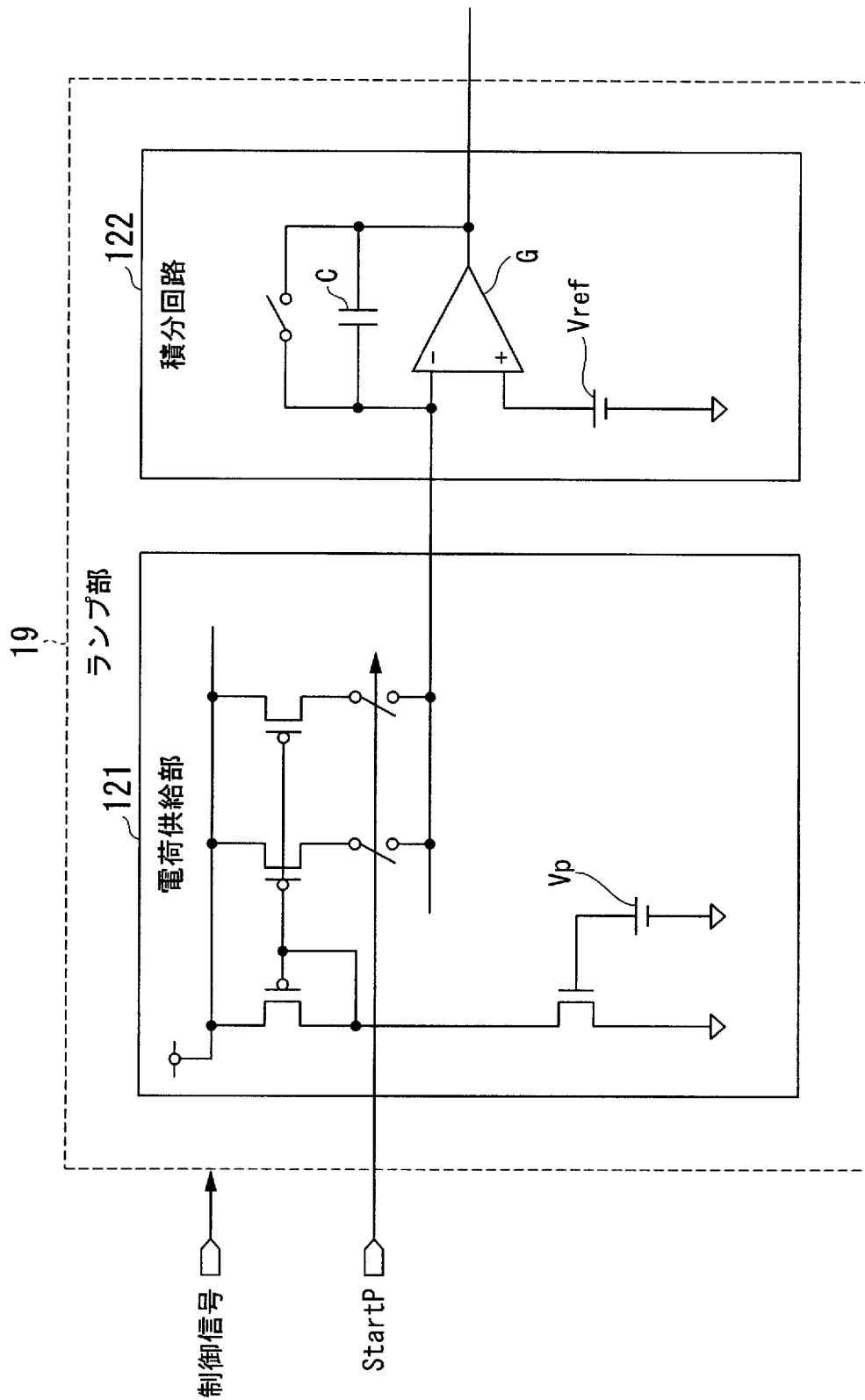
[図10]



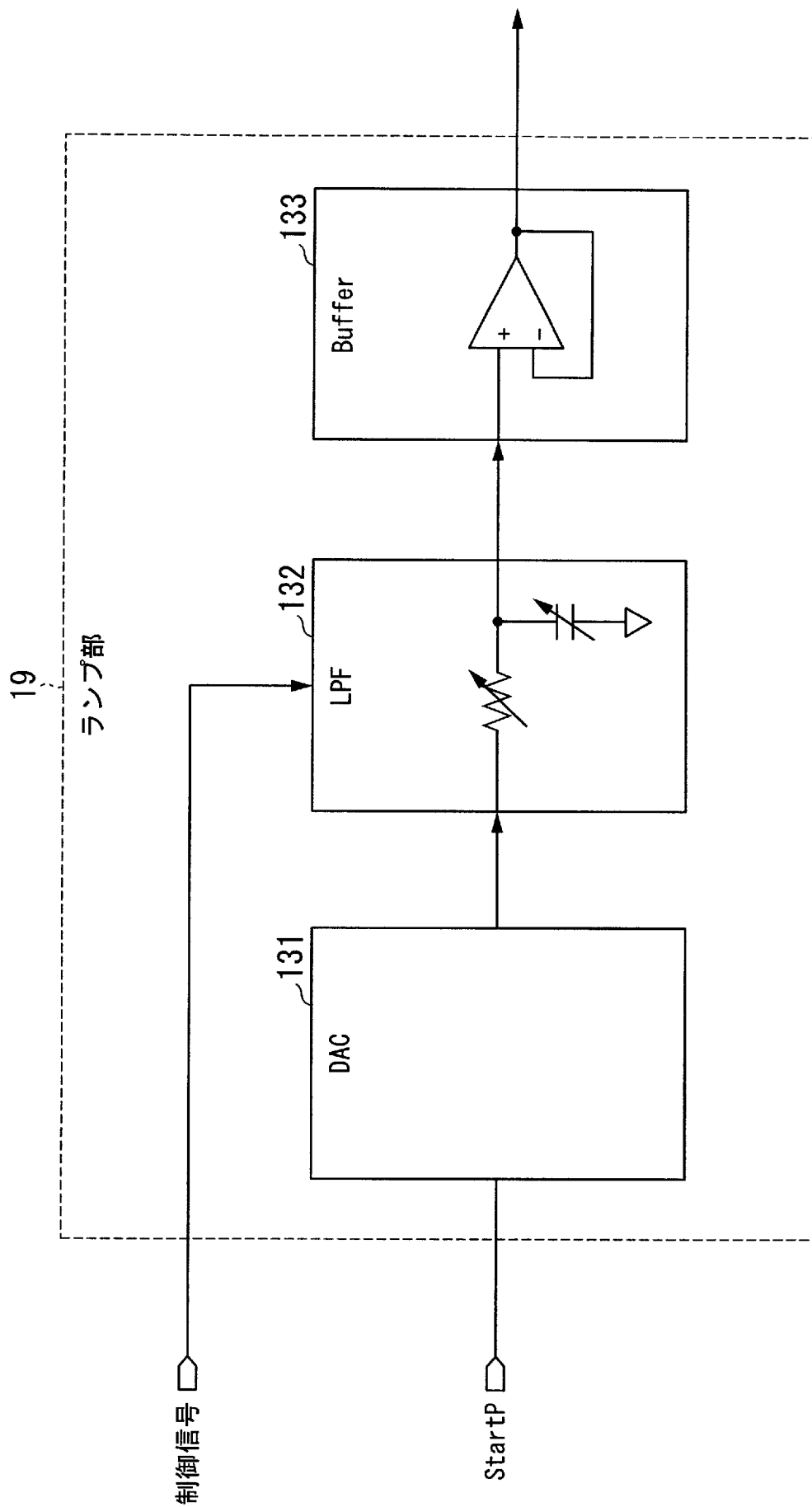
[図11]



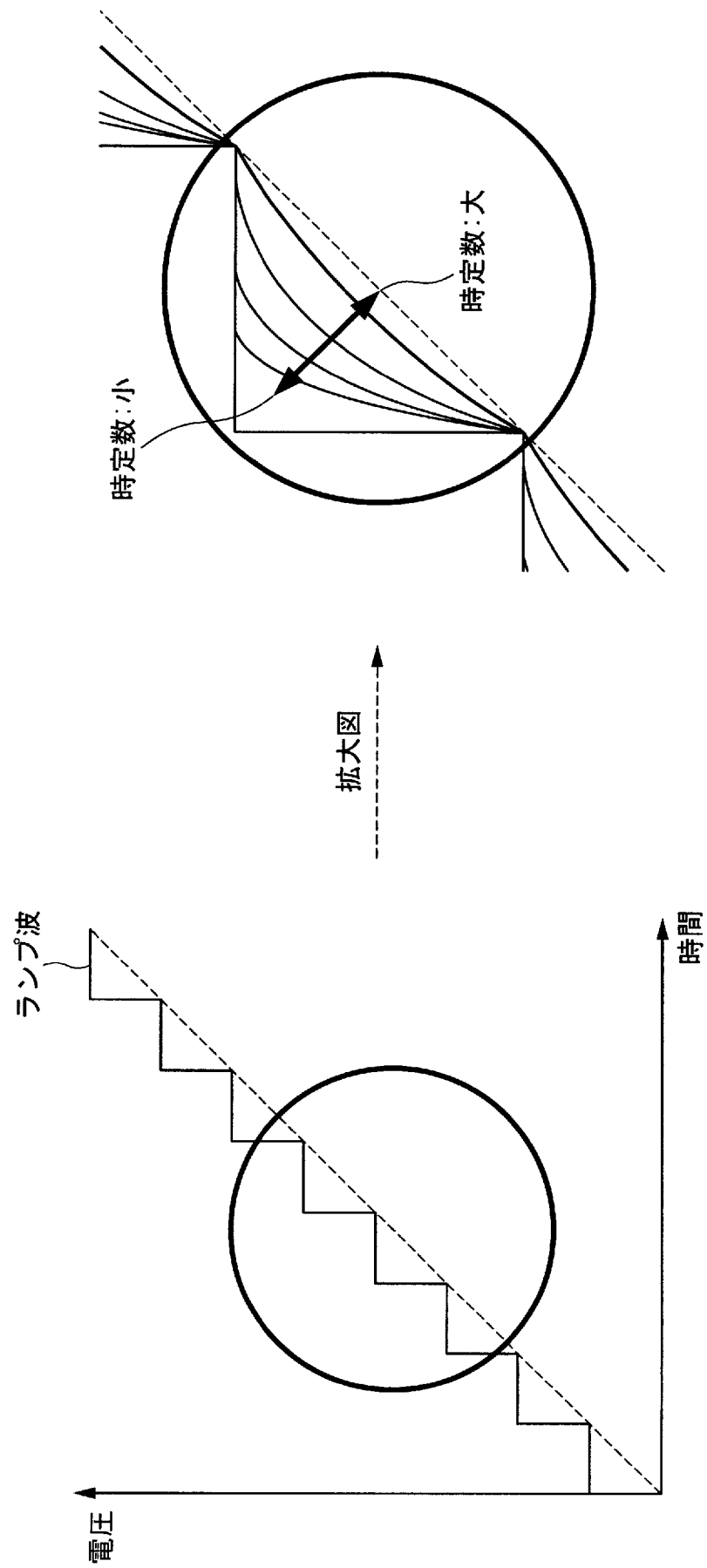
[図12]



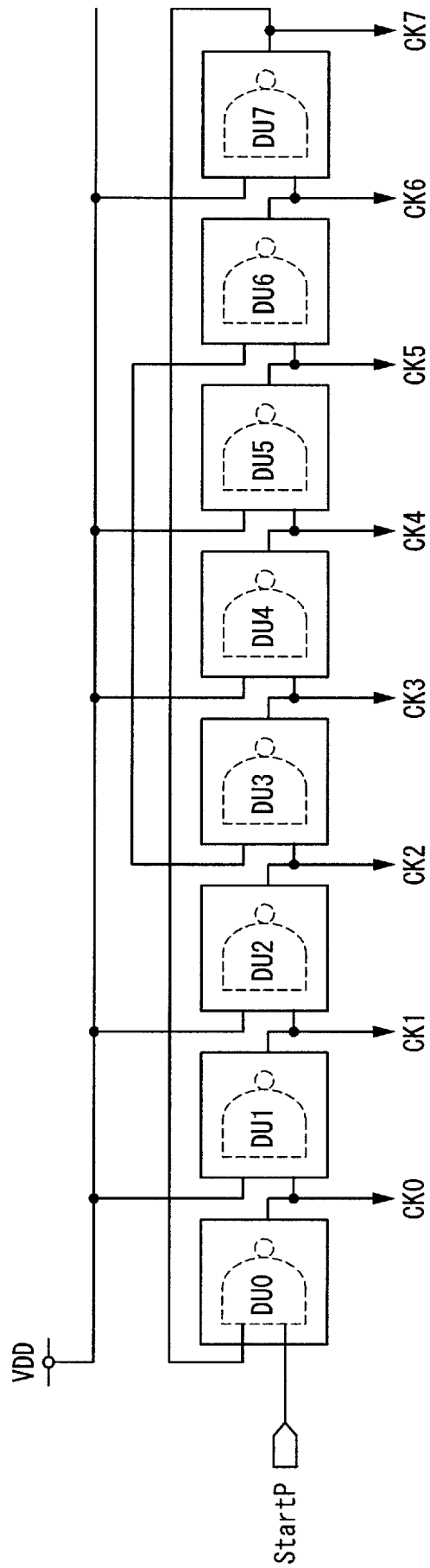
[図13]



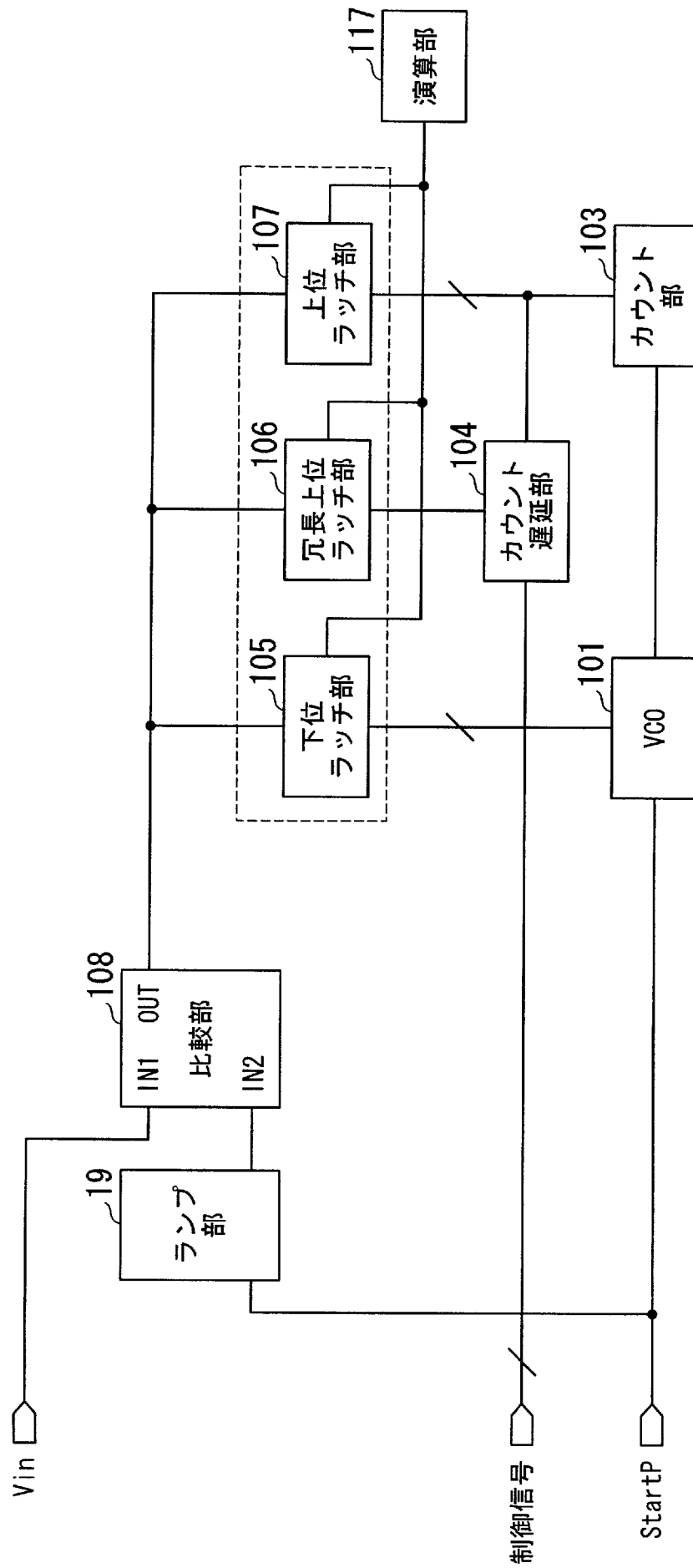
[図14]



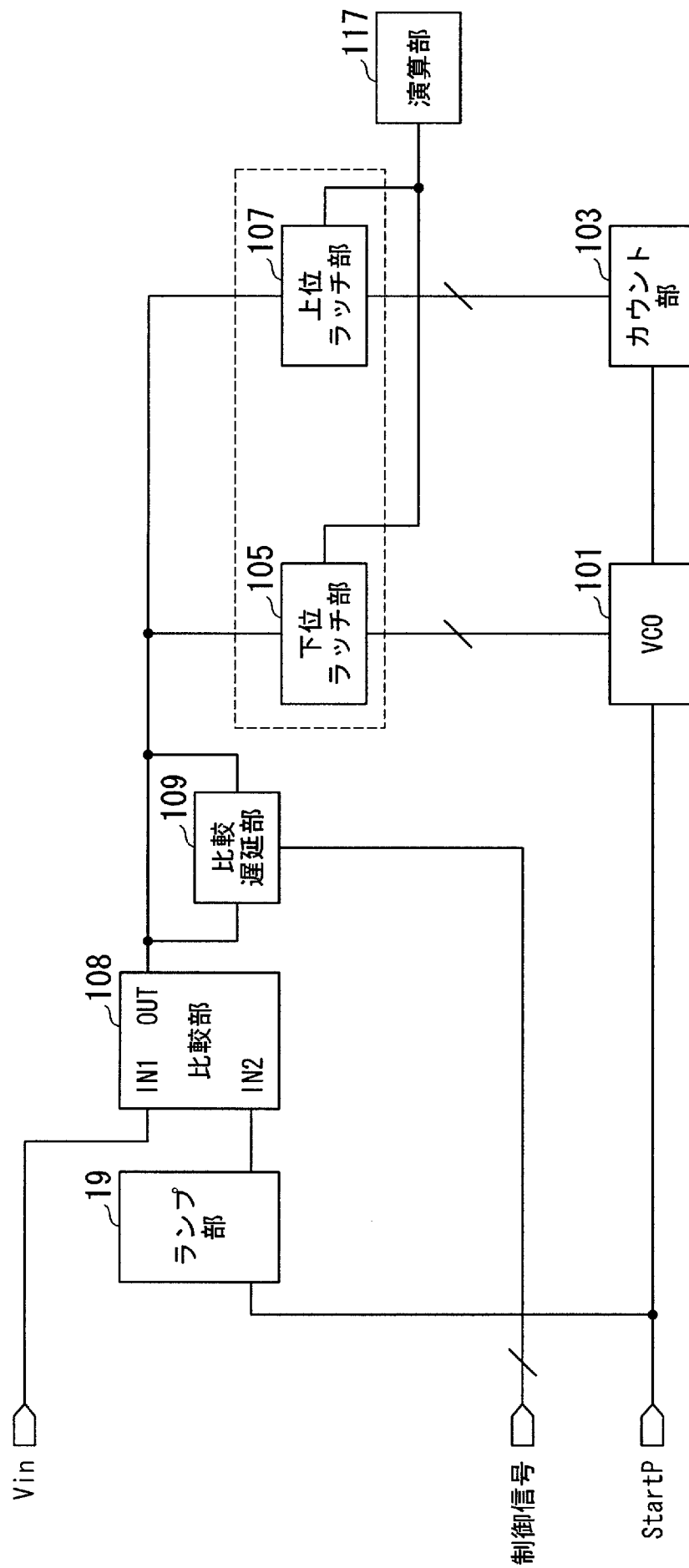
[図15]



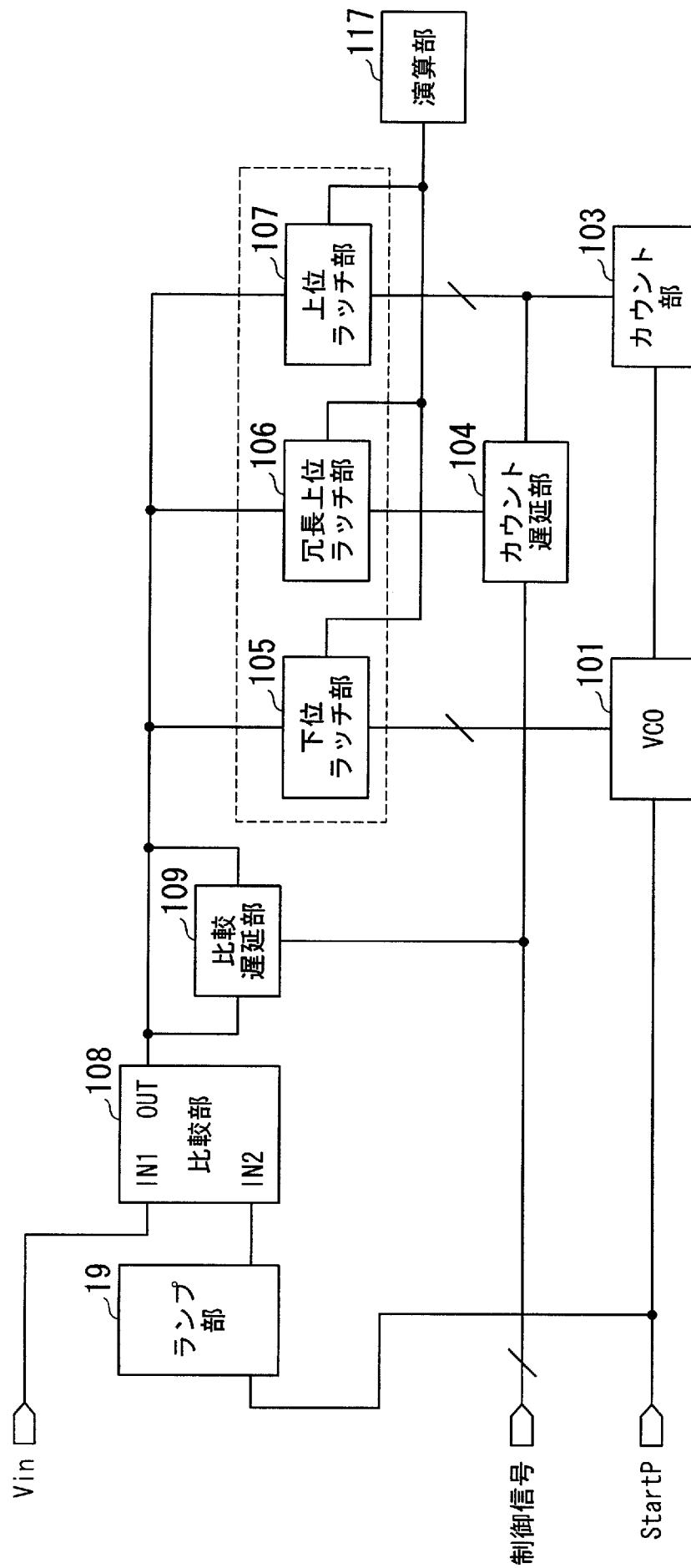
[図16]



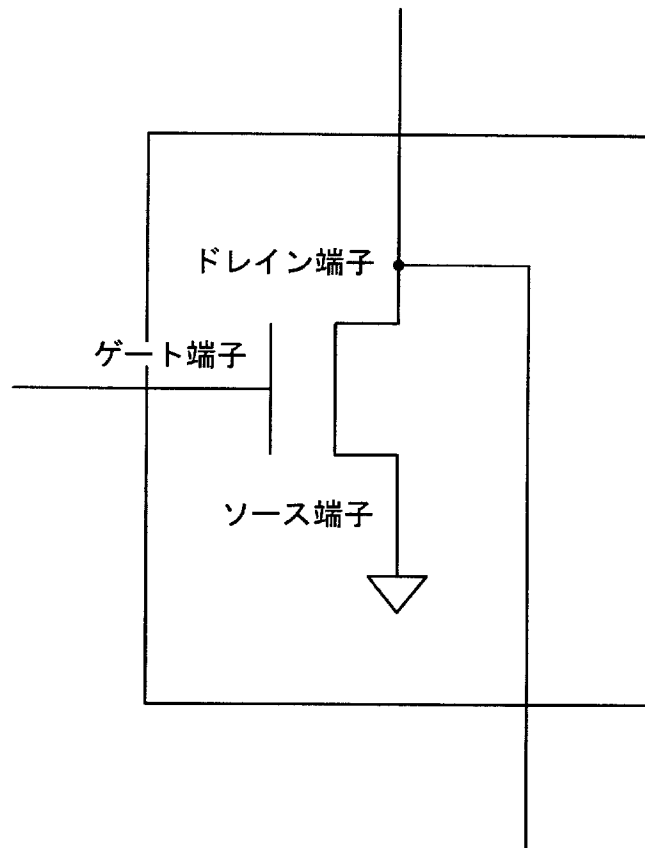
[図17]



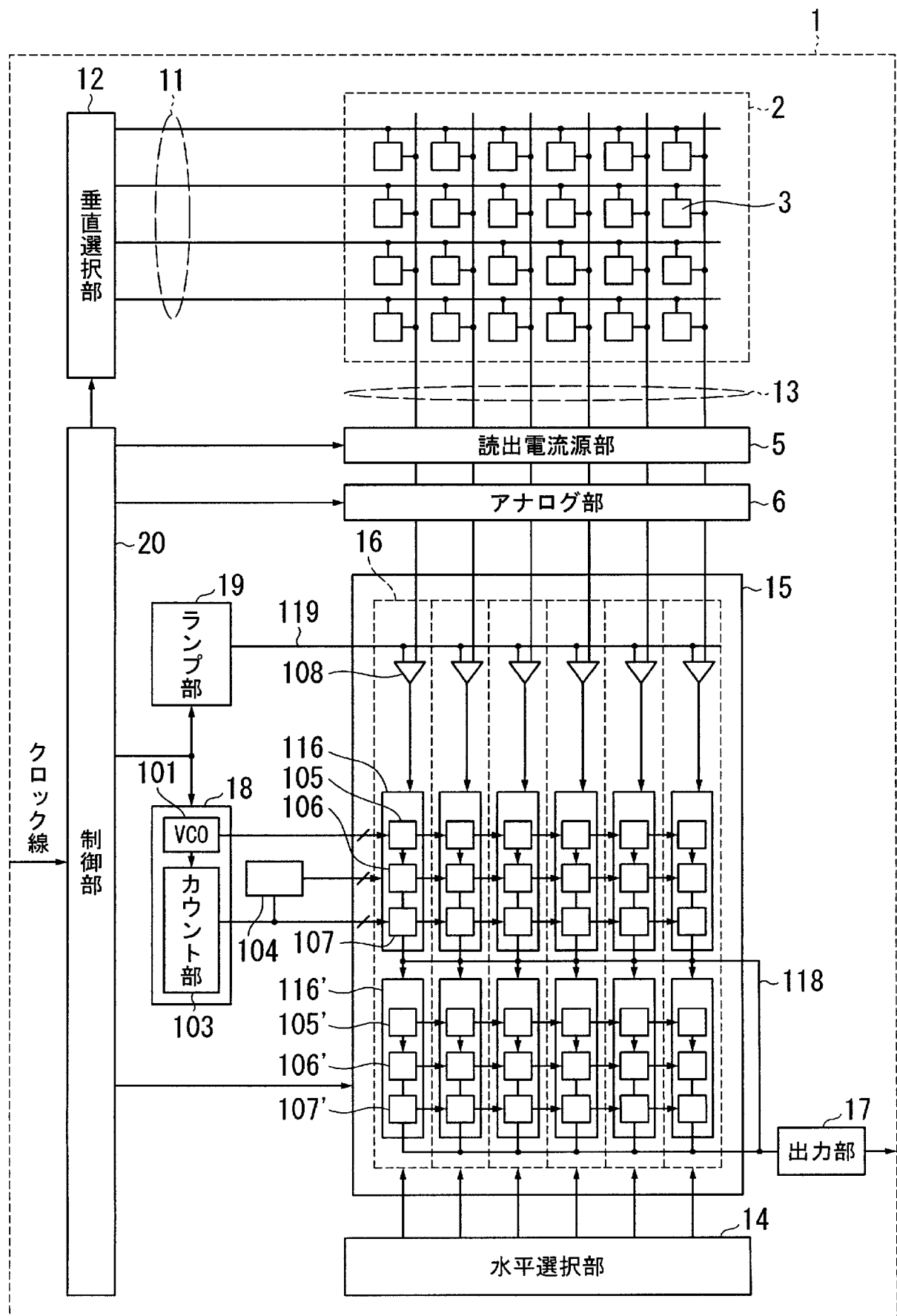
[図18]



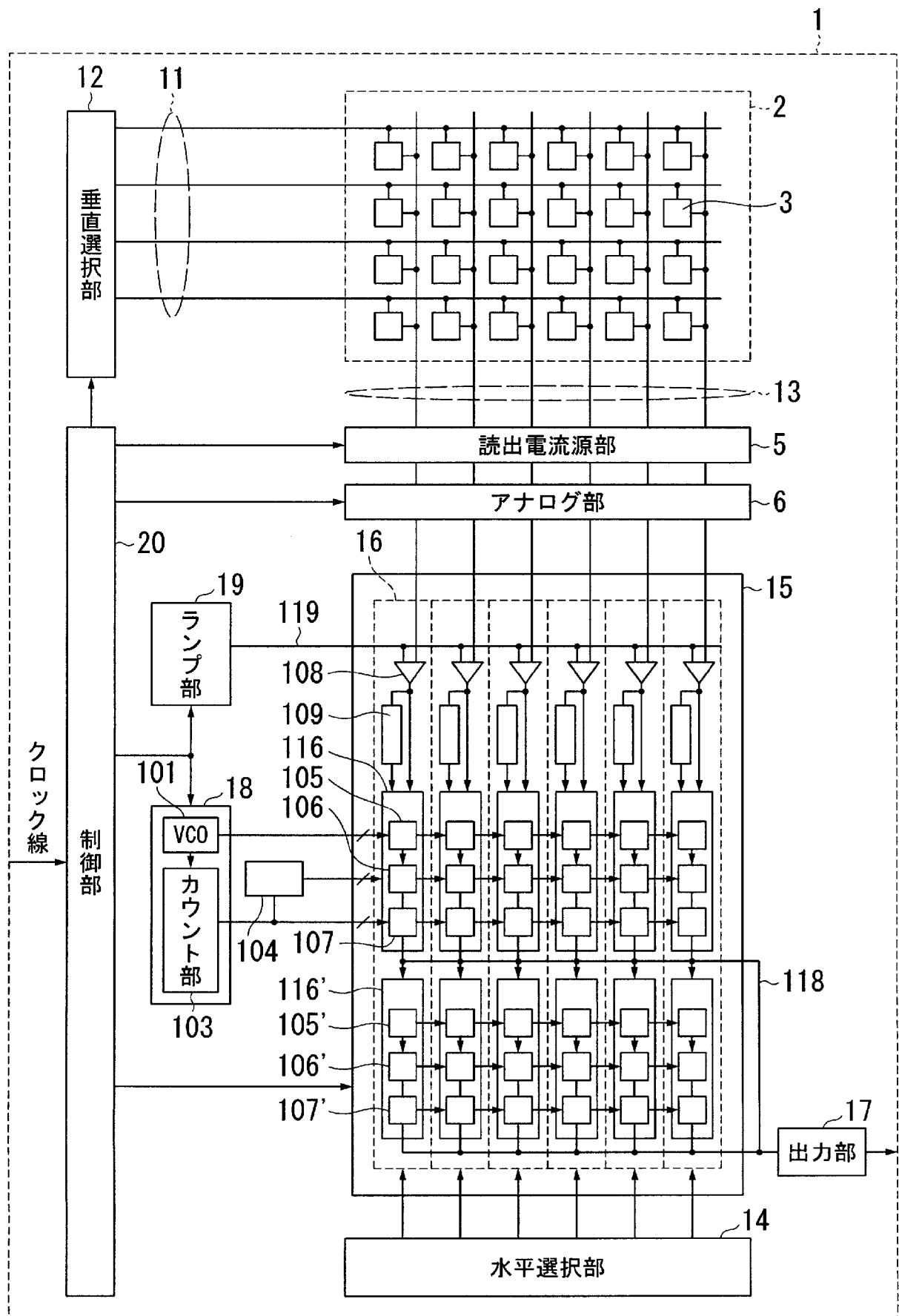
[図20]



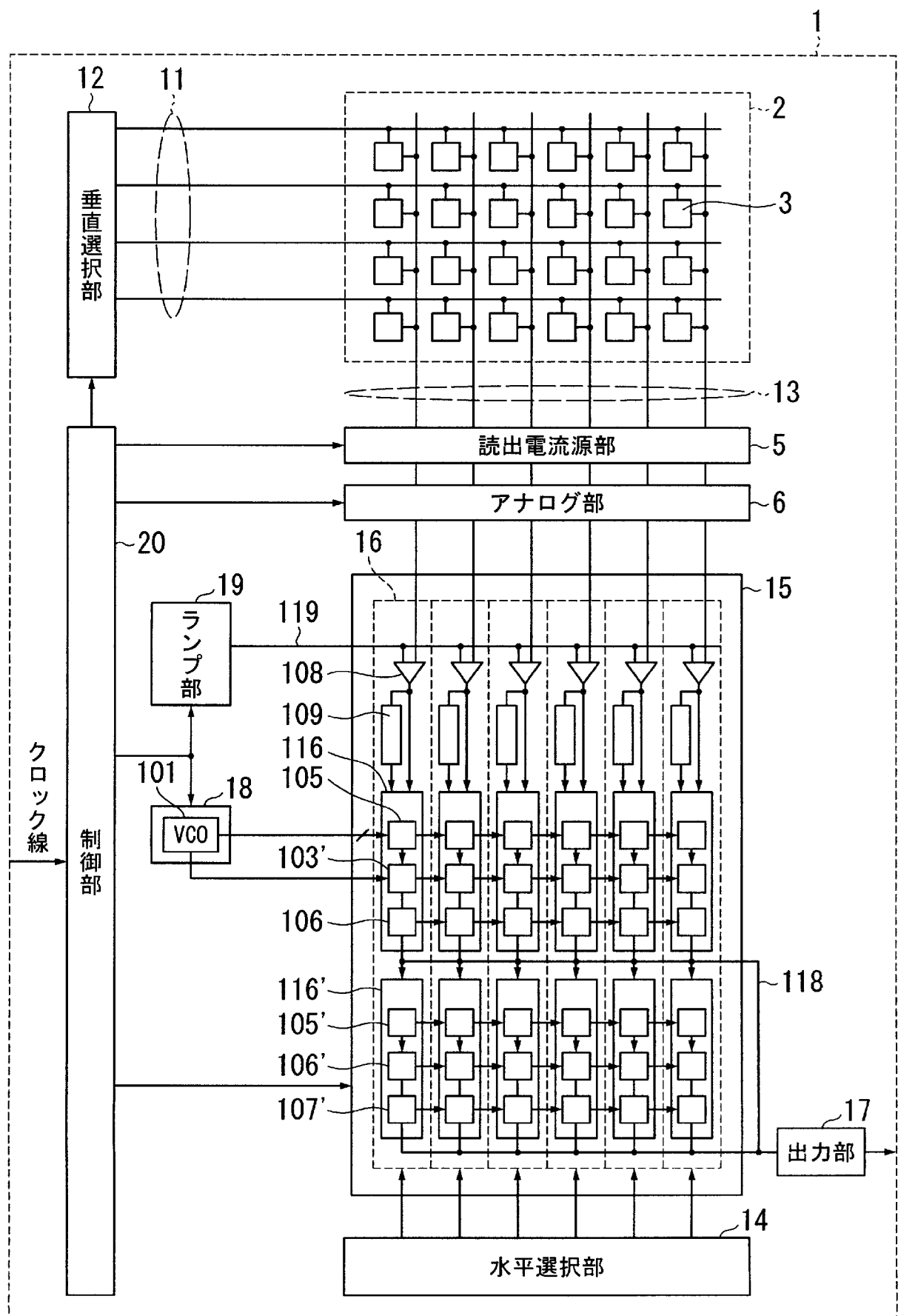
[図21]



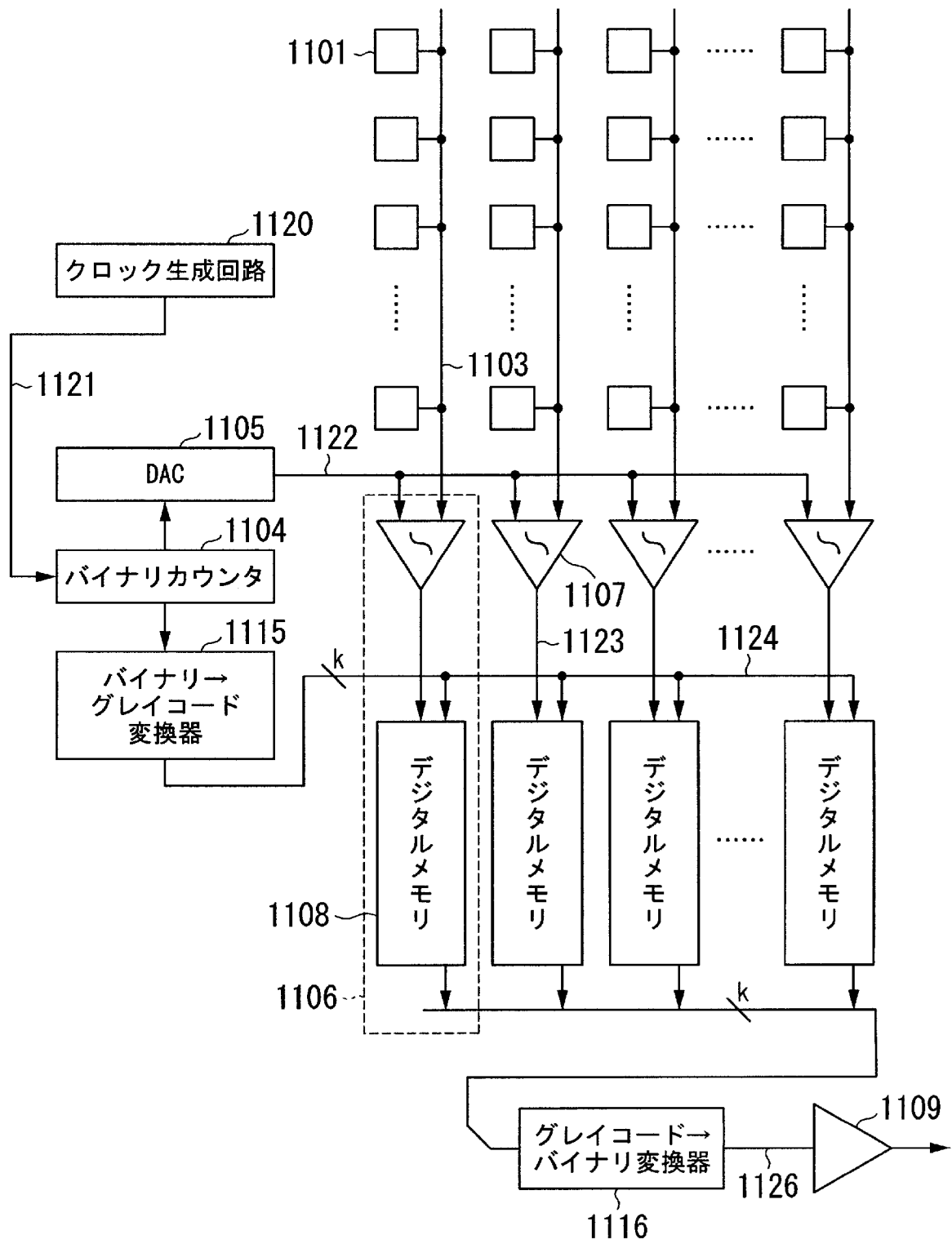
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064891

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/56(2006.01) i, H04N5/335(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-148678 A (Denso Corp.), 08 June 2006 (08.06.2006), front page; paragraphs [0017] to [0048]; fig. 1 to 4, 6 (Family: none)	1-21
Y	JP 6-283984 A (Nippondenso Co., Ltd.), 07 October 1994 (07.10.1994), fig. 1, 3, 9 (Family: none)	1-21
A	JP 2005-244758 A (Denso Corp.), 08 September 2005 (08.09.2005), entire text; all drawings & US 2005/0190096 A1	1-21

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 October, 2010 (06.10.10)Date of mailing of the international search report
19 October, 2010 (19.10.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064891

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-220814 A (Nippon Soken, Inc. et al.), 30 September 1991 (30.09.1991), entire text; all drawings & US 5289135 A & US 5568071 A & US 5128624 A & EP 439178 A1 & DE 69112232 C	1-21

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/56(2006.01)i, H04N5/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/00-1/88, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-148678 A (株式会社デンソー) 2006.06.08, フロントページ, 段落 17-48, 第 1-4, 6 図 (ファミリーなし)	1-21
Y	JP 6-283984 A (日本電装株式会社) 1994.10.07, 第 1, 3, 9 図 (ファミリーなし)	1-21
A	JP 2005-244758 A (株式会社デンソー) 2005.09.08, 全文全図 & US 2005/0190096 A1	1-21

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06.10.2010

国際調査報告の発送日

19.10.2010

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

柳下 勝幸

5 X

9 5 6 1

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 3-220814 A (株式会社日本自動車部品総合研究所(他1名)) 1991.09.30, 全文全図 & US 5289135 A & US 5568071 A & US 5128624 A & EP 439178 A1 & DE 69112232 C	1-21