



(12)发明专利申请

(10)申请公布号 CN 111199922 A

(43)申请公布日 2020.05.26

(21)申请号 201811386332.2

(22)申请日 2018.11.20

(71)申请人 奥特斯科技(重庆)有限公司
地址 401133 重庆市江北区鱼嘴镇长和路
58号

(72)发明人 睦智秀

(74)专利代理机构 北京超凡志成知识产权代理
事务所(普通合伙) 11371
代理人 王晖 李丙林

(51)Int.Cl.

H01L 23/13(2006.01)

H01L 23/31(2006.01)

H01L 21/56(2006.01)

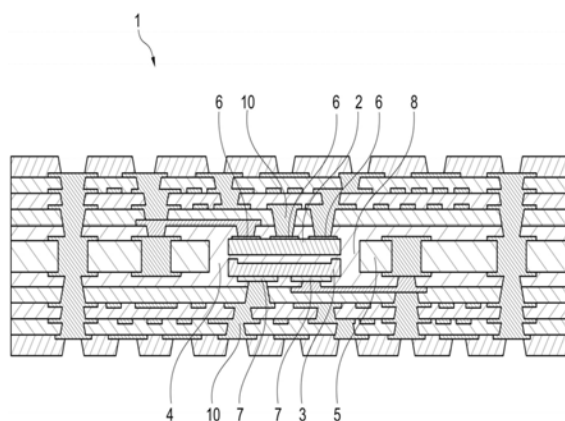
权利要求书3页 说明书10页 附图5页

(54)发明名称

部件承载件及其制造方法

(57)摘要

根据本发明,提供了制造部件承载件(1)的方法及部件承载件(1)。该方法包括:将第一部件(2)和第二部件(3)堆叠并彼此连接以形成集群(2、3)的步骤;以及此后将集群(2、3)插入基部结构(5)的腔(4)中的步骤。部件承载件(1)包括:具有腔(4)的基部结构(5);包括与第二部件(3)堆叠并相连接的第一部件(2)的集群(2、3),其中,集群(2、3)布置在腔(4)中。集群(2、3)的相反横向侧壁之间的高度差小于 $15\mu\text{m}$ 。



1. 一种制造部件承载件(1)的方法,其中,所述方法包括:
将第一部件(2)和第二部件(3)堆叠并彼此连接以形成集群(2、3);
之后,将所述集群(2、3)插入基部结构(5)的腔(4)中。
2. 根据前一权利要求所述的方法,其中,
所述第一部件(2)具有至少一个面朝上的焊盘(6),并且所述第二部件(3)具有至少一个面朝下的焊盘(7)。
3. 根据前述权利要求中任一项所述的方法,其中,所述第一部件(2)和所述第二部件(3)中的至少一个具有至少一个面朝上的焊盘(6)。
4. 根据前述权利要求中任一项所述的方法,其中,所述第一部件(2)和所述第二部件(3)中的至少一个具有至少一个面朝下的焊盘(7)。
5. 根据前述权利要求中任一项所述的方法,其中,包括所述第一部件(2)和所述第二部件(3)的所述集群(2、3)被封装在公共的封装物(8)中。
6. 根据前一权利要求所述的方法,其中,
所述封装通过模制执行。
7. 根据前述权利要求中任一项所述的方法,其中,所述第一部件(2)具有与所述第二部件(3)不同的另一高度。
8. 根据前述权利要求中任一项所述的方法,其中,在所述集群(2、3)内,所述第一部件(2)的一个主表面与所述第二部件(3)的一个主表面对准。
9. 根据前述权利要求中任一项所述的方法,其中,所述第一部件(2)和所述第二部件(3)中的至少一个是有源部件,特别是半导体芯片。
10. 根据前述权利要求中任一项所述的方法,其中,所述方法还包括在所述腔(4)中布置至少一个无源部件。
11. 根据前述权利要求中任一项所述的方法,其中,在所述第一部件(2)与所述基部结构(5)的导电层结构(10)和所述第二部件(3)中的至少一个之间建立直接电连接。
12. 根据前述权利要求中任一项所述的方法,其中,所述方法还包括通过填充介质(11)连接所述基部结构(5)和所述集群(2、3),特别是通过粘合剂和至少部分未固化的层结构中的至少一种进行连接。
13. 根据前述权利要求中任一项所述的方法,其中,在连接所述基部结构(5)和所述集群(2、3)之前,将临时承载件(12)连接到所述基部结构(5)和所述集群(2、3),并在连接所述基部结构(5)和所述集群(2、3)之后,去除所述临时承载件(12)。
14. 根据前述权利要求中任一项所述的方法,其中,在连接所述基部结构(5)和所述集群(2、3)之后,将所述第一部件(2)和所述第二部件(3)中的至少一个的至少一个焊盘(6、7)电连接到所述部件承载件(1)的导电层结构(10)。
15. 根据前述权利要求中任一项所述的方法,其中,所述第一部件(2)的一主表面与所述第二部件(3)的相对主表面之间的角度小于 10° ,特别地小于 5° ,所述第一部件(2)和所述第二部件(3)是在所述第一部件的该主表面和所述第二部件的该相对主表面处连接的。
16. 根据前述权利要求中任一项所述的方法,其中,所述第一部件(2)和所述第二部件(3)在晶圆级连接。
17. 一种部件承载件(1),其中,所述部件承载件(1)包括:

具有腔(4)的基部结构(5);以及
集群(2、3),所述集群包括与第二部件(3)堆叠并相连接的第一部件(2),其中,所述集群(2、3)布置在所述腔(4)中;

其中,所述集群(2、3)的相反横向侧壁之间的高度差小于 $15\mu\text{m}$,特别地小于 $5\mu\text{m}$ 。

18.根据前一权利要求所述的部件承载件(1),其中,所述第一部件(2)具有至少一个面朝上的焊盘(6),并且所述第二部件(3)具有至少一个面朝下的焊盘(7)。

19.根据前述权利要求中任一项所述的部件承载件(1),其中,
所述第一部件(2)和所述第二部件(3)中的至少一个具有至少一个面朝上的焊盘(6)。

20.根据前述权利要求中任一项所述的部件承载件(1),其中,
所述第一部件(2)和所述第二部件(3)中的至少一个具有至少一个面朝下的焊盘(7)。

21.根据前述权利要求中任一项所述的部件承载件(1),其中,
包括所述第一部件(2)和所述第二部件(3)的所述集群(2、3)被封装在公共的封装物(8)中。

22.根据前一权利要求所述的部件承载件(1),其中,所述封装物(8)是模制复合物。

23.根据前述权利要求中任一项所述的部件承载件(1),其中,
所述第一部件(2)具有与所述第二部件(3)不同的另一高度。

24.根据前述权利要求中任一项所述的部件承载件(1),其中,
在所述集群(2、3)内,所述第一部件(2)的一个主表面与所述第二部件(3)的一个主表面对准。

25.根据前述权利要求中任一项所述的部件承载件(1),其中,
所述第一部件(2)和所述第二部件(3)中的至少一个是有源部件,特别是半导体芯片。

26.根据前述权利要求中任一项所述的部件承载件(1),还包括在所述腔(4)中的至少一个无源部件。

27.根据前述权利要求中任一项所述的部件承载件(1),其中,
在所述第一部件(2)与所述基部结构(5)的导电层结构(10)和所述第二部件(3)中的至少一个之间建立直接电连接。

28.根据前述权利要求中任一项所述的部件承载件(1),其中,
所述基部结构(5)和所述集群(2、3)通过填充介质(11)连接,特别地通过粘合剂和至少部分未固化的层结构中的至少一种进行连接。

29.根据前述权利要求中任一项所述的部件承载件(1),其中,
其中,所述第一部件(2)的一主表面与所述第二部件(3)的相对主表面之间的角度小于 10° ,特别地小于 5° ,所述第一部件(2)和所述第二部件(3)是在所述第一部件的该主表面和所述第二部件的该相对主表面处连接的。

30.根据前述权利要求中任一项所述的部件承载件(1),其中,
所述第一部件(2)和所述第二部件(3)在晶圆级连接。

31.根据前一权利要求所述的部件承载件(1),其中,
所述集群(2、3)的相反横向侧壁之间的高度差小于 $1\mu\text{m}$,特别地小于 500nm ,更特别地小于 100nm 。

32.根据权利要求17至31中任一项所述的部件承载件(1),其中,所述第一部件(2)和所

述第二部件(3)中的至少一个,特别是电子部件,被安装在所述基部结构(5)的所述腔(4)的至少一个电绝缘层结构和/或至少一个导电层结构上和/或嵌入到所述基部结构的所述腔的至少一个电绝缘层结构和/或至少一个导电层结构中。

33. 根据权利要求17至32中任一项所述的部件承载件(1),包括下述特征中的至少一个:

所述部件承载件(1)包括表面安装在所述部件承载件上和/或嵌入所述部件承载件中的至少一个部件,其中,所述至少一个部件特别地选自由下述构成的组:电子部件、不导电嵌体和/或导电嵌体、热传递单元、导光元件、能量收集单元、有源电子部件、无源电子部件、电子芯片、存储装置、滤波器、集成电路、信号处理部件、功率管理部件、光电接口元件、电压转换器、加密部件、发射器和/或接收器、机电换能器、致动器、微机电系统、微处理器、电容器、电阻器、电感、累积器、开关、相机、天线、磁性元件、另外的部件承载件以及逻辑芯片;

其中,所述部件承载件(1)的所述导电层结构(10)中的至少一个包括由下述构成的组中的至少一种:铜、铝、镍、银、金、钯和钨,所提及的材料中的任一种可选地涂覆有超导材料诸如石墨烯;

其中,所述电绝缘层结构包括由下述构成的组中的至少一种:树脂,特别是增强或非增强树脂,例如环氧树脂或双马来酰亚胺-三嗪树脂、FR-4、FR-5;氰酸酯;聚亚苯基衍生物;玻璃;预浸料材料;聚酰亚胺;聚酰胺;液晶聚合物;环氧基积层膜;聚四氟乙烯;陶瓷以及金属氧化物;

其中,所述部件承载件(1)被成形为板;

其中,所述部件承载件(1)被配置成由下述构成的组中的一种:印刷电路板、基板以及内插物;

其中,所述部件承载件(1)被配置为层叠型部件承载件。

部件承载件及其制造方法

技术领域

[0001] 本发明涉及一种部件承载件,并且涉及一种制造该部件承载件的方法。

背景技术

[0002] 成扇形散开的晶圆级封装(FOWLP)是微电子的最新封装趋势之一。它对涉及封装件体积及其厚度的显著的封装件小型化具有很高的潜力。FOWLP的技术核心是形成与薄膜再分布层结合的重新配置的模制晶圆,来产生SMD兼容封装件。FOWLP的主要优点是无基板的封装件、低热阻、由于较短的互连及通过薄膜金属化而不是布线接合或倒装芯片隆起(bump)的直接IC连接而具有改善的RF性能、以及较低的寄生效应。尤其是FOWLP的电感与FC-BGA封装件相比低得多。另外,再分布层还可以使用多层结构来提供嵌入式无源器件以及天线结构。它可以用于针对系统级封装件(SiP)和异构集成的多芯片封装件。为了较高的生产率以及产生较低的成本,不久的将来会预见到较大的模制嵌入形状因子。而且,作为替代选择,增加的晶圆直径将导致产生成扇形散开的板件级封装件(FOPLP)的板件大小。

[0003] 然而,如果使用芯,则存在传统上的问题。在HVM工艺制造期间存在由芯引起的翘曲问题。此外,芯处理中存在产量下降风险。

发明内容

[0004] 本发明的目的是提供一种部件承载件及其制造方法,该部件承载件及其制造方法可以避免部件承载件的翘曲并实现高产量。

[0005] 为了实现上面限定的目的,提供了根据本发明实施方式的一种部件承载件及一种制造部件承载件的方法。

[0006] 根据本发明的示例性实施方式,提供了一种用于制造部件承载件的方法。该方法包括:将第一部件和第二部件堆叠并彼此连接以形成集群;之后,将集群插入基部结构的腔中。由于在将第一部件和第二部件堆叠并彼此连接之后将集群插入腔中,所以可以在将集群插入腔之前控制集群的相反横向侧壁之间的高度差。结果,可以改善部件承载件的平面性并且可以避免翘曲。

[0007] 根据本发明的另一示例性实施方式,提供了一种部件承载件。部件承载件包括:具有腔的基部结构;以及集群,该集群包括与第二部件堆叠并相连接的第一部件,其中,集群布置在腔中。集群的相反横向侧壁之间的高度差小于 $15\mu\text{m}$ 。通过将第一部件堆叠到第二部件上以形成集群来实现小于 $15\mu\text{m}$ 的小的高度差和减小的翘曲。由此,集群变得比根据现有技术的芯厚。通过下述制造工艺通常不能实现小于 $15\mu\text{m}$ 的小的高度差:其中,第二部件在没有第一部件的情况下单独地插入腔中;并且其中,第一部件然后在第二部件已经被放置于腔中时连接到该第二部件。

[0008] 在所有实施方式中,使用比现有技术的芯厚的集群。堆叠的芯实现了多功能,以改善在使用HVM工艺的FO-PLP制造期间的翘曲问题的。对于过孔到晶片-焊盘对准的处理能力,可以实现用于低侧端芯片的面朝下接合和用于高侧端芯片的面朝上接合。

[0009] 在下文中,将说明本发明的另外的示例性实施方式。

[0010] 在该方法的一个实施方式中,第一部件具有至少一个面朝上的焊盘,并且第二部件具有至少一个面朝下的焊盘。

[0011] 在该方法的另一实施方式中,第一部件和第二部件中的至少一个具有至少一个面朝上的焊盘。

[0012] 在该方法的一个实施方式中,第一部件和第二部件中的至少一个具有至少一个面朝下的焊盘。

[0013] 在该方法的一个实施方式中,包括第一部件和第二部件的集群被封装在公共的封装物中。封装可以通过模制执行。

[0014] 与其中部件在平面图中被布置成彼此相邻的传统的现有技术相比,本发明使得在平面图中的模制区域减小,并因此使整体配置更均匀。

[0015] 在该方法的一个实施方式中,第一部件具有与第二部件不同的另一高度。

[0016] 在该方法的一个实施方式中,在集群内,第一部件的一个主表面与第二部件的一个主表面对准。

[0017] 在该方法的一个实施方式中,第一部件和第二部件中的至少一个是有源部件,特别是半导体芯片。

[0018] 在该方法的一个实施方式中,该方法还包括在腔中布置至少一个无源部件。无源部件可以在将集群插入腔中之前或之后连接到该集群。

[0019] 在该方法的一个实施方式中,在第一部件与基部结构的导电层结构和第二部件中的至少一个之间建立直接电连接。

[0020] 在该方法的一个实施方式中,该方法还包括:通过填充介质,特别是通过粘合剂和至少部分未固化的层结构中的至少一种来连接基部结构和集群。由此,可以控制部件承载件的平面性。

[0021] 在该方法的一个实施方式中,在连接基部结构和集群之前,临时承载件被连接到基部结构和集群,并且在连接基部结构和集群之后,去除该临时承载件。

[0022] 在该方法的一个实施方式中,在连接基部结构和集群之后,第一部件和第二部件中的至少一个的至少一个焊盘电连接到部件承载件的导电层结构。

[0023] 在该方法的一个实施方式中,第一部件的主表面与第二部件的相对主表面之间的角度小于 10° ,特别地小于 5° ,第一部件和第二部件是在第一部件的该主表面和第二部件的该相对主表面处连接的。

[0024] 在该方法的一个实施方式中,第一部件和第二部件在晶圆级连接。这是所谓的晶圆到晶圆技术,在该技术中,包括多个第一部件的第一晶圆连接到包括多个第二部件的第二晶圆。在连接两个晶圆之后,将第一部件和第二部件单一化以形成集群。因此,可以促进制造工艺。可替换地,可以应用所谓的晶片到晶圆技术,在该技术中,至少一个晶片或包括至少一个晶片的封装物附着到晶圆。

[0025] 在部件承载件的一个实施方式中,第一部件具有至少一个面朝上的焊盘,并且第二部件具有至少一个面朝下的焊盘。

[0026] 在部件承载件的一个实施方式中,第一部件和第二部件中的至少一个具有至少一个面朝上的焊盘。

[0027] 在部件承载件的一个实施方式中,第一部件和第二部件中的至少一个具有至少一个面朝下的焊盘。

[0028] 在部件承载件的一个实施方式中,包括第一部件和第二部件的集群被封装在公共的封装物中。封装物可以是模制复合物。

[0029] 在部件承载件的一个实施方式中,第一部件具有与第二部件不同的另一高度。

[0030] 在部件承载件的一个实施方式中,在集群内,第一部件的一个主表面与第二部件的一个主表面对准。

[0031] 在部件承载件的一个实施方式中,第一部件和第二部件中的至少一个是有源部件,特别是半导体芯片。

[0032] 在部件承载件的一个实施方式中,该部件承载件还包括在腔中的至少一个无源部件。

[0033] 在部件承载件的一个实施方式中,在第一部件与基部的导电层结构和第二部件中的至少一个之间建立直接电连接。

[0034] 在部件承载件的一个实施方式中,基部结构和集群通过填充介质连接,特别是通过粘合剂和至少部分未固化的层结构中的至少一种进行连接。

[0035] 在部件承载件的一个实施方式中,第一部件的主表面与第二部件的相对主表面之间的角度小于 10° ,特别是小于 5° ,第一部件和第二部件是在第一部件的该主表面和第二部件的该相对主表面处连接的。

[0036] 在部件承载件的一个实施方式中,第一部件和第二部件在晶圆级连接。

[0037] 在部件承载件的一个实施方式中,第一部件和第二部件中的至少一个,特别是电子部件,安装在基部结构的腔的至少一个电绝缘层结构和/或至少一个导电层结构上和/或嵌入到基部结构的腔的至少一个电绝缘层结构和/或至少一个导电层结构中。

[0038] 根据本发明的部件承载件可以包括下述特征中的至少一个:

[0039] 部件承载件包括表面安装在部件承载件上和/或嵌入到部件承载件中的至少一个部件,其中,该至少一个部件特别地选自由下述构成的组:电子部件、不导电嵌体和/或导电嵌体、热传递单元、导光元件、能量收集单元、有源电子部件、无源电子部件、电子芯片、存储装置、滤波器、集成电路、信号处理部件、功率管理部件、光电接口元件、电压转换器、加密部件、发射器和/或接收器、机电换能器、致动器、微机电系统、微处理器、电容器、电阻器、电感、累积器、开关、相机、天线、磁性元件、另外的部件承载件以及逻辑芯片;

[0040] 其中,部件承载件的导电层结构中的至少一个包括由下述构成的组中的至少一种:铜、铝、镍、银、金、钯和钨,所提及的材料中的任一种可选地涂覆有超导材料诸如石墨烯;

[0041] 其中,电绝缘层结构包括由下述构成的组中的至少一中:树脂特别是增强或非增强树脂,例如环氧树脂或双马来酰亚胺-三嗪树脂、FR-4、FR-5;氰酸酯;聚亚苯基衍生物;玻璃;预浸料材料;聚酰亚胺;聚酰胺;液晶聚合物;环氧基积层膜;聚四氟乙烯;陶瓷以及金属氧化物;

[0042] 其中,部件承载件被成形为板;

[0043] 其中,部件承载件被配置成由下述构成的组中的一种:印刷电路板、基板以及内插物;

[0044] 其中,部件承载件被配置为层叠型部件承载件。在本申请的上下文中,术语“部件承载件”可以特别地指能够在其上和/或其中容纳一个或多个部件以提供机械支撑和/或电连接的任何支撑结构。换言之,部件承载件可以被配置成用于部件的机械和/或电子承载件。特别地,部件承载件可以是印刷电路板、有机内插物和IC(集成电路)基板中的一种。部件承载件还可以是将上述类型的部件承载件中的不同部件承载件组合的混合板。

[0045] 在实施方式中,部件承载件包括至少一个电绝缘层结构和至少一个导电层结构的堆叠体。例如,部件承载件可以是所提及的电绝缘层结构和导电层结构的层叠体,特别是通过施加机械压力和/或热能形成。所提及的堆叠体可以提供板状部件承载件,该板状部件承载件能够为另外的部件提供大的安装表面并且仍然非常薄且紧凑。术语“层结构”可以特别地指公共平面内的连续层、图案化层或多个非连续岛。

[0046] 在实施方式中,部件承载件被成形为板。这有助于紧凑设计,其中部件承载件仍然为在其上安装部件提供大的基础。此外,特别是例如作为嵌入式电子部件的裸晶片得益于其薄的厚度可以方便地嵌入到薄板诸如印刷电路板中。

[0047] 在实施方式中,部件承载件被配置成由印刷电路板、基板(特别地IC基板)以及内插物构成的组中的一种。

[0048] 在本申请的上下文中,术语“印刷电路板”(PCB)可以特别地指通过将若干导电层结构与若干电绝缘层结构层叠形成的板状部件承载件,上述形成例如通过施加压力和/或通过供应热能形成。作为用于PCB技术的优选材料,导电层结构由铜制成,而电绝缘层结构可以包括树脂和/或玻璃纤维、所谓的预浸料或FR4材料。通过形成穿过层叠体的通孔,例如通过激光钻孔或机械钻孔,并且通过用导电材料(特别是铜)填充这些通孔,由此形成作为通孔连接的过孔,来使各个导电层结构可以以期望的方式彼此连接。除了可以嵌入印刷电路板中的一个或多个部件之外,印刷电路板通常被配置成在板状印刷电路板的一个表面或两个相反表面上容纳一个或多个部件。部件可以通过焊接连接至相应的主表面。PCB的介电部分可以由具有增强纤维(诸如玻璃纤维)的树脂构成。

[0049] 在本申请的上下文中,术语“基板”可以特别地指与待安装在其上的部件(特别是电子部件)具有大致相同的大小的小型部件承载件。更具体地,基板可以理解为用于电连接或电网络的承载件以及与印刷电路板(PCB)相当的部件承载件,然而具有显著较高密度的横向和/或竖向布置的连接件。横向连接件例如为传导路径,而竖向连接件可以为例如钻孔。这些横向和/或竖向连接件布置在基板内,并且可以用于提供所容置的部件或未容置的部件(诸如裸晶片)特别是IC芯片与印刷电路板或中间印刷电路板的电连接和/或机械连接。因此,术语“基板”还包括“IC基板”。基板的介电部分可以由具有增强颗粒(诸如增强球体,特别是玻璃球体)的树脂构成。

[0050] 基板或内插物可以包括或由下述构成:至少玻璃层、硅(Si)或可光成像或可干法蚀刻的有机材料,如环氧基积层膜或聚合物复合物如聚酰亚胺、聚苯并恶唑或苯并环丁烯。

[0051] 在实施方式中,至少一个电绝缘层结构包括由下述构成的组中的至少一种:树脂(诸如增强或非增强树脂,例如环氧树脂或双马来酰亚胺-三嗪树脂);氰酸酯;聚亚苯基衍生物;玻璃(特别是玻璃纤维、多层玻璃、玻璃状材料);预浸料材料(诸如FR-4或FR-5);聚酰亚胺;聚酰胺;液晶聚合物(LCP);环氧基积层膜;聚四氟乙烯(特氟隆);陶瓷以及金属氧化物。还可以使用例如由玻璃(多层玻璃)制成的增强材料,诸如网、纤维或球体。尽管预浸料

特别是FR4对于刚性PCB通常是优选的,但是也可以使用用于基板的其他材料,特别环氧基积层膜。对于高频应用,高频材料诸如聚四氟乙烯、液晶聚合物和/或氰酸酯树脂、低温共烧陶瓷(LTCC)或其他低的、非常低或超低DK材料可以在部件承载件中实施为电绝缘层结构。

[0052] 在实施方式中,至少一个导电层结构包括由下述构成的组中的至少一种:铜、铝、镍、银、金、钯以及钨。尽管铜通常是优选的,但是其它材料或它们的涂覆形式也是有可能的,尤其是涂覆有超导材料诸如石墨烯的上述材料。

[0053] 至少一个部件可以选自由下述构成的组:不导电嵌体、导电嵌体(诸如金属嵌体,优选地包括铜或铝)、热传递单元(例如热管)、灯导元件(例如光波导或光导体连接)、电子部件或它们的组合。例如,部件可以是有源电子部件、无源电子部件、电子芯片、存储装置(例如DRAM或另一数据存储器)、滤波器、集成电路、信号处理部件、功率管理部件、光电接口元件、发光二极管、光耦合器、电压转换器(例如DC/DC转换器或AC/DC转换器)、加密部件、发射器和/或接收器、机电换能器、传感器、致动器、微机电系统(MEMS)、微处理器、电容器、电阻器、电感、电池、开关、相机、天线、逻辑芯片以及能量收集单元。然而,其他部件可以被嵌入在部件承载件内。例如,可以使用磁性元件作为部件。这样的磁性元件可以是永磁性元件(诸如铁磁元件、反铁磁元件或铁磁性元件,例如铁氧体芯),或者可以是顺磁性元件。然而,部件还可以是基板、内插物或另外的部件承载件,例如处于板中板配置。部件可以表面安装在部件承载件上和/或可以嵌入其内部。此外,其他部件特别是生成和发射电磁辐射和/或对从环境传播的电磁辐射敏感的那些部件也可以用作部件。

[0054] 在实施方式中,部件承载件是层叠型部件承载件。在这样的实施方式中,部件承载件是通过施加按压力和/或热而被堆叠并相连接在一起的多层结构的复合体。

[0055] 在本申请的上下文中,术语“纳米和/或微结构”可以特别地指具有的尺寸在纳米至微米范围内的物理结构,特别是具有的尺寸在0.1nm至10 μ m之间的范围内,更特别地,在1nm至500nm之间的范围内。具有配备有例如处于有序的方式(例如按照行和列)或处于随机方式的这样的纳米和/或微结构的表面的片状件可以在与邻近的部件承载件材料的粘合方面提供特定的性质。取决于片状件表面上的纳米和/或微结构的材料、形状、尺寸、涂层和布置,纳米和/或微结构可以具有粘合效应(诸如在壁虎(gecko)的腿部处)或排斥(repellent)效应(诸如在莲花的表面上)。片状件可以具有至少100,特别是至少1000个纳米和/或微结构。例如,具有提供粘合性质的纳米结构的片状件可以被转化为具有通过纳米和/或微结构的对应表面涂层(例如用蜡质材料)提供非粘合或甚至排斥性质的纳米结构的片状件。例如,纳米和/或微结构可以是纳米和/或微凸起和/或纳米和/或微凹陷。

[0056] 根据本发明的示例性实施方式,具有纳米和/或微结构的片状件可以集成在部件承载件诸如印刷电路板中。通过采取该措施,具有纳米和/或微结构的片状件的特定粘合作用可以有利地用于使制造部件承载件及其与另一本体、待表面安装在其上或嵌入其中的部件等的连接简化。这允许以低努力制造部件承载件并且选择性地将其与另一本体连接或断开。由于根据纳米和/或微结构的性质调节粘合作用(即粘附或排斥)的高度灵活性,板设计者具有高的自由度来调节部件承载件内的互连性质和/或部件承载件相对于另外的本体之间的互连性质。非常有利地,这样的具有纳米和/或微结构的片状件可以是干燥的,使得实施用于建立粘附或排斥功能的液体、化学品等可以变得非必要。

附图说明

[0057] 根据下文将描述的実施方式的實施例,本發明的以上限定的方面和另外的方面變得明顯,並且參考這些實施方式的實施例對這些方面進行說明。

[0058] 圖1示出了根據本發明的示例性實施方式的當前在製造的部件承載件的預成型件的截面視圖。

[0059] 圖2示出了根據本發明的實施方式的製造部件承載件的方法。

[0060] 圖3示出了根據本發明的另一實施方式的製造部件承載件的方法。

[0061] 圖4示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

[0062] 圖5示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

[0063] 圖6示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

[0064] 圖7示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

[0065] 圖8示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

[0066] 圖9示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

[0067] 圖10示出了根據本發明的示例性實施方式的部件承載件的示意性預成型件的截面視圖。

具體實施方式

[0068] 在附圖中的圖示是示意性的。在不同的附圖中,類似或相同的元件設置有相同的附圖標記。

[0069] 在參考附圖進一步詳細地描述示例性實施方式之前,將概述展開了本發明的示例性實施方式所基於的一些基本考慮。

[0070] 根據示例性實施方式,納米塗覆結構可以用於部件承載件技術,特別是用作干粘合結構。實施這樣的表面配置的粘合層也可以表示為壁虎膜。這樣的表面的粘合效果可以基於范德瓦爾斯力。描述性地說,可以通過這樣的觀念形成多個小尺寸的吸盤。根據本發明的示例性實施方式,為嵌入和/或表面安裝應用提供了可靠的基板和/或結構化材料,該可靠的基板和/或結構化材料由於該表面上的納米和/或微結構的相應配置而具有特定的粘合性質。示例性實施方式具有下述優點:可以在低材料消耗、低生產成本、小污染風險和高工藝可靠性的情況下獲得所提到的表面粘合性質的可調節性。

[0071] 在實施方式中,所提到的材料可以用於嵌入技術中用於放置部件的支撐件。與依賴於溫度和時間的傳統粘合帶系統相比,示例性實施方式使用支撐件(可以是剛性的或柔性的)或PCB元件(諸如芯、預浸料、銅箔等)的表面,該表面得益於納米和/或微結構而展現了范德瓦爾斯吸引力、壁虎效應、高抓緊力並且是乾燥的,因此可以清潔和重複使用。具有納米和/或微結構的片狀件也可以包含在最終產品中。當用於嵌入概念時,部件可以放置在

干燥表面上并且可以在部件层叠之前通过弱接合(如范德瓦尔斯力、壁虎效应、高抓紧力值)保持在适当位置。

[0072] 这样的架构允许获得部件与保持基板之间的干燥的相互作用。不需要额外的液体粘合剂。这具有下述优点:干燥的相互作用和受基板污染的风险降低。

[0073] 图1示出了根据本发明的示例性实施方式的当前在制造的部件承载件1的预成型件的截面视图。

[0074] 部件承载件1包括:具有腔4的基部结构5;和集群2、3,该集群包括与第二部件3堆叠并相连接的第一部件2,其中,集群2、3布置在腔4中。集群2、3可以具有大于200 μm 的高度。

[0075] 另外,部件承载件1还可以包括在腔4中的无源部件。

[0076] 第一部件2和第二部件3可以是有源部件,特别是半导体芯片。例如,第一部件和第二部件2、3中的一个可以是处理器芯片,而第一部件和第二部件2、3中另一个可以是存储器芯片。第一部件2和第二部件3可以在晶圆级连接。在集群2、3内,第一部件2的主表面与第二部件3的一个主表面对准。第一部件2的一主表面与第二部件3的相反主表面之间的角度小于 10° ,特别是小于 5° ,第一部件2和第二部件3是在第一部件的该主表面和第二部件的该相对主表面处连接的。集群2、3的相反横向侧壁之间的高度差小于15 μm ,特别是小于5 μm 。如果第一部件2和第二部件3在晶圆级连接,则集群2、3的相反横向侧壁之间的高度差可小于1 μm ,特别是小于500nm,更特别地小于100nm。

[0077] 虽然在图1中不可见,但是第一部件2可以具有与第二部件3不同的另一高度。

[0078] 第一部件2具有三个面朝上的焊盘6,并且第二部件3具有两个面朝下的焊盘7。

[0079] 包括第一部件2和第二部件3以及无源部件——如果有无源部件的话——的集群2、3被封装在公共的封装物8中。封装物8是模制复合物。可替换地,基部结构5和集群2、3可以通过填充介质11(参见图2)连接,特别地通过粘合剂和至少部分未固化的层结构中的至少一种进行连接。

[0080] 在第一部件2与第二部件3之间建立直接电连接。此外,在第一部件2与基部结构5的导电层结构10之间也建立直接电连接。

[0081] 图2示出了根据本发明的实施方式的制造部件承载件1的方法。

[0082] 在步骤S21中,临时承载件12连接到具有过孔9的基部结构5。然后,在基部结构5中形成腔4。

[0083] 在步骤S22中,将集群2、3插入腔4中。通过将第一部件2和第二部件3堆叠并彼此连接以形成集群2、3来预先制备该集群2、3。由于在将第一部件2和第二部件3堆叠并彼此连接之后将集群2、3插入腔4中,所以可以在将集群2、3插入腔4之前控制该集群的相反横向侧壁之间的高度差。因此,可以改善部件承载件1的平面性并且可以避免翘曲。

[0084] 第一部件2和第二部件3是半导体芯片,并且它们在晶圆级连接,使得促进了制造工艺。这意味着包括多个第一部件2的第一晶圆连接到包括多个第二部件3的第二晶圆。在连接两个晶圆之后,将第一部件和第二部件2、3单一化以获得集群2、3。

[0085] 在本实施方式中,第一部件2已经通过粘合剂耦合到第二部件3。通过使用粘合剂,可以控制或补偿集群2、3的相反横向侧壁的可能的高度差。在集群2、3内,第一部件2的一个主表面与第二部件3的一个主表面对准。第一部件2已经设置有三个面朝上的焊盘6,并且第二部件3已经设置有两个面朝下的焊盘7,如图1中所示。集群2、3可以具有大于200 μm 的高

度。

[0086] 虽然在图中不可见,但是第一部件2可以具有与第二部件3不同的另一高度,并且第一部件2的一主表面与第二部件3的相对主表面之间的角度小于 10° ,特别是小于 5° ,第一部件2和第二部件3是在第一部件的该主表面和第二部件的该相对主表面处连接的。

[0087] 可以将至少一个无源部件额外地插入腔4中。无源部件可以在将集群2、3插入腔4中之前连接到该集群。然而,无源部件和集群2、3也可以单独地插入腔4中。

[0088] 在步骤S23中,基部结构5和集群2、3通过填充介质11连接。填充介质11可以是粘合剂或部分未固化的层结构。在步骤S23中,填充介质11覆盖基部结构5和集群2、3的上表面。

[0089] 在步骤S24中,在连接基部结构5和集群2、3之后,去除或分离临时承载件12。然后将填充介质11施加在堆叠体的背侧上,使得填充介质11覆盖基部结构5和集群2、3的底部表面。

[0090] 在步骤S25至S28中,填充介质11被图案化以在其中提供过孔17,并且在部件承载件1的到目前为止制造的堆叠体上累积另外的导电材料层和电绝缘材料层。在连接基部结构5和集群2、3之后,第一部件2和第二部件3的焊盘6、7电连接到部件承载件1的导电层结构10。特别地,不仅是填充介质11,而且电绝缘材料层也被图案化以在其中形成过孔17。过孔17是导电层结构10的一部分。在第一部件2与基部结构5的导电层结构10之间建立直接电连接。在第一部件2与第二部件3之间也可以建立直接电连接。若干过孔17可以通过至少一个导电材料层桥接。

[0091] 在步骤S28中,部件承载件1还设置有焊接点或接合点15。这样的焊接点或接合点15可以是适于与其他芯片进行倒装芯片连接的隆起,这将在后面描述。焊接点或接合点15可以由阻焊层19限制。

[0092] 图3示出了根据本发明的另一实施方式的制造部件承载件1的方法。

[0093] 在步骤S31中,临时承载件12连接到具有过孔9的基部结构5。然后,在基部结构5中形成腔4。

[0094] 在步骤S32中,将集群2、3插入腔4中。通过将第一部件2和第二部件3堆叠并彼此连接以形成集群2、3来预先制备该集群2、3。第一部件2和第二部件3是半导体芯片,并且它们在晶圆级连接。在本实施方式中,第一部件2已经通过粘合剂耦合到第二部件3。在集群2、3内,第一部件2的一个主表面与第二部件3的一个主表面对准。第一部件2已经设置有三个面朝上的焊盘6,并且第二部件3已经设置有两个面朝下的焊盘7。

[0095] 虽然在图中不可见,但是第一部件2具有与第二部件3不同的另一高度,并且第一部件2的一主表面与第二部件3的相对主表面之间的角度小于 10° ,特别是小于 5° ,第一部件2和第二部件3是在第一部件的该主表面和第二部件的该相对主表面处连接的。

[0096] 可以将至少一个无源部件额外地插入腔4中。

[0097] 在步骤S33中,包括第一部件2和第二部件3的集群2、3被封装在公共的封装物8中,上述封装在模制时执行。在第一子步骤中,模制到目前为止制造的堆叠体的上部。在第二子步骤中,去除临时承载件12。在可选的第三子步骤中,模制到目前为止制造的堆叠体的底部。代替第三子步骤,可以在基部结构5的导电层结构10和第二部件3的焊盘7之间形成桥接件14。

[0098] 无论如何,在步骤S33中,封装物8可以被图案化以在基部结构5的导电层结构10与

第一部件和第二部件2、3的焊盘6、7之间和/或在过孔9与第一部件和第二部件2、3的焊盘6、7之间形成桥接件14。桥接件14包括至少一个水平部分和两个竖向部分。桥接件14可以包括仅水平部分。

[0099] 在步骤S34中,将电绝缘材料层15施加在封装物8的两侧上,从而使桥接件14嵌入。

[0100] 在步骤S35至S38中,电绝缘材料层15被图案化以在其中形成过孔17。在部件承载件1的到目前为止制造的堆叠体上累积另外的导电材料层和电绝缘材料层。在连接基部结构5和集群2、3之后,第一部件2和第二部件3的焊盘6、7电连接到部件承载件1的导电层结构10。特别地,在电绝缘材料层中形成过孔17。这样的过孔17连接到导电材料层和桥接件14。因此在第一部件2与基部结构5的导电层结构10之间建立直接电连接。在第一部件2与第二部件3之间也可以建立直接电连接。部件承载件1还设置有焊接点或接合点15。这样的焊接点或接合点15可以是适于与其他芯片进行倒装芯片连接的隆起,这将在后面描述。焊接点或接合点15可以由阻焊层19限制。

[0101] 图4示出了根据本发明的示例性实施方式的部件承载件的示意性预成型件的截面视图。

[0102] 在该实施方式中,仅描绘了集群2、3,基部结构5和临时承载件12。图4中的左侧图片示出了根据现有技术的部件承载件,而图4中的右侧图片示出了根据本发明的部件承载件1。现有技术的部件承载件包括芯101而不是集群。芯101的高度通常小于 $110\mu\text{m}$ 。与此相反,根据本发明的部件承载件1的集群2、3的高度可以大于 $200\mu\text{m}$ 。有利地,本发明由于较厚的集群2、3(CCE芯)能够实现较容易的HVM工艺处理。

[0103] 在现有技术中,芯可能在腔内倾斜,使得在芯的相反横向侧壁之间存在显著的高度差。与此相反,根据本发明的集群2、3在将第一部件2堆叠到第二部件3之后才插入腔中。此外,第一部件2与第二部件3之间的粘合剂可以针对集群2、3的相反横向侧壁之间可能的高度差进行调节和补偿。因此,改善了部件承载件1的平面性,避免了翘曲,并且集群2、3的相反横向侧壁之间的高度差小于 $15\mu\text{m}$ 。

[0104] 图5示出了根据本发明另一示例性实施方式的部件承载件的示意性预成型件的截面视图。第一部件2是高侧端芯片,其中利用高侧端芯片2进行了面朝上的接合。第二部件3是低侧端芯片,其中利用低侧端芯片3进行了面朝下的接合。可以实现针对过孔到晶片焊盘对准的高处理能力。第一参考焊盘21嵌入填充介质11中并通过形成在填充介质11中的通孔而在前侧(部件承载件1的上侧)露出。第二参考焊盘22嵌入填充介质11中并通过形成在填充介质11中的通孔而在背侧(部件承载件1的底侧)露出。第一参考焊盘和第二参考焊盘21、22的位置例如,通过光学(例如X射线)、电感或电容检测来测量。第一参考焊盘21用于芯片接合和在前侧形成过孔。第二参考焊盘22用于在背侧形成过孔。

[0105] 图6示出了根据本发明另一示例性实施方式的部件承载件的示意性预成型件的截面视图。两个芯片31、32接合在部件承载件1的前侧处,而两个芯片33、34接合在部件承载件1的背侧处。由此,部件承载件1通过堆叠的芯片31、32、33、34实现了向F0-SiB(例如AP+存储器、AP+PMIC等)发展的多功能。

[0106] 图7示出了根据本发明另一示例性实施方式的部件承载件的示意性预成型件的截面视图。在该实施方式中,仅使用堆叠的芯片2、3来形成集群。

[0107] 图8示出了根据本发明另一示例性实施方式的部件承载件的示意性预成型件的截

面视图。在该实施方式中，集群由第一部件2、第二部件3和第三部件41形成，该第三部件被布置成邻近第一部件2并且粘附到第二部件3上。

[0108] 图9示出了根据本发明另一示例性实施方式的部件承载件的示意性预成型件的截面视图。在该实施方式中，集群由第一部件2、第二部件3和第三部件41形成，该第三部件被布置成邻近第一部件2并且粘附到第二部件3上。第二部件3又包括嵌入封装物中的三个芯片51、52、53。第二部件3是所谓的“集群芯片”。因此，在实施方式中的集群包括堆叠的多个芯片2、3、41，其中，集群芯片3由芯片51、52、53形成。

[0109] 图10示出了根据本发明另一示例性实施方式的部件承载件的示意性预成型件的截面视图。在该实施方式中，集群由第一部件2和第二部件3形成。第一部件2包括嵌入第一封装物81中的两个芯片61、62。第二部件3包括嵌入第二封装物82中的三个芯片63、64、65。第一部件2和第二部件3都是所谓的“集群芯片”。因此，在实施方式中的集群包括由芯片61、62形成的集群芯片2和由芯片63、64、65形成的集群芯片3。集群2、3形成堆叠的集群芯片。

[0110] 综上所述，本发明实现了嵌入区域的优化空间，部件承载件1更平坦，并且更少封装物材料8流入。可以减少封装物8的浅凹陷量。此外，改善了部件承载件1的平面性，即它具有较平坦的表面而没有像(image)转移/起伏。

[0111] 应当注意，术语“包括”不排除其他元件或步骤，并且“一”或“一个”不排除多个。同样，结合不同实施方式描述的元件可以组合。

[0112] 还应注意的是，权利要求中的附图标记不应理解为限制权利要求的范围。

[0113] 本发明的实现不限于附图中所示的和上述的优选实施方式。相反，即使是在基础不同的实施方式的情况下，也可以有使用所示的方案并根据本发明的原理进行的多种变型。

[0114] 本发明特别适用于针对移动电话并和电子器件有关的FO-PLP。

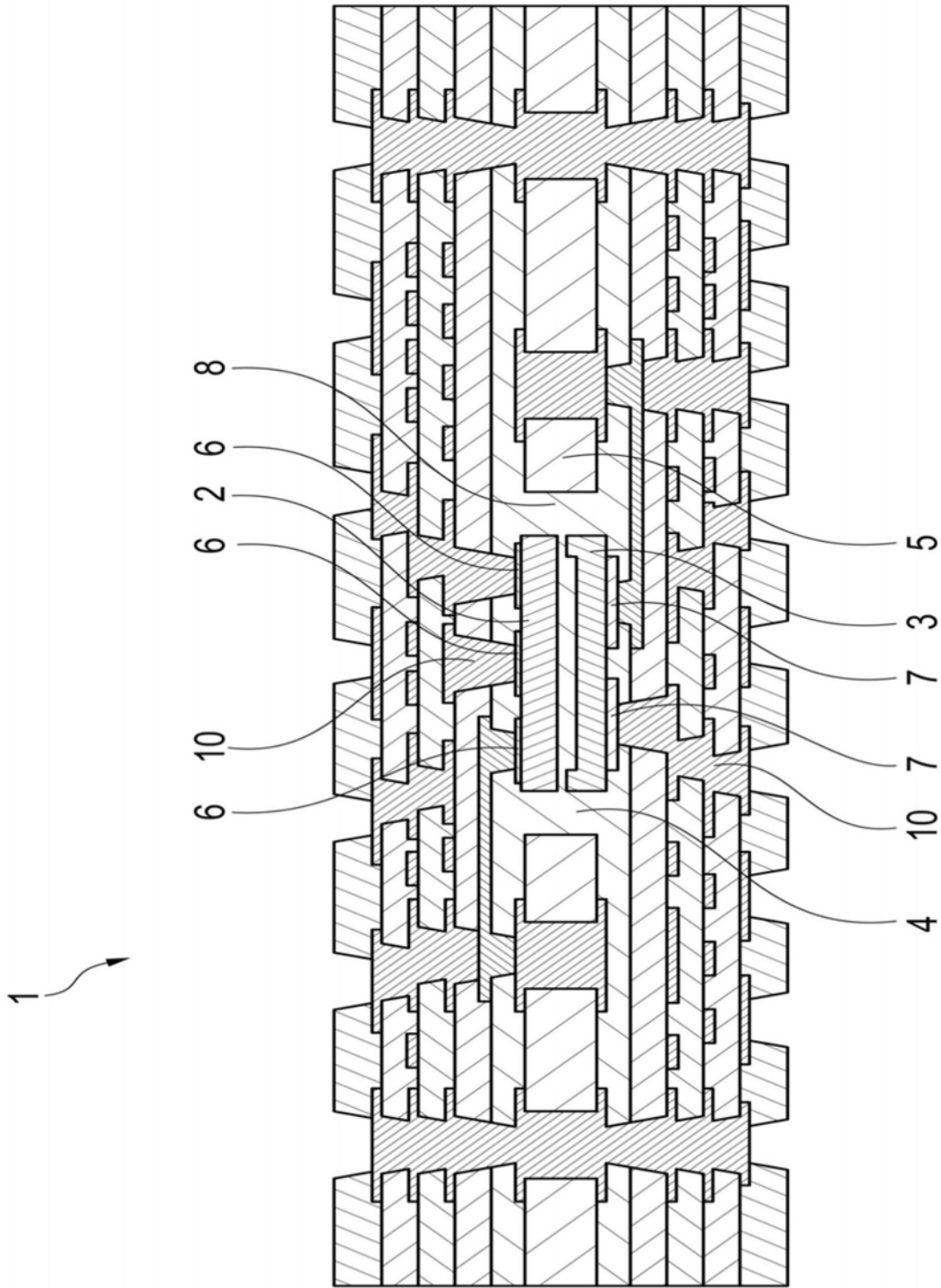


图1

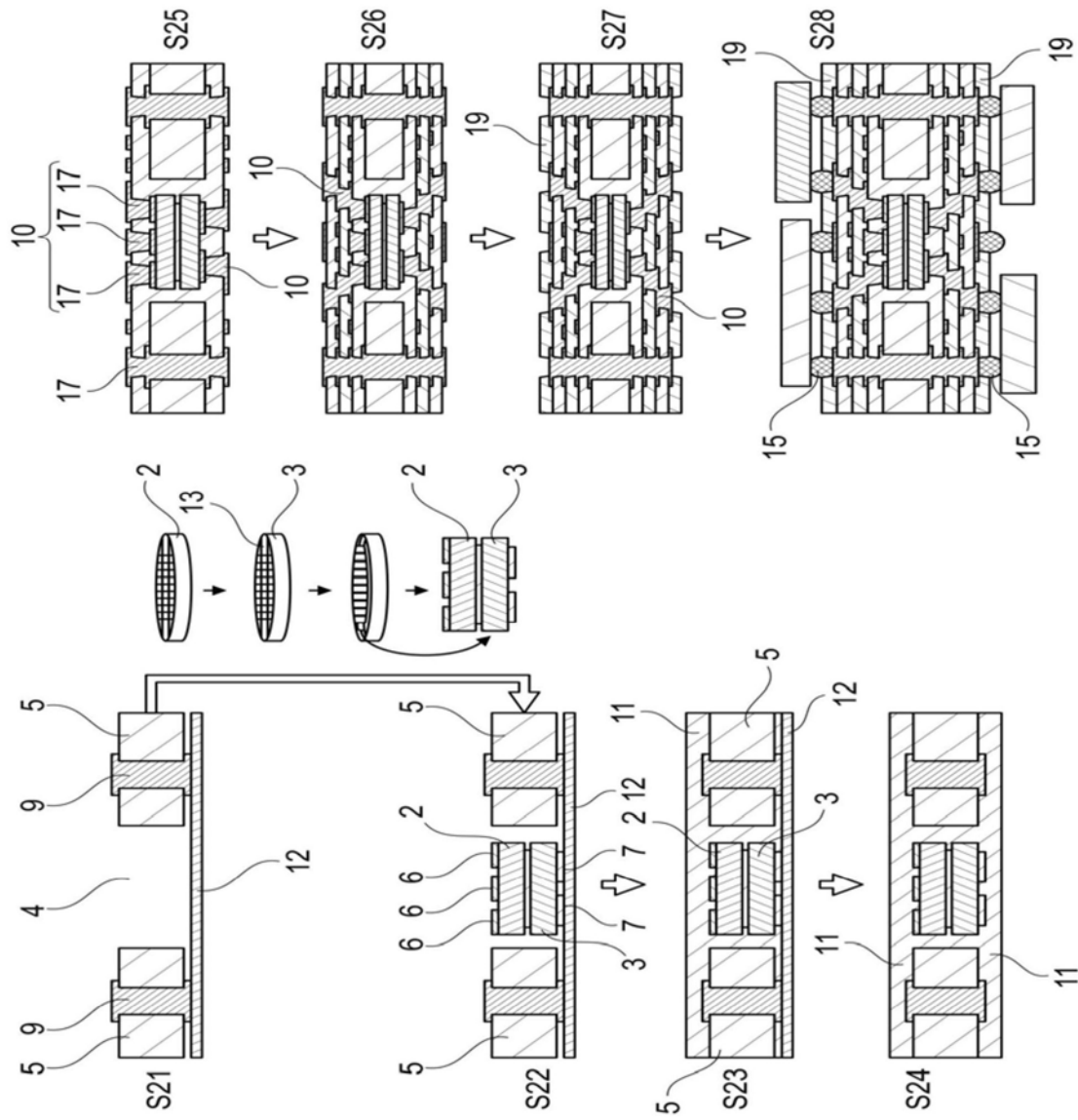


图2

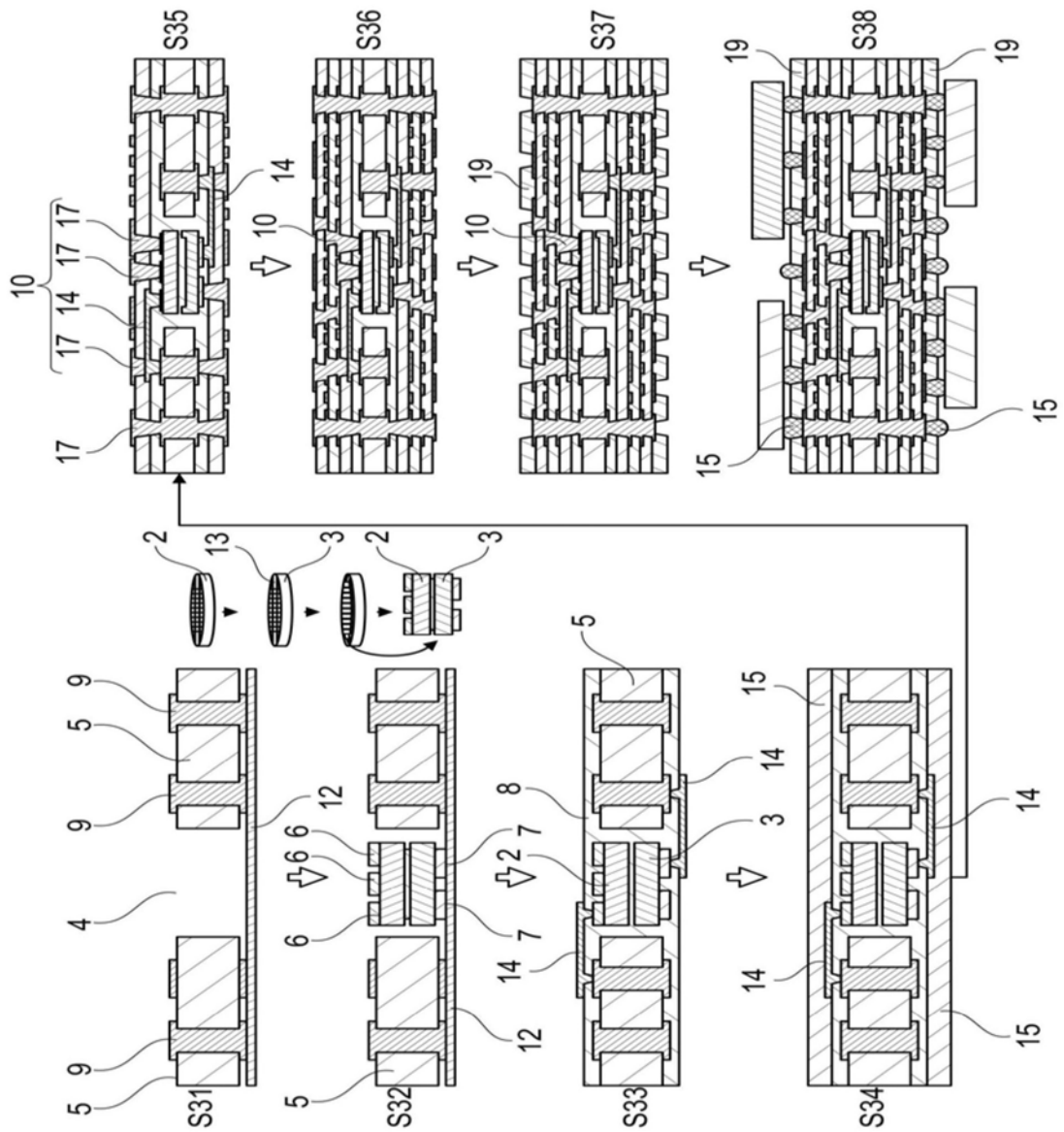


图3

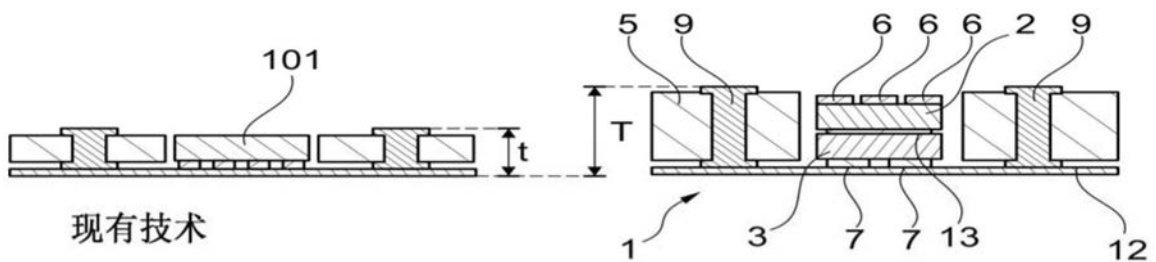


图4

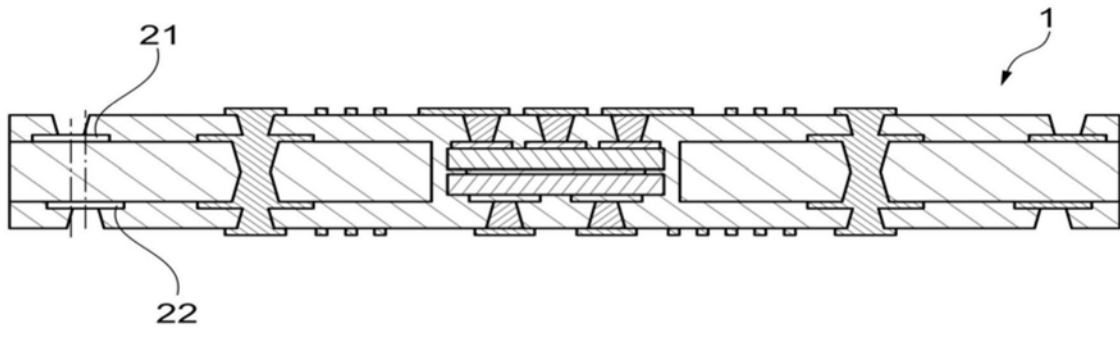


图5

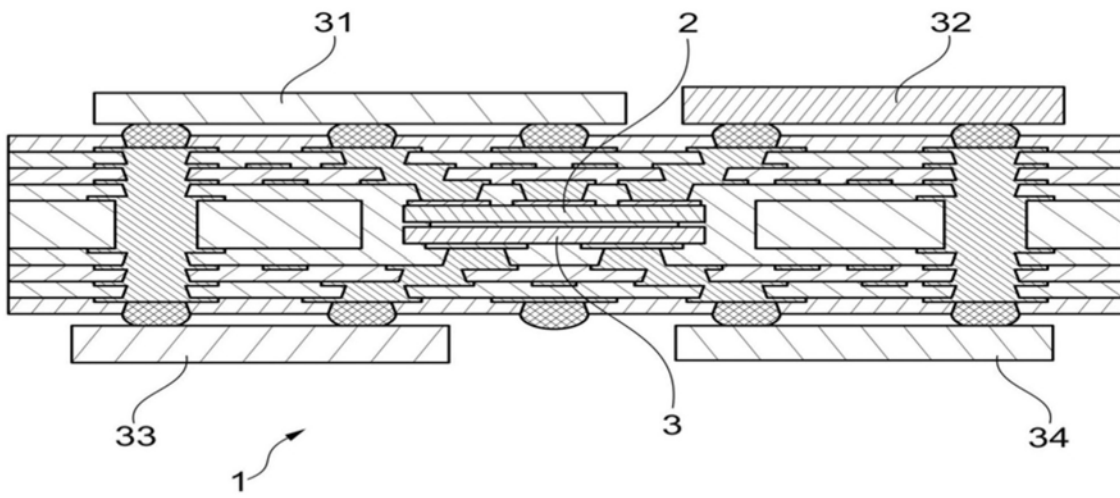


图6

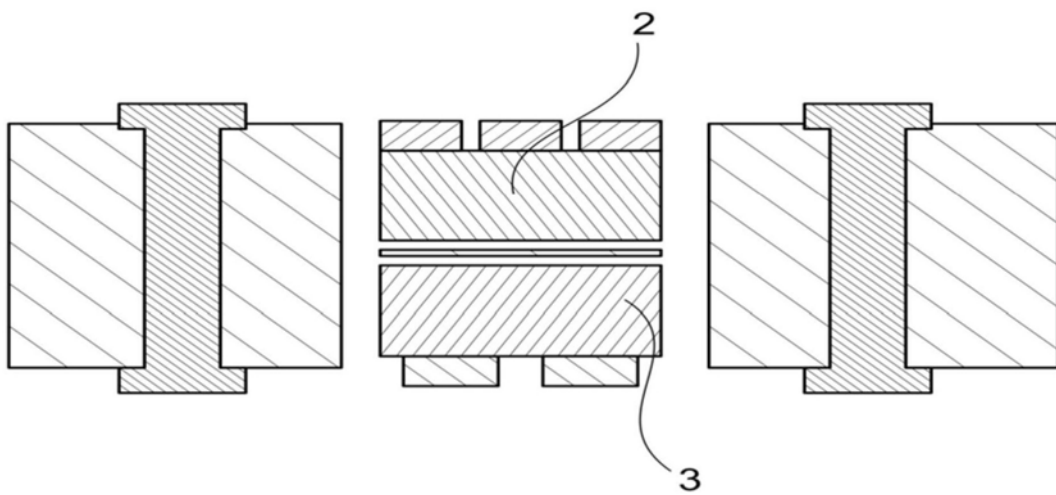


图7

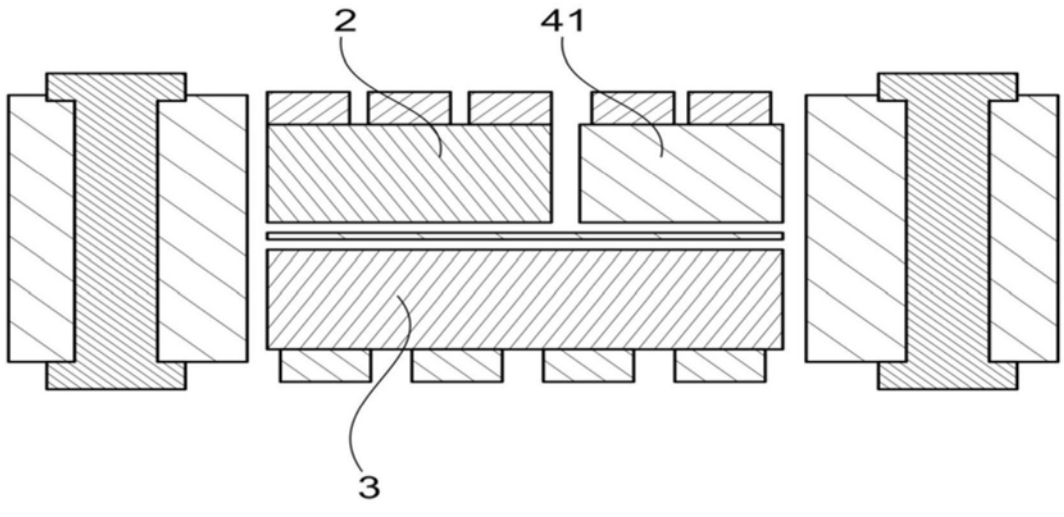


图8

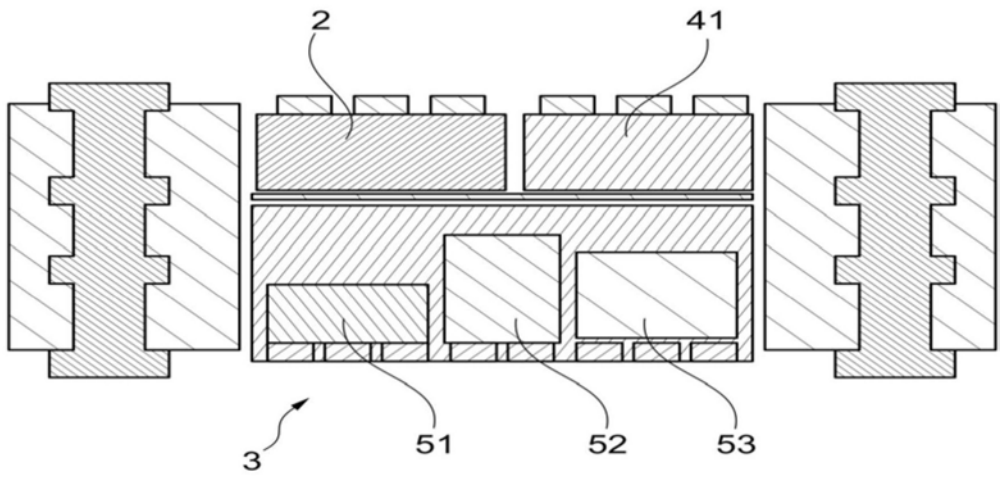


图9

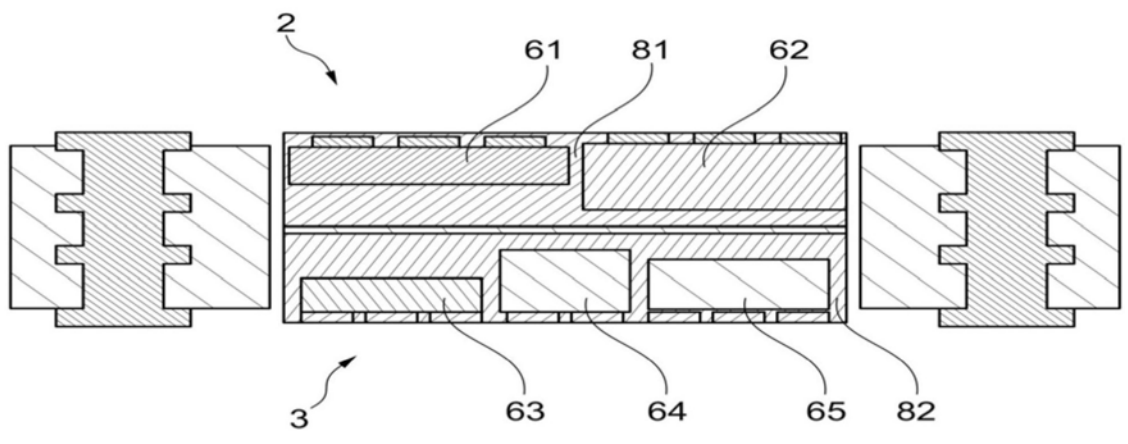


图10