

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018年10月11日 (11.10.2018)



(10) 国际公布号
WO 2018/184372 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2017/106517
- (22) 国际申请日: 2017年10月17日 (17.10.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710218273.7 2017年4月5日 (05.04.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 金志河(KIM, Jiha); 中国北京市经济技术
开发区地泽路9号, Beijing 100176 (CN)。 韩承佑

(HAN, Seung Woo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 商广良(SHANG, Guangliang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 姚星(YAO, Xing); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 郑皓亮(ZHENG, Haoliang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 韩明夫(HAN, Mingfu); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 王志冲(WANG, Zhichong); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 袁丽君(YUAN, Lijun); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 林允植(IM, Yun Sik); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 吕敬(LV, Jing); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 黄应龙(HUANG, Yinglong); 中国北京市经

(54) Title: SHIFT BUFFER CIRCUIT, GATE DRIVING CIRCUIT, DISPLAY PANEL, DISPLAY DEVICE AND DRIVING METHOD

(54) 发明名称: 移位缓存电路、栅极驱动电路、显示面板、显示设备和驱动方法

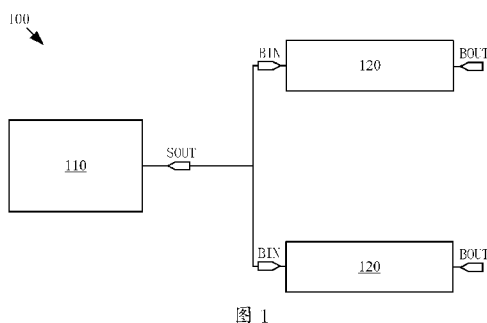


图 1

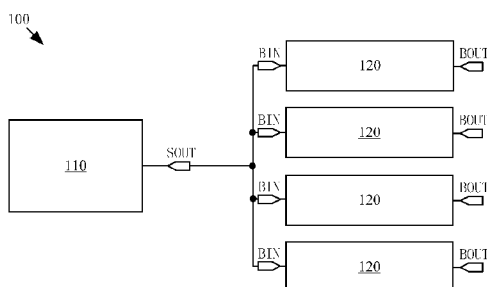


图 2

(57) Abstract: A shift buffer circuit (100), a gate driving circuit (10), a display panel (1), a display device and a driving method. The shift buffer circuit (100) comprises: a shift register (110) and a plurality of buffers (120) connected to the shift register (110). The shift register (110) comprises a shift output end (SOUT); the shift register (110) is configured to output a shift output signal from the shift output end (SOUT) in response to a shift clock signal (CLKS); each buffer (120) comprises a buffer input end (BIN) and a buffer output end (BOUT), the buffer input end (BIN) being connected to the shift output end (SOUT); and each buffer (120) is configured to output a buffer output signal from the buffer output end (BOUT) in response to a buffer clock signal (CLKB).

(57) 摘要: 一种移位缓存电路(100)、栅极驱动电路(10)、显示面板(1)、显示设备及驱动方法。移位缓存电路(100)包括: 移位寄存器(110)和与所述移位寄存器(110)连接的多个缓存器(120)。移位寄存器(110)包括移位输出端(SOUT); 移位寄存器(110)被配置为响应于移位时钟信号(CLKS), 从移位输出端(SOUT)输出移位输出信号; 每个缓存器(120)包括缓存输入端(BIN)和缓存输出端(BOUT), 缓存输入端(BIN)与移位输出端(SOUT)连接; 每个缓存器(120)被配置为响应于缓存时钟信号(CLKB), 从缓存输出端(BOUT)输出缓存输出信号。

WO 2018/184372 A1

济技术开发区地泽路9号, Beijing 100176 (CN)。
董学(DONG, Xue); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所(LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

移位缓存电路、栅极驱动电路、显示面板、显示设备和驱动方法

技术领域

- 5 本公开的实施例涉及一种移位缓存电路、栅极驱动电路、显示面板、显示设备及驱动方法。

背景技术

- 10 随着显示技术的飞速发展，显示面板越来越向着高集成度和低成本的方向发展。栅极驱动电路基板（Gate-driver on Array, GOA）技术是通过光刻工艺将栅极驱动电路直接集成在显示装置的阵列基板上，GOA 电路通常包括多个级联的移位寄存器，每个移位寄存器均与对应于一行像素的栅线相对应（例如，每个移位寄存器给与一行像素相对应的栅线提供扫描驱动信号），
- 15 以实现显示面板的扫描驱动。这种集成技术可以节省栅极集成电路（Integrated Circuit, IC）的绑定（Bonding）区域以及扇出（Fan-out）区域的空间，从而实现显示面板的窄边框，同时可以降低产品成本、提高产品的良率。

发明内容

- 20 本公开的实施例提供一种移位缓存电路，包括：移位寄存器和与所述移位寄存器连接的多个缓存器，其中，所述移位寄存器包括移位输出端；所述移位寄存器被配置为响应于移位时钟信号，从所述移位输出端输出移位输出信号；每个所述缓存器包括缓存输入端和缓存输出端，所述缓存输入端与
- 25 所述移位输出端连接；每个所述缓存器被配置为响应于缓存时钟信号，从所述缓存输出端输出缓存输出信号。

- 例如，在本公开实施例提供的移位缓存电路中，所述移位寄存器包括：移位输入电路，与移位输入端和移位上拉节点分别连接；第一移位复位电路，与
- 30 所述移位上拉节点、第一移位下拉节点及第一电源端分别连接；移位输出电路，与
- 所述移位上拉节点、移位时钟信号端及所述移位输出端分别连接；第一移位输出下拉电路，与

第一电源端分别连接；第一下拉节点控制电路，与所述第一移位下拉节点、第一电源信号端及所述第一电源端分别连接；以及移位存储电容，与所述移位上拉节点及所述移位输出端分别连接。

例如，在本公开实施例提供的移位缓存电路中，每个所述缓存器包括：

5 缓存输入电路，与所述缓存输入端和缓存上拉节点分别连接；第一缓存复位电路，与所述缓存上拉节点、第一缓存下拉节点及第二电源端分别连接；缓存输出电路，与所述缓存上拉节点、缓存时钟信号端及所述缓存输出端分别连接；第一缓存输出下拉电路，与所述缓存输出端、所述第一缓存下拉节点及所述第二电源端分别连接；以及缓存存储电容，与所述缓存上拉节点及所述缓存输出端分别连接。

例如，在本公开实施例提供的移位缓存电路中，所述第二电源端与所述第一电源端连接，所述第一缓存下拉节点与所述第一移位下拉节点连接。

例如，在本公开实施例提供的移位缓存电路中，所述移位输入电路包括第一移位晶体管，所述第一移位晶体管的第一极与所述移位输入端连接，所述
15 所述第一移位晶体管的栅极与所述移位输入端连接，所述第一移位晶体管的第二极与所述移位上拉节点连接；所述第一移位复位电路包括第二移位晶体管，所述第二移位晶体管的第一极与所述移位上拉节点连接，所述第二移位晶体管的栅极与所述第一移位下拉节点连接，所述第二移位晶体管的第二极与所述第一电源端连接；所述移位输出电路包括第三移位晶体管，所述第三移位
20 晶体管的第一极与所述移位时钟信号端连接，所述第三移位晶体管的栅极与所述移位上拉节点连接，所述第三移位晶体管的第二极与所述移位输出端连接；所述第一移位输出下拉电路包括第四移位晶体管，所述第四移位晶体管的第一极与所述移位输出端连接，所述第四移位晶体管的栅极与所述第一移位下拉节点连接，所述第四移位晶体管的第二极与所述第一电源端连接；所
25 述第一下拉节点控制电路包括第五移位晶体管和第六移位晶体管，所述第五移位晶体管的第一极与所述第一电源信号端连接，所述第五移位晶体管的栅极与所述第一电源信号端连接，所述第五移位晶体管的第二极与所述第一移位下拉节点连接，所述第六移位晶体管的第一极与所述第一移位下拉节点连接，所述第六移位晶体管的栅极与所述移位上拉节点连接，所述第六移位晶
30 体管的第二极与所述第一电源端连接；所述移位存储电容的第一端与所述移

位上拉节点连接，所述移位存储电容的第二端与所述移位输出端连接。

例如，在本公开实施例提供的移位缓存电路中，所述缓存输入电路包括第一缓存晶体管，所述第一缓存晶体管的第一极与所述缓存输入端连接，所述第一缓存晶体管的栅极与使能信号端连接，所述第一缓存晶体管的第二极与
5 所述缓存上拉节点连接；所述第一缓存复位电路包括第二缓存晶体管，所述第二缓存晶体管的第一极与所述缓存上拉节点连接，所述第二缓存晶体管的栅极与所述第一缓存下拉节点连接，所述第二缓存晶体管的第二极与所述第二电源端连接；所述缓存输出电路包括第三缓存晶体管，所述第三缓存晶体管的第一极与所述缓存时钟信号端连接，所述第三缓存晶体管的栅极与
10 所述缓存上拉节点连接，所述第三缓存晶体管的第二极与所述缓存输出端连接；所述第一缓存输出下拉电路包括第四缓存晶体管，所述第四缓存晶体管的第一极与所述缓存输出端连接，所述第四缓存晶体管的栅极与所述第一缓存下拉节点连接，所述第四缓存晶体管的第二极与所述第二电源端连接；所述缓存存储电容的第一端与所述缓存上拉节点连接，所述缓存存储电容的第二端
15 与所述缓存输出端连接。

例如，在本公开实施例提供的移位缓存电路中，所述移位寄存器还包括：第二移位复位电路，与所述移位上拉节点、第二移位下拉节点及第一电源端分别连接；第二移位输出下拉电路，与所述移位输出端、所述第二移位下拉节点及所述第一电源端分别连接；以及第二下拉节点控制电路，与所述第二
20 移位下拉节点、第二电源信号端及所述第一电源端分别连接，每个所述缓存器还包括：第二缓存复位电路，与所述缓存上拉节点、第二缓存下拉节点及所述第二电源端分别连接；以及第二缓存输出下拉电路，与所述缓存输出端、所述第二缓存下拉节点及所述第二电源端分别连接，所述第一电源信号端提供的
25 第一电源信号与所述第二电源信号端提供的第二电源信号互为反向信号。

例如，在本公开实施例提供的移位缓存电路中，所述第二移位复位电路包括第七移位晶体管，所述第七移位晶体管的第一极与所述移位上拉节点连接，所述第七移位晶体管的栅极与所述第二移位下拉节点连接，所述第七移位晶体管的第二极与所述第一电源端连接；所述第二移位输出下拉电路包括
30 第八移位晶体管，所述第八移位晶体管的第一极与所述移位输出端连接，所

述第八移位晶体管的栅极与所述第二移位下拉节点连接，所述第八移位晶体管的第二极与所述第一电源端连接；所述第二下拉节点控制电路包括第九移位晶体管和第十移位晶体管，所述第九移位晶体管的第一极与所述第二电源信号端连接，所述第九移位晶体管的栅极与所述第二电源信号端连接，所述第九移位晶体管的第二极与所述第二移位下拉节点连接，所述第十移位晶体管的第一极与所述第二移位下拉节点连接，所述第十移位晶体管的栅极与所述移位上拉节点连接，所述第十移位晶体管的第二极与所述第一电源端连接；所述第二缓存复位电路包括第五缓存晶体管，所述第五缓存晶体管的第一极与所述缓存上拉节点连接，所述第五缓存晶体管的栅极与所述第二缓存下拉节点连接，所述第五缓存晶体管的第二极与所述第二电源端连接；所述第二缓存输出下拉电路包括第六缓存晶体管，所述第六缓存晶体管的第一极与所述缓存输出端连接，所述第六缓存晶体管的栅极与所述第二缓存下拉节点连接，所述第六缓存晶体管的第二极与所述第二电源端连接。

例如，在本公开实施例提供的移位缓存电路中，所述第二缓存下拉节点与第二移位下拉节点连接。

例如，在本公开实施例提供的移位缓存电路中，每个所述移位寄存器与四个所述缓存器连接。

本公开的实施例还提供一种栅极驱动电路，包括多级移位缓存电路，其中，每级移位缓存电路包括本公开任一实施例提供的移位缓存电路。

例如，在本公开实施例提供的栅极驱动电路中，第 $2n-1$ 级的移位缓存电路中的移位寄存器的移位输出端与第 $2n+1$ 级的移位缓存电路中的移位寄存器的移位输入端连接，第 $2n$ 级的移位缓存电路中的移位寄存器的移位输出端与第 $2n+2$ 级的移位缓存电路中的移位寄存器的移位输入端连接， n 为大于 0 的整数。

例如，在本公开实施例提供的栅极驱动电路中，第 $2n-1$ 级的移位缓存电路中的缓存器的使能信号端被配置为接收第一使能信号；第 $2n$ 级的移位缓存电路中的缓存器的使能信号端被配置为接收第二使能信号。

本公开的实施例还提供一种显示面板，包括本公开任一实施例提供的栅极驱动电路。

本公开的实施例还提供一种显示设备，包括本公开任一实施例提供的显

示面板。

本公开的实施例还提供一种驱动本公开任一实施例提供的移位缓存电路的方法，包括：向所述移位寄存器施加所述移位时钟信号，使所述移位寄存器响应于所述移位时钟信号输出所述移位输出信号；以及在所述移位输出信号
5 号的时段内向所述多个缓存器施加所述缓存时钟信号，使所述多个缓存器顺次输出所述缓存输出信号。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图
10 仅仅涉及本公开的一些实施例，并非对本公开的限制。

- 图 1 是本公开实施例提供的一种移位缓存电路的示意图之一；
图 2 是本公开实施例提供的一种移位缓存电路的示意图之二；
图 3 是本公开实施例提供的一种移位缓存电路的示意图之三；
15 图 4 是本公开实施例提供的一种移位缓存电路的示意图之四；
图 5 是本公开实施例提供的一种移位缓存电路的示意图之五；
图 6 是本公开实施例提供的一种移位缓存电路的示意图之六；
图 7 是本公开实施例提供的一种移位缓存电路的示意图之七；
图 8 是本公开实施例提供的一种栅极驱动电路的示意图；
20 图 9 是本公开实施例提供的一种栅极驱动电路在第一分辨率模式时的驱动时序图；
图 10 是本公开实施例提供的一种栅极驱动电路在第二分辨率模式时的驱动时序图；
图 11 是本公开实施例提供的一种栅极驱动电路在第三分辨率模式时的
25 驱动时序图；
图 12 是本公开实施例提供的一种显示面板的示意图；
图 13 是本公开实施例提供的一种显示设备的示意图；以及
图 14 是本公开实施例提供的一种驱动移位缓存电路的方法的流程图。

30 具体实施方式

下面将结合附图，对本公开实施例中的技术方案进行清楚、完整地描述参考在附图中示出并在以下描述中详述的非限制性示例实施例，更加全面地说明本公开的示例实施例和它们的多种特征及有利细节。应注意的是，图中示出的特征不是必须按照比例绘制。本公开省略了已知材料、组件和工艺技

5 术的描述，从而不使本公开的示例实施例模糊。所给出的示例仅旨在有利于理解本公开示例实施例的实施，以及进一步使本领域技术人员能够实施示例实施例。因而，这些示例不应被理解为对本公开的实施例的范围的限制。

除非另外特别定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、

10 “第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。此外，在本公开各个实施例中，相同或类似的参考标号表示相同或类似的构件。

应用传统的栅极驱动电路的显示面板的分辨率是固定的，不能根据实际需要调整分辨率，也无法在显示面板的不同区域实现选择性驱动。本公开实

15 施例提供的移位缓存电路、栅极驱动电路、显示面板及驱动方法可以改变显示分辨率并可以在显示面板的不同区域进行选择驱动。

本公开的实施例提供一种移位缓存电路 100。如图 1 和图 2 所示，移位缓存电路 100 包括：移位寄存器 110 和与移位寄存器 110 连接的多个缓存器 120。移位寄存器 110 包括移位输出端 SOUT；移位寄存器 110 被配置为响应于移位时钟信号 CLKS，从移位输出端 SOUT 输出移位输出信号。每个缓存器 120 包括缓存输入端 BIN 和缓存输出端 BOUT，各缓存输入端 BIN 均与移位输出端 SOUT 连接；每个缓存器 120 被配置为响应于缓存时钟信号 CLKB，从缓存输出端 BOUT 输出缓存输出信号。缓存输出信号即为栅极扫描信号。例如，每个缓存输出信号均可以作为栅极扫描信号，用于驱动显示面板中的一行或一列像素进行显示。

20 25

例如，如图 1 所示，移位缓存电路 100 包括一个移位寄存器 110 和与该移位寄存器 110 连接的两个缓存器 120。又例如，如图 2 所示，移位缓存电路 100 包括一个移位寄存器 110 和与该移位寄存器 110 连接的四个缓存器 120。需要说明的是，本公开的实施例中，与一个移位寄存器 110 连接的缓存器 120 的数量不局限于两个或四个，也可以是其它数量。

30

例如，与一个移位寄存器 110 连接的缓存器 120 的数量越多，应用该移位缓存电路 100 的栅极驱动电路或显示面板能够被调整的分辨率的倍数越高，但相应的移位缓存电路 100 漏电情况也会越严重。当移位缓存电路 100 包括一个移位寄存器 110 和与该移位寄存器 110 连接的四个缓存器 120 时，
5 分辨率变化倍数与移位缓存电路 110 的漏电情况得到较好的均衡。以下，以移位缓存电路 100 包括一个移位寄存器 110 和与该移位寄存器 110 连接的四个缓存器 120 为例进行说明。

例如，如图 3 所示，在本公开实施例提供的移位缓存电路 100 中，移位寄存器 110 包括：移位输入电路 111、第一移位复位电路 112、移位输出电路
10 113、第一移位输出下拉电路 114、第一下拉节点控制电路 115 和移位存储电容 SC。移位输入电路 111 与移位输入端 SIN 和移位上拉节点 SPU 分别连接；第一移位复位电路 112 与移位上拉节点 SPU、第一移位下拉节点 SPD1 及第一电源端 VGL1 分别连接；移位输出电路 113 与移位上拉节点 SPU、移位时钟信号端（其用于提供移位时钟信号 CLKS）及移位输出端 SOUT 分别连接；
15 第一移位输出下拉电路 114 与移位输出端 SOUT、第一移位下拉节点 SPD1 及第一电源端 VGL1 分别连接；第一下拉节点控制电路 115 与第一移位下拉节点 SPD1、第一电源信号端 VDD1 及第一电源端 VGL1 分别连接；移位存储电容 SC 与移位上拉节点 SPU 及移位输出端 SOUT 分别连接。

例如，如图 3 所示，在本公开实施例提供的移位缓存电路 100 中，每个
20 缓存器 120 包括：缓存输入电路 121、第一缓存复位电路 122、缓存输出电路 123、第一缓存输出下拉电路 124 和缓存存储电容 BC。缓存输入电路 121 与缓存输入端 BIN 和缓存上拉节点 BPU 分别连接；第一缓存复位电路 122 与缓存上拉节点 BPU、第一缓存下拉节点 BPD1 及第二电源端 VGL2 分别连接；缓存输出电路 123 与缓存上拉节点 BPU、缓存时钟信号端（其用于提供缓存
25 时钟信号 CLKB）及缓存输出端 BOUT 分别连接；第一缓存输出下拉电路 124 与缓存输出端 BOUT、第一缓存下拉节点 BPD1 及第二电源端 VGL2 分别连接；缓存存储电容 BC 与缓存上拉节点 BPU 及缓存输出端 BOUT 分别连接。

需要说明的是，在本公开的实施例中，移位寄存器 110 和缓存器 120 还可以包括其它附加电路，图 3 中的移位寄存器 110 可以配合其它缓存器组成
30 移位缓存电路，图 3 中的缓存器 120 也可以配合其它移位寄存器组成移位缓

存电路。

例如，在本公开实施例提供的移位缓存电路 100 中，第一缓存下拉节点 BPD1 与第一移位下拉节点 SPD1 连接。也就是说，移位寄存器 110 和缓存器 120 可以共用第一下拉节点，这样可以减少用于控制第一下拉节点电压的电路的数量，从而简化电路，便于电路设计和生产。例如，共用的第一下拉节点同时包括相互电气连接的第一缓存下拉节点 BPD1 与第一移位下拉节点 SPD1，因此可以使用同一电路控制第一缓存下拉节点 BPD1 和第一移位下拉节点 SPD1 的电压。

例如，在本公开实施例提供的移位缓存电路 100 中，图 5 示出的第二电源端 VGL2 可以与第一电源端 VGL1 连接（连接后的电路如图 4 所示）。例如，第二电源端 VGL2 与第一电源端 VGL1 连接可以简化电路，便于电路设计和生产。例如，第一电源端 VGL1 的电压为低电平电压（例如，0V，-1V 或其他数值），第二电源端 VGL2 的电压也为低电平电压。

例如，如图 5 所示，在本公开实施例提供的移位缓存电路 100 中，移位输入电路 111 包括第一移位晶体管 T1。第一移位晶体管 T1 的第一极与移位输入端 SIN 连接，第一移位晶体管 T1 的栅极与移位输入端 SIN 连接，第一移位晶体管 T1 的第二极与移位上拉节点 SPU 连接。第一移位复位电路 112 包括第二移位晶体管 T2。第二移位晶体管 T2 的第一极与移位上拉节点 SPU 连接，第二移位晶体管 T2 的栅极与第一移位下拉节点 SPD1 连接，第二移位晶体管 T2 的第二极与第一电源端 VGL1 连接。移位输出电路 113 包括第三移位晶体管 T3。第三移位晶体管 T3 的第一极与移位时钟信号端连接以接收移位时钟信号 CLKS，第三移位晶体管 T3 的栅极与移位上拉节点 SPU 连接，第三移位晶体管 T3 的第二极与移位输出端 SOUT 连接。第一移位输出下拉电路 114 包括第四移位晶体管 T4。第四移位晶体管 T4 的第一极与移位输出端 SOUT 连接，第四移位晶体管 T4 的栅极与第一移位下拉节点 SPD1 连接，第四移位晶体管 T4 的第二极与第一电源端 VGL1 连接。第一下拉节点控制电路 115 包括第五移位晶体管 T5 和第六移位晶体管 T6。第五移位晶体管 T5 的第一极与第一电源信号端 VDD1 连接，第五移位晶体管 T5 的栅极与第一电源信号端 VDD1 连接，第五移位晶体管 T5 的第二极与第一移位下拉节点 SPD1 连接。第六移位晶体管 T6 的第一极与第一移位下拉节点 SPD1 连接，

第六移位晶体管 T6 的栅极与移位上拉节点 SPU 连接，第六移位晶体管 T6 的第二极与第一电源端 VGL1 连接。移位存储电容 SC 的第一端与移位上拉节点 SPU 连接，移位存储电容 SC 的第二端与移位输出端 SOUT 连接。

例如，如图 5 所示，在本公开实施例提供的移位缓存电路 100 中，缓存
5 输入电路 121 包括第一缓存晶体管 M1。第一缓存晶体管 M1 的第一极与缓存输入端 BIN 连接，第一缓存晶体管 M1 的栅极与使能信号端 EN 连接，第一缓存晶体管 M1 的第二极与缓存上拉节点 BPU 连接。第一缓存复位电路 122 包括第二缓存晶体管 M2。第二缓存晶体管 M2 的第一极与缓存上拉节点 BPU 连接，第二缓存晶体管 M2 的栅极与第一缓存下拉节点 BPD1 连接，第
10 二缓存晶体管 M2 的第二极与第二电源端 VGL2 连接。缓存输出电路 123 包括第三缓存晶体管 M3。第三缓存晶体管 M3 的第一极与缓存时钟信号端连接以接收缓存时钟信号 CLKB，第三缓存晶体管 M3 的栅极与缓存上拉节点 BPU 连接，第三缓存晶体管 M3 的第二极与缓存输出端 BOUT 连接。第一缓存输出下拉电路 124 包括第四缓存晶体管 M4。第四缓存晶体管 M4 的第一
15 极与缓存输出端 BOUT 连接，第四缓存晶体管 M4 的栅极与第一缓存下拉节点 BPD1 连接，第四缓存晶体管 M4 的第二极与第二电源端 VGL2 连接。缓存存储电容 BC 的第一端与缓存上拉节点 BPU 连接，缓存存储电容 BC 的第二端与缓存输出端 BOUT 连接。

例如，如图 6 所示，在本公开实施例提供的移位缓存电路 100 中，移位
20 寄存器 110 还包括：第二移位复位电路 116、第二移位输出下拉电路 117 和第二下拉节点控制电路 118。第二移位复位电路 116 与移位上拉节点 SPU、第二移位下拉节点 SPD2 及第一电源端 VGL1 分别连接；第二移位输出下拉电路 117 与移位输出端 SOUT、第二移位下拉节点 SPD2 及第一电源端 VGL1 分别连接；第二下拉节点控制电路 118 与第二移位下拉节点 SPD2、第二电
25 源信号端 VDD2 及第一电源端 VGL1 分别连接。

例如，如图 6 所示，每个缓存器 120 还包括：第二缓存复位电路 125 和
第二缓存输出下拉电路 126。第二缓存复位电路 125 与缓存上拉节点 BPU、第二缓存下拉节点 BPD2 及第二电源端 VGL2 分别连接；第二缓存输出下拉
30 电路 126 与缓存输出端 BOUT、第二缓存下拉节点 BPD2 及第二电源端 VGL2 分别连接。

例如，第一电源信号端 VDD1 提供的第一电源信号与第二电源信号端 VDD2 提供的第二电源信号互为反向信号。也就是说，当第一电源信号端 VDD1 提供的第一电源信号为高电平（例如 5V 或 8V 或其他数值）时，第二电源信号端 VDD2 提供的第二电源信号为低电平（例如 0V, -1V 或其他数值）；
5 当第一电源信号端 VDD1 提供的第一电源信号为低电平（例如 0V, -1V 或其他数值）时，第二电源信号端 VDD2 提供的第二电源信号为高电平（例如 5V 或 8V 或其他数值）。

例如，如图 7 所示，在本公开实施例提供的移位缓存电路 100 中，第二移位复位电路 116 包括第七移位晶体管 T7。第七移位晶体管 T7 的第一极与
10 移位上拉节点 SPU 连接，第七移位晶体管 T7 的栅极与第二移位下拉节点 SPD2 连接，第七移位晶体管 T7 的第二极与第一电源端 VGL1 连接。第二移位输出下拉电路 117 包括第八移位晶体管 T8。第八移位晶体管 T8 的第一极与移位输出端 SOUT 连接，第八移位晶体管 T8 的栅极与第二移位下拉节点 SPD2 连接，第八移位晶体管 T8 的第二极与第一电源端 VGL1 连接。第二下
15 拉节点控制电路 118 包括第九移位晶体管 T9 和第十移位晶体管 T10。第九移位晶体管 T9 的第一极与第二电源信号端 VDD2 连接，第九移位晶体管 T9 的栅极与第二电源信号端 VDD2 连接，第九移位晶体管 T9 的第二极与第二移位下拉节点 SPD2 连接。第十移位晶体管 T10 的第一极与第二移位下拉节点 SPD2 连接，第十移位晶体管 T10 的栅极与移位上拉节点 SPU 连接，第十
20 移位晶体管 T10 的第二极与第一电源端 VGL1 连接。

例如，如图 7 所示，第二缓存复位电路 125 包括第五缓存晶体管 M5。第五缓存晶体管 M5 的第一极与缓存上拉节点 BPU 连接，第五缓存晶体管 M5 的栅极与第二缓存下拉节点 BPD2 连接，第五缓存晶体管 M5 的第二极与
25 第二电源端 VGL2 连接。第二缓存输出下拉电路 126 包括第六缓存晶体管 M6。第六缓存晶体管 M6 的第一极与缓存输出端 BOUT 连接，第六缓存晶体管 M6 的栅极与第二缓存下拉节点 BPD2 连接，第六缓存晶体管 M6 的第二极与第二电源端 VGL2 连接。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极
30 在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在

本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极，所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如，本公开实施例所述的晶体管的第一极可以为源极，第二极可以为漏极；或者，晶体管的第一极为漏极，第二极为源极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V 或其他数值），关闭电压为高电平电压（例如，5V、10V 或其他数值）；当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他数值），关闭电压为低电平电压（例如，0V、-5V 或其他数值）。本公开的实施例以第一移位晶体管 T1、第二移位晶体管 T2、第三移位晶体管 T3、第四移位晶体管 T4、第五移位晶体管 T5、第六移位晶体管 T6、第七移位晶体管 T7、第八移位晶体管 T8、第九移位晶体管 T9、第十移位晶体管 T10、第一缓存晶体管 M1、第二缓存晶体管 M2、第三缓存晶体管 M3、第四缓存晶体管 M4、第五缓存晶体管 M5 和第六缓存晶体管 M6 均为 N 型晶体管为例进行说明。基于本公开对该实现方式的描述和教导，本领域普通技术人员在没有做出创造性劳动前提下能够容易想到本公开实施例采用 P 型晶体管或 N 型和 P 型晶体管组合的实现方式，因此，这些实现方式也是在本公开的保护范围内的。

例如，如图 7 所示，在本公开实施例提供的移位缓存电路 100 中，第二缓存下拉节点 BPD2 可以与第二移位下拉节点 SPD2 连接。也就是说，移位寄存器 110 和缓存器 120 可以共用第二下拉节点（，这样可以减少用于控制第二下拉节点电压的电路的数量，从而简化电路，便于电路设计和生产。例如，共用的第二下拉节点可以包括相互电气连接的第二缓存下拉节点 BPD2 和第一移位下拉节点 SPD2，可以使用同一电路控制第二缓存下拉节点 BPD2 和第一移位下拉节点 SPD2 的电压。

例如，在本公开实施例提供的移位缓存电路 100 中，在不同的帧中，第一下拉节点控制电路 115 和第二下拉节点控制电路 118 可以控制第一下拉节点（包括第一移位下拉节点 SPD1 和第一缓存下拉节点 BPD1）和第二下拉节点（包括第一移位下拉节点 SPD2 和第二缓存下拉节点 BPD2）分别工作，这样可以降低了晶体管长时间处于开启状态导致故障的可能性，提高了移位缓

存电路的抗干扰能力，进而提高了移位缓存电路的可靠性。

例如，在本公开实施例中所述的“一帧”和“另一帧”可以是相邻的两帧，也可以是不相邻的两帧，在此不做限定。例如，移位寄存器的各信号的驱动时序可以为该“一帧”的驱动时序和该“另一帧”的驱动时序的交替，
5 交替的周期可以为每帧进行交替、每两帧进行交替、每三帧进行交替等，本公开在此不作限定。

例如，在每帧显示时间内，将第一电源信号端 VDD1 提供的第一电源信号和第二电源信号端 VDD2 提供的第二电源信号均设置为与上一帧显示时间内的相应信号的反向信号。也就是说，第一电源信号端 VDD1 提供的第一电
10 源信号和第二电源信号端 VDD2 提供的第二电源信号均是上一帧的相应信号的反向信号。

例如，根据电路的具体情况，可以灵活选择每隔若干帧将第一电源信号端 VDD1 提供的第一电源信号和第二电源信号端 VDD2 提供的第二电源信号变换一次。

15 例如，在本公开实施例提供的移位缓存电路 100 中，每个移位寄存器 110 与四个缓存器 120 连接。需要说明的是，图 3-图 7 所示的移位缓存电路 100 中包括四个缓存器 120，但为了图示清楚，仅示出了一个缓存器 120 的具体组成，其他的以方框示意的缓存器 120 也可以具有相同或相似的电路结构。

本公开的实施例还提供一种栅极驱动电路 10，如图 8 所示，栅极驱动电
20 路 10 包括多级本公开任一实施例提供的移位缓存电路 100。

例如，第一级移位寄存器 SR1 的移位时钟信号端与第一移位时钟 CS1 连接，将第一移位时钟 CS1 提供的信号作为移位时钟信号 CLKS；第二级移位寄存器 SR2 的移位时钟信号端与第二移位时钟 CS2 连接，将第二移位时钟 CS2 提供的信号作为移位时钟信号 CLKS；第三级移位寄存器 SR3 的移位时
25 钟信号端与第三移位时钟 CS3 连接，将第三移位时钟 CS3 提供的信号作为移位时钟信号 CLKS；第四级移位寄存器 SR4 的移位时钟信号端与第四移位时钟 CS4 连接，将第四移位时钟 CS4 提供的信号作为移位时钟信号 CLKS。类似地，第五级移位寄存器 SR5 的移位时钟信号端与第一移位时钟 CS1 连接，将第一移位时钟 CS1 提供的信号作为移位时钟信号 CLKS；第六级移位寄存
30 器 SR6 的移位时钟信号端与第二移位时钟 CS2 连接，将第二移位时钟 CS2

提供的信号作为移位时钟信号 CLKS; 第七级移位寄存器 SR7 的移位时钟信号端与第三移位时钟 CS3 连接, 将第三移位时钟 CS3 提供的信号作为移位时钟信号 CLKS; 第八级移位寄存器 SR8 的移位时钟信号端与第四移位时钟 CS4 连接, 将第四移位时钟 CS4 提供的信号作为移位时钟信号 CLKS。也就是说, 每四级移位寄存器为一个周期, 分别与第一移位时钟 CS1、第二移位时钟 CS2、第三移位时钟 CS3 和第四移位时钟 CS4 连接。

例如, 第一级缓存器 BF1 的缓存时钟信号端与第一缓存时钟 CB1 连接, 将第一缓存时钟 CB1 提供的信号作为缓存时钟信号 CLKB; 第二级缓存器 BF2 的缓存时钟信号端与第二缓存时钟 CB2 连接, 将第二缓存时钟 CB2 提供的信号作为缓存时钟信号 CLKB; 第三级缓存器 BF3 的缓存时钟信号端与第三缓存时钟 CB3 连接, 将第三缓存时钟 CB3 提供的信号作为缓存时钟信号 CLKB; 第四级缓存器 BF4 的缓存时钟信号端与第四缓存时钟 CB4 连接, 将第四缓存时钟 CB4 提供的信号作为缓存时钟信号 CLKB; 第五级缓存器 BF5 的缓存时钟信号端与第五缓存时钟 CB5 连接, 将第五缓存时钟 CB5 提供的信号作为缓存时钟信号 CLKB; 第六级缓存器 BF6 的缓存时钟信号端与第六缓存时钟 CB6 连接, 将第六缓存时钟 CB6 提供的信号作为缓存时钟信号 CLKB; 第七级缓存器 BF7 的缓存时钟信号端与第七缓存时钟 CB7 连接, 将第七缓存时钟 CB7 提供的信号作为缓存时钟信号 CLKB; 第八级缓存器 BF8 的缓存时钟信号端与第八缓存时钟 CB8 连接, 将第八缓存时钟 CB8 提供的信号作为缓存时钟信号 CLKB。类似地, 每八级缓存器为一个周期, 分别与第一缓存时钟 CB1、第二缓存时钟 CB2、第三缓存时钟 CB3、第四缓存时钟 CB4、第五缓存时钟 CB5、第六缓存时钟 CB6、第七缓存时钟 CB7 和第八缓存时钟 CB8 连接。

例如, 如图 8 所示, 在本公开实施例提供的栅极驱动电路 10 中, 第 $2n-1$ 级的移位缓存电路 100 中的移位寄存器 110 的移位输出端 SOUT 与第 $2n+1$ 级的移位缓存电路 100 中的移位寄存器 110 的移位输入端 SIN 连接, 第 $2n$ 级的移位缓存电路 100 中的移位寄存器 110 的移位输出端 SOUT 与第 $2n+2$ 级的移位缓存电路 100 中的移位寄存器 110 的移位输入端 SIN 连接, n 为大于 0 的整数。

例如, 如图 8 所示, 第一级移位寄存器的移位输入端 SIN 与第一触发信

号端连接以接收第一触发信号 STV。例如，第二级移位寄存器的移位输入端 SIN 也可以与第一触发信号端连接以接收第一触发信号 STV。又例如，第一级移位寄存器的移位输入端 SIN 和第二级移位寄存器的移位输入端 SIN 也可以接收不同的触发信号。

5 例如，如图 8 所示，栅极驱动电路 10 包括 m 级移位寄存器 SR1、SR2... SR m 和与这些移位寄存器对应连接的 $4m$ 级缓存器 BF1、BF2... BF $4m$ （即，栅极驱动电路 10 包括 m 组子电路，每组子电路包括一个移位寄存器和四个缓存器）。移位寄存器 SR1、SR2... SR m 均可以是本公开任一实施例提供的移位寄存器 110，缓存器 BF1、BF2... BF $4m$ 均可以是本公开任一实施例
10 提供的缓存器 120。缓存器 BF1、BF2... BF $4m$ 的缓存输出端 BOUT 分别与栅线 G1、G2... G $4m$ 对应连接。 m 为正整数，表示移位寄存器 SR1、SR2... SR m 的总数目。

例如，如图 8 所示，在本公开实施例提供的栅极驱动电路 10 中，第 $2n-1$ 级的移位缓存电路 100 中的缓存器 120 的使能信号端 EN 被配置为接收第一使能信号 EN1；第 $2n$ 级的移位缓存电路 100 中的缓存器 120 的使能信号端
15 EN 被配置为接收第二使能信号 EN2。例如， n 为大于等于 1 的正整数， $n \leq m/2 - 1$ 。

例如，第 $2n-1$ 级的移位缓存电路 100 中的缓存器 120 接收第一使能信号 EN1；第 $2n$ 级的移位缓存电路 100 中的缓存器 120 接收第二使能信号 EN2，
20 第一使能信号 EN1 和第二使能信号 EN2 不同，可以防止异常输出。

例如，图 9 是本公开实施例提供的一种栅极驱动电路在第一分辨率模式时的驱动时序图；图 10 是本公开实施例提供的一种栅极驱动电路在第二分辨率模式时的驱动时序图；图 11 是本公开实施例提供的一种栅极驱动电路在第三分辨率模式时的驱动时序图。例如，第一分辨率模式的分辨率是 8K，第二
25 分辨率模式的分辨率是 UD (4K)，第三分辨率模式的分辨率是 FDH (2K)。也就是说，第一分辨率模式的分辨率是第二分辨率模式分辨率的两倍，第二分辨率模式的分辨率是第三分辨率模式分辨率的两倍。本公开实施例提供的移位缓存电路和栅极驱动电路可以在不同的区域实现四倍的分辨率变化。

下面结合图 7 所示的移位缓存电路、图 8 所示的栅极驱动电路以及图 9-
30 图 11 所示的驱动时序示例性说明移位寄存器和栅极驱动电路的工作原理。例

如，由于第一电源信号端 VDD1 提供的第一电源信号和第二电源信号端 VDD2 提供的第二电源信号互为反向信号，接下来以第一电源信号端 VDD1 提供的第一电源信号为高电平信号，第二电源信号端 VDD2 提供的第二电源信号为低电平信号为例进行说明。也就是说，第二移位下拉节点 SPD2 和
5 第二缓存下拉节点 BPD2 均保持低电平。

例如，参见图 7、图 8 和图 9，高电平的第一触发信号 STV 输入第一移位晶体管 T1 的第一极和栅极，第一移位晶体管 T1 将高电平的第一触发信号 STV 输入移位上拉节点 SPU_1，第三移位晶体管 T3 开启，第六移位晶体管 T6 开启，将第一电源端 VGL1 的低电平电压输入到第一移位下拉节点 SPD1，
10 第二移位晶体管 T2 和第四移位晶体管 T4 关闭，由于第二移位下拉节点 SPD2 为低电平，所以第七移位晶体管 T7 和第八移位晶体管 T8 关闭；高电平的移位时钟信号 CLKS 通过第三移位晶体管 T3 输入移位输出端 SOUT_1；由于移位存储电容 SC 的自举作用，移位上拉节点 SPU_1 的电压进一步升高，使得第三移位晶体管 T3 更为充分地开启，高电平的移位时钟信号 CLKS 通过
15 第三移位晶体管 T3 输出到移位输出端 SOUT_1。移位输出端 SOUT_1 将高电平电压输入到缓存输入端 BIN，高电平的第一使能信号 EN1 通过使能信号端 EN 输入到第一缓存晶体管 M1 的栅极，第一缓存晶体管 M1 开启，第一缓存晶体管 M1 将缓存输入端 BIN 的高电平电压输入到缓存上拉节点 BPU；
20 由于第一缓存下拉节点 BPD1 与第一移位下拉节点 SPD1 连接，所以第一缓存下拉节点 BPD1 也为低电平，第二缓存晶体管 M2 和第四缓存晶体管 M4 关闭，由于第二缓存下拉节点 BPD2 为低电平，所以第五缓存晶体管 M5 和第六缓存晶体管 M6 关闭；高电平的缓存时钟信号 CLKB 通过第三缓存晶体管 M3 输入缓存输出端 BOUT_1；由于缓存存储电容 BC 的自举作用，缓存上拉节点 BPU_1 的电压进一步升高，使得第三缓存晶体管 M3 更为充分地开
25 启，高电平的缓存时钟信号 CLKB 通过第三缓存晶体管 M3 输出到缓存输出端 BOUT_1，缓存输出端 BOUT_1 可以将高电平信号输出到显示面板上的栅线 G1。例如，参见图 9，在第一级移位寄存器的高电平的移位输出信号的时段内，通过例如第一缓存时钟 CB1、第二缓存时钟 CB2、第三缓存时钟 CB3 和第四缓存时钟 CB4 分别向与同一个移位寄存器连接的四个缓存器顺次施
30 加缓存时钟信号，可以使缓存器顺次输出缓存输出信号。类似地，在奇数级

(第 $2n-1$ 级, n 为大于 0 的整数) 移位寄存器的高电平的移位输出信号的时段内, 通过例如第一缓存时钟 CB1、第二缓存时钟 CB2、第三缓存时钟 CB3 和第四缓存时钟 CB4 分别向与该奇数级移位寄存器连接的四个缓存器顺次施加缓存时钟信号, 可以使缓存器顺次输出缓存输出信号; 在偶数级 (第 $2n$ 级, n 为大于 0 的整数) 移位寄存器的高电平的移位输出信号的时段内, 通过例如第五缓存时钟 CB5、第六缓存时钟 CB6、第七缓存时钟 CB7 和第八缓存时钟 CB8 分别向与该偶数级移位寄存器连接的四个缓存器顺次施加缓存时钟信号, 可以使缓存器顺次输出缓存输出信号。这样就可以实现第一分辨率模式。

10 例如, 参见图 7、图 8 和图 10, 图 10 与图 9 的不同之处在于通过调整第一缓存时钟 CB1、第二缓存时钟 CB2、第三缓存时钟 CB3、第四缓存时钟 CB4、第五缓存时钟 CB5、第六缓存时钟 CB6、第七缓存时钟 CB7 和第八缓存时钟 CB8 的时序, 使第一缓存时钟 CB1 和第二缓存时钟 CB2 的时序相同、第三缓存时钟 CB3 和第四缓存时钟 CB4 的时序相同、第五缓存时钟 CB5 和第六缓存时钟 CB6 的时序相同、第七缓存时钟 CB7 和第八缓存时钟 CB8 的时序相同。相应的, 相邻两个的缓存器的输出相同, 这样可以使对应的显示面板中的每两行相邻的栅线同时开启以接收相同的数据信号。相比于图 9 中的情形, 图 10 中的情形的分辨率降低为图 9 中情形的一半, 也就是说, 图 10 中的情形的帧频可以提高为图 9 中情形的两倍。这样就实现了第二分辨率模式。

20 例如, 参见图 7、图 8 和图 11, 图 11 与图 9 的不同之处在于通过调整第一缓存时钟 CB1、第二缓存时钟 CB2、第三缓存时钟 CB3、第四缓存时钟 CB4、第五缓存时钟 CB5、第六缓存时钟 CB6、第七缓存时钟 CB7 和第八缓存时钟 CB8 的时序, 使第一缓存时钟 CB1、第二缓存时钟 CB2、第三缓存时钟 CB3 和第四缓存时钟 CB4 的时序相同, 使第五缓存时钟 CB5、第六缓存时钟 CB6、第七缓存时钟 CB7 和第八缓存时钟 CB8 的时序相同。相应的, 相邻四个的缓存器的输出相同, 也就是说, 这样可以使对应的显示面板中的每四行相邻的栅线同时开启以接收相同的数据信号。相比于图 9 中的情形, 图 11 中的情形的分辨率降低为图 9 中情形的四分之一, 也就是说, 图 11 中的情形 25 的帧频可以提高为图 9 中情形的四倍。这样就实现了第三分辨率模式。

例如，在栅极驱动电路或显示面板的不同区域中可以实现不同分辨率的选择性驱动。例如，可以将栅极驱动电路或显示面板划分为多个不同的行块，根据显示内容的需要，在一些行块中应用第一分辨率模式以实现高分辨率（例如，8K）显示，在一些行块中应用第二分辨率模式以实现中分辨率（例如，5 UD，4K）显示从而兼顾分辨率与帧频，在一些行块中应用第三分辨率模式以实现低分辨率（例如，FHD，2K）显示，从而提高帧频。

需要说明的是，为了描述清楚，以上描述中的下划线和之后的数字（例如“_1”）代表相应级的移位寄存器、缓存器或其中某个部件的标记，例如，“SPU_1”代表第一级移位寄存器中的移位上拉节点；“SOUT_1”代表第一级移位寄存器中的移位输出端；“SPD1_1”代表第一级移位寄存器中的第一移位下拉节点。在每级移位缓存电路中，包括一个移位寄存器和四个缓存器，“BOUT_1”代表第一个缓存器中的缓存输出端，“BOUT_2”代表第二个缓存器中的缓存输出端，“BOUT_3”代表第三个缓存器中的缓存输出端，“BOUT_4”代表第四个缓存器中的缓存输出端。

本公开的实施例还提供一种显示面板 1，如图 12 所示，显示面板 1 包括本公开任一实施例提供的栅极驱动电路 10。

例如，如图 12 所示，本公开实施例提供的显示面板 1 还包括栅线 11、数据线 12 以及由栅线 11 和数据线 12 交叉限定的多个像素单元 13，栅极驱动电路 10 被配置为向栅线 11 提供栅极驱动信号。

例如，栅线 11 可以包括图 8 中所示的栅线 G1、G2……G4m，缓存器 BF1、BF2……BF4m 中每个缓存器用于向对应的栅线 G1、G2……G4m 输出一行栅极驱动信号。

例如，本公开的实施例还提供一种显示设备 2，如图 13 所示，该显示设备 2 包括本公开任一实施例提供的显示面板 1。

例如，显示设备 2 可以为电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

例如，在本公开的至少一个实施例中，显示设备 2 还可以包括信号接收电路、视频信号解码电路等从而可以接收、处理视频信号，或者根据需要还可以包括调制解调电路或天线等从而可以通过网络、无线信号等与其他设备信号连接。

本公开的实施例还提供一种驱动本公开任一实施例提供的移位缓存电路 100 的方法，如图 14 所示，该方法包括如下步骤：

步骤 S10：向移位寄存器 110 施加移位时钟信号 CLKS，使移位寄存器 110 响应于移位时钟信号 CLKS 输出移位输出信号；以及

5 步骤 S20：在移位输出信号的时段内向多个缓存器 120 施加缓存时钟信号 CLKB，使多个缓存器 120 顺次输出缓存输出信号。

例如，在步骤 S10 中，向移位寄存器 110 施加高电平的移位时钟信号 CLKS，使移位寄存器 110 响应于高电平的移位时钟信号 CLKS 输出移位输出信号。

10 例如，在步骤 S20 中，在高电平的移位输出信号的时段内向多个缓存器 120 施加高电平的缓存时钟信号 CLKB，使多个缓存器 120 顺次输出高电平的缓存输出信号。

例如，本公开实施例提供的移位缓存电路、栅极驱动电路、显示面板及驱动方法可以改变显示分辨率并可以在显示面板的不同区域进行选择驱动。
15

虽然上文中已经用一般性说明及具体实施方式，对本公开作了详尽的描述，但在本公开实施例基础上，可以对之作一些修改或改进，这对本领域技术人员而言是显而易见的。因此，在不偏离本公开精神的基础上所做的这些修改或改进，均属于本公开要求保护的范围。

20 本公开要求于 2017 年 4 月 5 日递交的中国专利申请第 201710218273.7 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1、一种移位缓存电路，包括：移位寄存器和与所述移位寄存器连接的多个缓存器，其中，

5 所述移位寄存器包括移位输出端；

所述移位寄存器被配置为响应于移位时钟信号，从所述移位输出端输出移位输出信号；

每个所述缓存器包括缓存输入端和缓存输出端，所述缓存输入端与所述移位输出端连接；

10 每个所述缓存器被配置为响应于缓存时钟信号，从所述缓存输出端输出缓存输出信号。

2、根据权利要求1所述的移位缓存电路，其中，所述移位寄存器包括：移位输入电路，与移位输入端和移位上拉节点分别连接；

15 第一移位复位电路，与所述移位上拉节点、第一移位下拉节点及第一电源端分别连接；

移位输出电路，与所述移位上拉节点、移位时钟信号端及所述移位输出端分别连接；

第一移位输出下拉电路，与所述移位输出端、所述第一移位下拉节点及所述第一电源端分别连接；

20 第一下拉节点控制电路，与所述第一移位下拉节点、第一电源信号端及所述第一电源端分别连接；以及

移位存储电容，与所述移位上拉节点及所述移位输出端分别连接。

3、根据权利要求2所述的移位缓存电路，其中，每个所述缓存器包括：缓存输入电路，与所述缓存输入端和缓存上拉节点分别连接；

25 第一缓存复位电路，与所述缓存上拉节点、第一缓存下拉节点及第二电源端分别连接；

缓存输出电路，与所述缓存上拉节点、缓存时钟信号端及所述缓存输出端分别连接；

30 第一缓存输出下拉电路，与所述缓存输出端、所述第一缓存下拉节点及所述第二电源端分别连接；以及

缓存存储电容，与所述缓存上拉节点及所述缓存输出端分别连接。

4、根据权利要求3所述的移位缓存电路，其中，所述第二电源端与所述第一电源端连接，所述第一缓存下拉节点与所述第一移位下拉节点连接。

5、根据权利要求2-4任一项所述的移位缓存电路，其中，

5 所述移位输入电路包括第一移位晶体管，所述第一移位晶体管的第一极与所述移位输入端连接，所述第一移位晶体管的栅极与所述移位输入端连接，所述第一移位晶体管的第二极与所述移位上拉节点连接；

10 所述第一移位复位电路包括第二移位晶体管，所述第二移位晶体管的第一极与所述移位上拉节点连接，所述第二移位晶体管的栅极与所述第一移位下拉节点连接，所述第二移位晶体管的第二极与所述第一电源端连接；

所述移位输出电路包括第三移位晶体管，所述第三移位晶体管的第一极与所述移位时钟信号端连接，所述第三移位晶体管的栅极与所述移位上拉节点连接，所述第三移位晶体管的第二极与所述移位输出端连接；

15 所述第一移位输出下拉电路包括第四移位晶体管，所述第四移位晶体管的第一极与所述移位输出端连接，所述第四移位晶体管的栅极与所述第一移位下拉节点连接，所述第四移位晶体管的第二极与所述第一电源端连接；

20 所述第一下拉节点控制电路包括第五移位晶体管和第六移位晶体管，所述第五移位晶体管的第一极与所述第一电源信号端连接，所述第五移位晶体管的栅极与所述第一电源信号端连接，所述第五移位晶体管的第二极与所述第一移位下拉节点连接，所述第六移位晶体管的第一极与所述第一移位下拉节点连接，所述第六移位晶体管的栅极与所述移位上拉节点连接，所述第六移位晶体管的第二极与所述第一电源端连接；

所述移位存储电容的第一端与所述移位上拉节点连接，所述移位存储电容的第二端与所述移位输出端连接。

25 6、根据权利要求3或4所述的移位缓存电路，其中，

所述缓存输入电路包括第一缓存晶体管，所述第一缓存晶体管的第一极与所述缓存输入端连接，所述第一缓存晶体管的栅极与使能信号端连接，所述第一缓存晶体管的第二极与所述缓存上拉节点连接；

30 所述第一缓存复位电路包括第二缓存晶体管，所述第二缓存晶体管的第一极与所述缓存上拉节点连接，所述第二缓存晶体管的栅极与所述第一缓存

下拉节点连接, 所述第二缓存晶体管的第二极与所述第二电源端连接;

所述缓存输出电路包括第三缓存晶体管, 所述第三缓存晶体管的第一极与所述缓存时钟信号端连接, 所述第三缓存晶体管的栅极与所述缓存上拉节点连接, 所述第三缓存晶体管的第二极与所述缓存输出端连接;

5 所述第一缓存输出下拉电路包括第四缓存晶体管, 所述第四缓存晶体管的第一极与所述缓存输出端连接, 所述第四缓存晶体管的栅极与所述第一缓存下拉节点连接, 所述第四缓存晶体管的第二极与所述第二电源端连接;

所述缓存存储电容的第一端与所述缓存上拉节点连接, 所述缓存存储电容的第二端与所述缓存输出端连接。

10 7、根据权利要求 3 或 4 所述的移位缓存电路, 其中,
所述移位寄存器还包括:

第二移位复位电路, 与所述移位上拉节点、第二移位下拉节点及第一电源端分别连接;

15 第二移位输出下拉电路, 与所述移位输出端、所述第二移位下拉节点及所述第一电源端分别连接; 以及

第二下拉节点控制电路, 与所述第二移位下拉节点、第二电源信号端及所述第一电源端分别连接; 以及

每个所述缓存器还包括:

20 第二缓存复位电路, 与所述缓存上拉节点、第二缓存下拉节点及所述第二电源端分别连接; 以及

第二缓存输出下拉电路, 与所述缓存输出端、所述第二缓存下拉节点及所述第二电源端分别连接,

其中, 所述第一电源信号端提供的第一电源信号与所述第二电源信号端提供的第二电源信号互为反向信号。

25 8、根据权利要求 7 所述的移位缓存电路, 其中,

所述第二移位复位电路包括第七移位晶体管, 所述第七移位晶体管的第一极与所述移位上拉节点连接, 所述第七移位晶体管的栅极与所述第二移位下拉节点连接, 所述第七移位晶体管的第二极与所述第一电源端连接;

30 所述第二移位输出下拉电路包括第八移位晶体管, 所述第八移位晶体管的第一极与所述移位输出端连接, 所述第八移位晶体管的栅极与所述第二移

位下拉节点连接，所述第八移位晶体管的第二极与所述第一电源端连接；

所述第二下拉节点控制电路包括第九移位晶体管和第十移位晶体管，所述第九移位晶体管的第一极与所述第二电源信号端连接，所述第九移位晶体管的栅极与所述第二电源信号端连接，所述第九移位晶体管的第二极与所述第二移位下拉节点连接，所述第十移位晶体管的第一极与所述第二移位下拉节点连接，所述第十移位晶体管的栅极与所述移位上拉节点连接，所述第十移位晶体管的第二极与所述第一电源端连接；

所述第二缓存复位电路包括第五缓存晶体管，所述第五缓存晶体管的第一极与所述缓存上拉节点连接，所述第五缓存晶体管的栅极与所述第二缓存下拉节点连接，所述第五缓存晶体管的第二极与所述第二电源端连接；

所述第二缓存输出下拉电路包括第六缓存晶体管，所述第六缓存晶体管的第一极与所述缓存输出端连接，所述第六缓存晶体管的栅极与所述第二缓存下拉节点连接，所述第六缓存晶体管的第二极与所述第二电源端连接。

9、根据权利要求7所述的移位缓存电路，其中，所述第二缓存下拉节点与第二移位下拉节点连接。

10、根据权利要求1所述的移位缓存电路，其中，每个所述移位寄存器与四个所述缓存器连接。

11、一种栅极驱动电路，包括多级移位缓存电路，其中，每级移位缓存电路包括如权利要求1-10任一项所述的移位缓存电路。

12、根据权利要求11所述的栅极驱动电路，其中，

第 $2n-1$ 级的移位缓存电路中的移位寄存器的移位输出端与第 $2n+1$ 级的移位缓存电路中的移位寄存器的移位输入端连接，

第 $2n$ 级的移位缓存电路中的移位寄存器的移位输出端与第 $2n+2$ 级的移位缓存电路中的移位寄存器的移位输入端连接，

n 为大于0的整数。

13、根据权利要求12所述的栅极驱动电路，其中，

第 $2n-1$ 级的移位缓存电路中的缓存器的使能信号端被配置为接收第一使能信号；

第 $2n$ 级的移位缓存电路中的缓存器的使能信号端被配置为接收第二使能信号。

14、一种显示面板，包括如权利要求 11-13 任一项所述栅极驱动电路。

15、一种显示设备，包括如权利要求 14 所述的显示面板。

16、一种驱动如权利要求 1-10 任一项所述的移位缓存电路的方法，包括：
向所述移位寄存器施加所述移位时钟信号，使所述移位寄存器响应于所

5 述移位时钟信号输出所述移位输出信号；以及

在所述移位输出信号的时段内向所述多个缓存器施加所述缓存时钟信号，使所述多个缓存器顺次输出所述缓存输出信号。

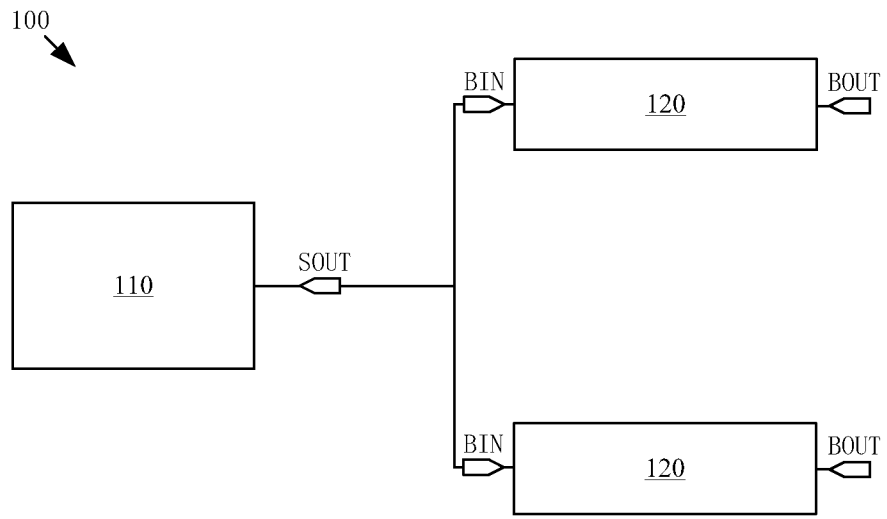


图 1

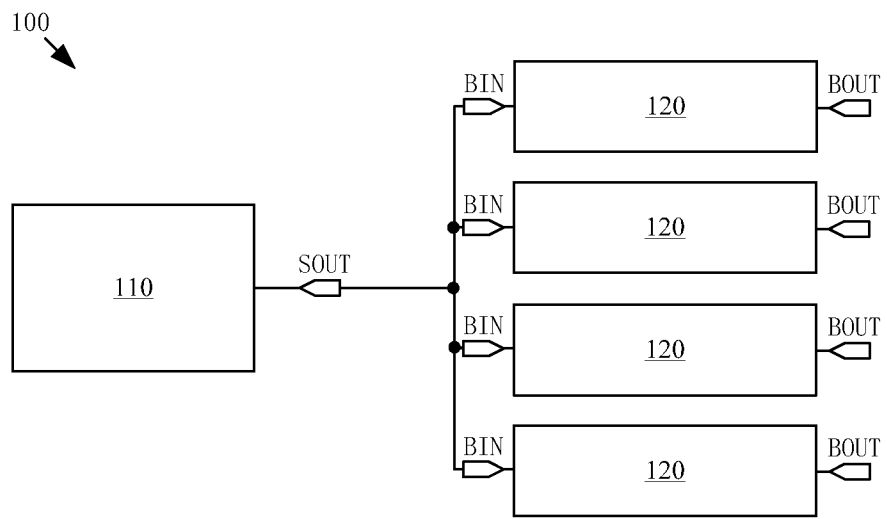


图 2

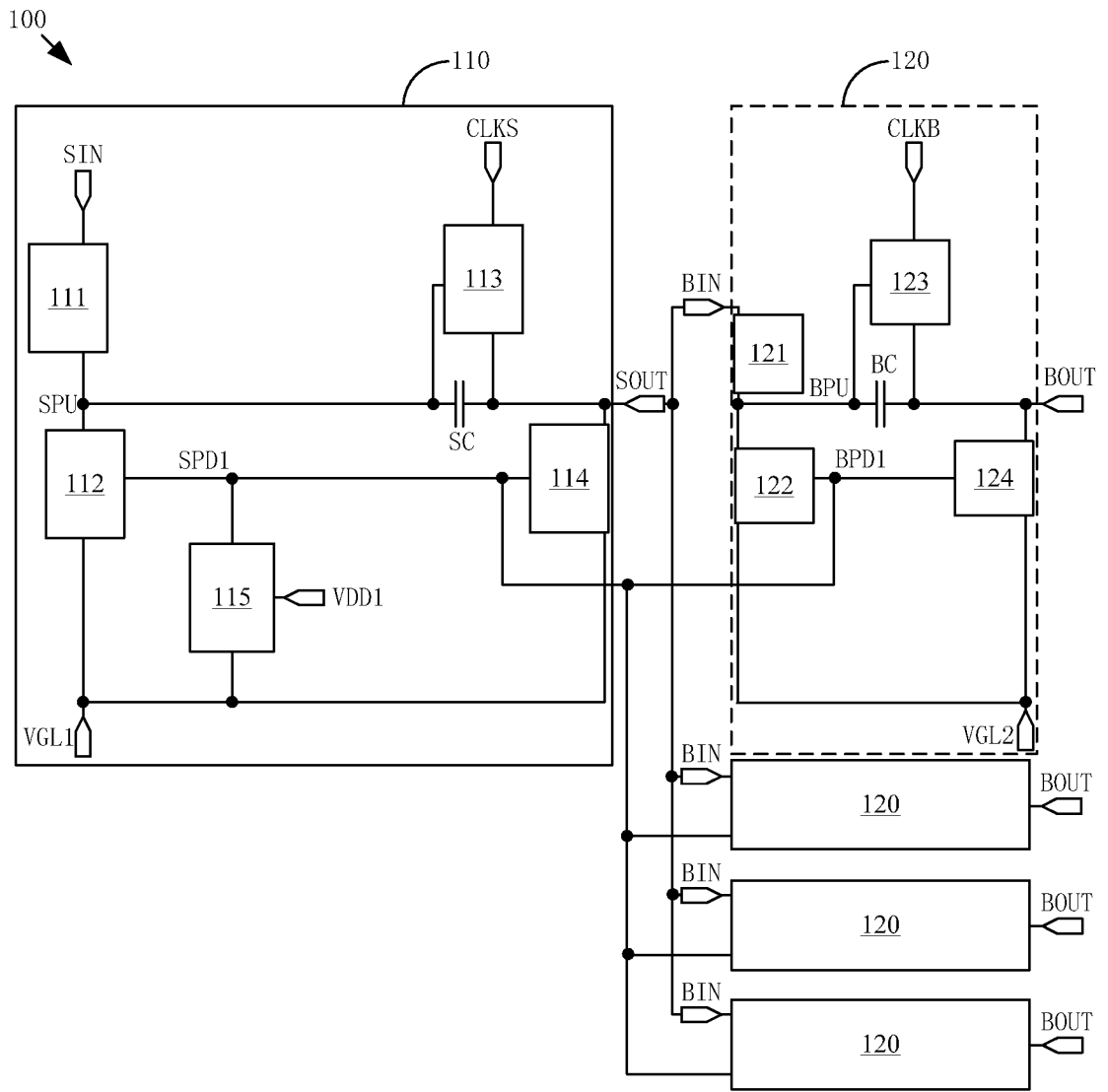


图 3

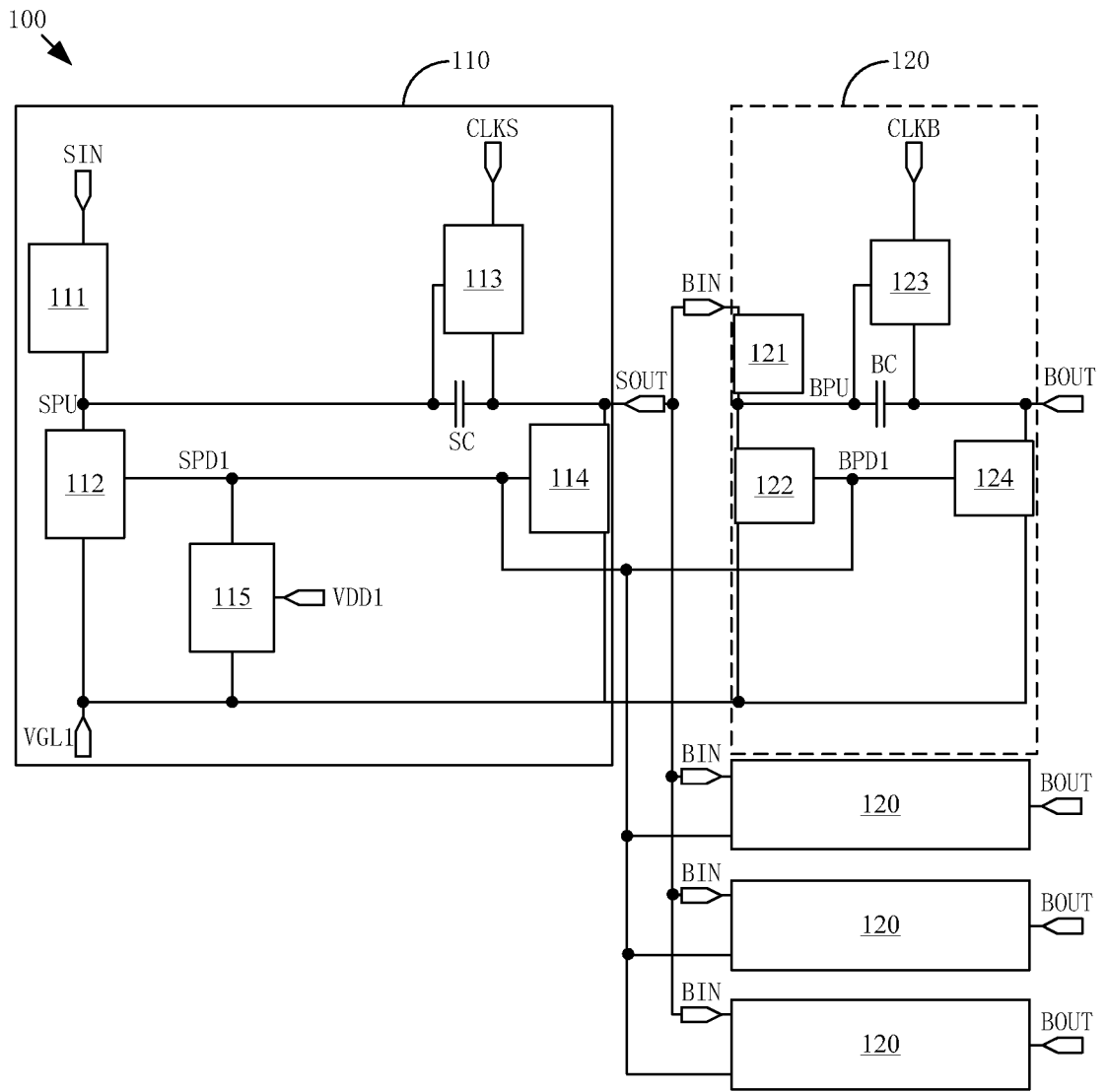


图 4

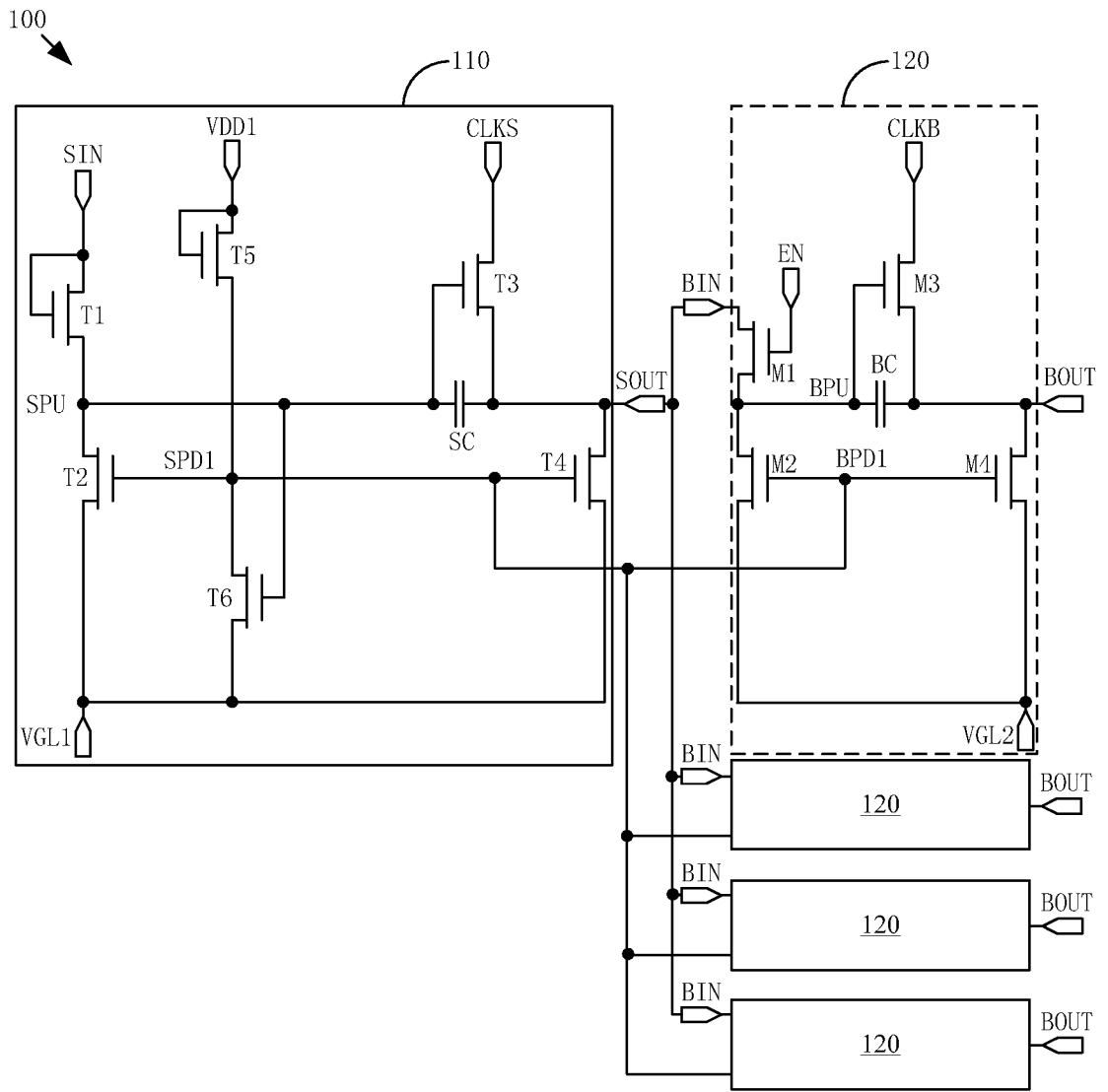


图 5

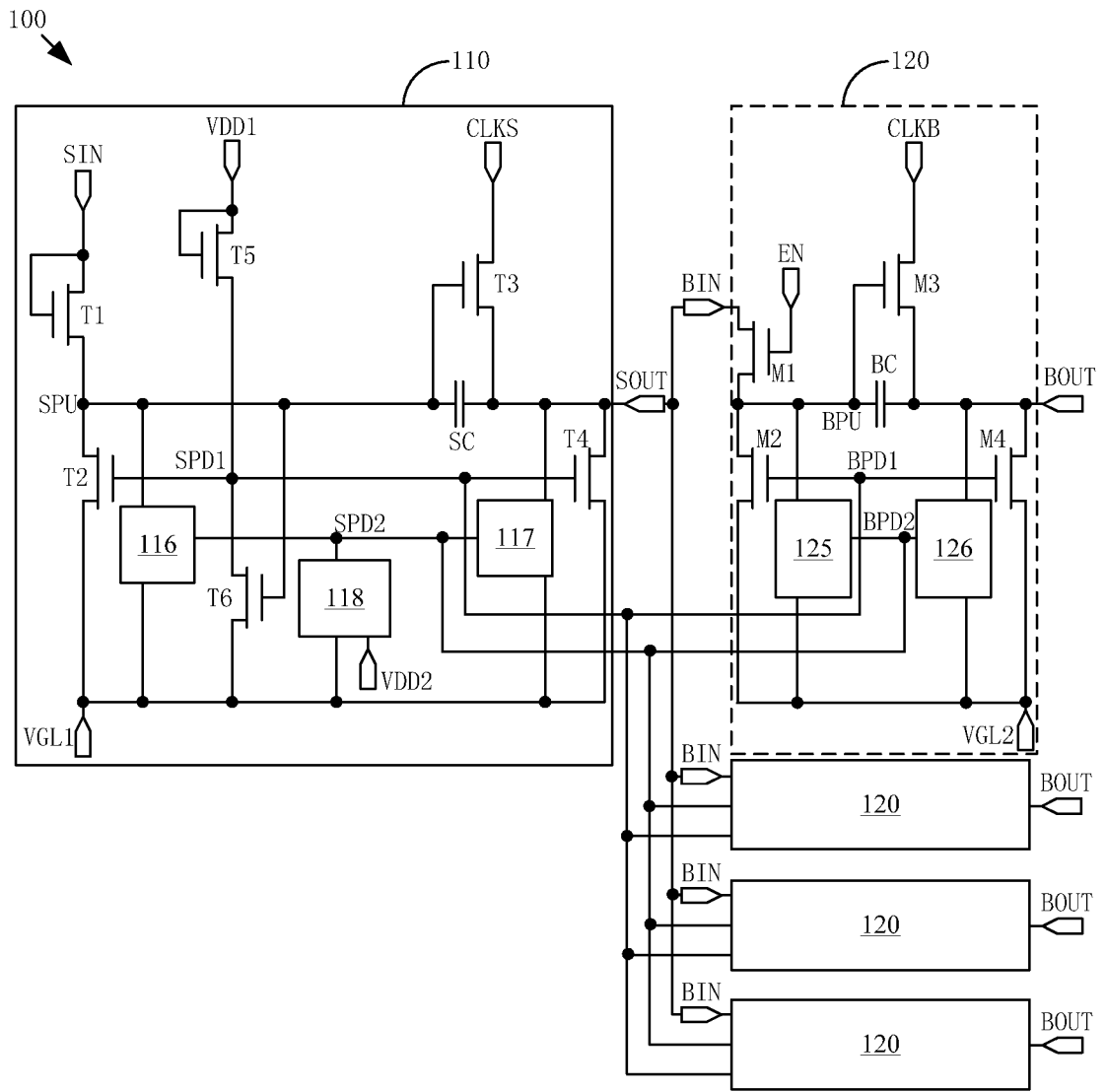


图 6

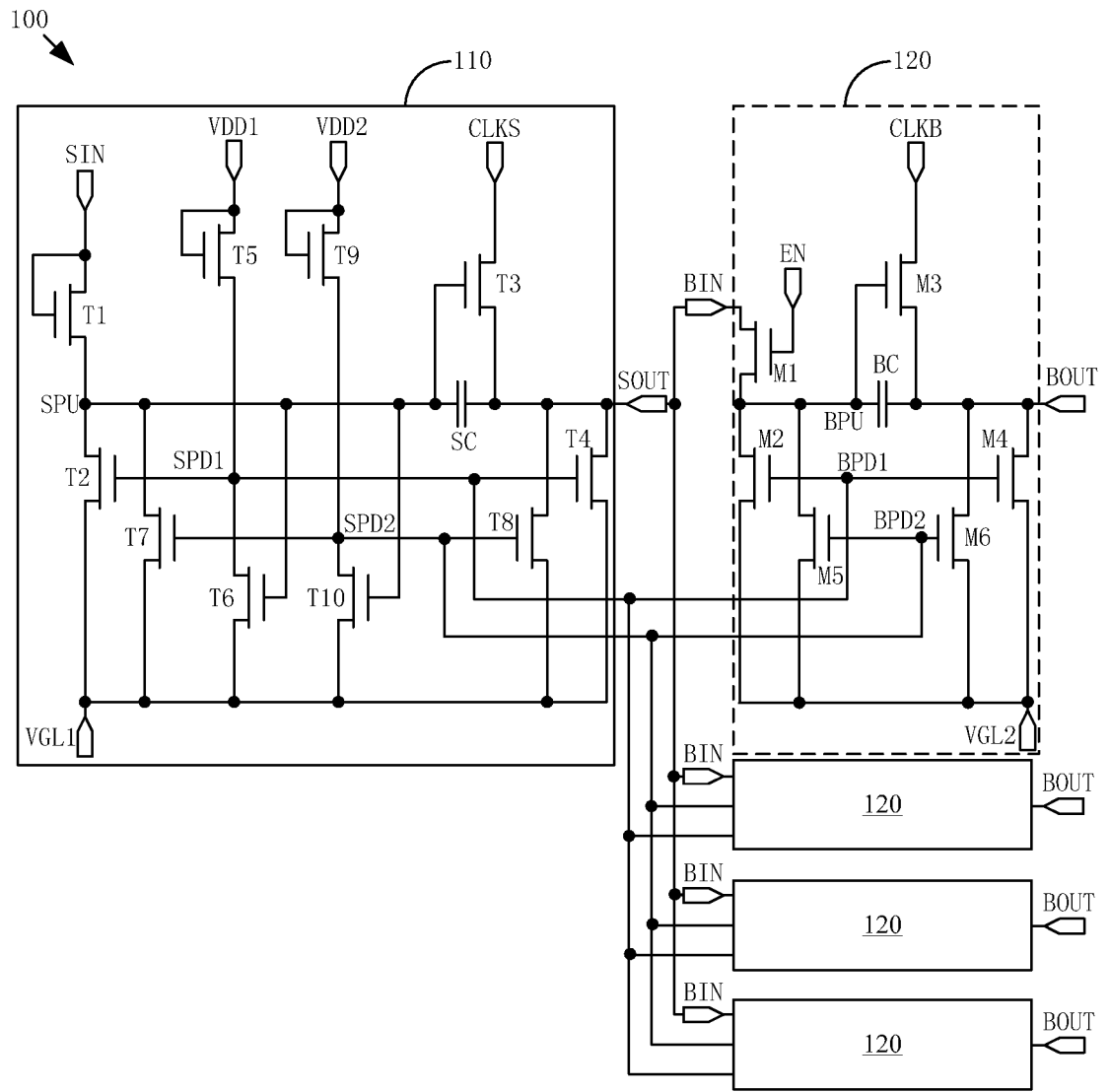


图 7

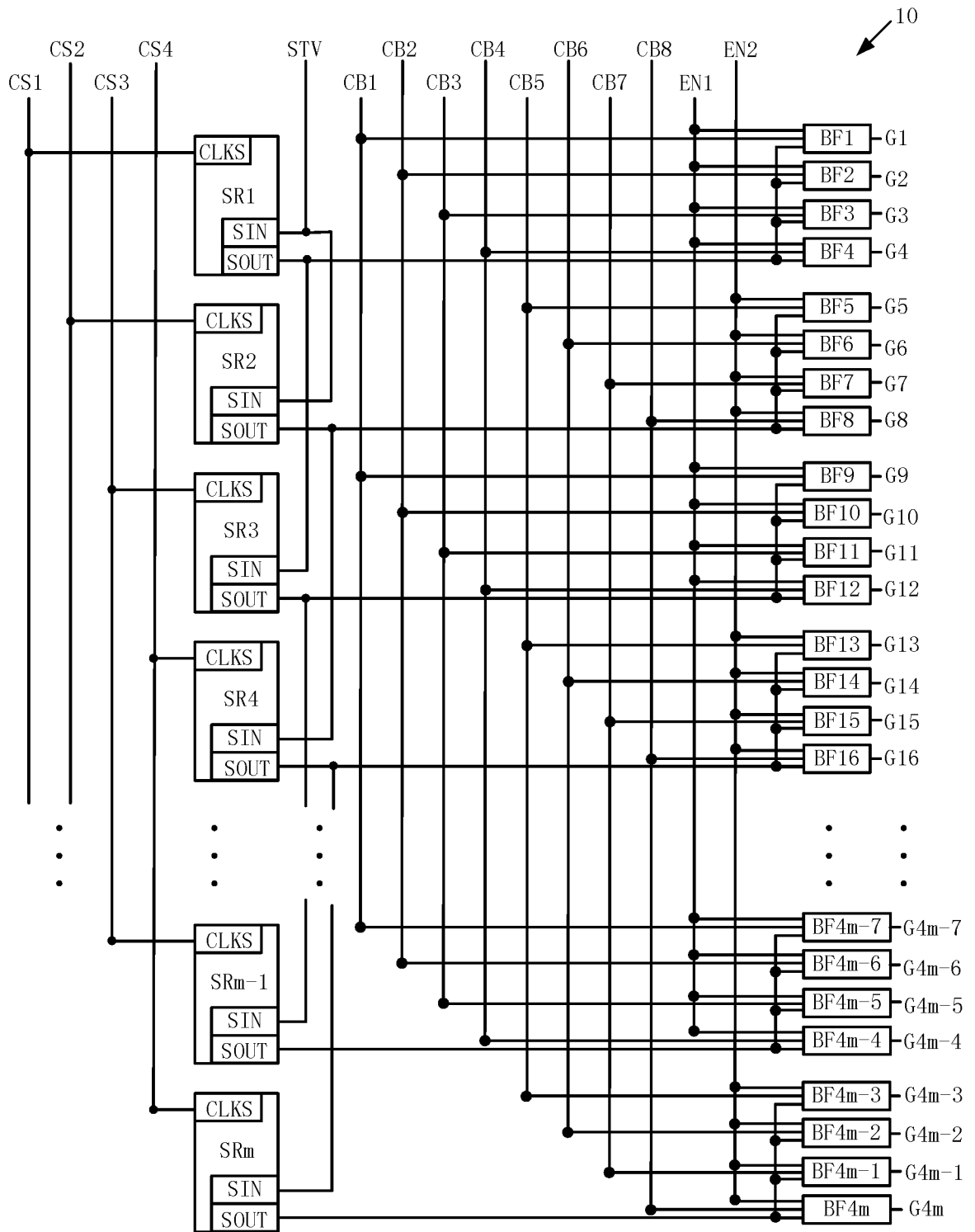


图 8

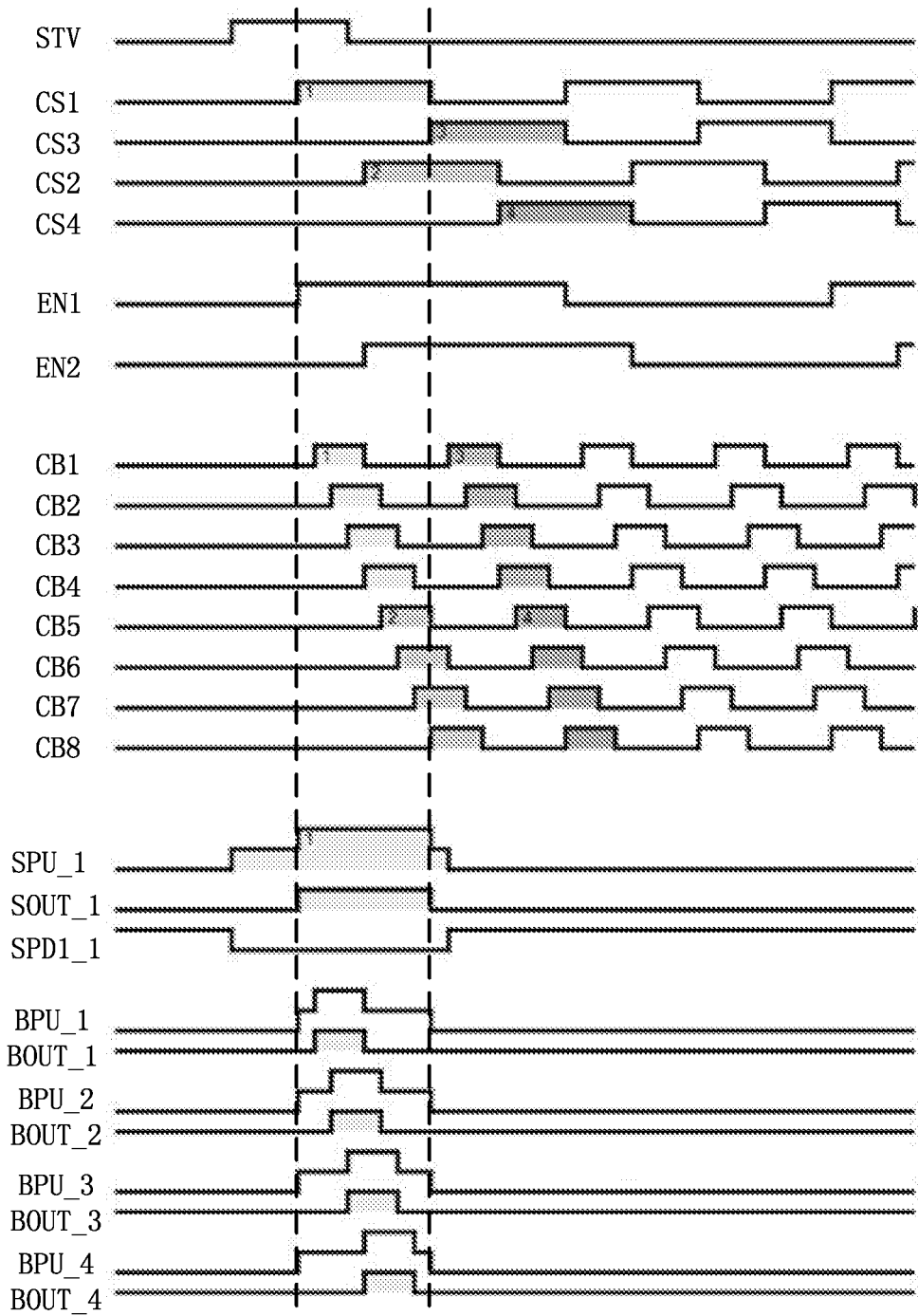


图 9

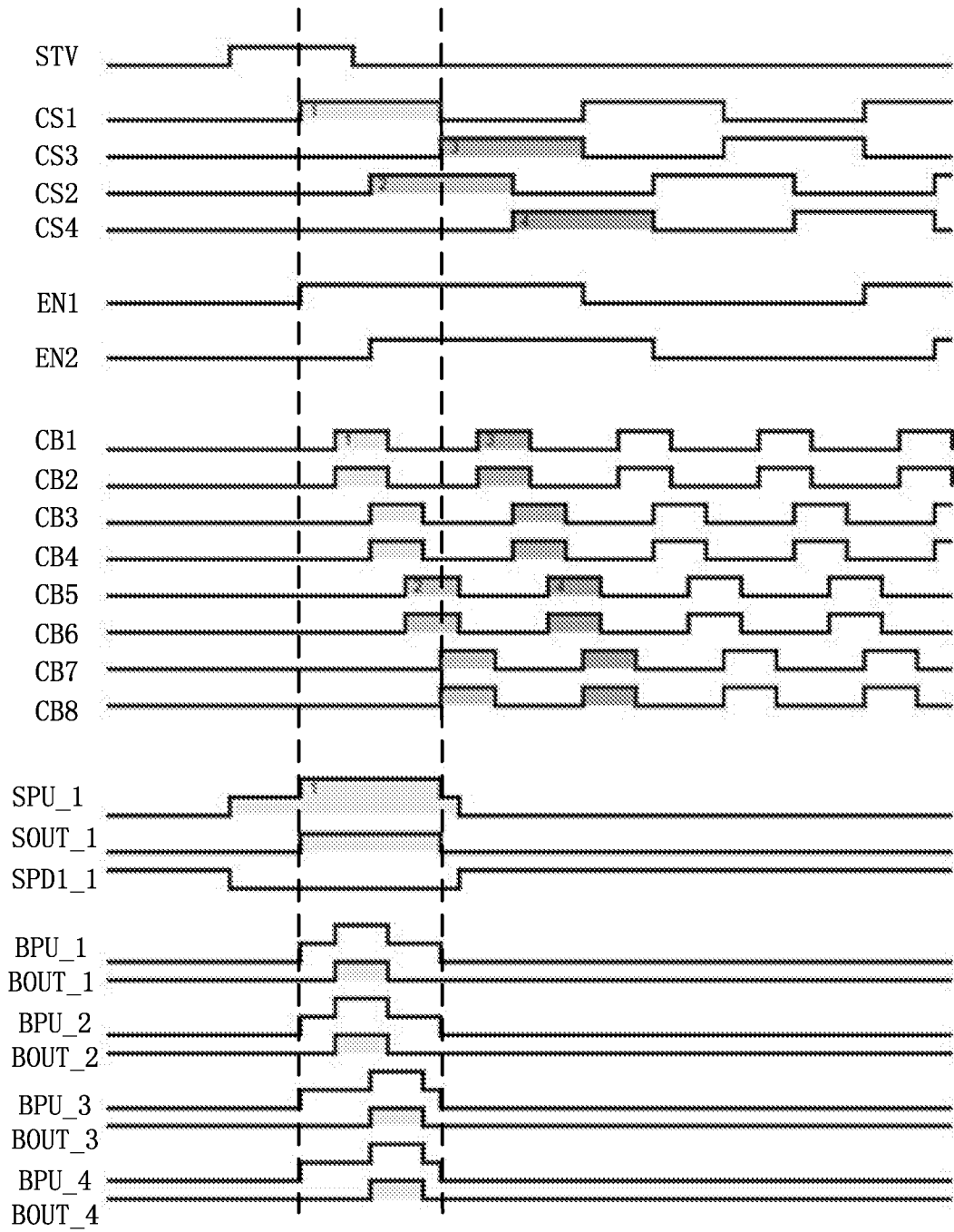


图 10

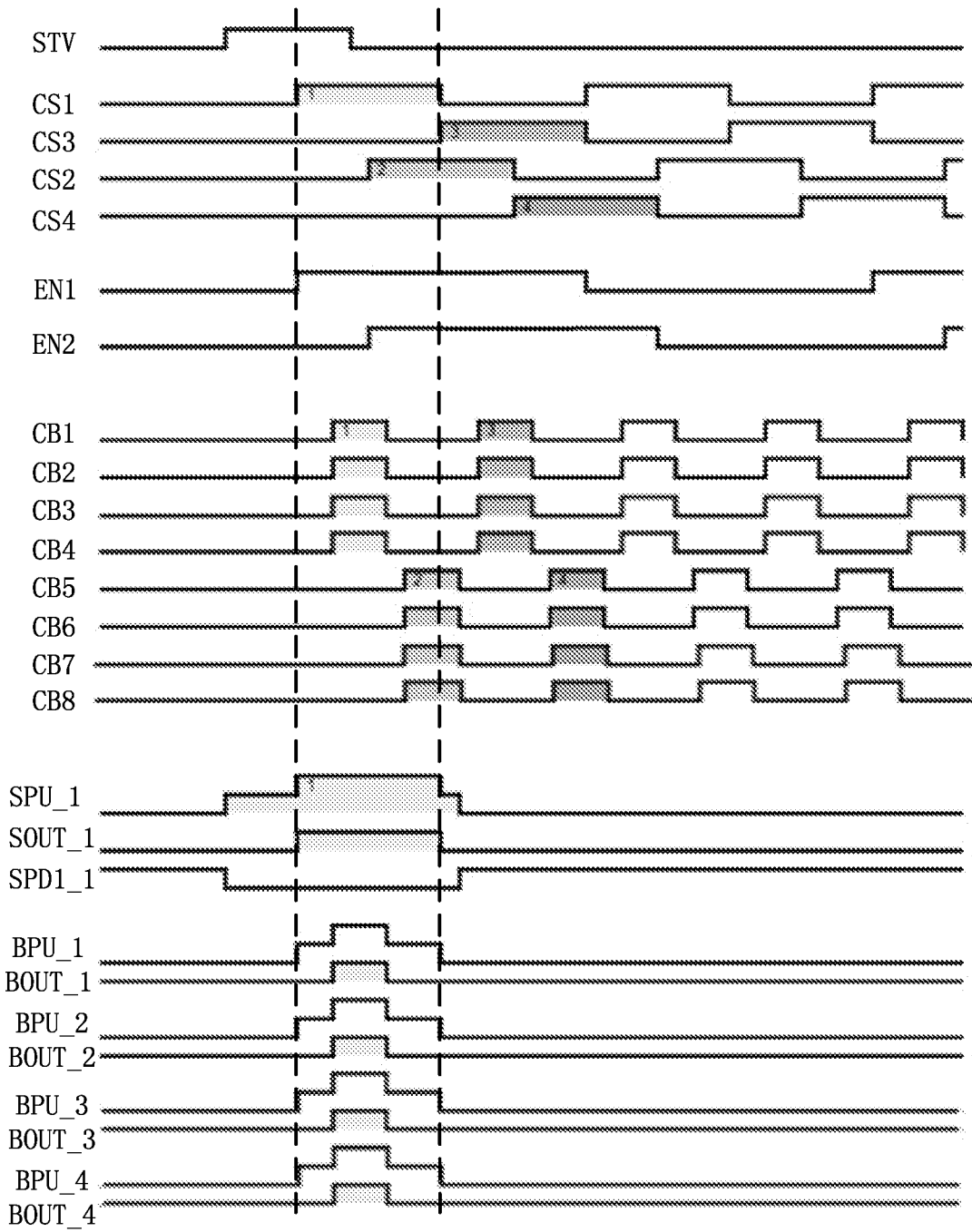


图 11

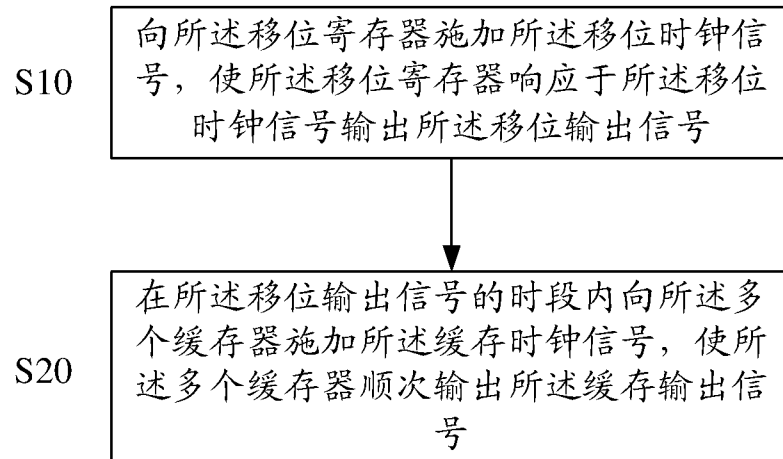


图 14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/106517

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 栅极驱动, 移位寄存, 缓存, 窄边框, 分辨率, 上拉, 下拉, 复位, 电容, 时钟, gate, driv+, shift, register, resolv+, pull, up, down, reset+, RST, capacitor, clock, CK, CLK

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104835476 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 12 August 2015 (12.08.2015), description, paragraphs [0062]-[0112], and figures 1-5	1, 2, 5, 10-16
X	CN 105869566 A (BOE TECHNOLOGY GROUP CO., LTD.), 17 August 2016 (17.08.2016), description, paragraphs [0080]-[0132], and figures 1-9	1, 2, 5, 10-16
X	CN 105788555 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 July 2016 (20.07.2016), description, paragraphs [0086]-[0148], and figures 1-5	1, 10-16
A	CN 106157898 A (XIAMEN TIANMA MICROELECTRONICS CO. LTD. et al.), 23 November 2016 (23.11.2016), entire document	1-16
A	US 2011169793 A1 (AU OPTRONICS CORP.), 14 July 2011 (14.07.2011), entire document	1-16

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">26 December 2017</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">16 January 2018</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">LUO, Peng</p> <p>Telephone No. (86-10) 62414005</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/106517

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104835476 A	12 August 2015	CN 104835476 B	15 September 2017
		US 2016358666 A1	08 December 2016
CN 105869566 A	17 August 2016	None	
CN 105788555 A	20 July 2016	None	
CN 106157898 A	23 November 2016	None	
US 2011169793 A1	14 July 2011	TW I407400 B	01 September 2013
		US 8581890 B2	12 November 2013
		TW 201110085 A	16 March 2011

国际检索报告

国际申请号

PCT/CN2017/106517

<p>A. 主题的分类</p> <p>G09G 3/36(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G; G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, CNKI, WPI, EPODOC: 栅极驱动, 移位寄存, 缓存, 窄边框, 分辨率, 上拉, 下拉, 复位, 电容, 时钟, gate, driv+, shift, register, resolv+, pull, up, down, reset+, RST, capacitor, clock, CK, CLK</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104835476 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) 说明书第[0062]-[0112]段, 图1-5</td> <td>1, 2, 5, 10-16</td> </tr> <tr> <td>X</td> <td>CN 105869566 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 说明书第[0080]-[0132]段, 图1-9</td> <td>1, 2, 5, 10-16</td> </tr> <tr> <td>X</td> <td>CN 105788555 A (京东方科技集团股份有限公司 等) 2016年 7月 20日 (2016 - 07 - 20) 说明书第[0086]-[0148]段, 图1-5</td> <td>1, 10-16</td> </tr> <tr> <td>A</td> <td>CN 106157898 A (厦门天马微电子有限公司 等) 2016年 11月 23日 (2016 - 11 - 23) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2011169793 A1 (AU OPTRONICS CORP.) 2011年 7月 14日 (2011 - 07 - 14) 全文</td> <td>1-16</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104835476 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) 说明书第[0062]-[0112]段, 图1-5	1, 2, 5, 10-16	X	CN 105869566 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 说明书第[0080]-[0132]段, 图1-9	1, 2, 5, 10-16	X	CN 105788555 A (京东方科技集团股份有限公司 等) 2016年 7月 20日 (2016 - 07 - 20) 说明书第[0086]-[0148]段, 图1-5	1, 10-16	A	CN 106157898 A (厦门天马微电子有限公司 等) 2016年 11月 23日 (2016 - 11 - 23) 全文	1-16	A	US 2011169793 A1 (AU OPTRONICS CORP.) 2011年 7月 14日 (2011 - 07 - 14) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 104835476 A (京东方科技集团股份有限公司 等) 2015年 8月 12日 (2015 - 08 - 12) 说明书第[0062]-[0112]段, 图1-5	1, 2, 5, 10-16																		
X	CN 105869566 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 说明书第[0080]-[0132]段, 图1-9	1, 2, 5, 10-16																		
X	CN 105788555 A (京东方科技集团股份有限公司 等) 2016年 7月 20日 (2016 - 07 - 20) 说明书第[0086]-[0148]段, 图1-5	1, 10-16																		
A	CN 106157898 A (厦门天马微电子有限公司 等) 2016年 11月 23日 (2016 - 11 - 23) 全文	1-16																		
A	US 2011169793 A1 (AU OPTRONICS CORP.) 2011年 7月 14日 (2011 - 07 - 14) 全文	1-16																		
国际检索实际完成的日期	国际检索报告邮寄日期																			
2017年 12月 26日	2018年 1月 16日																			
ISA/CN的名称和邮寄地址	受权官员																			
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	罗朋																			
传真号 (86-10)62019451	电话号码 (86-10)62414005																			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/106517

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104835476	A	2015年 8月 12日	CN	104835476	B	2017年 9月 15日
				US	2016358666	A1	2016年 12月 8日
CN	105869566	A	2016年 8月 17日	无			
CN	105788555	A	2016年 7月 20日	无			
CN	106157898	A	2016年 11月 23日	无			
US	2011169793	A1	2011年 7月 14日	TW	I407400	B	2013年 9月 1日
				US	8581890	B2	2013年 11月 12日
				TW	201110085	A	2011年 3月 16日