(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년06월16일
(11) 등록번호 10-1529364
(24) 등록일자 2015년06월10일

(51) 국제특허분류(Int. Cl.)
H01C 7/10 (2006.01) *H01C 1/084* (2006.01)
H01C 7/12 (2006.01)
(21) 출원번호 10-2010-7028769
(22) 출원일자(국제) 2009년05월14일
심사청구일자 2014년01월16일
(85) 번역문제출일자 2010년12월21일
(65) 공개번호 10-2011-0010806
(43) 공개일자 2011년02월07일
(86) 국제출원번호 PCT/EP2009/055861
(87) 국제공개번호 WO 2009/141266
국제공개일자 2009년11월26일
(30) 우선권주장
10 2008 024 481.3 2008년05월21일 독일(DE)
(56) 선행기술조사문헌
EP01858033 A1
JP11228261 A
JP2005244220 A

(73) 특허권자
에프코스 아게
독일 뮌헨 장크트- 마틴- 슈트라쎄 53 (우 81669)
(72) 발명자
엥겔, 건터
오스트리아, 에이-8430 레이브니츠, 카펠렌웨그 38
페이츠틴거, 토마스
오스트리아, 에이-8010 그라츠, 튬멜플라츠 5
페시나, 악셀
오스트리아, 에이-8543 세인트 마틴, 구테낙커 21
(74) 대리인
허용록

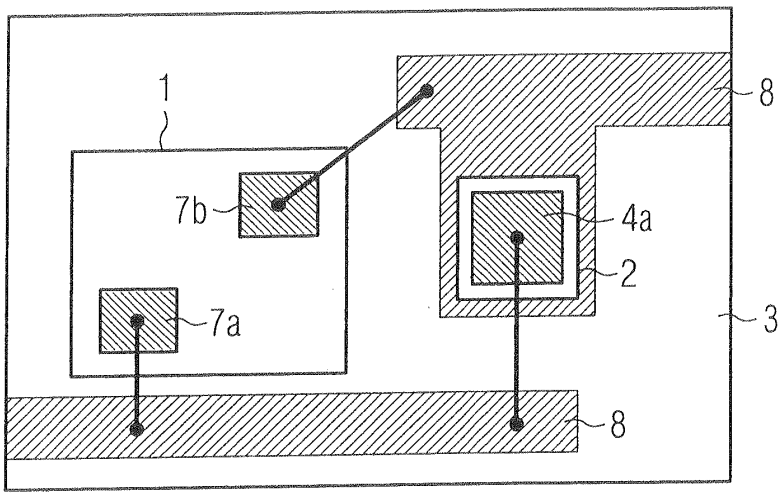
전체 청구항 수 : 총 15 항 심사관 : 노영철

(54) 발명의 명칭 **배리스터 및 반도체 소자를 포함하는 전기 소자 장치**

(57) 요 약

전기 소자 장치가 기술되며, 상기 전기 소자 장치는 반도체 소자(1) 및 배리스터 몸체(2)를 포함하며, 상기 배리스터 몸체는 상기 반도체 소자를 정전기 방전으로부터 보호하도록 상기 반도체 소자에 접촉연결된다. 반도체 소자 및 배리스터 몸체는 높은 열 전도성 세라믹을 함유하는 공통 캐리어(3) 상에 배열된다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

반도체 소자(1) 및 배리스터 몸체(2)를 포함하며, 상기 배리스터 몸체(2)는 상기 반도체 소자를 정전기 방전으로부터 보호하도록 상기 반도체 소자에 연결되며, 상기 반도체 소자 및 상기 배리스터 몸체는 열 전도성 세라믹을 함유하는 공통 캐리어(3) 상에 서로 분리되어 배열되는 전기 소자 장치.

청구항 2

제 1항에 있어서,

상기 캐리어(3)의 열 전도성 세라믹은, 질화알루미늄, 질화갈륨, 탄화규소, 산화하프늄, 산화망간 중 적어도 하나를 포함하는 전기 소자 장치.

청구항 3

제 1항에 있어서,

상기 캐리어(3)는, 매트릭스로서 열 전도성 세라믹을 함유하고, 필러로서 금속을 함유하는 전기 소자 장치.

청구항 4

제 1항에 있어서,

상기 캐리어(3)는 플레이트로 구현되는 전기 소자 장치.

청구항 5

제 1항에 있어서,

상기 캐리어(3)는 서로 간에 전기적으로 분리되는 전도체 트랙(8)을 구비하는 전기 소자 장치.

청구항 6

제 5항에 있어서,

상기 반도체 소자(1) 및 상기 배리스터 몸체(2)는 상기 전도체 트랙(8)에 연결되는 전기 소자 장치.

청구항 7

제 5항에 있어서,

상기 배리스터 몸체(2)는, 상기 캐리어(3)를 향하는 면에, 적어도 하나의 전도체 트랙(8)과 접촉하는 외부 전기적 접촉부(3a,3b)를 구비하는 전기 소자 장치.

청구항 8

제 1항에 있어서,

상기 배리스터 몸체(2)는 상기 반도체 소자(1)와 병렬로 연결되는 전기 소자 장치.

청구항 9

제 1항에 있어서,

상기 배리스터 몸체(2)는 적어도 하나의 내부 전극(5)을 구비하는 전기 소자 장치.

청구항 10

제 1항에 있어서,

상기 배리스터 몸체(2)는 적어도 하나의 외부 전기적 접촉부(4a,4b) 및 적어도 하나의 내부 전극(5)을 구비하며, 상기 내부 전극은 적어도 하나의 플레이트 통과 구멍(6)에 의해 외부 접촉부에 연결되는 전기 소자 장치.

청구항 11

제 1항에 있어서,

상기 배리스터 몸체(2)는 적어도, 매트릭스로서 배리스터 세라믹 및 필러로서 열 전도성 물질로 구성되는 복합 물질을 함유하는 전기 소자 장치.

청구항 12

제 1항에 있어서,

상기 캐리어(3) 상에 장착되는 상기 반도체 소자(1) 및 상기 배리스터 몸체(2)를 구비하는 상기 캐리어(3)는 하우징(10) 내에 집적되며, 상기 하우징은, 상기 캐리어에 연결되고 상기 캐리어에 열적으로 결합되는 열 전도성 영역을 구비하는 전기 소자 장치.

청구항 13

제 1항에 있어서,

상기 배리스터 몸체(2)는 모노리식형 다층 배리스터를 포함하는 전기 소자 장치.

청구항 14

제 1항에 있어서,

상기 반도체 소자(1)는: 광전 소자, LED, 커패시터, 다층 커패시터, 서미스터, 다층 서미스터, 다이오드, 증폭기로부터 선택되는 전기 소자 장치.

청구항 15

제 1항에 있어서,

저항/온도 특성 곡선에 따라 상기 반도체 소자(1)의 제어 전류의 조절에 기여하는 서미스터를 더 포함하는 전기 소자 장치.

발명의 설명

기 술 분 야

[0001] 일 실시예에 따른 반도체 소자를 위한 열 발산 수단을 포함하는 전기 소자 장치가 기술된다.

배 경 기 술

[0002] DE 10 2007 013 016 A1은 열 전도체를 구비한 배리스터 소자를 개시한다. 일 실시예에 따르면, 발광 다이오드가 배리스터 소자 상에 배열된다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 장치 내의 전기 소자를 위한 열 발산 수단을 제시하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 반도체 소자 및 배리스터 몸체를 포함하는 전기 소자 장치가 기술되며, 배리스터 몸체는 바람직하게 병렬로 반도체 소자에 접촉연결되어, 상기 반도체 소자를 정전기 방전으로부터 보호한다. 높은 열 전도성 세라믹을 함유

하고 그 위에 반도체 소자 및 배리스터 몸체 둘 모두가 배열되는 캐리어가 열 발산 수단으로 제공된다. 따라서, 캐리어는 반도체 소자 및 배리스터 몸체를 위한 공통 열 발산 캐리어로 기능한다. 소자 장치는 전체적으로 자체-지지(self-support) 유닛을 형성한다. 공통 캐리어는 이하 히트 싱크 또는 공통 히트 싱크로도 언급된다.

[0005] 공통 히트 싱크 상에서 반도체 소자 및 배리스터 몸체가 분리되어 배열되어 있고, 반도체 소자가 배리스터 몸체에 연결되어 있어, 과전압으로부터 보호되며, 특히 정전기 방전으로부터 보호되며, 반도체 소자는 그 자체가 이러한 목적을 위해 구성될 필요가 없다. 배리스터 몸체는, 반도체 소자의 설계를 고려하지 않으면서, 배리스터 몸체에 전기적으로 연결되는 반도체 소자를 과전압으로부터 보호하기 위해 개별적으로 생성되거나 설계될 수 있다. 따라서, 반도체 소자의 구조에 의해 유발되는 임의의 제한에 관계없이, 배리스터 몸체의 과전압 보호 기능이 완전하게 이용되도록 한다.

[0006] 일 실시예에 따르면, 히트 싱크는 높은 열 전도성 세라믹을 함유한다. 예를 들어, 질화알루미늄, 탄화규소, 산화하프늄 및 산화망간이 적절한 세라믹으로 밝혀졌다. 높은 열 전도성 세라믹은, 예를 들어 금속과 같은 높은 열 전도성 필러를 포함하는 매트릭스로서 형성될 수 있다. 따라서, 일 실시예에 따르면, 금속 입자는, 필러로서 히트 싱크의 이미 높은 열 전도성을 갖는 세라믹 매트릭스에 포함된다. 이러한 측정은 히트 싱크의 전체 열 전도성을 더욱 증가시킨다.

[0007] 일 실시예에 따르면, 캐리어로서 기능하는 히트 싱크는, 반도체 소자 및 배리스터 몸체가 장착되는 플레이트 또는 경질의 지지부로 구현된다.

[0008] 소자 장치의 일 실시예에 따르면, 반도체 소자 및 배리스터 몸체는 공통 히트 싱크 상에 적용되는 전기적 전도체 트랙에 접촉연결된다. 이 경우, 열은 반도체 소자 및 배리스터 몸체로부터 직접적으로 전달되어 발산될 뿐만 아니라, 전기적 전도체 트랙을부터도 전달되어 발산될 수 있다. 각각의 경우, 전기적 전도체 트랙은 방향이 다수 번 변하는 코스를 구비하거나, 평면적인 기하학적 패턴으로 구현될 수 있다. 이들은 스크린 인쇄에 의해 히트 싱크에 적용될 수 있다.

[0009] 일 실시예에 따르면, 반도체 소자는, 히트 싱크 상에 위치하는 하부에, 히트 싱크 상의 전기적 전도체 트랙에 접촉연결되는 외부 전기적 접촉부를 구비한다. 이 경우, 반도체 소자의 외부 전기적 접촉부는 솔더볼, 특히 플립-칩 접촉-연결부로 구현되는 것이 바람직하다. 이러한 외부 전기적 접촉부는 히트 싱크 상에 반도체 소자를 장착하는 것을 상당히 용이하게 한다.

[0010] 일 효과적인 실시예에 따르면, 히트 싱크는, 예를 들어 히트 싱크 상에 적용되는 전도체 트랙 구조물에 연결되는 플레이트 통과 구멍을 구비한다. 따라서, 반도체 소자 및/또는 배리스터 몸체의 전기적 접촉 연결부는, 히트 싱크를 통해 예를 들어 인쇄 회로 기판으로 유도될 수 있다.

[0011] 히트 싱크는, 하나가 다른 하나 위에 배열되고, 그 사이에 전도체 트랙이 구성되는 복수의 층들을 더 포함하며, 상기 전도체 트랙은 히트 싱크의 플레이트 통과 구멍에 연결될 수도 있다. 상기 층들은 유전층, 특히 높은 열 전도성 세라믹층일 수 있다.

[0012] 소자 장치의 일 바람직한 실시예에 따르면, 배리스터 몸체는 적어도, 배리스터 세라믹 및 높은 열 전도성 물질로 구성되는 복합 물질을 함유하며, 높은 열 전도성 물질은 배리스터 세라믹과 상이하며, 배리스터 세라믹은 주로 배리스터 몸체의 비선형적인 저항 기능을 위해 선택된다. 매트릭스를 위한 적절한 형성은, 예를 들어 산화아연 - 비스무스 - 안티몬 또는 산화아연 - 프라세오디뮴 화합물이다.

[0013] 일 실시예에 따르면, 배리스터 세라믹은 복합 물질의 주 성분 또는 매트릭스로서 형성되며, 열 전도성 물질은 상기 매트릭스 내의 필러로 형성된다. 높은 열 전도성 필러의 일 예는 금속이다.

[0014] 필러는 바람직하게 배리스터 몸체 내에서 높은 열 전도성 입자의 분산으로 제공된다. 적절한 금속 또는 합금은, 예를 들어 텅스텐, 팔라듐, 백금, 은을 포함한다.

[0015] 배리스터 세라믹 내의 필러로 바람직하게 제시되는 금속은 배리스터 몸체로 높은 열 전도성을 제공하는 장점을 가져, 열은 배리스터 몸체 그 자체에 의해 히트 싱크로 발산될 수 있다. 반도체 소자와 배리스터 몸체 간의 전기 단자에 의해 이동하는 열은, 특히 열 전도 방식으로 구현되는 배리스터 몸체에 의해 히트 싱크로 발산될 수도 있다.

[0016] 일 효과적인 실시예에서, 배리스터 몸체는 배리스터 세라믹과 상이하거나 배리스터 세라믹보다 높은 열 전도성을 갖는 높은 열 전도성의 세라믹을 포함한다. 적절한 세라믹으로는, 예를 들어 질화알루미늄, 탄화규소, 산화

하프늄 및 산화망간이 있으며, 이들은 배리스터 몸체 내에 원치않은 크리스탈 방해물(crystalline interruptions)을 형성하지 않으면서 산화아연과 같은 바람직한 배리스터 세라믹과 함께 양호하게 소결될 수 있기 때문에 적절한 세라믹으로 밝혀졌다. 매트릭스로 구현되는 배리스터 세라믹 내의 필러로서 금속이 사용되는 경우와 유사한 방식으로, 추가적인 높은 열 전도성 세라믹이 제시될 수 있다.

[0017] 배리스터 몸체는, 배리스터 세라믹층 및 상기 배리스터 세라믹층 사이에서 적어도 부분적으로 위치하는 내부 전극층으로 구성된 스택을 포함하는 다층 배리스터로 구현될 수 있다. 다층 배리스터는 소결된 모노리식형 다층 소자인 것이 바람직하다. 주된 부분에 대해서, 개별적인 층의 배리스터 세라믹으로 산화아연이 바람직하게 선택되며, 내부 전극은 은, 팔라듐, 백금, 구리, 니켈 또는 이들 물질들의 합금을 포함할 수 있다.

[0018] 일 실시예에 따르면, 다층 배리스터로 구현되는 배리스터 몸체의 하나 또는 복수의 층은 산화지르코늄을 포함할 수 있다. 이 경우, 다층 배리스터 중 적어도 기저층(상기 기저층은 세라믹 히트 싱크 상에 위치함)은 산화지르코늄을 포함하는 것이 바람직하다. 그에 의해, 세라믹 히트 싱크 및 전도체 트랙에 대한, 적절한 경우 세라믹 히트 싱크에 대한 다층 배리스터의 스트레이 커패시턴스 영향이 감소될 수 있다. 다층 배리스터의 상부층은 산화지르코늄을 함유하는 층으로 구현될 수도 있다. 이는, 추가적인 소자가 배리스터 몸체 상에 배열되는 경우 유리할 수 있으며, 상기 추가적인 소자는 스트레이 커패시턴스에 의해 방해되지 않도록 의도된다.

[0019] 임의의 다층 배리스터 대신, 배리스터 몸체는 벌크형 배리스터로 구현될 수 있다. 벌크형 배리스터는 단일 배리스터 블록을 구비하며, 단일 배리스터 블록의 외측에는 상반된 극성들의 외부 접촉부가 제공된다. 그러나, 내부적으로 배리스터 블록은 금속층을 구비하지 않는다.

[0020] 일 실시예에 따르면, 배리스터 몸체는 복수의 전기 단자들을 구비하며, 복수의 전기 단자들 중 적어도 하나의 제 1 전기 단자는 반도체 소자와 접촉한다. 바람직하게, 상기 전기 단자는 배리스터 몸체 상에서 금속층으로 구현된다. 금속층은 배리스터 몸체의 상측 중 적어도 일 영역 상에 적용될 수 있으며, 예를 들어, 스크린 인쇄에 의해 적용될 수 있다. 전기 단자는 바람직하게 접합가능하다.

[0021] 복수의 전기 단자들은 히트 싱크 상의 접촉 와이어 및/또는 전도체 트랙에 연결될 수 있다.

[0022] 소자 장치의 일 실시예에 따르면, 배리스터 몸체의 복수의 전기 단자들은, 제 1 전기 단자와 분리되고 외부를 향해 배리스터 몸체와 접촉하는, 적어도 하나의 제 2 전기 단자를 포함하며, 이는 배리스터 몸체가 상기 제 2 전기 단자에 의해 반도체 소자로부터 고립된 제 2 전기적 전위에 연결됨을 의미한다. 제 2 전기 단자는, 예를 들어 접지 단자일 수 있다. 이 경우, 제 2 전기 단자는 인쇄 회로 기판 상에서 전도체 트랙에 접촉 연결될 수 있다.

[0023] 제 1 전기 단자 및 제 2 전기 단자 둘 모두는 금속층으로 구현될 수 있다. 금속층으로 구현되는 배리스터 몸체의 전기 단자들은 금, 니켈, 크롬, 팔라듐, 주석 중 적어도 하나를 함유할 수 있다.

[0024] 소자 장치의 일 실시예에 따르면, 외부를 향하여 배리스터 몸체와 접촉하는 제 2 전기 단자는 배리스터 몸체의 하부 상에 배열되며, 다시 말해, 반도체 소자의 장착 영역과 수직적으로 마주보는 영역 상에 배열된다. 제 2 전기 단자는 예를 들어 결합 패드로 구현될 수 있다.

[0025] 일 실시예는, 배리스터 몸체의 상부 상에서 제 1 전기 단자로부터 이격되는 방식으로 배열되는 제 2 전기 단자를 제공한다. 이 경우, 두 개의 단자들은, 배리스터 몸체를 반도체 소자 및 접지로 연결시키는 연결선을 포함할 수 있다.

[0026] 일 실시예는, 반도체 소자와 접촉하면서 동시에 외부를 향해 배리스터 몸체의 접촉을 형성하는 배리스터 몸체의 제 1 전기 단자를 제공하며, 적절한 경우 제 1 전기 단자와 함께 사용되는 연결선이 사용된다.

[0027] 일 실시예에 따르면, 배리스터 몸체는, 배리스터 몸체의 커패시턴스를 조절하도록 기능할 수 있는 적어도 하나의 내부 전극을 구비한다. 내부 전극은 배리스터 몸체의 층 스택의 층 사이에 배열될 수 있다. 내부 전극은 배리스터를 통하거나 배리스터로부터 발생되는 과전압 또는 서지 전류를 소멸시키는 접지 전극일 수 있다. 내부 전극은 배리스터 몸체의 적어도 하나의 전기 단자에 연결되지만, 이 경우 기계적인 접촉연결이 절대적으로 요구되지는 않는다. 따라서, 내부 전극은 배리스터 몸체 내에서 "플로팅(floating)" 방식으로 배열될 수 있다. 대안적으로, 내부 전극은, 비아(via)로도 지정될 수 있는 적어도 하나의 플레이트-관통 구멍에 의해 적어도 하나의 전기 단자에 연결된다.

[0028] 일 실시예에 따르면, 복수의 내부 전극들이 배리스터 몸체에 제공되며, 배리스터 몸체의 서로 다른 전기 단자들과 접촉한다. 내부 전극들은 플로팅 방식 또는 외부를 향해 접촉연결되는 방식으로 구현될 수 있다. 상기 전

극은, 배리스터 세라믹 또는 유전체에 의해 서로 간에 고립되고, 커패시턴스가 생성될 수 있는 적층 방향으로 공통된 중첩 영역을 구비하는 것이 바람직하다. 일 실시예에 따르면, 내부 전극은 반도체 소자의 장착 영역에 수직하게 구성된다.

[0029] 히트 싱크가 배열되는 곳에 하우징을 포함하는 소자 장치가 제시된다. 하우징은 배리스터 몸체 및/또는 반도체 소자로 접촉연결되는 적어도 하나의 전기적 전도성 부분 또는 영역을 구비하는 것이 바람직하다. 하우징은 배리스터 몸체를 포함하며, 반도체 소자 및 배리스터 몸체는 하우징의 전기적 전도성 부분과 병렬로 연결된다. 하우징의 전기적 전도성 부분은 금속층, 예를 들어 전도체 트랙으로 구현될 수 있다. 하우징의 전기적 전도성 부분은 바람직하게 알루미늄 또는 구리를 함유한다.

[0030] 일 실시예에 따르면, 하우징은 배리스터 몸체 및 반도체 소자의 공통 캐리어 또는 공통 히트 싱크에 열적으로 결합되는 적어도 하나의 열 전도성 영역을 구비한다. 그 결과, 배리스터 몸체 및/또는 공통 캐리어로부터의 열은 하우징을 통해 발산될 수 있다. 이 경우, 하우징의 이러한 열 전도성 영역은 높은 열 전도성 물질, 예컨대 높은 열 전도성 세라믹 또는 금속을 포함할 수 있다.

[0031] 소자 장치의 일 실시예에 따르면, 소자 장치는 반도체 소자에 연결된 서미스터를 더 포함한다. 그 저항/온도 특성 곡선에 의존하는 방식으로, 서미스터는 반도체 소자의 제어 전류의 조절에 기여하여, 안전하게 동작될 수 있다. 일 실시예에 따르면, 서미스터는 배리스터 몸체 상에 장착되지만, 반드시 장착될 필요는 없다. 대신에, 배리스터 몸체를 따라 공통 캐리어 또는 공통 히트 싱크 상에 배열되거나 공통된 하우징 내에서 캐리어로부터 분리되어 배열될 수 있다. 서미스터는 평가 유닛에 연결될 수 있으며, 상기 평가 유닛은 반도체 소자로 공급되는 전류를 조절하기 위해 서미스터의 측정된 값을 사용한다. 제어 전류는, LED가 임의의 서지 전류에 인가되지 않거나 가급적으로 일정한 AC 전류로 구동되도록 조절된다.

[0032] 반도체 소자는 많은 소자들로부터 선택될 수 있다. 반도체 소자는 LED와 같은 광전 소자, 커패시터 또는 다층 커패시터, PTC 또는 NTC 성질을 갖는 서미스터 또는 다층 서미스터, 다이오드 또는 증폭기일 수 있다. 모든 경우, 배리스터 몸체는 그에 접촉연결되는 반도체 소자를 과전압으로부터 안전하게 보호할 수 있으며, 본 명세서에 기술되는 일부 실시예에 따르면, 반도체 소자로부터의 열을 발산시킬 수도 있다.

[0033] 반도체 소자로서 LED는 바람직하게 다음과 같은 물질들 중 하나 또는 그 이상으로 구성된다: GaP(gallium phosphide), GaN(gallium nitride), GaAsP(gallium arsenic phosphide), AlGaInP(aluminum gallium indium phosphide), AlGaP(aluminum gallium phosphide), AlGaAs(aluminum gallium arsenide), InGaN(indium gallium nitride), AlN(aluminum nitride), AlGaInN(aluminum gallium indium nitride), ZnSe(tin selenide).

[0034] 공통 세라믹 히트 싱크를 포함하는 소자 장치는 개별 제품으로서 산업상 이용가능한 장점을 갖는다.

도면의 간단한 설명

[0035] 기술된 내용들은 이어지는 도면 및 예시적인 실시예를 참조로 보다 상세하게 설명될 것이다.

도 1은 제 1 구조에 따라 반도체 소자 및 배리스터 몸체가 공통 히트 싱크 상에 장착되고 서로 연결되는 소자 장치의 개략적인 평면도를 도시한다.

도 2는 도 1의 평면도에 도시된 배리스터 몸체의 단면도를 도시한다.

도 3은 배리스터 몸체가 복수의 하부 접촉부들에 의해 서로 다른 전도체 트랙에 접촉연결되고 적어도 하나의 내부 전극을 구비하는, 도 1에 따른 개략적인 평면도이다.

도 4 내지 도 6은 배리스터 몸체의 다른 실시예를 도시한다.

도 7은 소자 장치의 사시도를 도시한다.

도 8은 하우징을 구비하거나 하우징 내에 구비된 소자 장치를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0036] 도 1은 여기에서는 LED인 반도체 소자(1) 및 배리스터 몸체(2)가 공통의 열 전도성 세라믹 캐리어(3) 상에서 서로 분리되어 배열되는 광전 소자 장치의 평면도를 도시한다. 이 예에서, LED는 상측에 애노드 단자(7a) 및 접지 단자(7b)를 구비한다. 각각의 경우, 단자(7a 및 7b)는 접합 패드, 및 세라믹 히트 싱크 상에 적용되는 전도체 트랙(8)에 연결되는 연결선을 포함한다. LED(1)의 단자에 접촉연결되는 전도체 트랙은, 각각의 경우 배리스

터 몸체(2)의 전기적 단자에 연결되도록 형성된다.

[0037] 배리스터 몸체(2)는 상측에 제 1 전기적 단자(4a), 예를 들어 접합 패드로 구현되는 애노드 단자를 구비한다. 배리스터 몸체는 하측에 제 2 전기적 단자(4b)(이 도면에서는 보이지 않음), 예를 들어 접지 단자를 구비한다. 전도체 트랙(8)에 연결되는 배리스터 몸체(2)의 제 2 전기적 단자(4b)는 접합 패드 또는 바람직하게 플립-칩 접촉-연결부로 구현될 수 있다.

[0038] 도 2는 도 1에 도시된 배리스터 몸체(2)의 단면도를 도시한다. 상측의 제 1 전기적 단자(4a) 및 하측의 제 2 전기적 단자(4b)가 도시되며, 각각은 층으로 구현된다. 제 2 전기적 단자(4b)는 바람직하게 접지 단자이다. 일 바람직한 실시예에 따르면 배리스터 몸체(2) 또는 배리스터 칩은 다음과 같은 치수를 갖는다:

[0039] 길이: 200 μm ± 10%,

[0040] 폭: 200 μm ± 10%,

[0041] 두께: 100 μm ± 10%.

[0042] 도 3은 도 1과 달리, 하측에 맞춰지고 서로 이격되는 제 1(4a) 및 제 2(4b) 전기적 단자들을 구비하는 배리스터 몸체(2)를 도시한다. 상기 전기적 단자들(4a 및 4b) 각각은 전도체 트랙(8)에 접촉연결된다. 그러나, 배리스터 몸체(2)의 전기적 단자들은, 서로 전기적으로 절연된 상이한 전도체 트랙들에 접촉된다. 배리스터 몸체에 함유되는 배리스터 세라믹에 의해 생성되는 배리스터 저항으로 인해, 배리스터 몸체가 과전압에 노출되거나 전기적으로 전도성이 되는 경우, 전기적 단자들(4a 및 4b)은 서로 연결된다. 이 경우, 배리스터 몸체 내에 "떠 있는(floating)" 내부 전극(5)(점선 영역)이 도시되지만, 상기 내부 전극이 절대적으로 필요한 것은 아니다. 상기 전극 및 전기적 단자에 접촉연결되는 플레이트 통과 구멍을 구비하거나 구비하지 않는 내부 전극(5)의 배열은, 배리스터 몸체가 전기적 전도성으로 되어 반도체 소자로부터 과전압을 발산하기 시작하는 요구 전압 한도를 기반으로 결정된다.

[0043] 하측에 구비되는 전기적 단자들(4a 및 4b) 대신, 배리스터 칩은 횡방향으로 구비되는 전기적 단자들을 구비할 수 있다. 바람직하게, 모든 경우에서 전기적 단자들 각각은, 예를 들어 니켈 및/또는 주석(Sn)을 함유하는 물질로 구성된 차폐층(closed layer)을 형성한다. 층으로 구현되는 배리스터 몸체 또는 배리스터 칩의 외부 접촉부의 층 두께는 0.9 내지 3.1 μm일 수 있다.

[0044] 도 4는 평면도인 도 3에 도시되는 배리스터 몸체의 단면도를 도시한다. 배리스터 몸체(2)는 배리스터-세라믹 층들의 층 스택을 포함하며, 그 사이에는 내부 전극(5)이 배열된다. 평면형 접촉 패드(4a 및 4b)는 배리스터 몸체의 하측 상에 배열되며, 이들은 세라믹 히트 싱크(3) 상의 각각의 전도체 트랙(8)에 대한 평면 연결을 형성한다.

[0045] 도 5는, 하측에 구비된 접촉 패드(4a 및 4b)가 각각 , 배리스터 몸체의 하측으로부터 약간 돌출된 평면형 접촉 패드 및 반구형 접촉 패드로 구성되고, 평면형 접촉 패드와 반구형 접촉 패드는 하나가 다른 하나 위에 위치하는, 도 4에 따른 배리스터 몸체(2)를 도시한다. 이 경우, 평면형 접촉 패드는 배리스터 몸체에 직접 적용되고, 반구형 접촉 패드는 각각의 평면형 접촉 패드의 하측에 적용된다.

[0046] 도 6은, 상측에 예를 들어 배리스터 몸체(2)의 상측으로부터 약간 돌출되는 평면형 접촉 패드의 형태를 갖는 제 1 전기적 단자(4a)를 구비하는 배리스터 몸체(2)를 도시하며, 접촉 패드는 반도체 소자의 동일한 극성의 해당 전기적 단자(7a), 예컨대 애노드 단자에 예를 들어 연결선에 의해 직접 접촉연결되거나, 전도체 트랙(8)에 의해 간접적으로 접촉연결된다. 배리스터 몸체(2)의 하측 상의 전기적 단자(4b)의 구조는 이전 도면의 구조와 다르지 않다. 그러나, 하측 상의 전기적 단자는 외부를 향해 상이하게 접촉연결될 수 있다. 예로서, 하측 상의 두 전기적 단자들(4b)은 세라믹 히트 싱크 상의 접지 단자에 접촉연결될 수 있다.

[0047] 도 6은 세라믹 히트 싱크의 펴면에 수직하게 연장되는 플레이트 통과 구멍(6) 및 각각 전기저 단자(4a 및 4b)에 연결되는 내부 전극(5)을 더 도시한다. 이 경우, 제 1 플레이트 통과 구멍(6)은 상측 상의 전기적 단자(4a)를 제 1 내부 전극으로 연결시킨다. 추가적인 플레이트 통과 구멍(6)은 제 2 내부 전극을 배리스터 몸체(2)의 하측 상의 복수의 전기적 단자들(4b)로 연결시킨다. 이러한 방식으로 서로 다르게 플레이트 통과 구멍에 연결되는 내부 전극들은 배리스터 세라믹에 의해 서로 분리된다. 따라서, 내부 전극들 사이에 제공되는 배리스터 세라믹이 전기적으로 전도성을 가지면, 제 1 전기적 폴의 내부 전극(5)은 제 2 폴의 내부 전극(5)으로의 전기적 연결을 형성하도록 의도된다.

[0048] 플레이트 통과 구멍(6)은 전기적 전도성 물질, 예컨대 금속으로 채워지는 구멍으로 형성될 수 있다.

[0049] 여기에 설명되는 배리스터 몸체의 모든 실시예는, 매트릭스로서의 배리스터 세라믹, 및 소형 금속 볼 또는 금속 입자와 같은 높은 열 전도성 필러로 구성되는 복합 물질을 포함할 수 있다. 다층 배리스터 몸체가 관여되는 경우, 적어도 하나의 층 또는 복수의 층들은 높은 열 전도성 필러를 함유할 수 있다.

[0050] 도 7은 광전 소자 장치의 사시도를 도시한다. 도 3에 개략적으로 도시된 장치의 전기 소자들 간의 상호연결과 함께, 세라믹 히트 싱크 상에 인쇄된 전도체 트랙(8)을 추가적인 인쇄 회로 기판(미도시) 또는 외부의 전기 회로 장치에 전기적으로 연결시킬 수 있는 플레이트 통과 구멍(9)이 도시된다.

[0051] 도 8은 본 명세서에 전술된 실시예의 광전 소자 장치를 도시하며, 소자 장치는 오목부 또는 피트(15)를 구비하는 하우징(10)을 더 구비한다. 세라믹 히트 싱크(3)는 상기 오목부의 하부 상에 위치된다. 상기 세라믹 히트 싱크는, 배리스터 몸체(2)의 접지 단자를 하우징의 접지 단자(14)에 연결시키는 하나 또는 복수의 플레이트 통과 구멍(9)을 구비할 수 있다. 대안적으로, 세라믹 히트 싱크(3)는 전도체 트랙(8)을 구비하도록 인쇄되어, 전도체 트랙은 배리스터 몸체(2)의 접지 단자를 하우징의 접지 단자(14)로 연결시킬 수 있다.

[0052] 세라믹 히트 싱크(3) 상에 적용되는 반도체 소자(1)는, 상측에서 연결선에 의해 하우징의 제 1 전기적 전도성 부품(12)에 연결된다. 배리스터 몸체(2)는 상측에서, 연결선에 의해 하우징의 제 2 전기적 전도성 부품(13)에 연결된다. 하우징(10)의 제 1, 제 2 및 접지 단자(14)의 기능을 수행하는 제 3의 전기적 전도성 부품은 절연체(13)에 의해 서로 전기적으로 절연된다.

[0053] 반도체 소자가 LED인 경우, 오목부(15)는 LED로부터 발산되는 빛에 노출되는 표면 상에 반사성 코팅을 구비할 수 있다. 그에 의해, 소자 장치로부터 발산되는 빛의 전체적인 커플링은 증가될 수 있다. 접지로 기능하는 하우징(14)의 전기적 전도성 부품은 구리 또는 알루미늄과 같은 금속으로 구성될 수 있다. 특히, 낮은 저항의 전기적 전도성을 가지며 광의 개선된 커플링을 위해 높은 반사도를 갖는 금속이 바람직하다.

[0054] 바람직하게, 배리스터 몸체(2) 및 반도체 소자(1)의 공통 히트 싱크(3)는 하우징(12)의 높은 열 전도성 영역에 기계적으로 연결되지만, 하우징에 열적으로 결합되어 하우징이 히트 싱크로부터의 열을 발산시킬 수 있도록 하며, 상기 열은 배리스터 몸체(2) 및/또는 반도체 소자(1)로부터 전달되거나 그로부터 발산되어 외부로 향하게 된다.

부호의 설명

[0055] 1: 반도체 소자

2: 배리스터 몸체

3: 캐리어 또는 히트 싱크

4a: 배리스터 몸체의 제 1 전기적 단자

4b: 배리스터 몸체의 제 2 전기적 단자

5: 배리스터 몸체 내의 내부 전극

6: 배리스터 몸체의 플레이트 통과 구멍

7a: 반도체 소자의 제 1 전기적 단자

7b: 반도체 소자의 제 2 전기적 단자

8: 캐리어의 전도체 트랙

9: 캐리어의 플레이트 통과 구멍

10: 하우징

11: 하우징의 제 1 전기적 전도성 부품

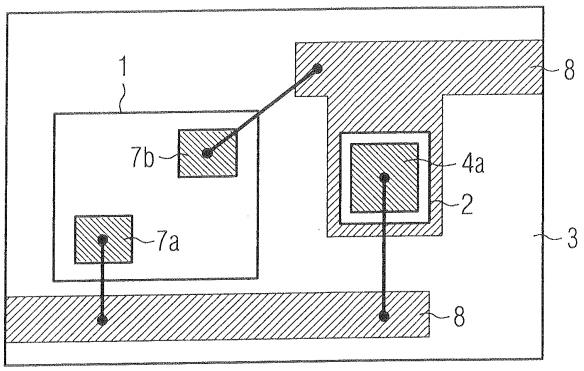
12: 하우징의 제 2 전기적 전도성 부품

13: 절연층

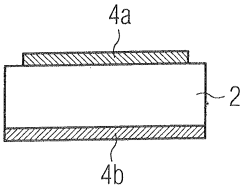
14: 하우징의 제 3 전기적 전도성 부품

도면

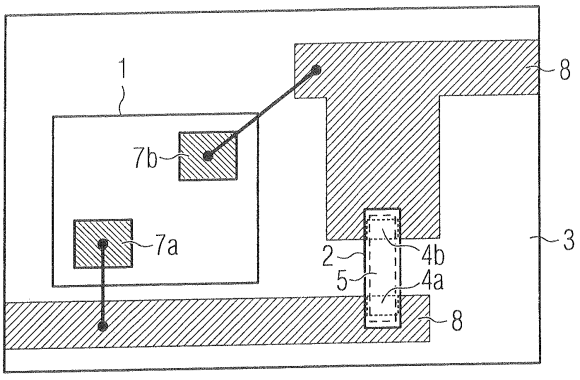
도면1



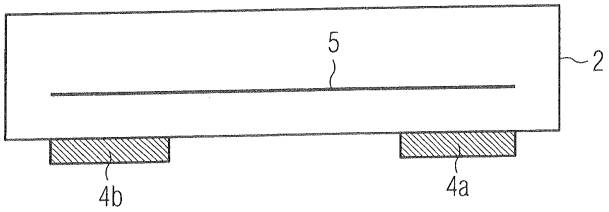
도면2



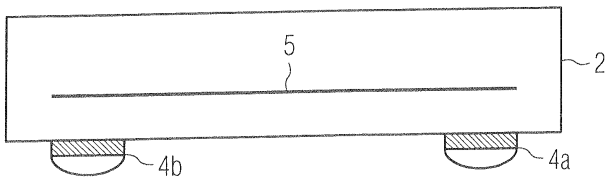
도면3



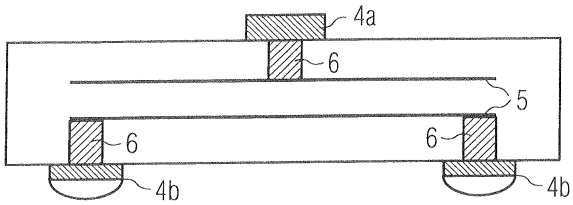
도면4



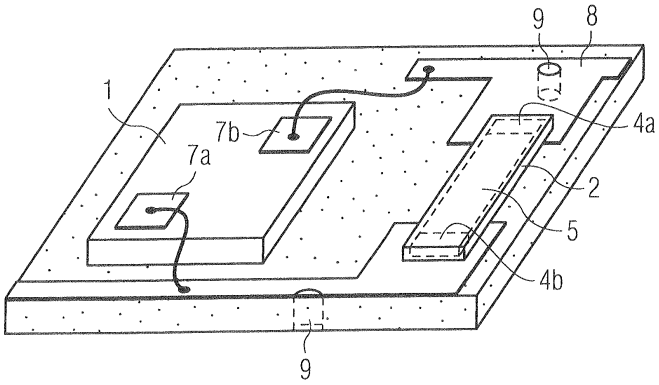
도면5



도면6



도면7



도면8

