(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0167381
(43) 공개일자 2022년12월20일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) *G11C 11/406* (2006.01)
G11C 11/408 (2006.01) *G11C 11/409* (2015.01)
(52) CPC특허분류
G06F 12/0292 (2013.01)
G06F 12/0223 (2013.01)
(21) 출원번호 10-2022-7039312
(22) 출원일자(국제) 2021년04월15일
심사청구일자 없음
(85) 번역문제출일자 2022년11월09일
(86) 국제출원번호 PCT/US2021/027505
(87) 국제공개번호 WO 2021/211859
국제공개일자 2021년10월21일
(30) 우선권주장
63/011,397 2020년04월17일 미국(US)
17/025,157 2020년09월18일 미국(US)

(71) 출원인
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드라이브 2485
(72) 발명자
코트라 자가디쉬 비.
미국 텍사스 78735 오스틴 사우스웨스트 파크웨이 7171
(74) 대리인
박장원

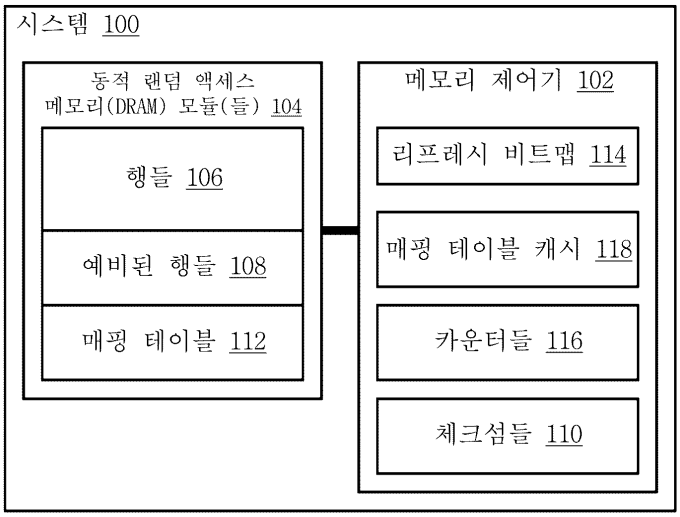
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합**

(57) 요 약

하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합은 메모리 제어기에 의해, DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계; 상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및 상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G11C 11/40607 (2013.01)
G11C 11/40622 (2013.01)
G11C 11/4085 (2013.01)
G11C 11/409 (2018.05)
G06F 2212/1024 (2013.01)
G06F 2212/1028 (2013.01)
Y02D 10/00 (2020.08)

명 세 서

청구범위

청구항 1

하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합을 위한 방법으로서,

메모리 제어기에 의해, DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계;

상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및

상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 하나 이상의 행들이 상기 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 단계를 더 포함하며, 상기 하나 이상의 행들을 상기 리프레시로부터 배제하는 단계는 상기 메모리 제어기에 의해, 상기 비트맵을 상기 동적 랜덤 액세스 메모리(DRAM) 모듈에 제공하는 단계를 포함하는 것인, 방법.

청구항 3

제1항에 있어서,

상기 다른 행은 상기 복수의 행들 내의 행을 포함하는 것인, 방법.

청구항 4

제1항에 있어서,

상기 다른 행은 상기 동적 랜덤 액세스 메모리(DRAM) 모듈의 하나 이상의 예비된 행에 포함된 예비된 행을 포함하는 것인, 방법.

청구항 5

제4항에 있어서,

상기 예비된 행에 단일 행이 매핑된다고 결정하는 단계;

상기 예비된 행에 저장된 데이터를 상기 단일 행에 저장하는 단계; 및

상기 예비된 행에 대한 상기 단일 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 더 포함하는, 방법.

청구항 6

제5항에 있어서,

상기 예비된 행에 매핑되는 행들의 수를 나타내는 카운터를 유지하는 단계를 더 포함하며, 상기 예비된 행에 상기 단일 행이 매핑된다고 결정하는 단계가 상기 카운터에 기초하는 것인, 방법.

청구항 7

제1항에 있어서,

상기 매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지하는 단계를 더 포함하는, 방법.

청구항 8

제1항에 있어서,

상기 하나 이상의 행들 내의 행에 대한 판독 요청을 수신하는 단계;

상기 매핑 테이블에 기초하여, 상기 행이 상기 다른 행에 매핑된다고 결정하는 단계; 및

상기 판독 요청에 응답하여, 상기 다른 행에 저장된 데이터를 제공하는 단계를 더 포함하는, 방법.

청구항 9

제4항에 있어서,

상기 하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신하는 단계;

상기 예비된 행에 저장된 데이터를 상기 하나 이상의 행들 중 상기 특정 행에 저장하는 단계;

상기 기록 요청을 수행하는 단계; 및

상기 예비된 행에 대한 상기 특정 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 더 포함하는, 방법.

청구항 10

하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합을 위한 메모리 제어기로서, 상기 메모리 제어기는 단계들을 수행하도록 구성되며, 상기 단계들은:

DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계;

상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및

상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함하는, 메모리 제어기.

청구항 11

제10항에 있어서, 상기 단계들은:

상기 하나 이상의 행들이 상기 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 단계를 더 포함하며, 상기 하나 이상의 행들을 상기 리프레시로부터 배제하는 단계는 상기 메모리 제어기에 의해, 상기 비트맵을 상기 DRAM 모듈에 제공하는 단계를 포함하는 것인, 메모리 제어기.

청구항 12

제10항에 있어서,

상기 다른 행은 상기 복수의 행들 내의 행을 포함하는 것인, 메모리 제어기.

청구항 13

제10항에 있어서,

상기 다른 행은 상기 동적 랜덤 액세스 메모리(DRAM) 모듈의 하나 이상의 예비된 행들에 포함된 예비된 행을 포함하는 것인, 메모리 제어기.

청구항 14

제13항에 있어서, 상기 단계들은:

상기 예비된 행에 단일 행이 매핑된다고 결정하는 단계;

상기 예비된 행에 저장된 데이터를 상기 단일 행에 저장하는 단계; 및

상기 예비된 행에 대한 상기 단일 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 포함하는 것인, 메모리 제어기.

청구항 15

제14항에 있어서, 상기 단계들은:

상기 예비된 행에 매핑되는 행들의 수를 나타내는 카운터를 유지하는 단계를 더 포함하며, 상기 예비된 행에 상기 단일 행이 매핑된다고 결정하는 단계가 상기 카운터에 기초하는 것인, 메모리 제어기.

청구항 16

제10항에 있어서,

상기 단계들은 상기 매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지하는 단계를 더 포함하는 것인, 메모리 제어기.

청구항 17

제10항에 있어서, 상기 단계들은:

상기 하나 이상의 행들 내의 행에 대한 판독 요청을 수신하는 단계;

상기 매핑 테이블에 기초하여, 상기 행이 상기 다른 행에 매핑된다고 결정하는 단계; 및

상기 판독 요청에 응답하여, 상기 다른 행에 저장된 데이터를 제공하는 단계를 더 포함하는 것인, 메모리 제어기.

청구항 18

제13항에 있어서, 상기 단계들은:

상기 하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신하는 단계;

상기 예비된 행에 저장된 데이터를 상기 하나 이상의 행들 중 상기 특정 행에 저장하는 단계;

상기 기록 요청을 수행하는 단계; 및

상기 예비된 행에 대한 상기 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 더 포함하는 것인, 메모리 제어기.

청구항 19

하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합을 위한 장치로서,

단계들을 수행하도록 구성된 메모리 제어기를 포함하며, 상기 단계들은:

DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계;

상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및

상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함하는, 장치.

청구항 20

제19항에 있어서, 상기 단계들은:

상기 하나 이상의 행들이 상기 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 단계를 더 포함하며;

상기 하나 이상의 행들을 상기 리프레시로부터 배제하는 단계는 상기 메모리 제어기에 의해, 상기 비트맵을 상기 DRAM 모듈에 제공하는 단계를 포함하는 것인, 장치.

발명의 설명

기 술 분 야

배 경 기 술

[0001] 동적 랜덤 액세스 메모리(DRAM) 행들은 데이터 무결성을 보장하기 위해 리프레시되어야 한다. 동적 랜덤 액세

스 메모리의 리프레시는 메모리 모듈에 의해 사용되는 전력의 상당한 부분을 구성한다. 일부 환경들에서, 동적 랜덤 액세스 메모리의 다수의 행들은 동일한 값들을 저장한다.

도면의 간단한 설명

[0002] 도 1은 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 시스템의 블록도이다.

도 2는 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

도 3은 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

도 4는 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

도 5는 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

도 6은 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

도 7은 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

도 8은 일부 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0003] 일부 실시예들에서, 하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합은, 다른 요소들 중에서, 메모리 제어기에 의해, DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 것을 포함한다. 하드웨어 지원 DRAM 행 병합은 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 것, 및 DRAM 모듈의 하나 이상의 행을 리프레시로부터 배제하는 것을 더 포함한다.

[0004] 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합은 하나 이상의 행들이 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 것을 더 포함한다. 이러한 실시예에서, 하나 이상의 행들을 리프레시로부터 배제하는 것은 메모리 제어기에 의해, 비트맵을 DRAM 모듈에 제공하는 것을 포함한다. 일부 실시예들에서, 다른 행은 복수의 행들 내의 행을 포함한다. 다른 실시예들에서, 다른 행은 DRAM 모듈의 하나 이상의 예비된 행에 포함된 예비된 행을 포함한다. 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합은 예비된 행에 단일 행이 매핑된다고 결정하는 것을 더 포함한다. 이러한 결정에 응답하여, 메모리 제어기는 예비된 행에 저장된 데이터를 단일 행에 저장하고, 예비된 행에 대한 단일 행의 매핑을 제거하도록 매핑 테이블을 업데이트한다. 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합은 예비된 행에 매핑되는 행들의 수를 나타내는 카운터를 유지하는 것을 더 포함한다. 이러한 실시예에서, 예비된 행에 단일 행이 매핑된다고 결정하는 것이 카운터에 기초한다. 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합은 매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지하는 것을 더 포함한다. 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합은 하나 이상의 행들 내의 행에 대한 판독 요청을 수신하는 것을 더 포함한다. 판독 요청을 수신하는 것에 응답하여, 메모리 제어기는, 매핑 테이블에 기초하여, 행이 다른 행에 매핑된다고 결정하고, 다른 행에 저장된 데이터를 제공한다. 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합은 하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신하는 것을 더 포함한다. 기록 요청에 응답하여, 메모리 제어기는 예비된 행에 저장된 데이터를 하나 이상의 행들 중 특정 행에 저장한다. 이어서, 메모리 제어기는 기록 요청을 수행하고, 예비된 행에 대한 특정 행의 매핑을 제거하도록 매핑 테이블을 업데이트한다.

[0005] 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합을 위한 메모리 제어기는 다른 요소들 중에서, 메모리 제어기에 의해, DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 것을 포함하는 단계들을 수행한다. 단계들은 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 것; 및 DRAM 모듈의 하나 이상의 행들을 리프레시로부터 배제하는 것을 더 포함한다.

[0006] 일부 실시예들에서, 단계들은 하나 이상의 행들이 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 것을 더 포함한다. 이러한 실시예에서, 하나 이상의 행들을 리프레시로부터 배제하는 것은 메모리 제어기에 의해, 비트맵을 DRAM 모듈에 제공하는 것을 포함한다. 일부 실시예들에서, 다른 행은 복수의 행들 내의 행을 포함한다. 다른 실시예들에서, 다른 행은 DRAM 모듈의 하나 이상의 예비된 행에 포함된 예비된 행을 포함한다. 일부 실시예들에서, 단계들은 예비된 행에 단일 행이 매핑된다고 결정하는 것을 더 포함한다. 이러한 결정에 응답하여, 메모리 제어기는 예비된 행에 저장된 데이터를 단일 행에 저장하고, 예비된 행에 대한 단일 행의 매핑을 제거하도록 매핑 테이블을 업데이트한다. 일부 실시예들에서, 단계들은 예비된 행에 매핑되는 행들의 수

를 나타내는 카운터를 유지하는 것을 더 포함한다. 이러한 실시예에서, 예비된 행에 단일 행이 매핑된다고 결정하는 것이 카운터에 기초한다. 일부 실시예들에서, 단계들은 매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지하는 것을 더 포함한다. 일부 실시예들에서, 단계들은 하나 이상의 행들 내의 행에 대한 판독 요청을 수신하는 것을 더 포함한다. 판독 요청을 수신하는 것에 응답하여, 메모리 제어기는, 매핑 테이블에 기초하여, 행이 다른 행에 매핑된다고 결정하고, 다른 행에 저장된 데이터를 제공한다. 일부 실시예들에서, 단계들은 하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신하는 것을 더 포함한다. 기록 요청에 응답하여, 메모리 제어기는 예비된 행에 저장된 데이터를 하나 이상의 행들 중 특정 행에 저장한다. 이어서, 메모리 제어기는 기록 요청을 수행하고, 예비된 행에 대한 특정 행의 매핑을 제거하도록 매핑 테이블을 업데이트한다.

[0007] 일부 실시예들에서, 하드웨어 지원 DRAM 행 병합을 위한 장치는 다른 요소들 중에서, 메모리 제어기에 의해, DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 것을 포함하는 단계들을 수행하는 메모리 제어기를 포함한다. 단계들은 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 것; 및 DRAM 모듈의 하나 이상의 행들을 리프레시로부터 배제하는 것을 더 포함한다.

[0008] 일부 실시예들에서, 단계들은 하나 이상의 행들이 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 것을 더 포함한다. 이러한 실시예에서, 하나 이상의 행들을 리프레시로부터 배제하는 것은 메모리 제어기에 의해, 비트맵을 DRAM 모듈에 제공하는 것을 포함한다.

[0009] 도 1은 비제한적인 예시적인 시스템(100)의 블록도이다. 예시적인 시스템(100)은 중앙 처리 유닛(CPU), 그래픽 처리 유닛(GPU) 등을 포함하는 다양한 디바이스들에서 구현될 수 있다. 시스템(100)은 메모리 제어기(102) 및 하나 이상의 동적 랜덤 액세스 메모리(DRAM) 모듈(106)을 포함한다. DRAM 모듈들(104) 각각은 데이터를 저장하기 위한 복수의 행들(106)을 포함한다. 메모리 제어기(102)는 DRAM 모듈들(104)에 발행되는 판독 및 기록 요청들을 처리한다. 예를 들어, 메모리 제어기(102)는 판독 요청들 및 기록 요청들의 큐들을 유지하고, 큐잉된 요청들을 요청이 지시되는 특정 DRAM 모듈(104)에 발행한다.

[0010] 행들(106)은 데이터를 저장하기 위한 휘발성 메모리이다. 행들(106)이 휘발성이므로, 행들(106)은 저장된 데이터의 무결성을 유지하기 위해 주기적으로 리프레시되어야 한다. 이러한 리프레시는 DRAM 모듈(104)에 의해 이용되는 전력의 상당한 부분을 구성한다. 많은 환경들에서, 동일한 DRAM 모듈(104) 내의 다수의 행들(106)은 동일한 데이터를 저장한다. 즉, 하나의 행(106) 내의 각 값은 하나 이상의 다른 행들(106) 내의 각 값과 동일하다. 예를 들어, 다수의 가상 머신들이 동일한 하드웨어 상에서 실행되고 가상 머신들이 동일한 소프트웨어 또는 운영 체제들을 실행하는 환경에서, 각 가상 머신에 대한 DRAM의 할당된 부분들에 저장된 데이터는 적어도 부분적으로 동일할 것이다.

[0011] DRAM의 행들에 걸쳐 동일한 데이터를 어드레싱하기 위한 기존의 솔루션들은 동일한 행들로부터 데이터의 중복을 제거하는 하이퍼바이저들 또는 다른 에이전트들에 의해 관리되는 소프트웨어 모듈들을 포함한다. 그러나, DRAM 콘텐츠의 중복을 제거하는 데 수반되는 병목들을 감소시키기 위해, 이들 모듈들은 전형적으로 시스템에서의 총 이용가능한 메모리가 임계치 아래로 떨어지는 상태에서만 실행된다. 또한, 이러한 솔루션들은 소프트웨어 기반이므로, DRAM에 저장된 데이터의 중복을 제거하기 위해 계산 오버헤드 및 자원들이 요구된다.

[0012] 상당한 계산 오버헤드를 요구하고 총 시스템 메모리가 임계치 아래로 떨어질 때 실행에 대해 제한되는 소프트웨어 기반 솔루션을 사용하는 대신에, 시스템(100)은 DRAM 모듈들(104) 내에 동일한 데이터를 저장하는 행들(106)을 병합하기 위한 하드웨어 기반 접근법을 사용한다. 메모리 제어기(102)는 DRAM 모듈(104)에서 동일한 데이터를 저장하는 복수의 행들을 식별한다. 예를 들어, 복수의 행들은 각각 DRAM 모듈(104)의 행들(106)을 포함할 수 있다. 다른 예로서, 복수의 행들은 예비된 행(108)과 동일한 데이터를 공유하는 하나 이상의 행들(106)을 포함할 수 있다. 예비된 행(108)은 동일한 데이터를 저장하는 것으로서 식별된 행들(106)로부터의 데이터를 저장하기 위해 예비된 DRAM 모듈(104) 내의 메모리의 행이다. 다시 말해, 행들(106)은 다른 프로세스들 또는 에이전트들로부터의 판독 및 기록 동작들을 서비스하기 위해 사용되지만, 예비된 행들(108)은 동일한 데이터를 저장하는 것으로서 식별된 행들(106)로부터의 데이터를 저장하기 위해 배타적으로 사용된다.

[0013] 일부 실시예들에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 것은 미리 정의된 간격으로 또는 다른 이벤트에 응답하여 수행된다. 예를 들어, 메모리 제어기(102)는 행들(106) 내에서, 이벤트의 발생에 응답하여 동일한 데이터를 저장하는 행들(106) 중 두 개 이상의 행을 식별한다. 다른 예로서, 메모리 제어기(102)는 행들(106) 내에서, 이벤트의 발생에 응답하여 예비된 행(108)과 동일한 데이터를 저장하는 하나 이상의 행들(106)을 식별한다. 일부 실시예들에서, 복수의 행들을 식별하는 것은 행(106)에 발행된 판독 또는 기록 요청에 응답하여 수행된다. 예를 들어, 메모리 제어기(102)는 행(106)으로부터 판독되거나 이에 기록될 데이터를 다른

행(106) 또는 예비된 행(108) 내의 데이터와 비교한다. 일부 실시예들에서, 이는 아래에서 더 상세히 설명되는 바와 같이, 행(106)으로부터 판독되거나 이에 기록될 데이터의 체크섬(110) 또는 해시를 수행하는 것을 포함하고, 이를 하나 이상의 저장된 체크섬들(110)과 비교한다.

[0014] 이어서, 메모리 제어기(102)는 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장한다. 매핑 테이블(112)의 각 엔트리는 DRAM 모듈(104) 내의 행(106)을 다른 행에 매핑하며, 여기서 다른 행은 자신이 매핑되는 행(106)에 마지막으로 저장된 데이터와 동일한 데이터를 저장한다. 매핑 테이블(112)이 DRAM 모듈(104)에 저장되는 것으로서 도시되어 있지만, 일부 실시예들에서, 매핑 테이블(112)은 그 대신 메모리 제어기(102)에 저장된다는 것이 이해된다.

[0015] 일부 실시예들에서, 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장하는 것은 복수의 식별된 행들(106) 중 하나 이상의 행들(106)을 복수의 식별된 행들(106) 중 다른 행(106)으로 매핑하는 데이터를 저장하는 것을 포함한다. 예를 들어, 메모리 제어기(102)가 행들(106) A, B, C, 및 D를 각각 동일한 데이터를 저장하는 것으로서 식별했다고 가정한다. 이러한 예에서, 메모리 제어기(102)는 행들(106) A, B, 및 C를 행(106) D에 매핑하는 엔트리들을 매핑 테이블(112)에 저장한다. 이 예에서, 행(106) D는 나머지 행들이 자신에 매핑됨에 따라 "대표 행"으로 간주된다. 뿐만 아니라, 이 예에서, 행(106) D는 대표 행으로서 임의로 선택되고, 다른 행들(106)이 가능한 대표 행들이라는 것이 이해된다.

[0016] 다른 예로서, 메모리 제어기(102)가 행들(106) A, B, C, 및 D를 각각 동일한 데이터를 저장하는 것으로서 식별했다고 가정한다. 이어서, 메모리 제어기(102)는 행들(106) A, B, C, 및 D에 저장된 데이터와 동일한 데이터를 예비된 행(108)에 저장하고, 행들(106) A, B, C, 및 D를 예비된 행(108)에 매핑하는 엔트리들을 매핑 테이블(112)에 저장한다. 추가의 예에서, 메모리 제어기(102)가 예비된 행(108)에 이미 저장된 데이터와 동일한 데이터를 저장하는 것으로서 행들(106) A, B, 및 C를 식별한다고 가정한다. 이어서, 메모리 제어기(102)는 행들(106) A, B, 및 C를 예비된 행(108)에 매핑하는 엔트리들을 매핑 테이블(112)에 저장한다.

[0017] 이어서, 메모리 제어기(102)는 하나 이상의 행들(106)(예를 들어, 매핑 테이블(112)에서 다른 행에 매핑되는 행들(106))을 DRAM 모듈(104)의 리프레시로부터 배제한다. 예를 들어, 메모리 제어기(102)는 그 다음의 리프레시 동작 동안 리프레시되어야 하거나 리프레시되지 않아야 하는 행들(106)의 표시를 DRAM 모듈(104)에 제공한다. 일부 실시예들에서, 메모리 제어기(102)는 리프레시 비트맵(114)을 유지한다. 각 행(106)은 리프레시 비트맵(114) 내의 비트에 대응한다. 행(106)이 다른 행(예를 들어, 대표 행 또는 예비된 행(108))에 매핑되는 경우, 매핑된 행(106)에 대응하는 비트는 매핑된 행(106)이 그 다음의 리프레시 동안 스킵되어야 함을 나타내도록 (예를 들어, "1"로) 설정된다. 예를 들어, 매핑 테이블(112) 엔트리가 특정 행(106)을 매핑하기 위해 생성될 때, 특정 행(106)에 대응하는 리프레시 비트맵(114) 내의 비트는 특정 행(106)이 그 다음의 리프레시로부터 배제됨을 나타내도록 설정된다. 따라서, 일부 실시예들에서, 하나 이상의 행들(106)을 리프레시로부터 배제하는 것은 리프레시 비트맵(114)을 DRAM 모듈(104)에 제공하는 것을 포함한다. 이어서, DRAM 모듈(104)은 리프레시 비트맵(114)에 기초하여 리프레시 동작을 수행한다.

[0018] 상술한 접근법에 따르면, 다른 행(예를 들어, 대표 행 또는 예비된 행(108))과 동일한 데이터를 저장하는 하나 이상의 행들(106)은 리프레시 동작으로부터 배제되어, 이들 행들(106)을 리프레시하는 것과 비교할 때 에너지를 절감한다. 이러한 행들(106)은 이하에서 "병합된 행들(106)"로서 지칭된다. 이들 병합된 행들(106)에 지시되는 판독 동작들은 병합된 행들(106)이 매핑되는 곳(예를 들어, 매핑의 타겟)을 결정하기 위해 매핑 테이블(112)에 액세스함으로써 서비스되고, 이어서 매핑의 타겟으로부터 대응하는 데이터를 로딩한다.

[0019] 상술한 바와 같이, 병합된 행들(106)은 대안적으로 (행들(106)에 포함된) 대표 행, 또는 예비된 행(108)에 매핑된다. 대표 행이 여전히 기록 요청들의 타겟이 될 수 있으므로, 대표 행에 대한 매핑은 기록될 때 상당한 오버헤드의 위험을 나타낸다. 예를 들어, 대표 행에 기록할 때, 대표 행에 저장된 데이터는 다른 행에 복사되어야 하고, 대표 행에 매핑하는 임의의 매핑 테이블(112) 엔트리는 이 다른 행으로 업데이트되어야 한다. 따라서, 예비된 행들(108)은 단지 병합된 행들(106)의 데이터를 저장하기 위해 기록되므로, 바람직한 실시예에서, 병합될 행들(106)은 예비된 행(108)에 매핑된다.

[0020] 일부 실시예들에서, 메모리 제어기(112)는 각 예비된 행(108)에 대해, 예비된 행(108)에 매핑되는 병합된 행들(106)의 수를 나타내는 대응하는 카운터(116)를 유지한다. 예를 들어, 병합된 행(106)을 예비된 행(108)에 매핑하는 매핑 테이블(112) 엔트리가 생성됨에 따라, 메모리 제어기(102)는 예비된 행(108)에 대응하는 카운터(116)를 증분시킨다. 병합된 행(106)이 (예를 들어, 병합된 행(106)에 지시되는 기록에 응답하여) 예비된 행(108)에 매핑되는 것을 끊을 때, 예비된 행(108)에 대응하는 카운터(116)는 감분된다. 일부 실시예들에서, 카

운터들(116)은 각 예비된 행(108)에 대한 체크섬들(110)과 동일한 데이터 구조로 유지된다. 예를 들어, 데이터 구조 내의 각 엔트리는 예비된 행(108)에 대응한다. 데이터 구조 내의 각 엔트리는 대응하는 예비된 행(108)에 대해, 예비된 행(108)에 저장된 데이터에 대한 체크섬(110)(만약 있다면), 및 예비된 행(108)에 매핑되는 병합된 행들(106)의 수를 나타내는 카운터(116)를 나타낸다.

[0021] 따라서, 일부 실시예들에서, 메모리 제어기(102)는 단일 행(106)이 예비된 행(108)에 매핑될 때를 결정한다. 예를 들어, 메모리 제어기(102)는 예비된 행(108)에 대응하는 카운터(116)가 "1"로 설정될 때를 결정한다. 다른 예로서, 메모리 제어기(108)는 예비된 행(108)에 매핑되는 매핑 테이블(112) 엔트리들에 액세스하고, 단일 매핑 테이블(112)이 예비된 행(108)에 매핑된다고 결정한다.

[0022] 단일 행(106)이 예비된 행(108)에 매핑된다고 결정하는 것에 응답하여, 메모리 제어기(102)는 예비된 행(108)에 저장된 데이터를 단일 행(106)에 저장한다. 예를 들어, 메모리 제어기(102)는 예비된 행(108)에 저장된 데이터가 예비된 행(106)에 매핑되는 단일 행(106)에 복사되거나 복제되게 하는 커맨드를 DRAM 모듈(104)에 발행한다. 이는 단일 행(106)에 이전에 저장된 데이터가 리프레시의 부족으로 인해 저하된 경우에, 단일 행(106)이 정확한 데이터를 저장하는 것을 보장한다. 이어서, 메모리 제어기(102)는 예비된 행(108)에 대한 단일 행(106)의 매핑을 제거하도록 매핑 테이블(112)을 업데이트한다. 일부 실시예들에서, 이어서, 메모리 제어기(102)는 예비된 행(108)에 대응하는 카운터를 0으로 감분시킨다. 일부 실시예들에서, 이는 예비된 행(108)이 할당되지 않고, 병합을 위해 다른 행들(106)을 매핑하기 위한 다른 데이터의 저장에 이용가능하다는 것을 나타낸다. 일부 실시예들에서, 메모리 제어기(102)는 이제 더 이상 어떠한 예비된 행(108)에도 매핑되지 않은 단일 행(106)이 그 다음의 리프레시에 포함되어야 한다는 것을 나타내도록 리프레시 비트맵(114)을 업데이트한다.

[0023] 상술한 바와 같이, 일부 실시예들에서, 메모리 제어기(102)는 각 예비된 행(108)에 저장된 데이터에 대한 체크섬들(110)을 유지한다. 체크섬들(108)은 행(106)으로부터 판독되거나 이에 기록된 데이터가 예비된 행(108)과 매칭되는지 여부를 결정하는 것을 가능하게 한다. 예를 들어, 행(106)에 대한 기록 요청에 응답하여, 메모리 제어기(102)는 기록될 데이터가 예비된 행(108)과 매칭된다고 결정한다. 기록 요청을 수행하는 대신, 메모리 제어기(102)는 기록 요청에 의해 타겟이 되는 행(106)을 예비된 행(108)에 매핑하는 매핑 테이블(112) 엔트리를 생성한다. 일부 실시예들에서, 이어서, 메모리 제어기(102)는 기록 요청에 의해 타겟이 되는 행(106), 이제 병합된 행(106)이 DRAM 모듈(104)의 리프레시로부터 배제된다는 것을 나타내도록 리프레시 비트맵(114)을 업데이트한다. 다른 예로서, 행(106)에 대한 판독 요청에 응답하여, 메모리 제어기(102)는 체크섬(110)에 기초하여, 판독 데이터가 예비된 행(108)에 저장된 데이터와 매칭된다고 결정한다. 이어서, 메모리 제어기(102)는 판독 행(106)을 예비된 행(108)에 매핑하는 매핑 테이블(112) 엔트리를 생성하고, 판독 행(106)을DRAM 모듈(104)의 리프레시로부터 배제하도록 리프레시 비트맵(114)을 업데이트한다.

[0024] 일부 실시예들에서, 메모리 제어기(102)는 매핑 테이블(112)에 가장 최근에 또는 가장 빈번하게 사용되는 매핑들을 저장하는 매핑 테이블 캐시(118)를 유지한다. 예를 들어, 메모리 제어기(102)는 판독 또는 기록 요청에 의해 타겟이 되는 행(106)이 다른 행(예를 들어, 대표 행 또는 예비된 행(108))에 매핑되는지를 결정하기 위해 매핑 테이블(112)에 액세스한다. 메모리 제어기(102)가 매핑 테이블(112)에서 매치를 발견하는 경우, 메모리 제어기(102)는 매칭되는 매핑 테이블(112) 엔트리를 포함하도록 매핑 테이블 캐시(118)를 업데이트한다. 이에 따라, 판독 또는 기록 요청들은 먼저 매핑 테이블(112)에 액세스하기 전에 매핑 테이블 캐시(118) 내의 엔트리들과 비교되어, 특정 행(106)이 병합되었고 다른 행에 매핑되는지를 결정하는 데 필요한 DRAM 모듈(104)에 대한 액세스들의 횟수를 감소시킨다.

[0025] DRAM 모듈(104) 내의 행(106)에 지시된 판독 요청에 응답하여, 메모리 제어기(102)는 행(106)이 병합되었고 다른 행(예를 들어, 대표 행 또는 예비된 행(108))에 매핑되는지를 결정한다. 예를 들어, 메모리 제어기(102)는 행(106)을 매핑하는 엔트리가 존재하는지를 결정하기 위해 매핑 테이블 캐시(118)에 액세스한다. 엔트리가 발견되지 않거나 매핑 테이블 캐시(118)가 구현되지 않는다면, 메모리 제어기(102)는 행(106)을 매핑하는 엔트리가 존재하는지를 결정하기 위해 매핑 테이블(112)에 액세스한다. 매핑 테이블 캐시(118) 또는 매핑 테이블(112)에 엔트리가 존재한다면, 액세스된 엔트리 내에 표시되는 매핑에 의해 타겟이 되는 행 및 저장된 데이터가 검색된다. 이어서, 이 데이터가 판독 요청에 응답하여 반환된다. 일부 실시예들에서, 매핑 테이블(112)의 식별된 엔트리는 매핑 테이블 캐시(118)에 추가된다.

[0026] DRAM 모듈(104) 내의 행(106)에 지시된 기록 요청에 응답하여, 메모리 제어기(102)는 행(106)이 병합되었고 예비된 행(108)에 매핑되는지를 결정한다. 예를 들어, 메모리 제어기(102)는 행(106)을 예비된 행(108)에 매핑하는 엔트리가 존재하는지를 결정하기 위해 매핑 테이블 캐시(118)에 액세스한다. 엔트리가 발견되지 않거나 매

핑 테이블 캐시(118)가 구현되지 않는다면, 메모리 제어기(102)는 행(106)을 예비된 행(108)에 매핑하는 엔트리가 존재하는지를 결정하기 위해 매핑 테이블(112)에 액세스한다.

[0027] 매핑 테이블 캐시(118) 또는 매핑 테이블(112)에 엔트리가 존재한다면, 예비된 행(108)이 액세스되고, 예비된 행(108)의 콘텐츠가 기록 요청에 의해 타겟이 되는 행(106)에 복사된다. 이어서, 기록 요청이 행(106)에 적용된다. 행(106)을 예비된 행(108)에 매핑하는 매핑 테이블(112) 엔트리(그리고, 존재한다면, 매핑 테이블 캐시(118) 엔트리)는 제거된다. 일부 실시예들에서, 예비된 행(108)에 대응하는 카운터(116)는 감분된다.

[0028] 추가 설명을 위해, 도 2는 하드웨어 지원 DRAM 행 병합을 위한 예시적인 방법을 도시한 흐름도를 제시하며, 이는 (예를 들어, 메모리 제어기(102)에 의해) DRAM 모듈(104)에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202)를 포함한다. 예를 들어, 복수의 행들은 각각 DRAM 모듈(104)의 행들(106)을 포함한다. 다른 예로서, 복수의 행들은 하나 이상의 행들(106)이 예비된 행(108)과 동일한 데이터를 공유하는 하나 이상의 행들(106) 및 예비된 행(108)을 포함한다. 예를 들어, 일부 실시예들에서, 예비된 행(108)은 이전에 다른 행들(106)을 병합하고 예비된 행에 매핑함으로써 데이터를 저장한다.

[0029] 일부 실시예들에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202)는 미리 정의된 간격으로 또는 다른 이벤트에 응답하여 수행된다. 예를 들어, 메모리 제어기(102)는 행들(106) 내에서, 이벤트의 발생에 응답하여 동일한 데이터를 저장하는 행들(106) 중 두 개 이상의 행을 식별한다. 다른 예로서, 메모리 제어기(102)는 행들(106) 내에서, 예비된 행(108)과 동일한 데이터를 저장하는 하나 이상의 행들(106)을 식별한다. 일부 실시예들에서, 복수의 행들을 식별하는 것은 행(106)에 발행된 판독 또는 기록 요청에 응답하여 수행된다. 예를 들어, 메모리 제어기(102)는 행(106)으로부터 판독되거나 이에 기록될 데이터를 다른 행(106) 또는 예비된 행(108) 내의 데이터와 비교한다.

[0030] 도 2의 방법은 또한, 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204)를 포함한다. 매핑 테이블(112)의 각 엔트리는 DRAM 모듈(104) 내의 행(106)을 다른 행에 매핑하며, 여기서 다른 행은 자신이 매핑되는 행(106)에 마지막으로 저장된 데이터와 동일한 데이터를 저장한다. 일부 실시예들에서, 다른 행은 DRAM 모듈(104)의 행(106)(예를 들어, 판독 및 기록 요청들에 의해 타겟이 될 수 있는 행(106))을 포함한다. 다른 실시예들에서, 행들(106)이 매핑되는 다른 행은 데이터를 저장하기 위해 예비되고 행들(106)에 의해 매핑되는 예비된 행(108)을 포함한다. 매핑 테이블(112)이 DRAM 모듈(104)에 저장되는 것으로서 도시되어 있지만, 일부 실시예들에서, 매핑 테이블(112)은 그 대신 메모리 제어기(102)에 저장된다는 것이 이해된다.

[0031] 일부 실시예들에서, 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 저장하는 단계(204)는 복수의 식별된 행들(106) 중 하나 이상의 행들(106)을 복수의 식별된 행들(106) 중 다른 행(106)으로 매핑하는 데이터를 저장하는 단계를 포함한다. 예를 들어, 메모리 제어기(102)가 행들(106) A, B, C, 및 D를 각각 동일한 데이터를 저장하는 것으로서 식별했다고 가정한다. 이러한 예에서, 메모리 제어기(102)는 행들(106) A, B, 및 C를 행(106) D에 매핑하는 엔트리들을 매핑 테이블(112)에 저장한다. 이 예에서, 행(106) D는 나머지 행들(106)이 자신에 매핑됨에 따라 "대표 행"으로 간주된다. 뿐만 아니라, 이 예에서, 행(106) D는 대표 행으로서 임의로 선택되고, 다른 행들(106)이 가능한 대표 행들이고 대표 행들은 다양한 기준들에 따라 선택 가능하다는 것이 이해된다.

[0032] 다른 예로서, 메모리 제어기(102)가 행들(106) A, B, C, 및 D를 각각 동일한 데이터를 저장하는 것으로서 식별했다고 가정한다. 이어서, 메모리 제어기(102)는 행들(106) A, B, C, 및 D에 저장된 데이터와 동일한 데이터를 예비된 행(108)에 저장하고, 행들(106) A, B, C, 및 D를 예비된 행(108)에 매핑하는 엔트리들을 매핑 테이블(112)에 저장한다. 추가의 예에서, 메모리 제어기(102)가 예비된 행(108)에 이미 저장된 데이터와 동일한 데이터를 저장하는 것으로서 행들(106) A, B, 및 C를 식별한다고 가정한다. 이어서, 메모리 제어기(102)는 행들(106) A, B, 및 C를 예비된 행(108)에 매핑하는 엔트리들을 매핑 테이블(112)에 저장한다.

[0033] 도 2의 방법은 (예를 들어, 메모리 제어기(102)에 의해) 하나 이상의 행들(106)(예를 들어, 매핑 테이블(112)에서 다른 행에 매핑되는 행들(106))을 DRAM 모듈(104)의 리프레시로부터 배제하는 단계(206)를 더 포함한다. 매핑 테이블(112)에서 엔트리들을 갖고 리프레시로부터 배제될 행들(106)은 "병합된 행들"(106)로 간주된다. 일부 실시예들에서, 하나 이상의 행들(106)을 리프레시로부터 배제하는 단계(206)는 그 다음의 리프레시 동작 동안 리프레시되어야 하거나 리프레시되지 않아야 하는 행들(106)의 표시를 DRAM 모듈(104)에 제공하는 단계를 포함한다. 이어서, DRAM 모듈(104)은 수신된 표시에 따라 리프레시를 수행한다.

[0034] 추가 설명을 위해, 도 3은 본 발명의 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 방법을 제시한다. 도 3의 방법은 도 3의 방법이 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202), 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204), 및 하나 이상의 행들(106)을 DRAM 모듈(104)의 리프레시로부터 배제하는 단계(206)를 포함하는 점에서 도 2와 유사하다.

[0035] 도 3은 도 3이 하나 이상의 행들(106)이 리프레시로부터 배제된다는 것을 나타내도록 비트맵(예를 들어, 리프레시 비트맵(114))을 업데이트하는 단계(302)를 포함한다는 점에서 도 2와 상이하다. 예를 들어, 일부 실시예들에서, 메모리 제어기(102)는 리프레시 비트맵(114)을 유지한다. 각 행(106)은 리프레시 비트맵(114) 내의 비트에 대응한다. 행(106)이 다른 행(예를 들어, 대표 행 또는 예비된 행(108))에 매핑되는 경우, 매핑된 행(106)(예를 들어, 매핑 테이블(112) 엔트리를 갖는 행(106))에 대응하는 비트는 매핑된 행(106)이 그 다음의 리프레시 동안 스킵되어야 함을 나타내도록 (예를 들어, "1"로) 설정된다. 예를 들어, 매핑 테이블(112) 엔트리가 특정 행(106)을 매핑하기 위해 생성될 때, 특정 행(106)에 대응하는 리프레시 비트맵(114) 내의 비트는 특정 행(106)이 그 다음의 리프레시로부터 배제됨을 나타내도록 설정된다.

[0036] 도 3의 방법은 또한, 하나 이상의 행들(106)을 리프레시로부터 배제하는 단계(206)가 비트맵(예를 들어, 리프레시 비트맵(114))을 DRAM 모듈(104)에 제공하는 단계(304)를 포함한다는 점에서 도 3과 상이하다. 이어서, DRAM 모듈(104)은 수신된 비트맵에 기초하여 리프레시 동작을 수행한다.

[0037] 추가 설명을 위해, 도 4는 본 발명의 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 방법을 제시한다. 도 4의 방법은 도 4의 방법이 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202), 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204), 및 하나 이상의 행들(106)을 DRAM 모듈(104104)의 리프레시로부터 배제하는 단계(206)를 포함하는 점에서 도 2와 유사하다.

[0038] 하나 이상의 행들(106)이 매핑되는 다른 행이 예비된 행(108)이라고 가정한다. 도 4는 도 4의 방법이 단일 행(106)이 예비된 행(108)에 매핑된다고 결정하는 단계(402)를 포함한다는 점에서 도 2와 상이하다. 다수의 행들(106)이 예비된 행(108)에 매핑된 후에, 이들 행들(106)을 제외한 모든 행들이 예비된 행(108)에 매핑되기를 끊었다고 가정한다. 예를 들어, 단일 행(106)이 아닌 매핑된 행들(106)을 타겟으로 한 기록 동작들이 수행되었다. 이는 기록 동작들에 의해 타겟이 된 행들(106)이 매핑되는 예비된 행(108)과 상이한 값들을 저장하게 할 것이어서, 이들이 더 이상 예비된 행(108)에 매핑되지 않을 것을 필요로 한다.

[0039] 일부 실시예들에서, 단일 행(106)이 예비된 행(108)에 매핑된다고 결정하는 단계(402)는 예비된 행(108)에 매핑되는 행들(106)의 수를 나타내는 카운터(116)가 "1"로 설정될 때를 결정하는 단계를 포함한다. 다른 예로서, 단일 행(106)이 예비된 행(108)으로 매핑된다고 결정하는 단계(402)는 예비된 행(108)에 매핑되는 매핑 테이블(112) 엔트리들에 액세스하는 단계 및 단일 매핑 테이블(112)이 예비된 행(108)에 매핑된다고 결정하는 단계를 포함한다.

[0040] 도 4의 방법은 예비된 행(108)에 저장된 데이터를 단일 행(106)에 저장하는 단계(404)를 더 포함한다. 예를 들어, 메모리 제어기(102)는 예비된 행(108)에 저장된 데이터가 예비된 행(106)에 매핑되는 단일 행(106)에 복사되거나 복제되게 하는 커맨드를 DRAM 모듈(104)에 발행한다. 이는 단일 행(106)에 이전에 저장된 데이터가 리프레시의 부족으로 인해 저하된 경우에, 단일 행(106)이 정확한 데이터를 저장하는 것을 보장한다.

[0041] 도 4의 방법은 예비된 행(108)에 대한 단일 행(106)의 매핑을 제거하도록 매핑 테이블(112)을 업데이트하는 단계(406)를 더 포함한다. 일부 실시예들에서, 이어서, 메모리 제어기(102)는 예비된 행(108)에 대응하는 카운터(116)를 0으로 감분시킨다. 일부 실시예들에서, 이는 예비된 행(108)이 할당되지 않고, 병합을 위해 다른 행들(106)을 매핑하기 위한 다른 데이터의 저장에 이용가능하다는 것을 나타낸다. 일부 실시예들에서, 메모리 제어기(102)는 이제 더 이상 어떠한 예비된 행(108)에도 매핑되지 않은 단일 행(106)이 그 다음의 리프레시에 포함되어야 한다는 것을 나타내도록 리프레시 비트맵(114)을 업데이트한다.

[0042] 추가 설명을 위해, 도 5은 본 발명의 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 방법을 제시한다. 도 5의 방법은 도 5의 방법이 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202), 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204), 및 하나 이상의 행들(106)을 DRAM 모듈(104)의 리프레시로부터 배제하는 단계(206), 단일 행(106)이 예비된 행(108)에 매핑된다고 결정하는 단계(402), 예비된 행(108)에 저장된 데이터를 단일 행(106)에 저장하는 단계(404), 및 예비된 행(108)에 대한 단일 행(106)의 매핑을 제거하도록 매핑 테이블(112)을 업데이트하는 단계(406)를 포함하는 점에서 도 4와 유사하다.

[0043] 도 5의 방법은 도 5의 방법이 예비된 행(108)에 매핑되는 행들(106)의 수를 나타내는 카운터(116)를 유지하는 단계(502)를 포함한다는 점에서 도 4와 상이하다. 예를 들어, 메모리 제어기(102)는 각 예비된 행(108)에 대해, 예비된 행(108)에 매핑되는 병합된 행들(106)의 수를 나타내는 대응하는 카운터(116)를 유지한다. 예를 들어, 병합된 행(106)을 예비된 행(108)에 매핑하는 매핑 테이블(112) 엔트리가 생성됨에 따라, 메모리 제어기(102)는 예비된 행(108)에 대응하는 카운터(116)를 증분시킨다. 병합된 행(106)이 (예를 들어, 병합된 행(106)에 지시되는 기록에 응답하여) 예비된 행(108)에 매핑되는 것을 끊을 때, 예비된 행(108)에 대응하는 카운터(116)는 감분된다. 일부 실시예들에서, 카운터들(116)은 각 예비된 행(108)에 대한 체크섬들(110)과 동일한 데이터 구조로 유지된다. 예를 들어, 데이터 구조 내의 각 엔트리는 예비된 행(108)에 대응한다. 데이터 구조 내의 각 엔트리는 대응하는 예비된 행(108)에 대해, 예비된 행(108)에 저장된 데이터에 대한 체크섬(110)(만약 있다면), 및 예비된 행(108)에 매핑되는 병합된 행들(106)의 수를 나타내는 카운터(116)를 나타낸다.

[0044] 도 5의 방법은 또한, 단일 행(106)이 예비된 행(108)에 매핑된다고 결정하는 단계(402)가 카운터(116)에 기초하여 단일 행(106)이 예비된 행(108)에 매핑된다고 결정하는 단계(504)를 포함한다는 점에서 도 4와 상이하다. 예를 들어, 메모리 제어기(102)는 예비된 행(108)에 대한 카운터(116)에 액세스하고, 그 카운터(116)가 "1"로 설정되어 있다고 결정한다.

[0045] 추가 설명을 위해, 도 6은 본 발명의 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 방법을 제시한다. 도 6의 방법은 도 6의 방법이 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202), 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204), 및 하나 이상의 행들(106)을 DRAM 모듈(104)의 리프레시로부터 배제하는 단계(206)를 포함하는 점에서 도 2와 유사하다.

[0046] 도 6은 도 6이 매핑 테이블(112)의 일부를 저장하는 매핑 테이블 캐시(118)를 (예를 들어, 메모리 제어기(102)에 의해) 유지하는 단계(602)를 포함한다는 점에서 도 2와 상이하다. 매핑 테이블 캐시(118)는 매핑 테이블(112)에 가장 최근에 또는 가장 빈번하게 사용되는 매핑들을 저장한다. 예를 들어, 메모리 제어기(102)는 판독 또는 기록 요청에 의해 타겟이 되는 행(106)이 다른 행(예를 들어, 대표 행 또는 예비된 행(108))에 매핑되는지를 결정하기 위해 매핑 테이블(112)에 액세스한다. 메모리 제어기(102)가 매핑 테이블(112)에서 매치를 발견하는 경우, 메모리 제어기(102)는 매칭되는 매핑 테이블(112) 엔트리를 포함하도록 매핑 테이블 캐시(118)를 업데이트한다. 이에 따라, 판독 또는 기록 요청들은 먼저 매핑 테이블(112)에 액세스하기 전에 매핑 테이블 캐시(118) 내의 엔트리들과 비교되어, 특정 행(106)이 병합되었고 다른 행에 매핑되는지를 결정하는 데 필요한 DRAM 모듈(104)에 대한 액세스들의 횟수를 감소시킨다.

[0047] 추가 설명을 위해, 도 7은 본 발명의 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 방법을 제시한다. 도 7의 방법은 도 7의 방법이 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202), 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204), 및 하나 이상의 행들(106)을 DRAM 모듈(104)의 리프레시로부터 배제하는 단계(206)를 포함하는 점에서 도 2와 유사하다.

[0048] 도 7은 도 7이 하나 이상의 행들(106) 내의 행(106)(예를 들어, 이전에 다른 행에 매핑되고 리프레시로부터 배제된 병합된 행(106))에 대한 판독 요청을 (예를 들어, 메모리 제어기(102)에 의해) 수신하는 단계(702)를 포함한다는 점에서 도 2와 상이하다. 예를 들어, 행들(106) A, B, 및 C가 동일한 데이터를 저장하는 것으로서 식별되었고(202), 예비된 행(108)에 매핑된다고 가정한다. 또한, 판독 요청이 행(106) A에 저장된 데이터에 대한 것이라고 가정한다. 행(106) A에 저장된 데이터가 리프레시로부터 배제되었으므로, 행(106) A에 저장된 데이터는 무결성의 손실에 민감하다.

[0049] 도 7의 방법은 매핑 테이블(112)에 기초하여, 행(106)이 다른 행에 매핑된다고 결정하는 단계(704)를 더 포함한다. 위의 예를 계속하면, 메모리 제어기(102)는 매핑 테이블(112)에 기초하여, 행(106) A가 이의 대응하는 예비된 행(108)에 매핑된다고 결정한다. 예를 들어, 일부 실시예들에서, 메모리 제어기(102)는 DRAM 모듈(104)로부터 매핑 테이블(112)에 액세스하고, 행(106) A에 대한 매핑 테이블(112) 내의 엔트리를 식별한다. 이어서, 엔트리는 대응하는 예비된 행(108)을 나타낸다. 다른 실시예들에서, 메모리 제어기(102)는 행(106) A에 대한 엔트리가 저장되어 있는지를 결정하기 위해 먼저 매핑 테이블 캐시(118)에 액세스한다. 엔트리가 저장되어 있다면, 메모리 제어기는 매핑 테이블 캐시(118) 내의 엔트리에 기초하여 대응하는 예비된 행(108)을 식별한다. 행(108) A에 대해 어떠한 엔트리도 발견되지 않는다면, 메모리 제어기(102)는 상술한 바와 같이 DRAM 모듈(104)로부터 매핑 테이블(112)에 액세스한다.

[0050] 도 7의 방법은 판독 요청에 응답하여, 다른 행(예를 들어, 매핑 테이블(112)에서 식별되고 병합된 행(106)이 매핑되는 행)에 저장된 데이터를 제공하는 단계(706)를 더 포함한다. 예를 들어, 메모리 제어기(102)는 매핑 테

이블(112)에서 식별된 행으로부터 판독하고, 판독 요청에 대한 응답으로서 요청된 데이터를 제공한다. 이에 따라, 병합된 행(106)을 타겟으로 하는 판독 요청은 이에 응답하여, 매핑 테이블(112)에서, 병합된 행(106)의 매핑의 타겟인 것으로서 식별되는 행에 저장된 데이터를 수신한다.

[0051] 추가 설명을 위해, 도 8은 본 발명의 실시예들에 따른 하드웨어 지원 DRAM 행 병합을 위한 방법을 제시한다. 도 8의 방법은 도 8의 방법이 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계(202), 복수의 행들 중 하나 이상의 행들(106)을 다른 행에 매핑하는 데이터를 매핑 테이블(112)에 저장하는 단계(204), 및 하나 이상의 행들(106)을 DRAM 모듈(104)의 리프레시로부터 배제하는 단계(206)를 포함하는 점에서 도 2와 유사하다.

[0052] 하나 이상의 행들(106)이 예비된 행(108)에 매핑된다고 가정한다. 도 8은 도 8의 방법이 하나 이상의 행들(106) 중의 행(106)(예를 들어, 예비된 행(108)에 매핑되고 리프레시로부터 배제된 병합된 행(106))에 대한 기록 요청을 수신하는 단계(802)를 포함한다는 점에서 도 2와 상이하다. 예를 들어, 행들(106) A, B, 및 C가 동일한 데이터를 저장하는 것으로서 식별되었고(202), 예비된 행(108)에 매핑된다고 가정한다. 또한, 판독 요청이 행(106) A에 저장된 데이터에 대한 것이라고 가정한다. 행(106) A에 저장된 데이터가 리프레시로부터 배제되었으므로, 행(106) A에 저장된 데이터는 무결성의 손실에 민감하다.

[0053] 도 8의 방법은 또한, 예비된 행(108)에 저장된 데이터를 하나 이상의 행들(106) 중의 행(106)에 저장하는 단계(804)를 포함한다. 위의 예를 계속하면, 메모리 제어기(102)는 매핑 테이블(112)에 기초하여, 행(106) A가 이의 대응하는 예비된 행(108)에 매핑된다고 결정한다. 예를 들어, 일부 실시예들에서, 메모리 제어기(102)는 DRAM 모듈(104)로부터 매핑 테이블(112)에 액세스하고, 행(106) A에 대한 매핑 테이블(112) 내의 엔트리를 식별한다. 이어서, 엔트리는 대응하는 예비된 행(108)을 나타낸다. 다른 실시예들에서, 메모리 제어기(102)는 행(106) A에 대한 엔트리가 저장되어 있는지를 결정하기 위해 먼저 매핑 테이블 캐시(118)에 액세스한다. 엔트리가 저장되어 있다면, 메모리 제어기는 매핑 테이블 캐시(118) 내의 엔트리에 기초하여 대응하는 예비된 행(108)을 식별한다. 행(108) A에 대해 어떠한 엔트리도 발견되지 않는다면, 메모리 제어기(102)는 상술한 바와 같이 DRAM 모듈(104)로부터 매핑 테이블(112)에 액세스한다. 이어서, 메모리 제어기(102)는 식별되는 예비된 행(108)에 저장된 데이터를 로딩하고, 이 데이터를 행 A에 저장한다.

[0054] 도 8의 방법은 또한, 기록 요청을 수행하는 단계(806)를 포함한다. 예를 들어, 메모리 제어기(102)는 적용을 위해 DRAM 모듈(104)에 기록 요청을 발행한다. 이에 따라, 기록 요청의 임의의 동작들은 기록 요청에서 표시된 행(106)에 적용되고, 이제 이의 대응하는 예비된 행(108)의 데이터를 저장한다.

[0055] 도 8의 방법은 또한, 예비된 행(108)에 대한 행(106)의 매핑을 제거하도록 매핑 테이블(112)을 업데이트하는 단계(808)를 포함한다. 행(106)이 기록되었으므로, 이는 더 이상 예비된 행(108)과 동일한 데이터를 저장하지 않는다. 이에 따라, 예비된 행(108)에 대한 행(106)의 매핑은 매핑 테이블(112)로부터 제거된다. 매핑 테이블 캐시(118)가 구현되는 경우, 예비된 행(108)에 대한 행(106)의 임의의 매핑은 또한 매핑 테이블 캐시(118)로부터 제거된다.

[0056] 상술한 설명을 고려하여, 독자들은 하드웨어 지원 DRAM 행 병합의 이점들이 다음을 포함한다는 것을 인식할 것이다:

[0057] • 동일한 데이터를 갖는 선택된 행들을 리프레시하는 것을 저지하여 DRAM 리프레시를 수행하는 데 요구되는 에너지를 감소시킴으로써 컴퓨팅 시스템의 성능을 개선.

[0058] • DRAM에서 데이터의 중복 제거를 위한 소프트웨어 기반 솔루션들에 비해 더 적은 계산 오버헤드를 요구함으로써 컴퓨팅 시스템의 성능을 개선.

[0059] 본 발명의 이점 및 특징은 다음의 진술에 의해 추가로 설명될 수 있다.

[0060] 1. 하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합을 위한 방법으로서, 메모리 제어기에 의해, DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계; 상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및 상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함하는, 방법.

[0061] 2. 제1문에 있어서, 상기 하나 이상의 행들이 상기 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 단계를 포함하며, 상기 하나 이상의 행들을 상기 리프레시로부터 배제하는 단계는 상기 메모리 제어기에 의해, 상기 비트맵을 상기 동적 랜덤 액세스 메모리(DRAM) 모듈에 제공하는 단계를 포함하는 것인, 방법.

[0062] 3. 제1문 또는 제2문에 있어서, 상기 다른 행은 상기 복수의 행들 내의 행을 포함하는 것인, 방법.

[0063] 4. 제1문 내지 제3문 중 어느 하나에 있어서, 상기 다른 행은 상기 동적 랜덤 액세스 메모리(DRAM) 모듈의 하나 이상의 예비된 행에 포함된 예비된 행을 포함하는 것인, 방법.

[0064] 5. 제1문 내지 제4문 중 어느 하나에 있어서, 상기 예비된 행에 단일 행이 매핑된다고 결정하는 단계; 상기 예비된 행에 저장된 데이터를 상기 단일 행에 저장하는 단계; 및 상기 예비된 행에 대한 상기 단일 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 더 포함하는, 방법.

[0065] 6. 제1문 내지 제5문 중 어느 하나에 있어서, 상기 예비된 행에 매핑되는 행들의 수를 나타내는 카운터를 유지하는 단계를 더 포함하며, 상기 예비된 행에 상기 단일 행이 매핑된다고 결정하는 단계가 상기 카운터에 기초하는 것인, 방법.

[0066] 7. 제1문 내지 제6문 중 어느 하나에 있어서, 상기 매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지하는 단계를 더 포함하는, 방법.

[0067] 8. 제1문 내지 제7문 중 어느 하나에 있어서, 상기 하나 이상의 행들 내의 행에 대한 판독 요청을 수신하는 단계; 상기 매핑 테이블에 기초하여, 상기 행이 상기 다른 행에 매핑된다고 결정하는 단계; 및 상기 판독 요청에 응답하여, 상기 다른 행에 저장된 데이터를 제공하는 단계를 더 포함하는, 방법.

[0068] 9. 제1문 내지 제8문 중 어느 하나에 있어서, 상기 하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신하는 단계; 상기 예비된 행에 저장된 데이터를 상기 하나 이상의 행들 중 상기 특정 행에 저장하는 단계; 상기 기록 요청을 수행하는 단계; 및 상기 예비된 행에 대한 상기 특정 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 더 포함하는, 방법.

[0069] 10. 하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합을 위한 메모리 제어기로서, 상기 메모리 제어기는 단계들을 수행하도록 구성되며, 상기 단계들은: DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계; 상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및 상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함하는, 메모리 제어기.

[0070] 11. 제10문에 있어서, 상기 단계들은: 상기 하나 이상의 행들이 상기 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 단계를 더 포함하며, 상기 하나 이상의 행들을 상기 리프레시로부터 배제하는 단계는 상기 메모리 제어기에 의해, 상기 비트맵을 DRAM 모듈에 제공하는 단계를 포함하는 것인, 메모리 제어기.

[0071] 12. 제10문 또는 제11문에 있어서, 상기 다른 행은 상기 복수의 행들 내의 행을 포함하는 것인, 메모리 제어기.

[0072] 13. 제10문 내지 제12문 중 어느 하나에 있어서, 상기 다른 행은 상기 동적 랜덤 액세스 메모리(DRAM) 모듈의 하나 이상의 예비된 행에 포함된 예비된 행을 포함하는 것인, 메모리 제어기.

[0073] 14. 제10문 내지 제13문 중 어느 하나에 있어서, 상기 단계들은: 상기 예비된 행에 단일 행이 매핑된다고 결정하는 단계; 상기 예비된 행에 저장된 데이터를 상기 단일 행에 저장하는 단계; 및 상기 예비된 행에 대한 상기 단일 행의 매핑을 제거하도록 상기 매핑 테이블을 업데이트하는 단계를 포함하는 것인, 메모리 제어기.

[0074] 15. 제10문 내지 제14문 중 어느 하나에 있어서, 상기 단계들은 상기 예비된 행에 매핑되는 행들의 수를 나타내는 카운터를 유지하는 단계를 더 포함하며, 상기 예비된 행에 상기 단일 행이 매핑된다고 결정하는 단계가 상기 카운터에 기초하는 것인, 메모리 제어기.

[0075] 16. 제10문 내지 제15문 중 어느 하나에 있어서, 상기 단계들은 상기 매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지하는 단계를 더 포함하는 것인, 메모리 제어기.

[0076] 17. 제10문 내지 제16문 중 어느 하나에 있어서, 상기 단계들은 상기 하나 이상의 행들 내의 행에 대한 판독 요청을 수신하는 단계; 상기 매핑 테이블에 기초하여, 상기 행이 상기 다른 행에 매핑된다고 결정하는 단계; 및 상기 판독 요청에 응답하여, 상기 다른 행에 저장된 데이터를 제공하는 단계를 더 포함하는 것인, 메모리 제어기.

[0077] 18. 제10문 내지 제17문 중 어느 하나에 있어서, 상기 단계들은 상기 하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신하는 단계; 상기 예비된 행에 저장된 데이터를 상기 하나 이상의 행들 중 상기 특정 행에 저장하는 단계; 상기 기록 요청을 수행하는 단계; 및 상기 예비된 행에 대한 상기 행의 매핑을 제거하도록 상기 매핑

테이블을 업데이트하는 단계를 더 포함하는 것인, 메모리 제어기.

[0078] 19. 하드웨어 지원 동적 랜덤 액세스 메모리(DRAM) 행 병합을 위한 장치로서, 단계들을 수행하도록 구성된 메모리 제어기를 포함하며, 상기 단계들은: DRAM 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별하는 단계; 상기 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 매핑 테이블에 저장하는 단계; 및 상기 DRAM 모듈의 상기 하나 이상의 행들을 리프레시로부터 배제하는 단계를 포함하는, 장치.

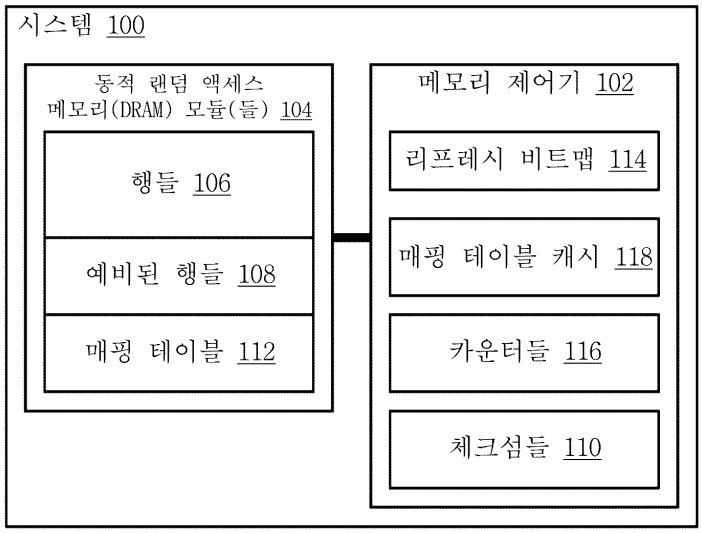
[0079] 20. 제19문에 있어서, 상기 단계들은: 상기 하나 이상의 행들이 상기 리프레시로부터 배제됨을 나타내도록 비트맵을 업데이트하는 단계를 더 포함하며; 그리고 상기 하나 이상의 행들을 상기 리프레시로부터 배제하는 단계는 상기 메모리 제어기에 의해, 상기 비트맵을 상기 DRAM 모듈에 제공하는 단계를 포함하는 것인, 장치.

[0080] 도면의 흐름도 및 블록도는 본 발명의 다양한 실시예에 따른 시스템, 방법 및 컴퓨터 프로그램 제품의 가능한 구현의 아키텍처, 기능 및 연산을 도시한다. 이와 관련하여, 흐름도 또는 블록도들 내의 각 블록은 모듈, 세그먼트, 또는 명령어들 – 특정된 논리 기능(들)을 구현하기 위한 하나 이상의 실행 가능 명령어들을 포함함 – 의 일부를 나타낼 수 있다. 일부 대안적인 구현예에서, 블록에 표시된 기능은 도면에 언급된 순서와 다르게 발생할 수 있다. 예를 들어, 연속적으로 도시된 두 개의 블록은 실제로, 실질적으로 동시에 실행될 수 있거나 관련된 기능에 따라 블록이 때로는 역순으로 실행될 수 있다. 블록도들 및/또는 흐름도 도해의 각 블록, 및 블록도들 또는 흐름도 도해 내의 블록들의 조합들은 특정된 기능들 또는 동작들을 수행하거나 특수 목적 하드웨어와 컴퓨터 명령어들의 조합들을 수행하는 특수 목적 하드웨어 기반 시스템들에 의해 구현될 수 있다는 점에 또한 유의할 것이다.

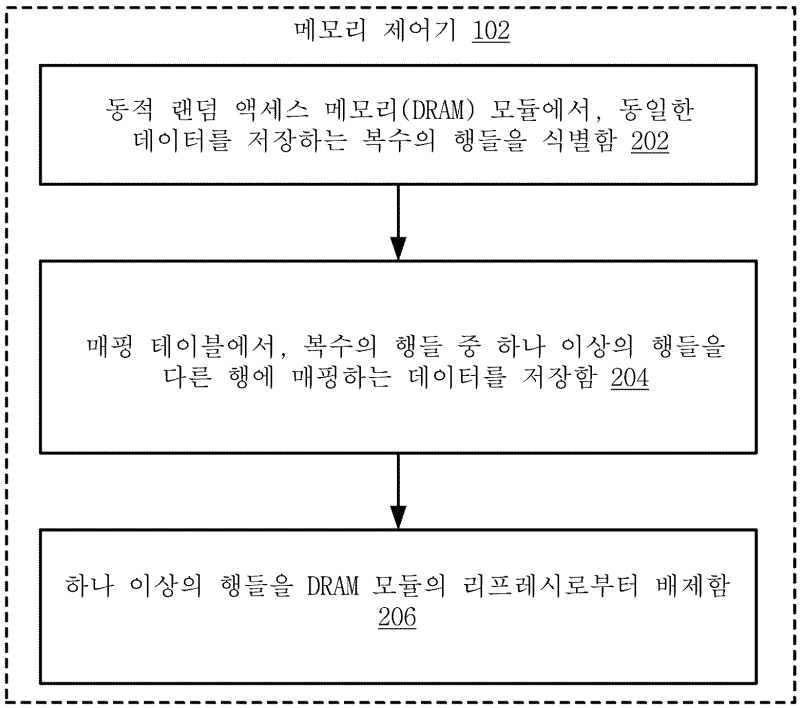
[0081] 본 발명의 다양한 실시형태에 대하여 수정 및 변경이 가능함은 전술한 설명으로부터 이해될 것이다. 본 명세서의 설명은 단지 예시를 위한 것이며, 제한적인 의미로 해석되어서는 안 된다. 본 발명의 범위는 다음 청구범위의 표현에 의해서만 제한된다.

도면

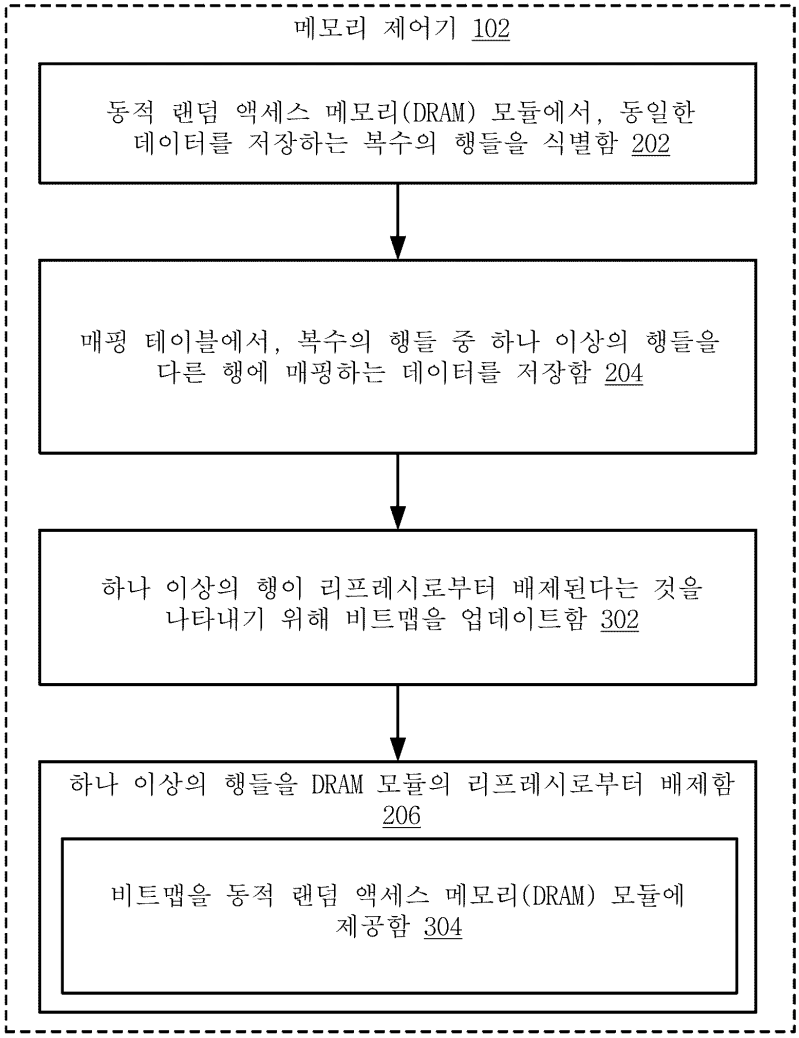
도면1



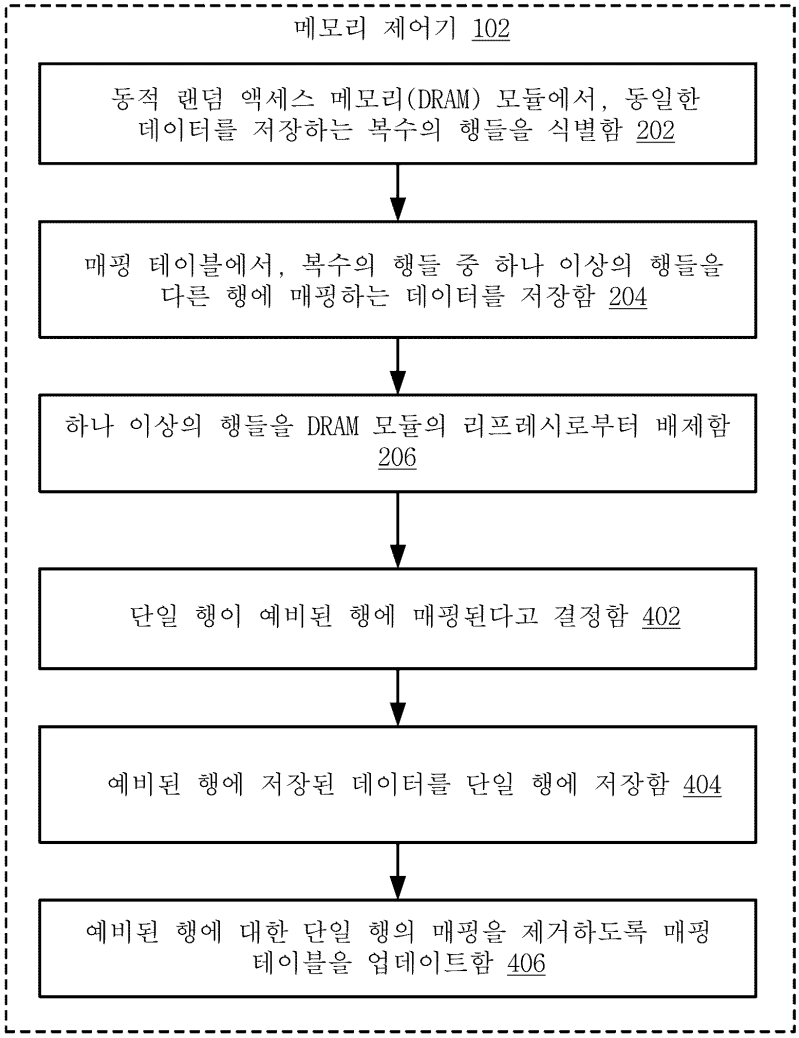
도면2


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행들을 DRAM 모듈의 리프레시로부터 배제함 206

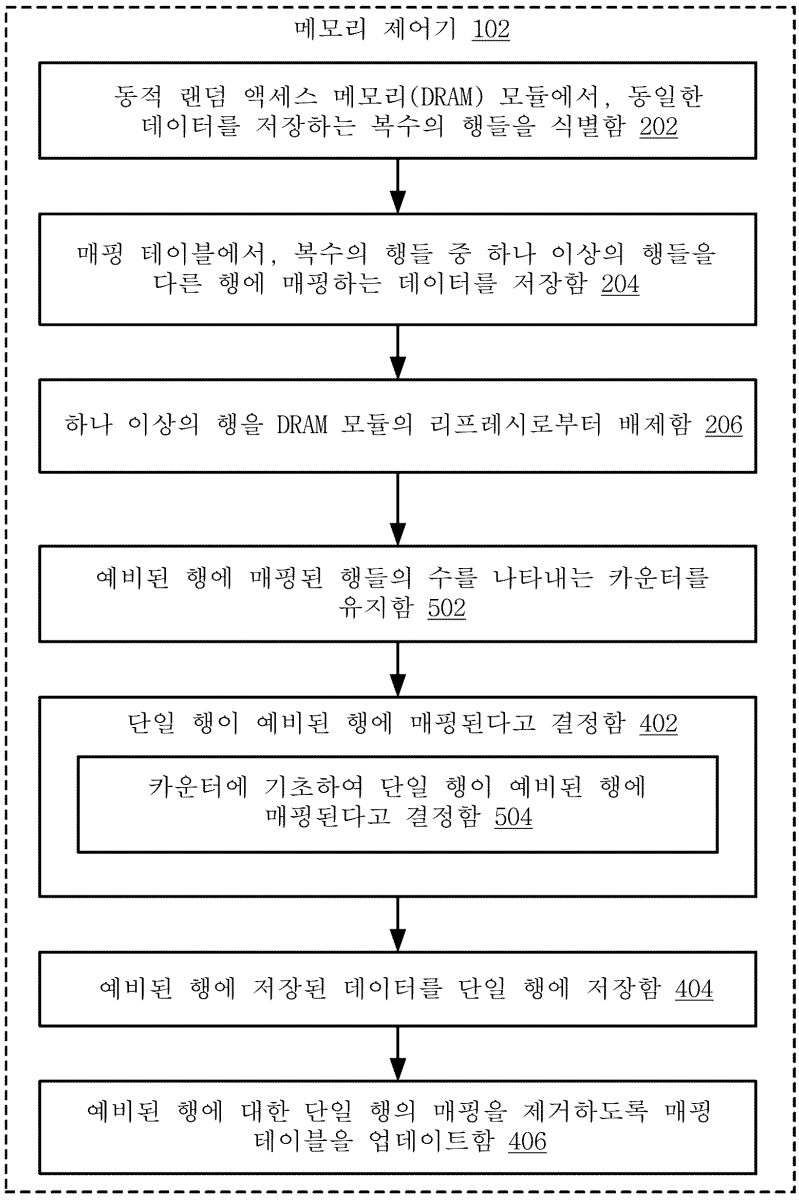
도면3


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행이 리프레시로부터 배제된다는 것을 나타내기 위해 비트맵을 업데이트함 302
하나 이상의 행들을 DRAM 모듈의 리프레시로부터 배제함 206
비트맵을 동적 랜덤 액세스 메모리(DRAM) 모듈에 제공함 304

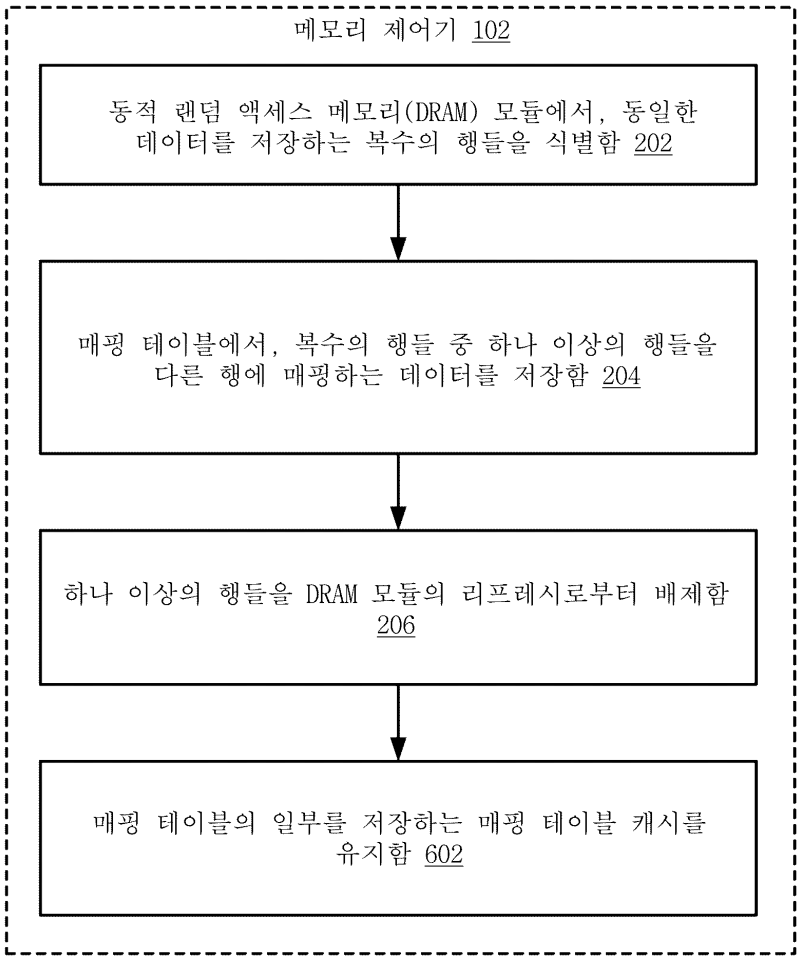
도면4


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행들을 DRAM 모듈의 리프레시로부터 배제함 206
단일 행이 예비된 행에 매핑된다고 결정함 402
예비된 행에 저장된 데이터를 단일 행에 저장함 404
예비된 행에 대한 단일 행의 매핑을 제거하도록 매핑 테이블을 업데이트함 406

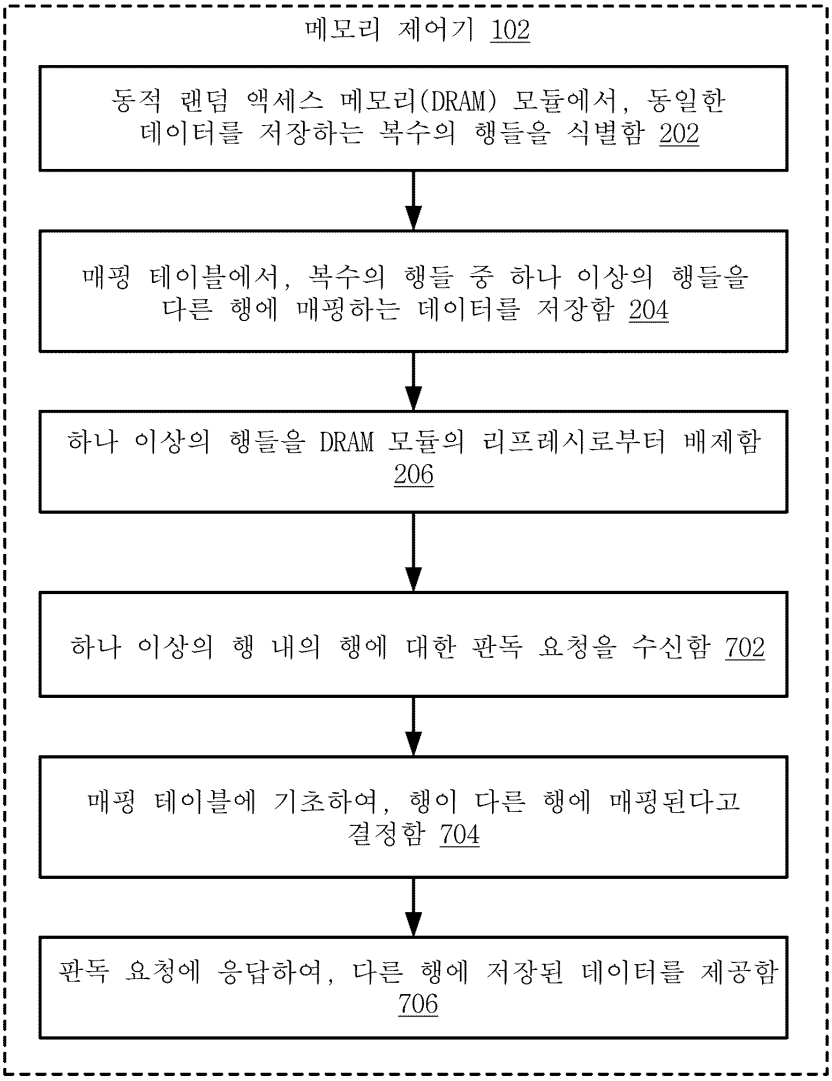
도면5


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행을 DRAM 모듈의 리프레시로부터 배제함 206
예비된 행에 매핑된 행들의 수를 나타내는 카운터를 유지함 502
단일 행이 예비된 행에 매핑된다고 결정함 402
카운터에 기초하여 단일 행이 예비된 행에 매핑된다고 결정함 504
예비된 행에 저장된 데이터를 단일 행에 저장함 404
예비된 행에 대한 단일 행의 매핑을 제거하도록 매핑 테이블을 업데이트함 406

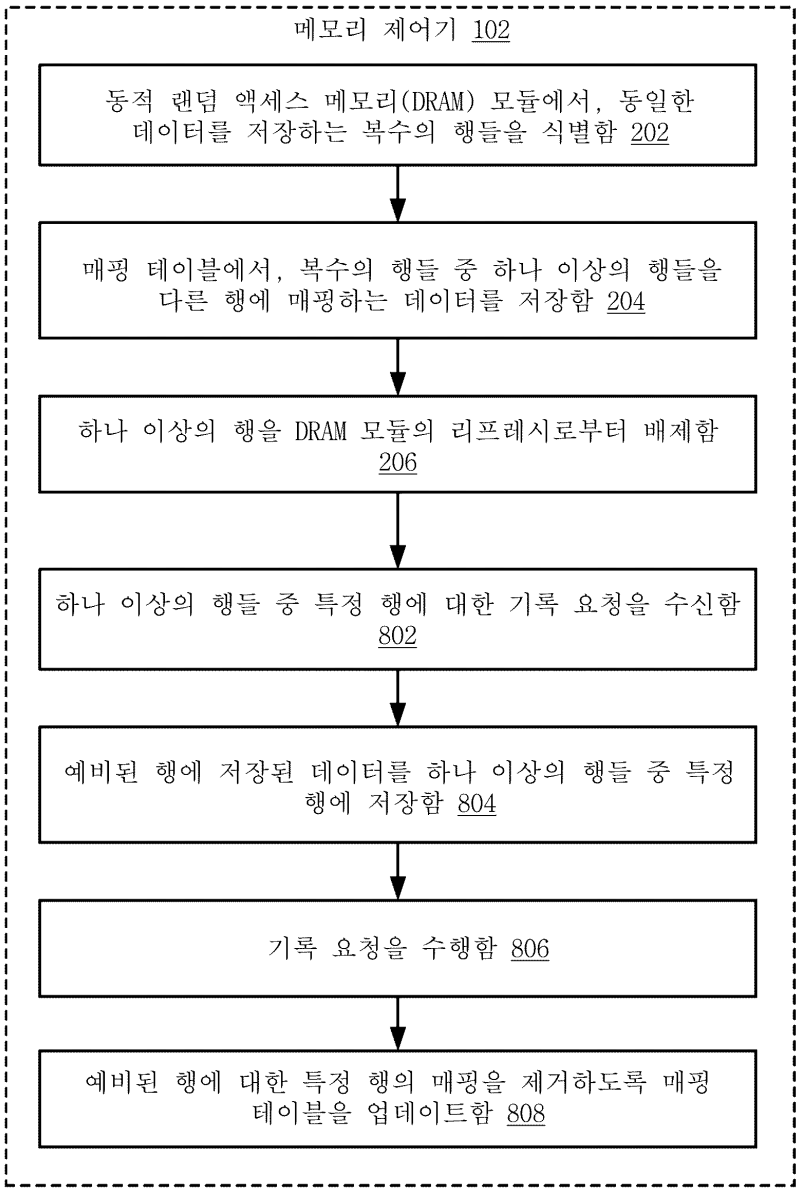
도면6


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행들을 DRAM 모듈의 리프레시로부터 배제함 206
매핑 테이블의 일부를 저장하는 매핑 테이블 캐시를 유지함 602

도면7


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행들을 DRAM 모듈의 리프레시로부터 배제함 206
하나 이상의 행 내의 행에 대한 판독 요청을 수신함 702
매핑 테이블에 기초하여, 행이 다른 행에 매핑된다고 결정함 704
판독 요청에 응답하여, 다른 행에 저장된 데이터를 제공함 706

도면8


메모리 제어기 102
동적 랜덤 액세스 메모리(DRAM) 모듈에서, 동일한 데이터를 저장하는 복수의 행들을 식별함 202
매핑 테이블에서, 복수의 행들 중 하나 이상의 행들을 다른 행에 매핑하는 데이터를 저장함 204
하나 이상의 행을 DRAM 모듈의 리프레시로부터 배제함 206
하나 이상의 행들 중 특정 행에 대한 기록 요청을 수신함 802
예비된 행에 저장된 데이터를 하나 이상의 행들 중 특정 행에 저장함 804
기록 요청을 수행함 806
예비된 행에 대한 특정 행의 매핑을 제거하도록 매핑 테이블을 업데이트함 808