



(12) 发明专利

(10) 授权公告号 CN 1637929 B

(45) 授权公告日 2011.03.16

(21) 申请号 200410082025.7

(22) 申请日 2004.12.22

(30) 优先权数据

94383/03 2003.12.22 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 田炳吉

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临 王志森

(51) Int. Cl.

G11C 11/22 (2006.01)

H01L 27/105 (2006.01)

(56) 对比文件

JP 平 10-302481 A, 1998.11.13, 说明书
0016-0019、附图 1, 3.

US 5978250 A, 1999.11.02, 说明书第 3 栏 61
行至第 4 栏 10 行、附图 30.

说明书第 2 栏 45-67 行, 第 4 栏 32-50 行、附
图 1.

US 6560138 B2, 2003.05.06, 附图 3.

US 5774392 A, 1998.06.30, 说明书第 1 栏
23-25 行, 56-67 行至第 2 栏 1-4 行、附图 2.

说明书 0016-0019、附图 1, 3.

US 5724283 A, 1998.03.03, 说明书第 2 栏
45-67 行, 第 4 栏 32-50 行、附图 1.

审查员 艾攀

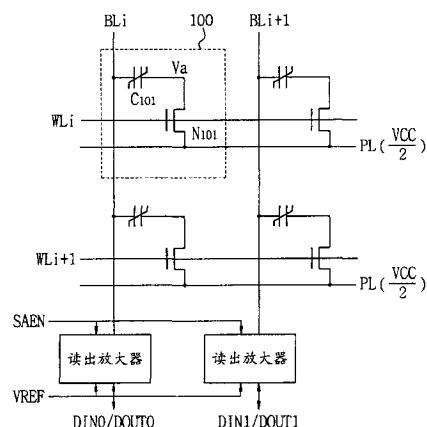
权利要求书 3 页 说明书 13 页 附图 10 页

(54) 发明名称

铁电体随机存取存储器器件和驱动方法

(57) 摘要

本发明涉及一种铁电体随机存取存储器器件, 包括: 至少一个存储器单元, 它包括通过字线使能信号操作的一个访问晶体管和在一个位线和所述访问晶体管之间连接的一个铁电体电容器。所述器件具有基于存储器单元的重复阵列的单元阵列结构。所述器件还包括字线驱动器, 适合于高度集成和降低功耗。在所述铁电体随机存取存储器器件中的驱动方法产生具有电源电压电平的字线使能信号以读取和写入数据。所述方法具有以下优点: 适合于高度集成, 提高操作速度, 降低功耗, 提供稳定的读取和写入操作。



1. 一种铁电体随机存取存储器件,包括:

第一存储单元,第一存储单元包括:

单个铁电体电容器;以及

第一访问晶体管,连接在所述铁电体电容器和独立板线之间,并由字线上的字线使能信号操作,该铁电体电容器连接在位线和第一访问晶体管之间;

第二存储单元,紧邻第一存储单元,具有第二访问晶体管,所述第二访问晶体管连接到独立板线;以及

字线驱动器,耦接到该字线和字线解码器,字线驱动器包括:

耦接在该字线和字线解码器之间的一晶体管,该晶体管响应于字线使能信号;

该晶体管被配置为响应于具有等于第二电源电平的电平的该字线使能信号向该字线传递具有小于或等于来自字线解码器的第一电源的电平的主字线信号,第一电源电平小于第二电源电平。

2. 按照权利要求1的器件,其中所述第一访问晶体管配置有第一端、第二端和栅极,所述第一端连接到其中第一电极连接到所述位线的铁电体电容器的第二电极,所述第二端连接到独立板线,而所述栅极连接到字线。

3. 按照权利要求2的器件,其中所述独立板线具有电源电压一半的被施加的固定电压。

4. 一种铁电体随机存取存储器器件,具有矩阵结构的存储器单元阵列,在所述矩阵结构中,多个阵列单元以行和列重复地排列,所述阵列单元由多个存储器单元构成,所述器件的特征在于所述阵列单元包括:

第一存储器单元,它由通过第一字线使能信号操作的第一访问晶体管和在第一位线和第一访问晶体管之间连接的第一铁电体电容器构成;

第二存储器单元,它由通过第二字线使能信号操作的第二访问晶体管和在第二位线和第二访问晶体管之间连接的第二铁电体电容器构成,第二存储器单元与第一存储器单元相邻。

5. 按照权利要求4的器件,其中第一存储器单元和第二存储器单元连接到一个板线。

6. 按照权利要求5的器件,其中第一访问晶体管的第一端连接到其中第一电极连接到第一位线的第一铁电体电容器的第二电极;第二访问晶体管的第一端连接到其中第一电极连接到第二位线的第二铁电体电容器的第二电极;第一访问晶体管的第二端和第二访问晶体管的第二端彼此共享,并且连接到板线。

7. 按照权利要求6的器件,其中板线具有电源电压一半的被施加的固定电压。

8. 一种铁电体随机存取存储器器件,具有矩阵结构的存储器单元阵列,在所述矩阵结构中,多个阵列单元以行和列重复地排列,所述阵列单元由多个存储器单元构成,所述器件的特征在于:

所述阵列单元包括:

第一存储器单元,它由通过第一字线使能信号操作的第一访问晶体管和在一个位线和第一访问晶体管之间连接的第一铁电体电容器构成;

第二存储器单元,它由通过第二字线使能信号操作的第二访问晶体管和在一个位线和第二访问晶体管之间连接的第二铁电体电容器构成,第二存储器单元与第一存储器单

元相邻,所述一个位线连接到第一存储器单元。

9. 按照权利要求 8 的器件,其中第一存储器单元和第二存储器单元连接到一个板线。

10. 按照权利要求 8 的器件,其中第一存储器单元和第二存储器单元分别连接到独立的板线。

11. 按照权利要求 9 的器件,其中,第一访问晶体管的第一端连接到其中第一电极连接到所述一个位线的第一铁电体电容器的第二电极;第二访问晶体管的第一端连接到其中第一电极连接到所述一个位线的第二铁电体电容器的第二电极;第一访问晶体管的第二端和第二访问晶体管的第二端彼此共享,并且连接到板线。

12. 按照权利要求 10 的器件,其中板线具有电源电压一半的被施加的固定电压。

13. 一种铁电体随机存取存储器器件,具有矩阵结构的存储器单元阵列,在所述矩阵结构中,多个阵列单元以行和列重复地排列,所述阵列单元由多个存储器单元构成,所述器件的特征在于:

所述阵列单元包括:

第一存储器单元,它由通过第一字线使能信号操作的第一访问晶体管和在第一位线和第一访问晶体管之间连接的第一铁电体电容器构成;

第二存储器单元,它由通过第一字线使能信号操作的第二访问晶体管和在第二位线和第二访问晶体管之间连接的第二铁电体电容器构成,第二存储器单元与第一存储器单元相邻;

第三存储器单元,它由通过第二字线使能信号操作的第三访问晶体管和在第一位线和第三访问晶体管之间连接的第三铁电体电容器构成,第三存储器单元与第一存储器单元和第二存储器单元相邻;

第四存储器单元,它由通过第二字线使能信号操作的第四访问晶体管和在第二位线和第四访问晶体管之间连接的第四铁电体电容器构成,第四存储器单元与第一到第三存储器单元相邻。

14. 按照权利要求 13 的器件,其中,第一到第四存储器单元连接到一个板线。

15. 按照权利要求 14 的器件,其中,板线具有电源电压的一半的被施加的固定电压。

16. 一种铁电体随机存取存储器器件,包括:

至少一个存储器单元,它由其中栅极连接到一个字线的访问晶体管和在所述访问晶体管和位线之间连接的铁电体电容器构成;

字线驱动器,耦接到字线和字线解码器,字线驱动器包括:

耦接在该字线和字线解码器之间的一晶体管,该晶体管响应于字线使能信号;该晶体管被配置为响应于具有等于第二电源电平的电平的该字线使能信号向该字线传递具有小于或等于来自字线解码器的第一电源的电平的主字线信号,第一电源电平小于第二电源电平。

17. 按照权利要求 16 的器件,其中所述字线还连接到一个放电器件,所述放电器件用于响应于字线禁止信号而放电和禁止所述字线。

18. 按照权利要求 17 的器件,其中主字线电压和字线的电压具有电源电压的电平。

19. 按照权利要求 16 的器件,其中所述访问晶体管包括第一端和第二端,其中,第一端连接到所述铁电体电容器的第二电极,第二端连接到一个板线,所述铁电体电容器的第一

电极连接到一个位线。

20. 按照权利要求 19 的器件,其中所述字线使能信号具有外部电源电压的电平。

21. 一种驱动方法,用于在具有基于多个存储器单元的矩阵结构的存储器单元阵列的铁电体随机存取存储器器件中写入数据,所述驱动方法包括:

向铁电体电容器施加被施加到由字线使能信号选择的访问晶体管的第一端的固定电压,因此向一个位线施加对应于在铁电体电容器中存储的数据的电压,所述铁电体电容器连接在所述位线和所述访问晶体管的第二端之间;

在读出放大器中读出放大施加到所述位线的电压;

向所述位线施加对应于写入的数据的电压,以在铁电体电容器中存储所述数据;

禁止所述字线,并且将所述位线设置为地电压,

其中,响应于具有等于第二电源电平的电平的该字线使能信号向该字线传递具有小于或等于来自字线解码器的第一电源的电平的电平的主字线信号,第一电源电平小于第二电源电平。

22. 按照权利要求 21 的方法,其中所述固定电压是通过连接到访问晶体管的一端的板线来施加的。

23. 按照权利要求 22 的方法,其中通过板线施加的固定电压具有电源电压的一半的电平。

24. 一种驱动方法,用于在具有基于多个存储器单元的矩阵结构的存储器单元阵列的铁电体随机存取存储器器件中读取存储的数据,所述驱动方法包括:

向铁电体电容器施加被施加到由字线使能信号选择的访问晶体管的第一端的固定电压,因此向一个位线施加对应于在铁电体电容器中存储的数据的电压,所述铁电体电容器连接在所述位线和所述访问晶体管的第二端之间;

在读出放大器中读出放大被施加到所述位线的电压,并且输出它;

禁止所述字线,并且将所述位线设置为地电压,

其中,响应于具有等于第二电源电平的电平的该字线使能信号向该字线传递具有小于或等于来自字线解码器的第一电源的电平的电平的主字线信号,第一电源电平小于第二电源电平。

25. 按照权利要求 24 的方法,其中通过板线施加所述固定电压。

26. 按照权利要求 25 的方法,其中通过板线施加的固定电压是电源电压的一半的电平。

铁电体随机存取存储器器件和驱动方法

[0001] 本申请要求 2003 年 12 月 22 日提交的韩国专利申请第 2003-0094383 号的优先权，其内容以引用方式被包含在此以用于各种目的。

技术领域

[0002] 本发明的实施例涉及一种半导体存储器件，具体涉及包括适合于高度集成的单元阵列和字线驱动器的铁电体 RAM(随机存取存储器)器件、驱动所述字线驱动器的方法和用于读取和写入数据的驱动方法。

背景技术

[0003] 近来，使用铁电体薄膜来用于电容器的介电层以改善用于大容量存储器的 DRAM(动态随机存取存储器)器件所需要的刷新的限制。使用这样的铁电体薄膜的铁电体随机存取存储器(FeRAM)具有优点：作为非易失性存储器件在断电状态下保留存储信息，并且具有高访问、降低功耗和抗击冲击的强度的优点。因此，铁电体随机存取存储器预期在具有文件存储和搜索功能的各种电子仪器和设备中被用作主存储器件，所述各种电子仪器和设备诸如便携计算机、蜂窝电话、游戏机等，所述铁电体随机存取存储器或者预期被用于用于记录声音或图像的记录媒体。

[0004] 在铁电体 DRAM 器件中，作为具有逻辑状态的数据的“1”或“0”与铁电体电容器的电极化状态相一致地被存储在存储器单元，所述存储器单元被配置铁电体电容器和访问晶体管。当电压被施加到铁电体电容器的两端时，通过电场的方向来极化铁电体材料，并且改变铁电体材料的极化状态的转换门限电压被称为矫顽性电压。为了读取在存储器单元中存储的数据，在铁电体电容器的两个电极之间施加电压，以便产生电势差，因此通过被激励到位线的电荷量的改变来读出在存储器单元中存储的数据的状态。

[0005] 图 1 图解了铁电体材料的一般磁滞曲线。在所述磁滞曲线中，X 轴指示被施加到铁电体材料的电压，即在下述假设下被施加到电容器的两端的电压：在铁电体电容器的两个电极中，连接到板线的一个电极被称为正电极，另一个电极被称为负电极。Y 轴指示按照铁电体材料的自发极化、即极化度($\mu\text{C}/\text{cm}^2$)被分布到其表面的电荷量。

[0006] 参见图 1，当施加地电压 V_{SS} 或 0V 并且因此没有电场被施加到铁电体材料时，不产生极化。当在铁电体电容器中的两端的电压向正方向提高时，极化度或电荷量从零提高到正极化区域的状态点 A。在状态点 A 的极化在一个方向中被产生，并且在状态点 A 的极化度达到最大值。此时，由于在铁电体材料保持的电荷量而导致的极化度被表示为 Q_s 。其后，即使在电容器的两端的电压再次下降到地电压 V_{SS} ，所述极化度也不降到零，而是保持在状态点 B。由于在铁电体材料中包括的电荷量而导致的残余极化、即残余极化度被指示为 $+Q_r$ 。接着，当电容器的两端的电压在负方向中提高时，所述极化度从状态点 B 向在负电荷极化区域中提供的状态点 C 改变。在状态点 C，铁电体材料与在状态点 A 极化的方向相反的方向中被极化，并且这个极化度被表示为 $-Q_s$ 。然后，即使电容器的两端的电压再次下降到地电压 V_{SS} ，所述极化度也不降到零，而是保持在状态点 D。此时，所述残余极化度被指示

为 $-Q_r$ 。当被施加到电容器的两端的电压的幅度再次在正方向提高时,铁电体材料的极化度从状态点 D 改变到状态点 A。

[0007] 如上所述,当用于产生电场的电压被一次施加到其中铁电体材料被插入两个电极中的铁电体电容器时,根据自发极化来保持极化方向,即使所述电极被确定为浮置状态。通过自发极化的铁电体材料的表面的电荷不通过漏电等自然丢失。如果不在相反方向施加电压以便极化度变为零,则极化方向保持不变。

[0008] 当电压在正方向被施加到铁电体电容器并且然后被去除时,构成铁电体电容器的铁电体材料的残余极化变为 $+Q_r$ 的状态。当电压在负方向被施加到铁电体电容器并且然后被去除时,铁电体材料的残余极化变为 $-Q_r$ 的状态。由此,假定在残余极化中, $+Q_r$ 状态的逻辑状态指示数据 '0', $-Q_r$ 状态的逻辑状态指示数据 '1'。

[0009] 图 2 图解了在按照现有技术的铁电体随机存取存储器器件中构成存储器单元阵列的一个存储器单元。

[0010] 参见图 2,所述存储器单元由一个访问晶体管 N1 和一个铁电体电容器 C1 构成。所述访问晶体管 N1 具有两个端子,即,源极端和漏极端,它们每个连接在铁电体电容器 C1 的一个电极和位线 BL 之间,其栅极连接到一个字线。一个连接到访问晶体管 N1 的铁电体电容器 C1 的另一个电极连接到板线 PL。

[0011] 通过上述极化的反转来执行在包括单元阵列的铁电体随机存取存储器器件中的读取和写入操作,所述单元阵列具有以行和列布置的多个存储器单元。因此,通过极化反转时间来确定铁电体随机存取存储器的操作速度,并且通过电容器的面积、铁电体薄膜厚度和被施加的电压等来确定极化反转速度。

[0012] 图 3 和 4 是按照现有技术的铁电体随机存取存储器中的一个单元阵列的电路图。图 3 是基于开放或共享的位线结构的铁电体随机存取存储器单元阵列的电路图。图 4 是基于折叠的位线结构的铁电体随机存取存储器单元阵列的电路图。

[0013] 如图 3 和 4 所示,铁电体单元阵列的结构类似于 DRAM(动态随机存取存储器)的单元阵列的结构,除了在其中将铁电体材料用作电介质的数据存储电容器的使用上。即,铁电体随机存取存储器单元阵列根据读出存储器单元的数据位线结构被划分为开放的和折叠的类型。

[0014] 在图 3 的开放类型的位线结构中,存储器单元 10 以矩阵被布置,存储器单元 10 具有连接在位线 BL_i 和铁电体电容器 C2 之间的晶体管 N2,其中电容器 N2 的栅极连接到字线 WL_i 。连接到同一位线的多个存储器单元每个连接到相互不同的板线 PL_i 和 PL_{i+1} 。相反,在图 4 的折叠类型的位线结构中,阵列单元 20 以矩阵被布置,以便具有更显著的集成度,由此,每个存储器单元连接到两个相邻的位线 BL_i 和 BL_{i+1} ,并且存储器单元中的每一个连接到字线 WL_i 和 WL_{i+1} 。而且,形成存储器单元的多个铁电体电容器 C3 公共地连接到一个板线。

[0015] 用于这样的开放类型结构的一个示例被公开在美国专利第 6,137,711 号中,所述专利被授予 Agilent 技术公司,发明人为 Charles M. C. Tan。折叠类型结构的一个示例被公开在美国专利第 6,151,243 号中,所述专利被授予现代电子公司,发明人为 Jae Whan Kim。

[0016] 图 5 图解了在现有技术的铁电体随机存取存储器器件中使用的字线驱动器电路。

[0017] 如图 5 所示,字线驱动器电路由四个晶体管和信号控制信号组成。字线解码信号 MWL

通过由电源电压 VCC 操作的晶体管 N4 被传送到晶体管 N5 的栅极,于是操作晶体管 N5。晶体管 N5 向字线传送具有高于电源电压的电平的外部电源电压 VPP。由控制信号 WL_PDB 操作的放电晶体管 N7 连接到字线 WL。

[0018] 在字线驱动器操作之前,除了控制信号 WL_PDB 之外的图 5 所示的所有控制信号具有地电压 Vss。当操作开始时,字线解码信号 MWL 首先作为电源 VCC 被施加。因此,在晶体管 N4 和 N5 之间的节点电压提高到电压 $VCC - V_{th}$,它是通过从电源电压 VCC 减去晶体管 N4 的门限电压 V_{th} 而被获得的。不久,控制信号 WL_DRV 作为外部电源电压 VPP 的电平被施加,以便通过在晶体管 N5 的漏极和栅极之间的电容将所述节点电压升压到 $VCC - V_{th} + VPP$ 。于是,晶体管 N5 具有足够的栅极电压 $VCC - V_{th} + VPP$,并且通过控制信号 WL_DRV 向字线提供足够的电流。因此,字线 WL 电压达到外部电源电压 VPP 的电平。通过具有外部电源电压 VPP 的字线使能信号来操作连接到字线 WL 的存储器单元的访问晶体管。

[0019] 参照图 1 和 2,在现有技术的铁电体随机存取存储器器件中的读取和写入操作被描述如下。

[0020] 为了说明读取操作,假定数据‘1’被存储在铁电体电容器 C1 中,铁电体电容器 C1 的极化状态存在于状态点 D。位线 BL 的状态被确定为地电压 Vss,并且所述字线使能信号被施加到字线 WL,以接通访问晶体管 N1。当电源电压 VCC 通过连接到铁电体电容器 C1 的正电极的板线被施加到铁电体电容器 C1 时,铁电体电容器 C1 的极化从状态点 D 被改变到状态点 A。对应于状态过渡的电荷 dQ_1 通过访问晶体管 N1 被传送到位线 BL。通过诸如读出放大器等的连接到位线 BL 的读出电路的读出放大来检测所述电荷传送,并且这指定了在存储器单元中读取数据值‘1’。位线 BL 的电压通过读出放大器的放大而提高到电源电压 VCC,因此铁电体电容器 C1 的极化从状态点 A 被改变到状态点 B。

[0021] 在从存储器单元读取数据‘1’后,在位线 BL 上的同一数据‘1’去除被施加到板线 PL 的电压,因此产生从状态点 B 向状态点 C 的反向状态过渡。而且,通过将位线 BL 电压确定为地电压 Vss 而将状态点 C 改变到状态点 D 来恢复数据‘1’。

[0022] 同时,当数据‘0’被存储在其极化状态存在于状态点 B 的铁电体电容器 C1 中的时候,所述字线使能信号被施加到字线 WL 以接通访问晶体管 N1,并且电源电压 VCC 被施加到连接到铁电体电容器 C1 的正电极的板线。然后,铁电体电容器 C1 的极化从状态点 B 被改变到状态点 A。对应于这样的状态过渡的电荷 dQ_0 通过访问晶体管 N1 被传送到位线 BL。通过诸如读出放大器等的连接到位线 BL 的读出电路的读出放大来检测所述电荷传送,并且这指定了从存储器单元中读取数据值‘0’。

[0023] 位线 BL 的电压通过读出放大器的放大操作被确定为地电压 Vss,然后,通过去除板线 PL 的电压,铁电体电容器 C1 的极化从状态点 A 被改变为状态点 B,保持数据‘0’的逻辑状态。

[0024] 接着,在写入操作中,为了在铁电体电容器 C1 中存储数据‘1’,电源电压 VCC 通过位线 BL 被施加到铁电体电容器 C1,然后被去除,然后铁电体电容器 C1 的极化通过状态点 C 被改变到状态点 D。在状态点 D 形成极化的状态指示数据‘1’的存储状态。而且,为了在铁电体电容器 C1 中存储数据‘0’,当电源电压 VCC 通过板线 PL 被施加到铁电体电容器 C1、然后被去除时,铁电体电容器 C1 的极化通过状态点 A 被改变为状态点 B。在状态点 B 形成极化的状态指示数据‘0’的存储状态。

[0025] 按照现有技术的铁电体随机存取存储器器件的一般结构和操作被公开在美国专利第 4,873,664 号和第 5,978,251 号中,所述美国专利第 4,873,664 号被授予 Ramtron 公司,其发明人是 Eaton、Jr 等,所述美国专利第 5,978,251 号被授予 Ramtron 国际公司,其发明人是 William F.Kraus 等。

[0026] 在现有技术的铁电体随机存取存储器器件中,可能期望将多个存储器单元连接到一个板线,以便制造高集成度的铁电体随机存取存储器器件。但是,铁电体电容器具有大电容,因此对于具有大电容的电容器操作,大电荷脉冲是必要的。即,从这个大电容产生较大的 RC 延迟。这个延迟问题限制了连接到一个板线的存储器单元的数量。所述延迟问题也要求在高集成度的铁电体随机存取存储器中更多的板线驱动器。换句话说,存储器芯片的大小变大,功耗提高,并且操作时间延长。而且,现有技术的字线驱动器操作许多晶体管和几个控制信号,这不适合于高集成,并且存在高功耗的缺点。另外,通过板线电压和位线电压来控制读取和写入操作,即,不可以在一个时间间隔中使用数据‘1’或‘0’,因此也延长了操作时间。

发明内容

[0027] 本发明的一些实施例提供了一种铁电体 RAM(随机存取存储器)器件及其驱动方法,它们适合于高集成。本发明提高了操作速度,并且降低了功耗,并且具有稳定的读取和写入操作。

附图说明

[0028] 通过参照附图下面的说明,本发明的上述和其他特点将会变得更加清楚,其中:

[0029] 图 1 图解了按照现有技术的铁电体材料的磁滞曲线。

[0030] 图 2 是按照现有技术的、用于构成铁电体存储器单元阵列的一个存储器单元的电路图。

[0031] 图 3 是按照现有技术的、具有开放位线的铁电体存储器单元阵列的电路图。

[0032] 图 4 是按照现有技术的、具有折叠位线结构的铁电体存储器单元阵列的电路图。

[0033] 图 5 是按照现有技术的在铁电体随机存取存储器器件中的字线驱动器的电路图。

[0034] 图 6 是图解按照本发明的一个例证实施例的、用于构成在铁电体随机存取存储器器件中的存储器单元阵列的一个存储器单元的结构电路图。

[0035] 图 7 是图解按照本发明的一个例证实施例的存储器单元阵列的结构电路图。

[0036] 图 8 是按照本发明的一个例证实施例的、具有折叠结构的存储器单元阵列的电路图。

[0037] 图 9 是按照本发明的一个例证实施例的、具有开放结构以便两个单元共享一个源极或漏极区域的存储器单元阵列的电路图。

[0038] 图 10 是按照本发明的一个例证实施例的、具有开放结构以便四个存储器单元共享一个源极或漏极区域的存储器单元阵列的电路图。

[0039] 图 11 是按照本发明的一个例证实施例的、在铁电体随机存取存储器器件中的字线驱动器的电路图。

[0040] 图 12 是示意地图解按照本发明的一个例证实施例的、用于读取和写入操作的铁

电体随机存取存储器器件的电路图。

[0041] 图 13 是图解在图 12 中引用的器件中的写入操作的时序图。

[0042] 图 14 是图解在图 12 中引用的器件中的读取操作的时序图。

具体实施方式

[0043] 参照图 6-14 来更详细说明本发明的例证实施例。本发明可以以许多不同的形式被实现,并且不应当被理解为限于在此给出的例证实施例。而是,这些例证实施例被给出,以便本公开是彻底的和完整的,并且将本发明的思想传输给本领域内的技术人员。

[0044] 图 6 图解了按照本发明的一个例证实施例的、构成在铁电体 RAM(随机存取存储器)器件中的存储器单元阵列的存储器单元的结构。

[0045] 首先参见图 6,一个存储器单元由一个访问晶体管 N101 和一个铁电体电容器 C101 构成。对于铁电体电容器 C101,第一电极连接到位线 BL,第二电极连接到访问晶体管 N101 的第一端。对于访问晶体管 N101,第一端连接到铁电体电容器 C101 的第二电极,第二端连接到板线 PL,并且栅极连接到字线 WL。

[0046] 本发明的存储器单元结构被配置为与构成在铁电体存储器的典型实现方式中的一个单元阵列的存储器单元不同。访问晶体管 N101 通过经由字线 WL 被施加的字线使能信号而工作。虽然也可能期望向板线 PL 施加固定电压,但是可以向其施加脉冲。所述固定电压可以期望是电源电压 VCC 的一半。

[0047] 下面说明被施加到板线的、是 VCC 的电源电压的一半的固定电压的情况。

[0048] 图 7 图解了存储器单元阵列结构的一个例证实施例,其中基于图 6 的结构 of 的存储器单元以行和列排列。

[0049] 如图 7 所示,以下述方式来配置单元阵列:多个字线 WLi 和 $WLi+1$ 、多个位线 BLi 、 $BLi+1$ 和 $BLi+2$ 与多个存储器单元在矩阵结构中以行和列被重复地排列。

[0050] 构成存储器单元阵列的存储器单元 200 每个包括一个访问晶体管 N201 和一个铁电体电容器 C201,如图 6 所示。对于铁电体电容器 C201,第一电极连接到位线 BL,第二电极连接到访问晶体管 N201 的第一端。对于访问晶体管 N201,第一端连接到铁电体电容器 C201 的第二电极,第二端连接到板线 PL,并且栅极连接到字线 WL。

[0051] 所述存储器单元阵列具有矩阵结构,以便在行和列方向上排列的相应存储器单元与在行方向上排列的字线 WLi 和 $WLi+1$ 和与在列方向上排列的位线 BLi 、 $BLi+1$ 和 $BLi+2$ 连接。共享一个位线 BL 的一些存储器单元独立地连接到各自的字线 WLi 和 $WLi+1$ 。共享一个字线的存储器单元独立地连接到其它位线。被施加了固定电压的板线 PL 可以每个独立地连接到由存储器单元构成的每个存储器块。而且,一个公共板线可以被配置和连接到构成一个存储器单元阵列的所有存储器单元。而且,共享一个位线 BL 或字线 WL 的存储器单元可以共享一个板线 PL。施加到板线 PL 的固定电压可以是电源电压 VCC 的一半。

[0052] 图 8 图解了按照本发明的一个例证实施例的具有折叠结构的存储器单元阵列。

[0053] 如图 8 所示,每个由第一存储器单元 301 和第二存储器单元 302 组成的多个阵列单元 300 以行和列排列。

[0054] 所述存储器单元阵列具有矩阵结构,以便在行和列方向上排列的多个相应的阵列单元 300 通过重复的阵列与在行方向上排列的字线 WLi 、 $WLi+1$ 、 $WLi+2$ 和 $WLi+3$ 连接,并且

与在列方向上排列的位线 BLi、BLi+1、BLi+2 和 BLi+3 连接。

[0055] 构成阵列单元 300 的第一存储器单元 301 和第二存储器单元 302 彼此相邻。阵列单元 300 由通过字线使能信号工作的访问晶体管 N301 和 N302 和在位线和访问晶体管之间连接的铁电体电容器 C301 和 C302 构成。

[0056] 对于构成第一存储器单元 301 的第一铁电体电容器 C301, 第一电极连接到第一位线 BLi, 第二电极连接到第一访问晶体管 N301 的第一端。对于第一访问晶体管 N301, 第一端连接到第一铁电体电容器 C301 的第二电极, 栅极连接到第一字线 WLi。

[0057] 对于构成第二存储器单元 302 的第二铁电体电容器 C302, 第一电极连接到第二位线 BLi+1, 第二电极连接到第二访问晶体管 N302 的第一端。对于第二访问晶体管 N302, 第一端连接到第二铁电体电容器 C302 的第二电极, 栅极连接到第二字线 WLi+1。

[0058] 构成第一存储器单元 301 的第一访问晶体管 N301 的第二端和构成第二存储器单元 302 的第二访问晶体管 302 的第二端被共享, 并且连接到被施加了固定板电压 VCC/2 的板线 PL。

[0059] 在板线 PL 和阵列单元 300 之间的关联中, 相应的阵列单元共享一个板线并且与其连接, 或所述板线可以被独立地连接到相应的阵列单元, 或可以使用另一种连接方法。

[0060] 图 9 图解了按照本发明的一个例证实施例的、开放类型的存储器单元阵列结构以便两个单元共享一个源极或漏极区域。

[0061] 如图 9 所示, 每个由第一存储器单元 401 和第二存储器单元 402 构成的多个阵列单元 400 以行和列排列。

[0062] 所述存储器单元阵列具有矩阵结构, 以便在行和列方向上排列的相应阵列单元 400 通过重复的阵列与在行方向上排列的字线 WLi、WLi+1、WLi+2 和 WLi+3 连接, 并且与在列方向上排列的位线 BLi、BLi+1、BLi+2 和 BLi+3 连接。

[0063] 构成阵列单元 400 的第一存储器单元 401 和第二存储器单元 402 彼此相邻。阵列单元 400 由通过字线使能信号工作的访问晶体管 N401 和 N402 与在位线和相应的访问晶体管之间连接的铁电体电容器 C401 和 C402 构成。

[0064] 对于构成第一存储器单元 401 的第一铁电体电容器 C401, 第一电极连接到一个位线 BLi, 第二电极连接到第一访问晶体管 N401 的第一端。对于第一访问晶体管 N401, 第一端连接到第一铁电体电容器 C401 的第二电极, 栅极连接到第一字线 WLi。

[0065] 对于构成第二存储器单元 402 的第二铁电体电容器 C402, 第一电极连接到所述位线 BLi, 第二电极连接到第二访问晶体管 N402 的第一端。对于第二访问晶体管 N402, 第一端连接到第二铁电体电容器 C402 的第二电极, 栅极连接到第二字线 WLi+1。

[0066] 构成第一存储器单元 401 的第一访问晶体管 N401 的第二端和构成第二存储器单元 402 的第二访问晶体管 N402 的第二端被共享, 并且连接到被施加了固定板电压 VCC/2 的板线 PL。

[0067] 在板线 PL 和阵列单元 400 之间的关联中, 相应的阵列单元共享一个板线并且与其连接, 或所述板线可以被独立地连接到相应的阵列单元, 或可以使用另一种连接方法。

[0068] 图 10 图解了按照本发明的一个例证实施例的、开放类型的存储器单元阵列结构以便四个存储器单元共享源极或漏极区域。

[0069] 如图 10 所示, 每个由第一存储器单元 501、第二存储器单元 502、第三存储器单元

503 和第四存储器单元 504 组成的多个阵列单元 500 以行和列排列。

[0070] 所述存储器单元阵列具有矩阵结构,以便在行和列方向上排列的多个相应的阵列单元 500 通过重复的阵列与在行方向上排列的字线 WLi 、 $WLi+1$ 、 $WLi+2$ 和 $WLi+3$ 连接,并且与在列方向上排列的位线 BLi 、 $BLi+1$ 、 $BLi+2$ 和 $BLi+3$ 连接。

[0071] 构成阵列单元 500 的第一存储器单元 501、第二存储器单元 502、第三存储器单元 503 和第四存储器单元 504 彼此相邻。阵列单元 500 由通过字线使能信号工作的访问晶体管 N501 到 N504 与在位线和相应的访问晶体管之间连接的铁电体电容器 C501 到 C504 构成。

[0072] 对于构成第一存储器单元 501 的第一铁电体电容器 C501,第一电极连接到第一位线 BLi ,第二电极连接到第一访问晶体管 N501 的第一端。对于第一访问晶体管 N501,第一端连接到第一铁电体电容器 C501 的第二电极,栅极连接到第一字线 WLi 。

[0073] 对于构成第二存储器单元 502 的第二铁电体电容器 C502,第一电极连接到第二位线 $BLi+1$,第二电极连接到第二访问晶体管 N502 的第一端。对于第二访问晶体管 N502,第一端连接到第二铁电体电容器 C502 的第二电极,栅极连接到第一字线 WLi 。

[0074] 对于构成第三存储器单元 503 的第一铁电体电容器 C503,第一电极连接到第一位线 BLi ,第二电极连接到第三访问晶体管 N503 的第一端。对于第三访问晶体管 N503,第一端连接到第三铁电体电容器 C503 的第二电极,栅极连接到第二字线 $WLi+1$ 。

[0075] 对于构成第四存储器单元 504 的第四铁电体电容器 C504,第一电极连接到第二位线 $BLi+1$,第二电极连接到第四访问晶体管 N504 的第一端。对于第四访问晶体管 N504,第一端连接到第四铁电体电容器 C504 的第二电极,栅极连接到第二字线 $WLi+1$ 。

[0076] 构成第一存储器单元 501 的第一访问晶体管 N501 的第二端和构成第三存储器单元 503 的第三访问晶体管 N503 的第二端被共享。构成第二存储器单元 502 的第二访问晶体管 N502 的第二端和构成第四存储器单元 504 的第四访问晶体管 N504 的第二端被共享。而且,分别构成第一存储器单元 501 和第三存储器单元 503 的第一访问晶体管 N501 和第三访问晶体管 N503 共享第二公共端,所述第二公共端随即被连接到被施加了固定板电压 $VCC/2$ 的板线 PL。

[0077] 在板线 PL 和阵列单元 500 之间的关联中,相应的阵列单元共享一个板线并且与其连接,或所述板线可以被独立地连接到相应的阵列单元,或可以使用另一种连接方法。

[0078] 图 11 是按照本发明的一个例证实施例的、在铁电体随机存取存储器器件中的字线驱动器的电路图。

[0079] 参见图 11,字线驱动器电路包括作为开关器件的晶体管 N601 和放电晶体管 N602。晶体管 N601 连接在与字线解码单元(未示出)连接的主字线 MWL 和字线 WL 之间,并且通过字线使能信号 WL_PD 工作。放电晶体管 N602 连接到字线 WL,并且通过字线禁止信号 WL_PDB 工作。具有诸如图 6 的结构存储器单元可以连接到字线 WL,或者具有诸如图 2 所示的结构存储器单元可以连接到字线 WL。固定电压 $VCC/2$ 或脉冲信号可被施加到与存储器单元连接的板线。

[0080] 为了驱动字线驱动器,使用外部电源电压 VPP 和作为内部电源电压的电源电压 VCC ,并且所述外部电源电压 VPP 具有大于所述电源电压的电平。所述外部电源电压 VPP 可以按照期望具有比所述电源电压高 1.5 倍的电平。

[0081] 假定使用构成存储器单元的铁电体电容器,用于完全地分离铁电体电容器的铁电

体材料的极化的电压低于电源电压 VCC 的电压。这可以按照期望地是具有电源电压的 $1/2$ 倍的电平的 $VCC/2$ 。

[0082] 当字线驱动器在待命状态下时,主字线 MWL 电压和字线使能信号 WL_PD 被设置为地电压 V_{ss} ,并且字线禁止信号 WL_PDB 被设置为电源电压 VCC,因此放电晶体管 N602 工作来禁止字线 WL。为了执行读取和写入操作,在字线解码电路中,具有电源电压 VCC 的电平的字线解码信号被施加到主字线 MWL。同时,字线禁止信号 WL_PDB 被设置到地电压 V_{ss} ,以停止字线 WL 的放电。然后,当字线使能信号 WL_PD 在外部电源电压 VPP 的电平被施加时,开关晶体管 N601 被接通,以向字线 WL 传送具有电源 VCC 的电平的主字线 MWL 被传送到字线 WL 的电压操作构成连接到所述字线的存储器单元的访问晶体管。接着,当执行了全部所需操作时,所有的信号再次被设置在地电压 V_{ss} ,并且仅仅字线禁止信号 WL_PDB 被设置到电源电压 VCC,以放电和禁止所述字线。

[0083] 对于字线驱动器,不必具有通过构成存储器单元的访问晶体管被施加到铁电体电容器的电源电压 VCC 的电平。而且,不必具有在字线上的外部电源电压 VPP 的电平。因此,在本发明的所述例证实施例中的字线驱动器可以被简单地配置为与惯例相反的两个晶体管,以便有益于高集成和提供快的操作速度和小的功耗。

[0084] 图 12 是示意地图解在图 7 的示例单元阵列结构中、具有连接到读出放大器的存储器单元阵列的铁电体随机存取存储器器件的电路图,以描述读取和写入操作。图 13 是图解在图 12 中引用的电路的写入操作的时序图。图 14 是图解在图 12 中引用的电路的读取操作的时序图。在铁电体随机存取存储器器件中的单元阵列结构可以不仅使用图 7-10 中所示的单元阵列结构,而且可使用各种类型单元阵列结构。

[0085] 如图 12 所示,在单元阵列中,沿着对应的行表示多个字线 WLi 和 $WLi+1$ 和板电压 PL,并且沿着对应的列表示多个位线 BLi 和 $BLi+1$ 。

[0086] 构成单元阵列的存储器单元 100 被配置为串联在一个访问晶体管 N101 和一个铁电体电容器 C101 之间。未连接到铁电体电容器 C101 的所述访问晶体管的另一个导电区域可以连接到被施加了固定电压 $VCC/2$ 的板线或连接到脉冲产生器,并且栅极连接到字线 WLi 。而且,访问晶体管 N101 未连接的铁电体电容器 C101 的另一个电极连接到位线 BLi 。

[0087] 读出放大器连接到位线,并且通过读出放大器使能信号 SAEN 来工作,以读出和放大位线的电压电平。完全地分离铁电体电容器的铁电体材料的极化所需要的电压假定低于电源电压 VCC。这可以按照期望是具有电源电压的一半的电平的电压 $VCC/2$ 。在下面,假定用于完全地分离铁电体材料的极化的电压是电源电压 VCC 的一半。

[0088] 首先,在存储器单元阵列内的多个存储器单元中的一个存储器单元 100 中写入数据 '1' 或 '0' 时,将参照图 13 所示的时序图来说明在存储器器件中的写入操作。

[0089] 如图 13 所示,在写入初始操作中,位线电压 BL 被位线预充电电路(未示出)设置为地电压 V_{ss} 或 0V。对于间隔 'I',板线电压 PL 被设置到固定电压,诸如电源电压 VCC 的一半。

[0090] 当从字线驱动器施加的字线电压 WL 被使能为电源电压 VCC 时,构成存储器单元 100 的访问晶体管 N101 被字线电压 WL 接通,并且节点 V_a 提高到与板电压 PL 具有相同电平的固定电压 $VCC/2$ 。而且,在间隔 'II' 中读出在存储器单元 100 中存储的数据。在所述间隔 'II' 期间,固定电压 $VCC/2$,作为完全地分离对应于所选择的字线 WLi 的铁电体电容器

C101 的铁电体材料的极化所需要的电平,被施加到铁电体电容器 C101。当数据‘0’被存储在存储器单元 100 中时,在图 1 的迟滞曲线中,铁电体电容器 C101 的极化度从状态点 B 向状态点 A 改变。对应于电荷 dQ_0 的电压 VD_0 从铁电体电容器 C101 被引到位线 BLi,所述电荷 dQ_0 对应于这样的状态过渡。对应于数据‘0’的电压 VD_0 具有大致等于地电压 V_{ss} 的电平。同时,当数据‘1’被存储在存储器单元 100 中,铁电体电容器 C101 的极化度从状态点 D 向状态点 A 改变。因此,对应于这样的状态过渡的电荷 dQ_1 从铁电体电容器 C101 给予位线 BLi 上。即,当存储数据‘1’时,在位线 BLi 上的电压 BL 提高基于对应于所述状态过渡的电荷 dQ_1 的电压 VD_1 ,诸如大约 100mV,它大于地电压 V_{ss} 。

[0091] 在间隔‘III’期间,读出放大器通过读出放大器使能信号 SAEN 工作,因此读出位线 BLi 的被放大的电平 VD_0 或 VD_1 。通过铁电体材料的极化在位线 BLi 上改变的电压与高于地电压 V_{ss} 的、诸如 50mV 的参考电压 V_{REF} 相比较。此时,如果在位线 BLi 上的改变的电压 VD_0 小于所述参考电压 V_{REF} ,则位线电压 BL 被设置到地电压 V_{ss} 以施加到铁电体电容器 C101。相反,如果在位线 BLi 上的改变的电压 VD_1 大于参考电压 V_{REF} ,则诸如 VCC 的一个电压,它改变铁电体电容器 C101 的极化并且也大于参考电压 V_{REF} ,被施加到铁电体电容器 C101。

[0092] 结果,当存储数据‘0’时,在图 1 的迟滞曲线中,铁电体电容器 C101 的极化度保持状态点 A,并且当存储数据‘1’时,铁电体电容器 C101 的极化度从状态点 A 向状态点 C 改变。

[0093] 在间隔‘IV’中,执行实际的写入操作。在这个间隔中,在假定例如对应于数据‘0’的电压是 V_{ss} 并且对应于数据‘1’的电压是 VCC 时,施加一个电压,它对应于从外部通过数据输入/输出电路(未示出)输入的数据 DIN0 和 DIN1。同时,对应于数据‘0’的电压 V_{ss} 或对应于数据‘1’的电压 VCC 被传送到所选择的位线 BLi。在此,在存储器单元 100 中写入数据‘0’的情况下,对应于数据‘0’的电压 V_{ss} 被施加到所选择的位线,在写入数据‘1’的情况下,对应于数据‘1’的电压 VCC 被施加到所选择的位线。因此,在间隔‘IV’中,当数据‘1’被写入在存储器单元 100 中时,铁电体电容器 C101 的极化度位于状态点 C,当写入数据‘0’时,它位于状态点 A。

[0094] 在本发明的例证实施例中的写入操作与惯例不同地具有位线 BL 的电压电平,并且也可以控制铁电体电容器的极化度。换句话说,可以在一个时间间隔‘IV’中写入数据‘1’或‘0’,这增加了操作速度。

[0095] 在间隔‘V’中,字线 WLi 被禁止,然后读出放大器被禁止。接着,位线电压 BL 被设置为地电压 V_{ss} 。即,在写入数据‘1’中,在存储器单元 100 中被充电为固定电压 $VCC/2$ 的节点 V_a 通过禁止字线 WLi 而浮置。然后,当位线电压 BL 被设置为地电压并且从对应于数据‘1’的电压 VCC 改变到地电压 V_{ss} 时,通过铁电体电容器来产生耦合,以便防止被施加到铁电体电容器 C101 的两端反向电压。这可以提供在写入数据中的稳定操作。

[0096] 铁电体电容器 C101 在上述的间隔‘II’中通过连接到铁电体电容器 C101 的节点 V_a 的电压 $VCC/2$ 来存储数据‘0’,该铁电体电容器 C101 的极化度从状态点 B 向状态点 A 改变。其中存储了数据‘1’的铁电体电容器 C101 的极化度从状态点 D 向状态点 A 改变。这在共享一个所选择的字线的所有存储器单元中被产生。这要求恢复操作,以便存储了数据‘1’的未被选择的铁电体电容器的数据被恢复到原始状态。在这些存储器单元中,在图 13

所示的时间间隔‘III’、‘IV’和‘V’执行恢复操作。

[0097] 在上述的写入操作后,所有信号在间隔‘VI’中被设置到待命状态。在间隔‘VI’后,写入数据‘1’的情况下的铁电体电容器的极化度位于状态点D,在写入数据‘0’的情况下,它位于状态点B。在此,完成了数据的写入操作。

[0098] 接着,为了读取在存储器单元阵列内的多个存储器单元中的一个存储器单元100中存储的数据‘1’或‘0’,将参照图14的时序图来说明存储器件的读取操作。

[0099] 如图14所示,在初始读取操作,在位线预充电电路中位线BL_i被设置为地电压V_{ss}或0V。而且,板电压在间隔‘I’被设置到固定电压,诸如电源电压VCC的一半。

[0100] 在间隔‘II’期间,固定电压VCC/2,作为完全地分离对应于所选择的字线WL_i的铁电体电容器C101的铁电体材料的极化所需要的电平,被施加到铁电体电容器C101。当数据‘0’被存储在存储器单元100中时,在图1的迟滞曲线中,铁电体电容器C101的极化度从状态点B向状态点A改变。对应于电荷dQ₀的电压VD₀从铁电体电容器C101被引到位线BL_i,所述电荷dQ₀对应于这样的状态过渡。对应于数据‘0’的电压VD₀具有大致等于地电压V_{ss}的电平。同时,当数据‘1’被存储在存储器单元100中,铁电体电容器C101的极化度从状态点D向状态点A改变。因此,对应于这样的状态过渡的电荷dQ₁从铁电体电容器C101给予位线BL_i。即,当存储数据‘1’时,在位线BL_i上的电压BL提高基于对应于所述状态过渡的电荷dQ₁的电压VD₁,诸如大约100mV,它大于地电压V_{ss}。

[0101] 在间隔‘III’期间,读出放大器通过读出放大器使能信号SAEN工作,因此读出位线BL_i的被放大的电平VD₀或VD₁。通过铁电体材料的极化在位线BL_i上改变的电压与高于地电压V_{ss}的、诸如50mV的参考电压VREF相比较。此时,如果在位线BL_i上的改变的电压VD₀小于所述参考电压VREF,则位线电压BL被设置到地电压V_{ss}以施加到铁电体电容器C101。相反,如果在位线BL_i上的改变的电压VD₁大于参考电压VREF,则诸如VCC的一个大于参考电压VREF的电压被施加到铁电体电容器C101,改变铁电体电容器C101的极化度。

[0102] 即,当存储数据‘0’时,在图1的迟滞曲线中,铁电体电容器C101的极化度保持状态点A,并且当存储数据‘1’时,铁电体电容器C101的极化度从状态点A向状态点C改变。

[0103] 在间隔‘IV’中,分别对应于在读出放大器中放大的数据‘1’的电压VCC或数据‘0’的电压的数据DOUT₀和DOUT₁通过数据输入/输出电路被向外输出。

[0104] 在间隔‘V’中,字线WL_i被禁止,然后读出放大器被禁止,接着,位线电压BL被设置为地电压V_{ss}。在读取数据‘1’中,在存储器单元100中被固定电压VCC/2充电的节点Va通过禁止字线WL_i而浮置。然后,当位线电压BL被确定为地电压以便位线电压BL从对应于数据‘1’的电压VCC改变到地电压V_{ss}时,通过铁电体电容器来产生耦合,以便防止反向电压被施加到铁电体电容器C101的两端。

[0105] 在上述的间隔‘II’中,存储了数据‘0’的铁电体电容器C101的极化度通过连接到铁电体电容器C101的节点Va的电压VCC/2而从状态点B向状态点A改变,并且存储了数据‘1’的铁电体电容器C101的极化度从状态点D向状态点A改变。这也产生在共享一个所选择的字线的所有存储器单元中。这导致要求恢复操作,以便将存储了数据‘1’的未被选择的铁电体电容器的数据恢复到原始状态。这些存储器单元在图14所示的时间间隔‘III’、‘IV’和‘V’中执行恢复操作。

[0106] 在这样的读取操作后,所有信号在间隔‘VI’中被确定为待命状态。在间隔‘VI’后,当读取数据‘1’时铁电体电容器的极化度位于状态点D,当读取数据‘0’时,它位于状态点B。在此,完成了数据的读取操作。

[0107] 虽然在本发明的例证实施例中,数据‘0’对应于在图1中引用的迟滞环的状态点B,并且数据‘1’对应于状态点D,但是容易通过本领域内的技术人员,使得数据‘1’可以对应于状态点B,并且数据‘0’可以对应于状态点D。

[0108] 如上所述,按照本发明的一个例证实施例,不向板线施加脉冲而施加固定电压,由此可以降低连接到铁电体随机存取存储器器件的板线的数量,获得适合于高集成度的铁电体随机存取存储器器件。而且,降低了引起速度降低的脉冲类型的信号,增强了操作速度。而且,可以简单地配置字线驱动器,有助于高集成和降低功耗并且增加操作速度。

[0109] 可以稳定地执行读取和写入操作,并且可以在一个时间线写入数据‘1’或‘0’,增加了操作速度。可以通过在禁止字线后将位线设置到地电压来防止通过铁电体电容器的两个电极的反向电压,获得稳定的读取和写入操作。

[0110] 本发明的实施例可以以许多方式来实践。下面是这些实施例的一些的例证的、非限定性说明。

[0111] 本发明的一个例证实施例提供了一种铁电体随机存取存储器器件,它包括至少一个存储器单元,所述存储器单元由字线使能信号操作的一个访问晶体管和在位线和所述访问晶体管之间连接的一个铁电体电容器构成。

[0112] 在所述访问晶体管中,第一端连接到在第一电极连接到位线的铁电体电容器的第二电极,第二端连接到板线。栅极可以连接到字线,并且固定电压或脉冲可以被施加到板线。

[0113] 本发明的另一个例证实施例提供了在铁电体半导体存储器件中的铁电体随机存取存储器器件,所述铁电体半导体存储器件具有存储器单元阵列,其中多个阵列单元以矩阵结构以行和列重复地排列,所述阵列单元由存储器单元构成。在此,阵列单元包括:第一存储器单元,它由第一字线使能信号操作的第一访问晶体管和在第一位线和第一访问晶体管之间连接的第一铁电体电容器构成;第二存储器单元,它由第二字线使能信号操作的第二访问晶体管和在第二位线和第二访问晶体管之间连接的第二铁电体电容器构成,并且所述第二存储器单元与所述第一存储器单元相邻。

[0114] 第一存储器单元和第二存储器单元可以连接到一个板线。第一访问晶体管的第一端连接到其中第一电极连接到第一位线的第一铁电体电容器的第二电极。第二访问晶体管的第一端连接到其中第一电极连接到第二位线的第二铁电体电容器的第二端。第一访问晶体管的第二端和第二访问晶体管的第二端被公共地共享,并且可以连接到板线。

[0115] 本发明的另一个例证实施例提供了在铁电体半导体存储器件中的铁电体随机存取存储器器件,所述铁电体半导体存储器件具有存储器单元阵列,其中多个阵列单元以矩阵结构以行和列重复地排列,所述阵列单元由存储器单元构成。在此,所述阵列单元包括:第一存储器单元,它由第一字线使能信号操作的第一访问晶体管和在一个位线和第一访问晶体管之间连接的第一铁电体电容器构成;第二存储器单元,它由第二字线使能信号操作的第二访问晶体管和在一个位线和第二访问晶体管之间连接的第二铁电体电容器构成,并且所述第二存储器单元与所述第一存储器单元相邻,所述一个位线连接到第一存储

器单元。

[0116] 第一存储器单元和第二存储器单元可以连接到一个板线。第一访问晶体管的第一端连接到其中第一电极连接到所述一个位线的第一铁电体电容器的第二电极。第二访问晶体管的第一端连接到其中第一电极连接到所述一个位线的第二铁电体电容器的第二端。第一访问晶体管的第二端和第二访问晶体管的第二端被公共地共享,并且可以连接到板线。

[0117] 本发明的另一个例证实施例提供了在铁电体半导体存储器件中的铁电体随机存取存储器器件,所述铁电体半导体存储器件具有存储器单元阵列,其中多个阵列单元以矩阵结构以行和列重复地排列,所述阵列单元由存储器单元构成。在此,所述阵列单元包括第一存储器单元、第二存储器单元、第三存储器单元和第四存储器单元。

[0118] 在此,第一存储器单元由通过第一字线使能信号操作的第一访问晶体管和在第一位线和第一访问晶体管之间连接的第一铁电体电容器构成。

[0119] 第二存储器单元由通过第一字线使能信号操作的第二访问晶体管和在第二位线和第二访问晶体管之间连接的第二铁电体电容器构成。第二存储器单元与第一存储器单元相邻。

[0120] 第三存储器单元由通过第二字线使能信号操作的第三访问晶体管和在第一位线和第三访问晶体管之间连接的第三铁电体电容器构成。第三存储器单元与第一存储器单元和第二存储器单元相邻。

[0121] 第四存储器单元的构成由通过第二字线使能信号操作的第四访问晶体管和在第二位线和第四访问晶体管之间连接的第四铁电体电容器构成。第四存储器单元与第一到第三存储器单元相邻。

[0122] 第一到第四存储器单元可以连接到一个板线。

[0123] 本发明的另一个例证实施例提供了一种铁电体随机存取存储器器件,包括:至少一个存储器单元,它由至少一个其中栅极连接到字线的一个访问晶体管和在所述访问晶体管和位线之间连接的一个铁电体电容器构成;字线驱动器,用于经由响应于被施加的字线使能信号的开关器件、通过向所述字线传送主字线电压来操作所述存储器单元的所述访问晶体管。

[0124] 一个放电器件还连接到所述字线,所述放电器件用于响应于被施加的字线禁止信号而放电和禁止所述字线。

[0125] 本发明的另一个例证实施例提供了一种驱动方法,用于在具有基于多个存储器单元的矩阵结构的存储器单元阵列的铁电体随机存取存储器器件中写入数据,所述驱动方法包括:向铁电体电容器施加被施加到由字线使能信号选择的访问晶体管的第一端的固定电压,因此向一个位线施加对应于在铁电体电容器中存储的数据的电压,所述铁电体电容器连接在所述位线和所述访问晶体管的第二端之间;在读出放大器中读出放大被施加到所述位线的电压;向所述位线施加对应于写入的数据的电压,以在铁电体电容器中存储所述数据;禁止所述字线,并且将所述位线设置为地电压。

[0126] 固定电压可以是施加到板线的电源电压的一半。

[0127] 本发明的另一个例证实施例提供了一种驱动方法,用于在具有基于多个存储器单元的矩阵结构的存储器单元阵列的铁电体随机存取存储器器件中读取存储的数据,所述驱动方法包括:向铁电体电容器施加被施加到由字线使能信号选择的访问晶体管的第一端的

固定电压,因此向一个位线施加对应于在铁电体电容器中存储的数据的电压,所述铁电体电容器连接在所述位线和所述访问晶体管的第二端之间;在读出放大器中读出放大被施加到所述位线的电压,并且输出它;禁止所述字线,并且将所述位线设置为地电压。

[0128] 固定电压可以是施加到板线的电源电压的一半。上述的器件和方法增加了操作速度以获得铁电体随机存取存储器器件的高度集成,降低功耗和提供稳定的读取和写入操作。

[0129] 对于本领域内的技术人员显然,在不脱离本发明的精神或范围的情况下,可以在本发明中进行修改和改变。因此,意欲本发明包括对于本发明的任何这样的修改和改变,只要它们在所附的权利要求及其等同内容的范围内。例如,在晶体管的形成程序中,可以改变基底形状、栅极电极的形状、散热片的形状或层材料的配置,或者可以增加或减少制造处理。

图 1

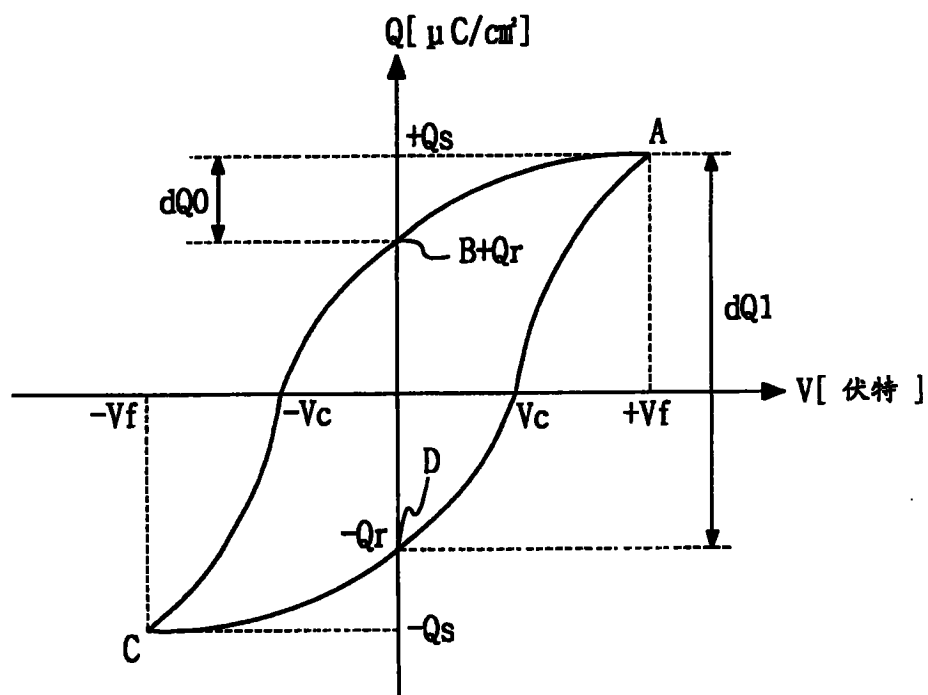


图 2

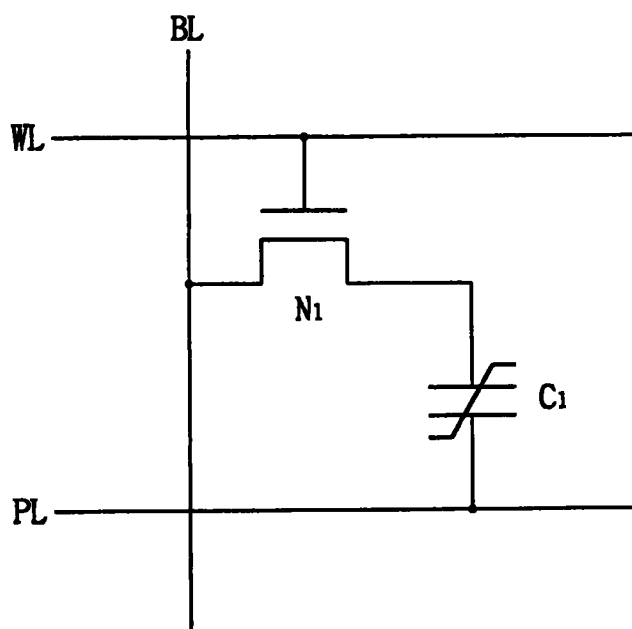


图 3

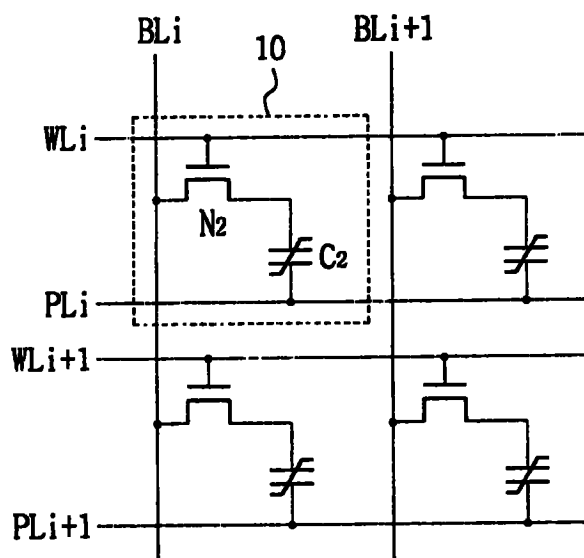


图 4

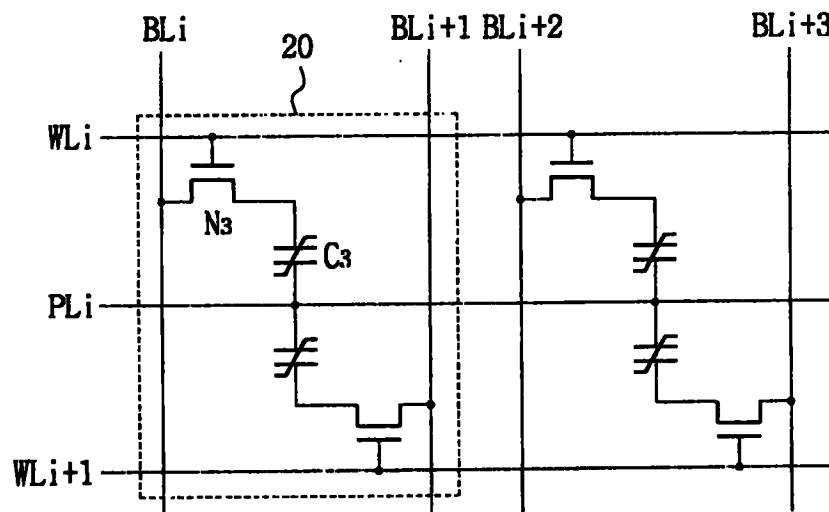


图 5

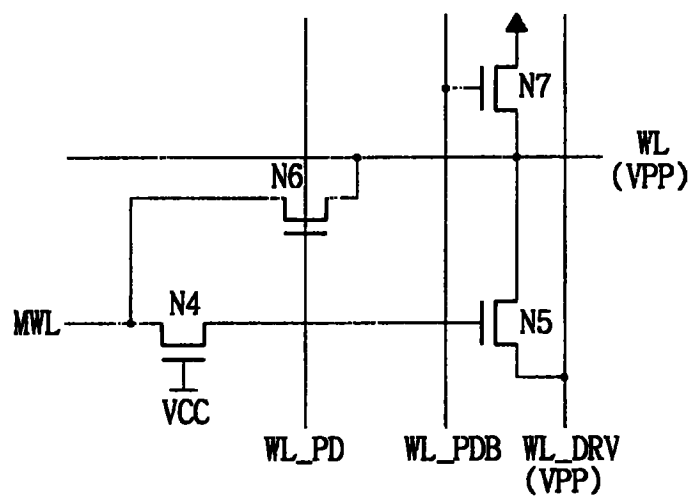


图 6

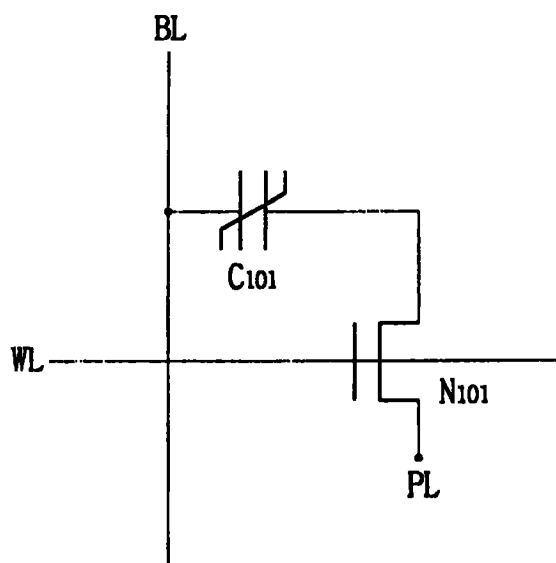


图 7

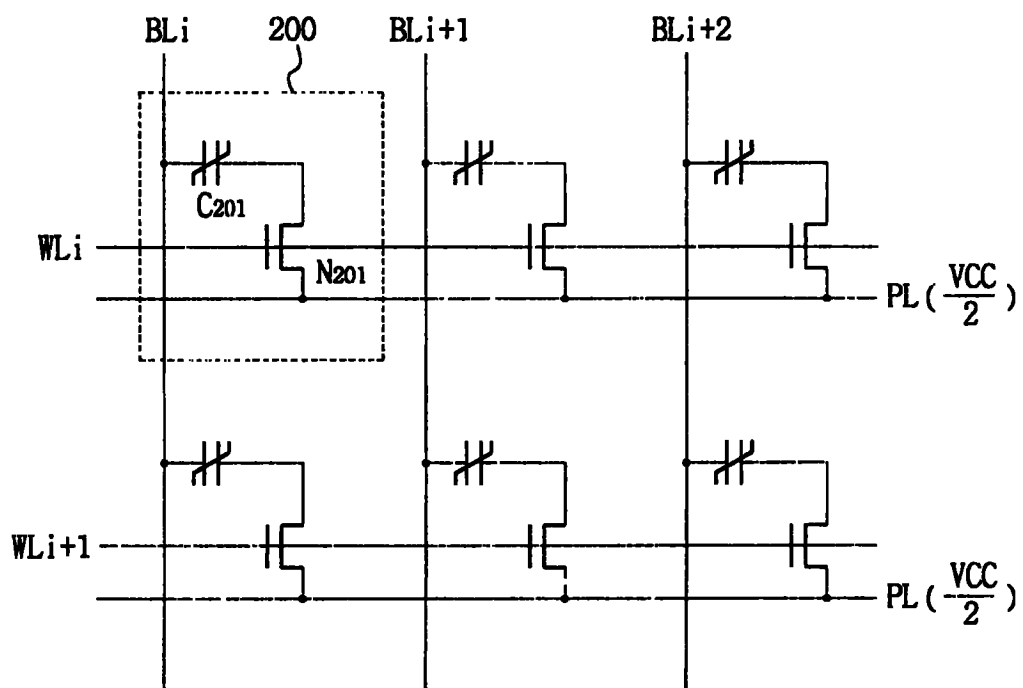


图 8

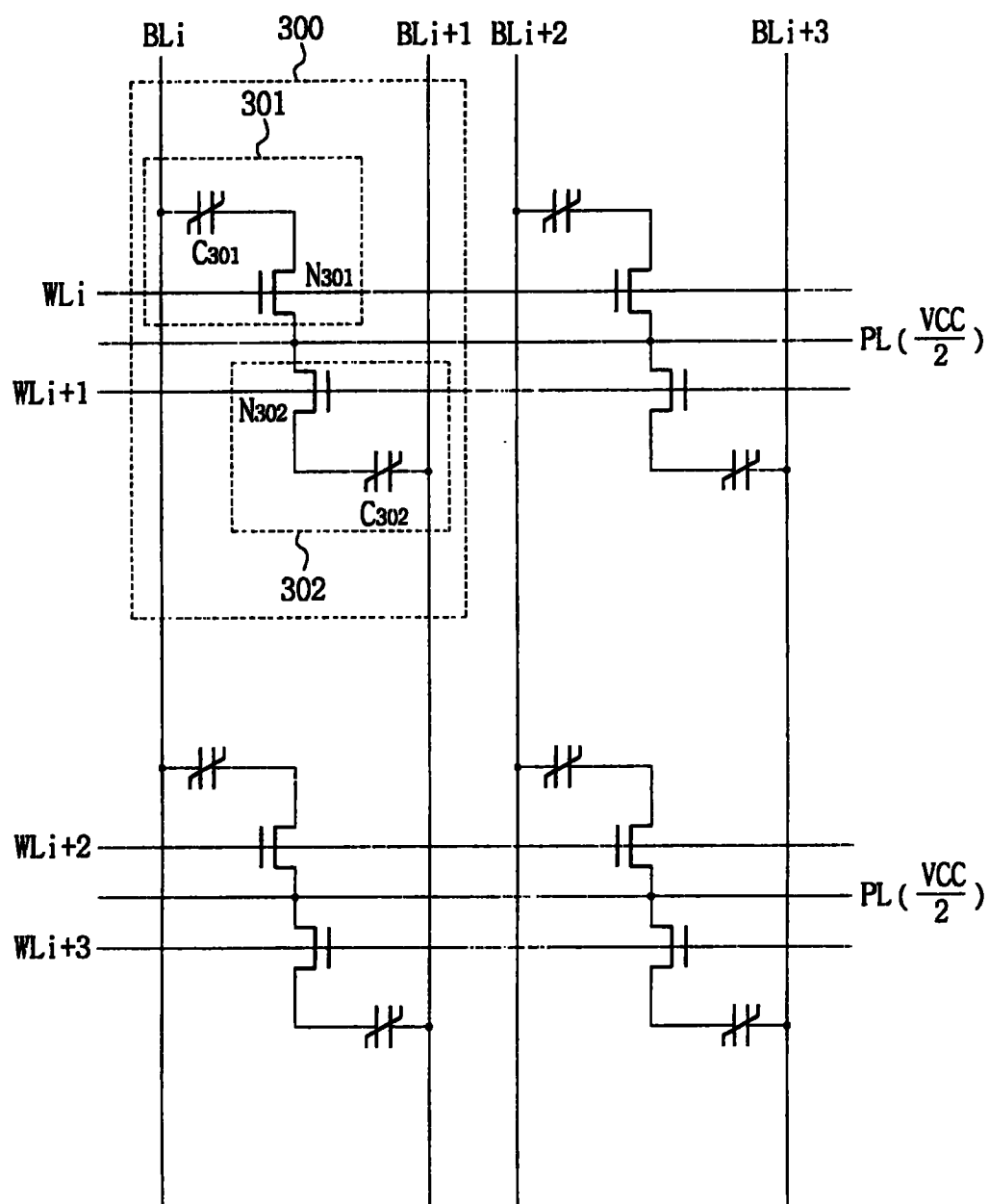


图 9

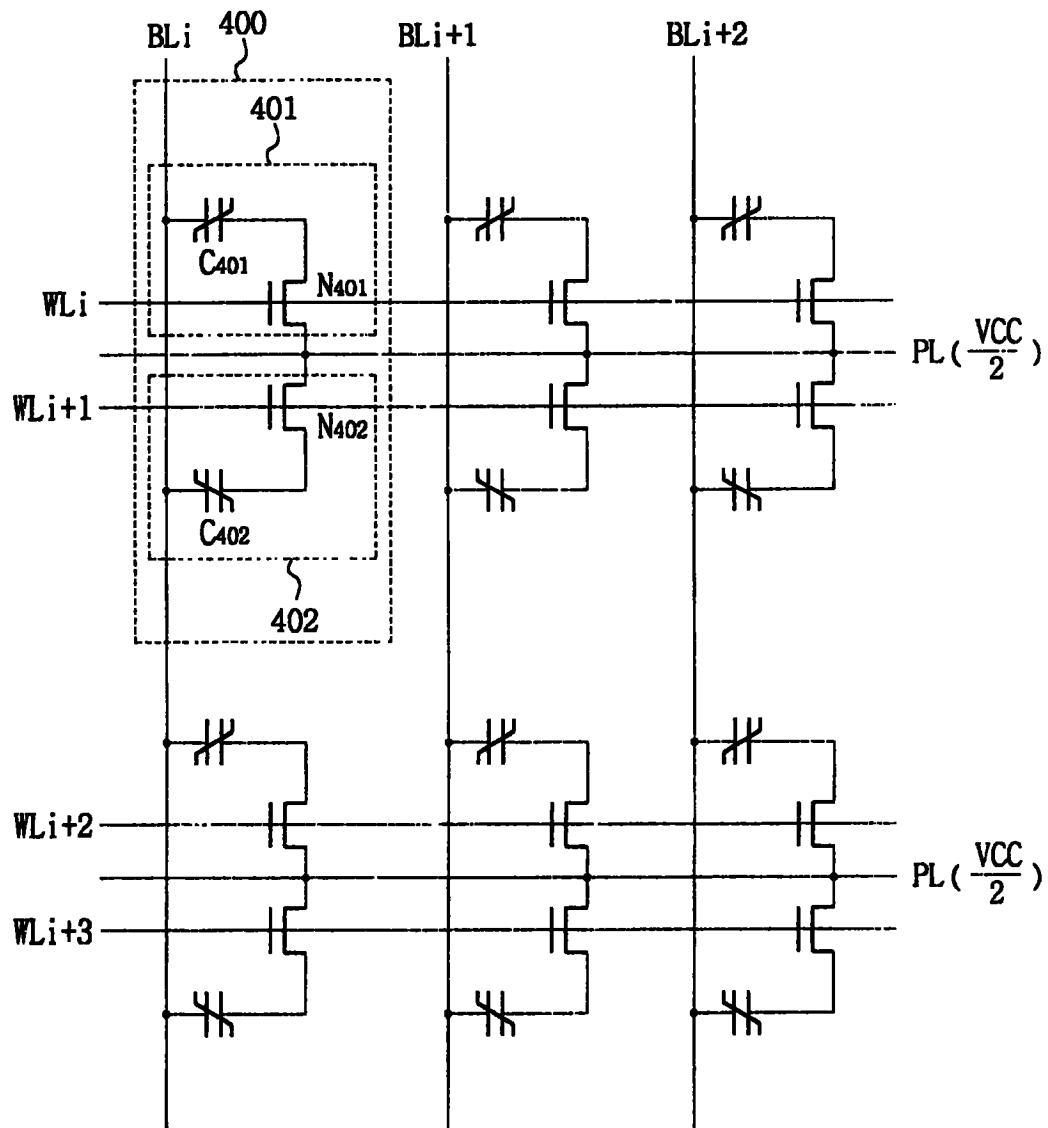


图 10

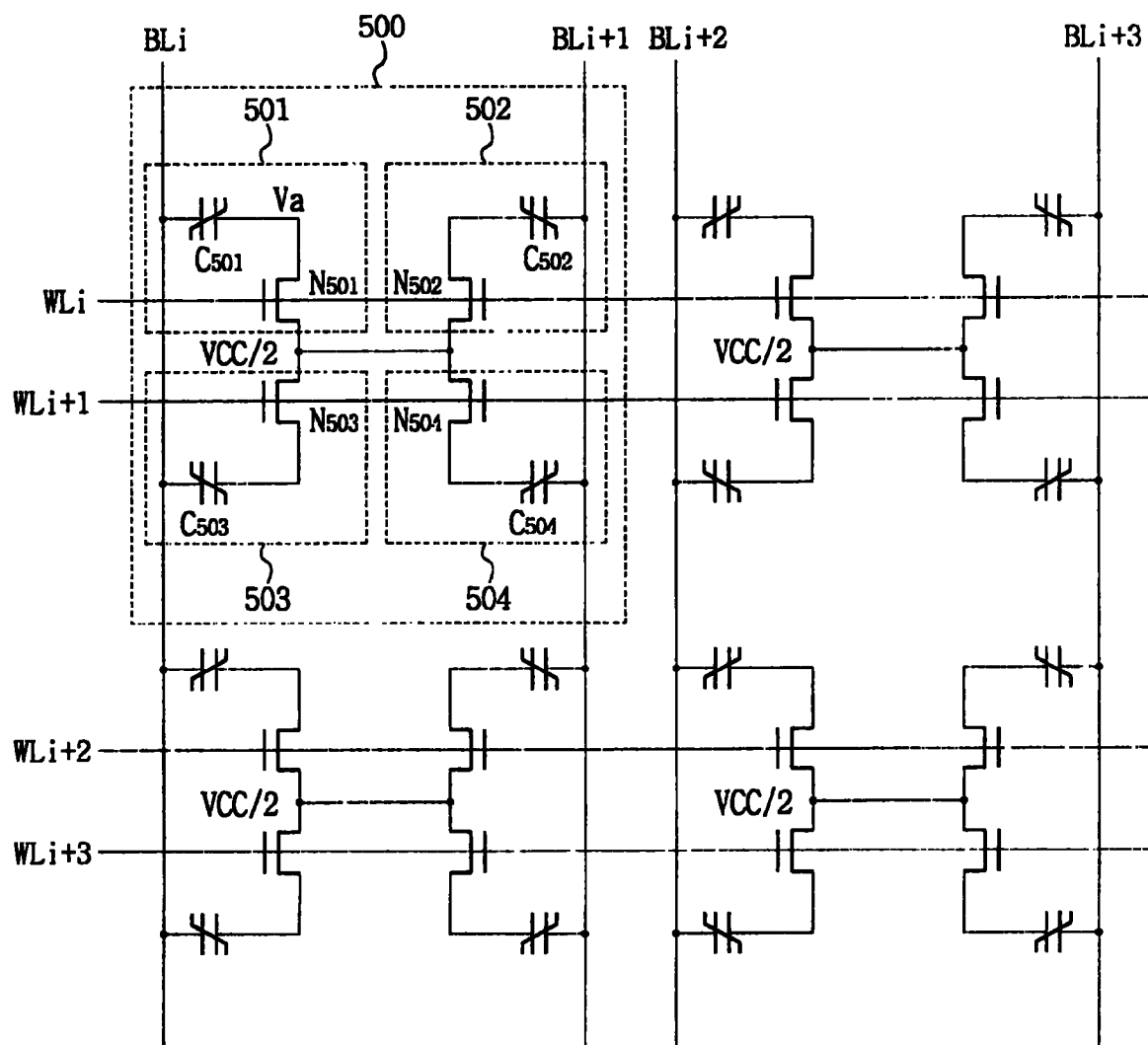


图 11

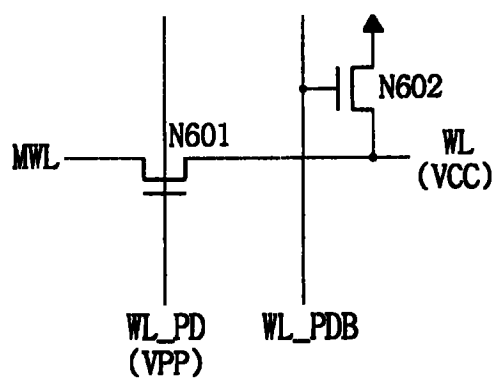


图 12

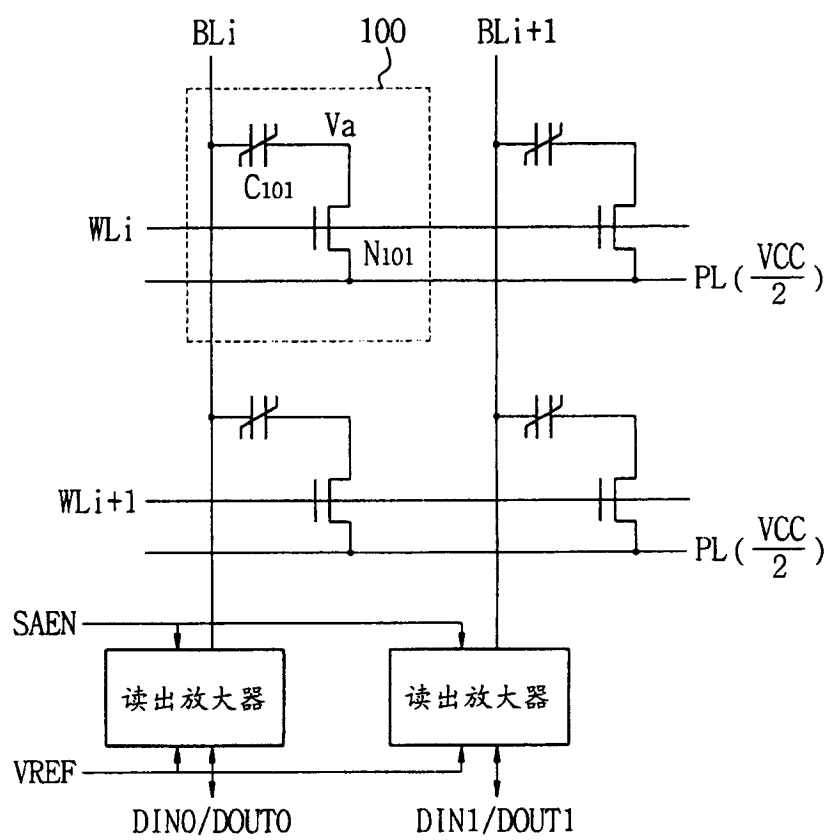


图 13

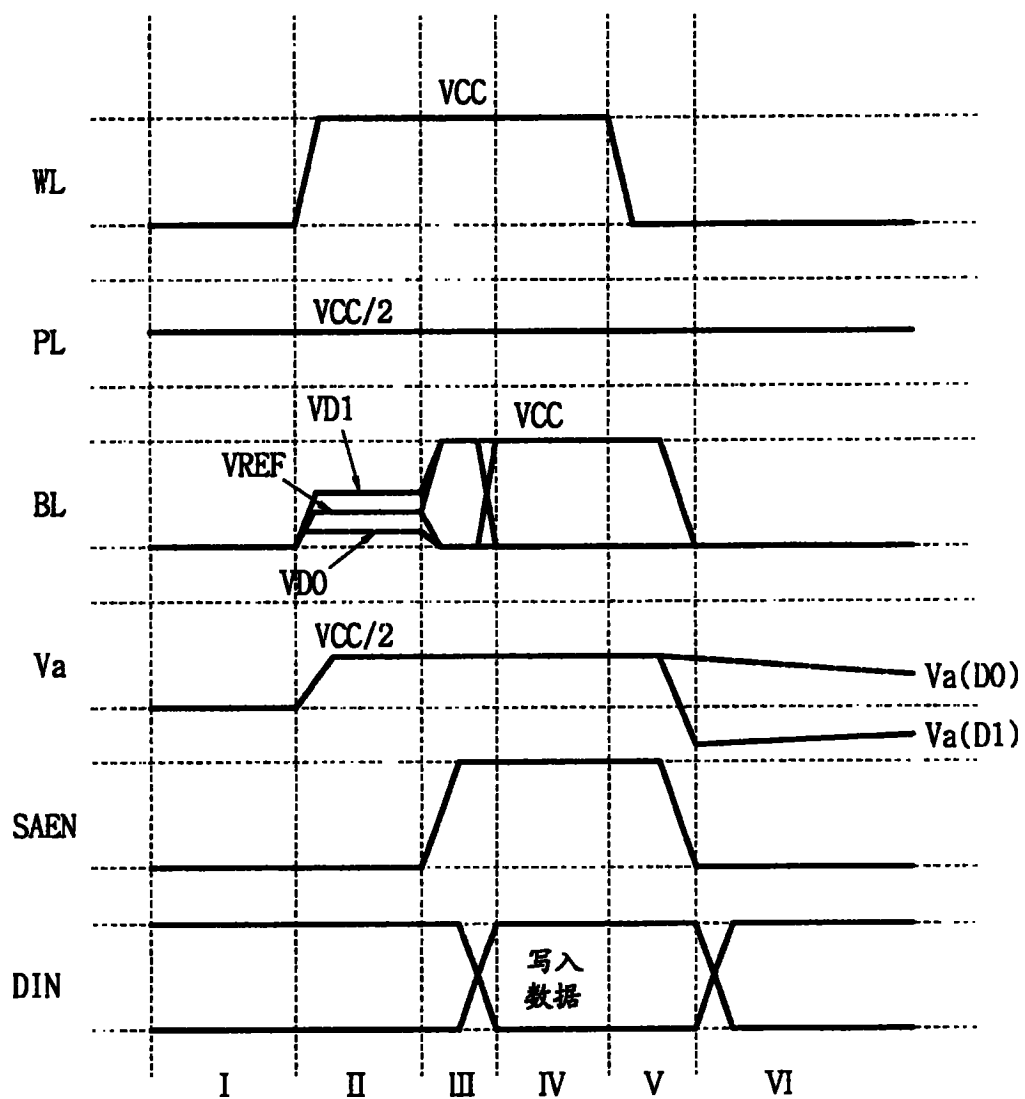


图 14

