

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2013-55320
(P2013-55320A)

(43) 公開日 平成25年3月21日(2013.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 G 4/232 (2006.01)	HO 1 G 4/12 3 5 2	5 E 0 0 1
HO 1 G 4/30 (2006.01)	HO 1 G 4/30 3 0 1 C	5 E 0 8 2
	HO 1 G 4/30 3 0 1 B	

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号 特願2012-64931 (P2012-64931)	(71) 出願人 594023722
(22) 出願日 平成24年3月22日 (2012. 3. 22)	サムソン エレクトロメカニクス カ
(31) 優先権主張番号 10-2011-0088031	ンパニーリミテッド.
(32) 優先日 平成23年8月31日 (2011. 8. 31)	大韓民国、キョンギード、スウォン、ヨン
(33) 優先権主張国 韓国 (KR)	トニング、マエタン3ードン 3 1 4
	(74) 代理人 100088605
	弁理士 加藤 公延
	(74) 代理人 100130384
	弁理士 大島 孝文
	(72) 発明者 キム・ヒュン・ジュン
	大韓民国、キョンギード、スウォン、ヨン
	トニング、マエタン3ードン 3 1 4、サ
	ムソン・エレクトロメカニクス・カン
	パニーリミテッド
	最終頁に続く

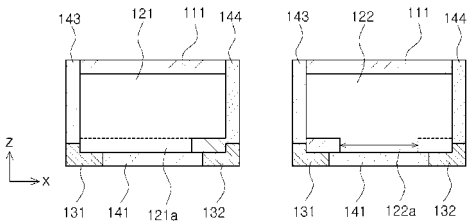
(54) 【発明の名称】 積層セラミックキャパシタ

(57) 【要約】

【課題】本発明は、積層セラミックキャパシタに関する。

【解決手段】本発明の一実施形態による積層セラミックキャパシタは、セラミック素体と、上記セラミック素体の内部に形成され、上記セラミック素体の第1面及び上記第1面と連結された第3面または第4面に露出し、上記第1面に露出した領域のうち一部が互いに重なる引出し部を有する第1及び第2内部電極と、上記セラミック素体の第1面及び上記第1面から延長されて上記第1面と連結された第3面または第4面に形成され、上記引出し部と夫々連結される第1及び第2外部電極と、上記セラミック素体の第1面、上記第1面と連結された第3面及び第4面に形成される絶縁層と、を含む。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

セラミック素体と、

前記セラミック素体の内部に形成され、前記セラミック素体の第 1 面及び前記第 1 面と連結された第 3 面または第 4 面に露出し、前記第 1 面に露出した領域のうち一部が互いに重なる引出し部を有する第 1 及び第 2 内部電極と、

前記セラミック素体の第 1 面及び前記第 1 面から延長されて前記第 1 面と連結された第 3 面または第 4 面に形成され、前記引出し部と夫々連結される第 1 及び第 2 外部電極と、

前記セラミック素体の第 1 面、前記第 1 面と連結された第 3 面及び第 4 面に形成される絶縁層と、

を含む積層セラミックキャパシタ。

10

【請求項 2】

前記第 1 内部電極は前記セラミック素体の第 1 面及び第 3 面に露出する第 1 引出し部を有し、前記第 2 内部電極は前記セラミック素体の第 1 面及び第 4 面に露出する第 2 引出し部を有する請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記第 1 外部電極は前記セラミック素体の第 1 面及び前記第 1 面から延長されて前記第 3 面に形成され、前記第 2 外部電極は前記セラミック素体の第 1 面及び前記第 1 面から延長されて前記第 4 面に形成される請求項 1 に記載の積層セラミックキャパシタ。

20

【請求項 4】

前記第 1 及び第 2 内部電極の端部は、前記セラミック素体の第 3 面及び第 4 面に露出する請求項 1 に記載の積層セラミックキャパシタ。

【請求項 5】

前記第 1 及び第 2 内部電極は、セラミック素体の実装面に対して垂直に配置される請求項 1 に記載の積層セラミックキャパシタ。

【請求項 6】

前記絶縁層はセラミックスラリーによって形成される請求項 1 に記載の積層セラミックキャパシタ。

【請求項 7】

前記第 1 外部電極は、前記第 1 内部電極の引出し部のうち第 2 内部電極の引出し部と重ならない領域と連結される請求項 1 に記載の積層セラミックキャパシタ。

30

【請求項 8】

前記絶縁層は、互いに重なった第 1 及び第 2 内部電極の引出し部を全て覆うように形成される請求項 1 に記載の積層セラミックキャパシタ。

【請求項 9】

前記絶縁層は、前記セラミック素体の第 1 面から測定される第 1 及び第 2 外部電極の高さより小さく形成される請求項 1 に記載の積層セラミックキャパシタ。

【請求項 10】

前記第 1 及び第 2 外部電極が所定の間隔を置いて形成されるセラミック素体の x - 方向の長さは、内部電極が積層される y - 方向の長さより短く形成される請求項 1 に記載の積層セラミックキャパシタ。

40

【請求項 11】

前記第 1 内部電極は二つの引出し部を有し、前記一つの引出し部は前記セラミック素体の第 1 面及び第 3 面に露出し、他の一つの引出し部は前記セラミック素体の第 1 面及び第 4 面に露出して、前記第 1 内部電極の二つの引出し部は第 2 内部電極の引出し部と第 1 面で重畳領域を形成する請求項 1 に記載の積層セラミックキャパシタ。

【請求項 12】

前記第 1 及び第 2 内部電極は前記セラミック素体の第 1 面及び前記第 1 面に対向する第 2 面に夫々露出する二つの引出し部を有し、前記第 1 内部電極の一つの引出し部は前記第 1 面及び前記第 3 面に露出し、前記第 1 内部電極の他の一つの引出し部は前記第 2 面及び

50

第 3 面に露出し、前記第 2 内部電極の一つの引出し部は前記第 1 面及び第 4 面に露出し、前記第 2 内部電極の他の引出し部は前記第 2 面及び第 4 面に露出する請求項 1 に記載の積層セラミックキャパシタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックキャパシタに関し、より詳細には、優れた静電容量を有し、低い等価直列インダクタンスを実現した積層セラミックキャパシタに関する。

【背景技術】

【0002】

一般的に、キャパシタ、インダクタ、圧電体素子、バリスタまたはサーミスタなどのセラミック材料を用いる電子部品は、セラミック材料からなるセラミック本体と、本体の内部に形成された内部電極と、上記内部電極と接続されるようにセラミック本体の表面に設けられた外部電極と、を備える。

【0003】

セラミック電子部品のうち積層セラミックキャパシタは、積層された複数の誘電体層と、一誘電体層を挟んで対向配置される内部電極と、上記内部電極に電氣的に接続された外部電極と、を含む。

【0004】

積層セラミックキャパシタは、小型でありながらも高容量が保障され、実装が容易であるという長所により、コンピュータ、PDA、携帯電話などの移動通信装置の部品として広く用いられている。

【0005】

最近では、電子製品が小型化及び多機能化するにつれて、チップ部品も小型化及び高機能化される傾向にあるため、積層セラミックキャパシタもサイズが小さいながら容量が大きい高容量製品が求められている。

【0006】

また、積層セラミックキャパシタは、LSIの電源回路内に配置されるバイパス(bypass)キャパシタとして有用に用いられており、このようなバイパスキャパシタとして機能するためには、積層セラミックキャパシタが高周波ノイズを効果的に除去できなければならない。このような要求は、電子装置の高周波化の傾向によりさらに増加している。バイパスキャパシタとして用いられる積層セラミックキャパシタは、回路基板上の実装パッド上に半田付けにより電氣的に連結され、上記実装パッドは基板上の配線パターンや導電性ビアを介して他の外部回路と連結されることができる。

【0007】

積層セラミックキャパシタは、キャパシタンス成分の他に等価直列抵抗(ESR)及び等価直列インダクタンス(ESL)成分をともに有し、このような等価直列抵抗(ESR)及び等価直列インダクタンス(ESL)成分はバイパスキャパシタの機能を阻害する。特に、等価直列インダクタンス(ESL)は、高周波でキャパシタのインダクタンスを高くし、高周波ノイズの除去特性を阻害する。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、優れた静電容量を有し、低い等価直列インダクタンスを実現した積層セラミックキャパシタを提供することをその目的とする。

【課題を解決するための手段】

【0009】

本発明の一実施形態によると、セラミック素体と、上記セラミック素体の内部に形成され、上記セラミック素体の第 1 面及び上記第 1 面と連結された第 3 面または第 4 面に露出し、上記第 1 面に露出した領域のうち一部が互いに重なる引出し部を有する第 1 及び第 2

10

20

30

40

50

内部電極と、上記セラミック素体の第1面及び上記第1面から延長されて上記第1面と連結された第3面または第4面に形成され、上記引出し部と夫々連結される第1及び第2外部電極と、上記セラミック素体の第1面、上記第1面と連結された第3面及び第4面に形成される絶縁層と、を含む積層セラミックキャパシタが提供される。

【0010】

上記第1内部電極は上記セラミック素体の第1面及び第3面に露出する第1引出し部を有し、上記第2内部電極は上記セラミック素体の第1面及び第4面に露出する第2引出し部を有することができる。

【0011】

上記第1外部電極は上記セラミック素体の第1面及び上記第1面から延長されて上記第3面に形成され、上記第2外部電極は上記セラミック素体の第1面及び上記第1面から延長されて上記第4面に形成されることができる。

10

【0012】

上記第1及び第2内部電極の端部は、上記セラミック素体の第3面及び第4面に露出することができる。

【0013】

上記第1及び第2内部電極は、セラミック素体の実装面に対して垂直に配置されることができる。

【0014】

上記絶縁層はセラミックスラリーによって形成されることができる。

20

【0015】

上記第1外部電極は、上記第1内部電極の引出し部のうち第2内部電極の引出し部と重ならない領域と連結されることができる。

【0016】

上記絶縁層は、互いに重なった第1及び第2内部電極の引出し部を全て覆うように形成されることができる。

【0017】

上記絶縁層は、上記セラミック素体の第1面から測定される第1及び第2外部電極の高さより小さく形成されることができる。

【0018】

上記第1及び第2外部電極が所定の間隔を置いて形成されるセラミック素体のx-方向の長さは、内部電極が積層されるy-方向の長さより短く形成されることができる。

30

【0019】

上記第1内部電極は二つの引出し部を有し、上記一つの引出し部は上記セラミック素体の第1面及び第3面に露出し、他の一つの引出し部は上記セラミック素体の第1面及び第4面に露出して、上記第1内部電極の二つの引出し部は第2内部電極の引出し部と第1面で重畳領域を形成することができる。

【0020】

上記第1及び第2内部電極は上記セラミック素体の第1面及び上記第1面に対向する第2面に夫々露出する二つの引出し部を有し、上記第1内部電極の一つの引出し部は上記第1面及び上記第3面に露出し、上記第1内部電極の他の一つの引出し部は上記第2面及び第3面に露出し、上記第2内部電極の一つの引出し部は上記第1面及び第4面に露出し、上記第2内部電極の他の引出し部は上記第2面及び第4面に露出することができる。

40

【発明の効果】

【0021】

本発明の一実施形態によると、内部電極は、セラミック素体に最小限のマージン部を残して、最大限広い面積に形成されることができる。これにより、第1及び第2内部電極の重畳領域が広くなり、高容量の積層セラミックキャパシタを形成することができる。

【0022】

本発明の一実施形態によると、第1及び第2内部電極は引出し部にも重畳領域が形成さ

50

れ、積層セラミックキャパシタの容量が増加することができる。

【0023】

また、外部極性が印加される第1及び第2内部電極間の距離が近くなり、カレントループ (current loop) が短くなることができ、これにより、等価直列インダクタンス (ESL、Equivalent Series Inductance) が低くなることができる。

【0024】

本発明の一実施形態によると、外部電極は内部電極の引出し部のコーナー部を覆うように形成されるため、内部電極に対する外部電極の固着強度が向上されることができる。

【0025】

本発明の一実施形態によると、セラミック素体に形成される絶縁層は、セラミック素体の一面に露出する第1及び第2内部電極の端部、第1及び第2内部電極の引出し部を覆うように形成されるため、内部電極間の短絡を防止し、耐湿特性の低下などの内部欠陥を防止することができる。

【0026】

本発明の一実施形態によると、絶縁層の高さを調節することができる。絶縁層の高さを第1及び第2外部電極の高さより低く形成する場合、積層セラミックキャパシタが回路基板上により安定して実装されることができる。

【0027】

本発明の一実施形態によると、積層セラミックキャパシタのx - 方向の長さがy - 方向の長さより短く形成されるため、第1及び第2外部電極間の距離がより短く形成されることができ、外部極性が印加される第1及び第2内部電極間の距離がより近くなることができ、これにより、カレントループ (current loop) が短くなることができ、等価直列インダクタンス (ESL、Equivalent Series Inductance) がより低くなることができる。

【0028】

本発明の一実施形態によると、積層セラミックキャパシタの電流の流れは、複数の外部電極を介して内部電極に伝達されることができる。これにより、積層セラミックキャパシタのキャパシタンス成分に直列で連結されるインダクタンスの成分の大きさを非常に小さくすることができる。

【図面の簡単な説明】

【0029】

【図1a】本発明の一実施形態による積層セラミックキャパシタを示す概略的な斜視図である。

【図1b】本発明の一実施形態による積層セラミックキャパシタを示す概略的な斜視図である。

【図2】図1a及び図1bに図示された積層セラミックキャパシタのセラミック素体を示す概略的な斜視図である。

【図3】図1及び図2に図示された積層セラミックキャパシタの内部電極の構造を示す断面図である。

【図4】図1bのA - A'線に沿った断面図である。

【図5】本発明の他の実施形態による積層セラミックキャパシタを示す断面図である。

【図6】本発明のさらに他の実施形態による積層セラミックキャパシタを示す概略的な斜視図である。

【図7】図6に図示された積層セラミックキャパシタの内部電極の構造を示す断面図である。

【図8】図6に図示された積層セラミックキャパシタの断面図である。

【図9】本発明のさらに他の実施形態による積層セラミックキャパシタを示す概略的な斜視図である。

【図10】図9に図示された積層セラミックキャパシタの内部電極の構造を示す断面図で

10

20

30

40

50

ある。

【図 1 1】図 9 に図示された積層セラミックキャパシタの断面図である。

【図 1 2】本発明のさらに他の実施形態による積層セラミックキャパシタを示す概略的な斜視図である。

【図 1 3】図 1 2 に図示された積層セラミックキャパシタの内部電極の構造を示す断面図である。

【図 1 4】図 1 2 に図示された積層セラミックキャパシタの断面図である。

【発明を実施するための形態】

【0030】

以下、添付の図面を参照して本発明の好ましい実施形態を説明する。但し、本発明の実施形態は様々な他の形態に変形することができ、本発明の範囲は以下で説明する実施形態に限定されるものではない。また、本発明の実施形態は当業界で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。従って、図面における要素の形状及び大きさ等はより明確な説明のために誇張されることがあり、図面上において同一の符号で表される要素は同一の要素である。

【0031】

図 1 a 及び図 1 b は本発明の一実施形態による積層セラミックキャパシタを示す概略的な斜視図であり、図 2 は図 1 a 及び図 1 b に図示された積層セラミックキャパシタのセラミック素体を示す概略的な斜視図である。図 3 は図 1 及び図 2 に図示された積層セラミックキャパシタの内部電極の構造を示す断面図である。図 4 は図 1 b の A - A' 線に沿った断面図である。

【0032】

本実施形態による積層セラミックキャパシタは、2 端子垂直積層型キャパシタであることができる。「垂直積層型 (vertically laminated or vertical multilayer)」はキャパシタ内に積層された内部電極が回路基板の実装領域面に垂直に配置されることを意味し、「2 端子 (2-terminal)」はキャパシタの端子として二つの端子が回路基板に接続されることを意味する。

【0033】

図 1 から図 4 を参照すると、本実施形態による積層セラミックキャパシタは、セラミック素体 110 と、上記セラミック素体の内部に形成される内部電極 121、122 と、上記セラミック素体の一面に夫々形成される絶縁層 141、143、144 と、外部電極 131、132 と、を含むことができる。

【0034】

本実施形態において、セラミック素体 110 は、互いに対向する第 1 面 1 及び第 2 面 2 と、上記第 1 面及び第 2 面を連結する第 3 面 3、第 4 面 4、第 5 面 5 及び第 6 面 6 と、を有することができる。上記セラミック素体 110 の形状は特に制限されないが、図示されたように、第 1 面から第 6 面を有する六面体形状であることができる。本発明の一実施形態によると、第 3 面 3 と第 4 面 4 とが互いに対向し、第 5 面 5 と第 6 面 6 とが互いに対向することができる。本発明の一実施形態によると、セラミック素体の第 1 面 1 は、回路基板の実装領域に配置される実装面となることができる。

【0035】

本発明の一実施形態によると、x - 方向は第 1 及び第 2 外部電極が所定の間隔を置いて形成される方向であり、y - 方向は内部電極が誘電体層を挟んで積層される方向であり、z - 方向は内部電極が回路基板に実装される方向であることができる。

【0036】

本発明の一実施形態によると、上記セラミック素体 110 は、複数の誘電体層 111 が積層されて形成されることができる。上記セラミック素体 110 を構成する複数の誘電体層 111 は、焼結された状態であり、隣接する誘電体層同士は境界を確認することができないほど一体化されていることができる。

【0037】

10

20

30

40

50

上記誘電体層 111 は、セラミック粉末、有機溶剤及び有機バインダを含むセラミックグリーンシートの焼成によって形成されることができる。上記セラミック粉末は高い誘電率を有する物質であり、これに制限されるものではないが、チタン酸バリウム (BaTiO_3) 系材料、チタン酸ストロンチウム (SrTiO_3) 系材料などを用いることができる。

【0038】

本発明の一実施形態によると、セラミック素体 110 の内部には内部電極が形成されることができる。

【0039】

図 3 はセラミック素体 110 を構成する誘電体層 111 及び上記誘電体層に形成された内部電極 121、122 を示す断面図である。本発明の一実施形態によると、第 1 極性の第 1 内部電極 121 と第 2 極性の第 2 内部電極 122 とが一对をなし、一誘電体層 111 を挟んで互に対向するように、y - 方向に積層されることができる。本発明の一実施形態によると、第 1 及び第 2 内部電極 121、122 は、積層セラミックキャパシタの実装面、即ち、第 1 面 1 に垂直に配置されることができる。

【0040】

本発明において、第 1 及び第 2 は相違する極性を意味し、第 1 及び第 3 は同一の極性を意味し、第 2 及び第 4 は同一の極性を意味することができる。

【0041】

本発明の一実施形態によると、第 1 及び第 2 内部電極は、導電性金属を含む導電性ペーストにより形成されることができる。上記導電性金属は、これに制限されるものではないが、Ni、Cu、Pd、またはこれらの合金であることができる。

【0042】

誘電体層を形成するセラミックグリーンシート上に、スクリーン印刷法またはグラビア印刷法のような印刷法を利用して導電性ペーストで内部電極層を印刷することができる。内部電極層が印刷されたセラミックグリーンシートを交互に積層した後焼成することにより、セラミック素体を形成することができる。

【0043】

図 3 を参照すると、第 1 及び第 2 内部電極 121、122 は、相違する極性の外部電極と連結されるために、夫々第 1 及び第 2 引出し部 121a、122a を有し、上記第 1 及び第 2 引出し部 121a、122a はセラミック素体の第 1 面 1 に露出することができる。

【0044】

本発明の一実施形態によると、内部電極の引出し部は、内部電極を形成する導体パターンのうち幅 W が増加してセラミック素体の一面に露出した領域を意味することができる。

【0045】

本発明の一実施形態によると、積層セラミックキャパシタは垂直積層型であり、第 1 及び第 2 引出し部はセラミック素体の同一面に露出することができる。本実施形態において、上記第 1 及び第 2 引出し部 121a、122a はセラミック素体の第 1 面に露出している。本発明の一実施形態によると、第 1 引出し部 121a はセラミック素体の第 1 面及び第 1 面と連結された第 3 面に露出することができる。また、第 2 引出し部 122a はセラミック素体の第 1 面及び第 1 面と連結された第 4 面に露出することができる。

【0046】

また、図 2 及び図 3 に図示されたように、本発明の一実施形態によると、第 1 内部電極 121 の端部はセラミック素体の第 3 面及び第 4 面に露出することができ、第 2 内部電極 122 の端部はセラミック素体の第 3 面及び第 4 面に露出することができる。

【0047】

本発明の一実施形態によると、第 1 及び第 2 内部電極はセラミック素体の第 2 面にのみマージン部を形成し、第 3 面及び第 4 面にはマージン部なしに形成されることができる。また、第 1 面に対しても第 1 及び第 2 引出し部が一部重なることができるため、最大限広

10

20

30

40

50

い面積に内部電極が形成されることができる。これにより、第１及び第２内部電極の重畳領域が広くなり、高容量の積層セラミックキャパシタを形成することができる。

【００４８】

一般的に、第１及び第２内部電極は重なる領域によって静電容量を形成し、相違する極性の外部電極と連結される引出し部は重なる領域を有さない。しかし、本発明の一実施形態によると、第１及び第２引出し部１２１a、１２２aは互いに重なる領域を有することができる。本発明の一実施形態によると、第１及び第２引出し部は第１面に露出した領域のうち一部が重なることができる。

【００４９】

図４を参照すると、セラミック素体に露出した第１内部電極の第１引出し部１２１aと連結されるように第１外部電極１３１が形成されることができる。本発明の一実施形態によると、第１内部電極の第１引出し部１２１aはセラミック素体の第１面及び第３面に露出することができ、上記第１外部電極１３１はセラミック素体の第１面から延長されてセラミック素体の第３面まで形成されることができる。

【００５０】

また、セラミック素体の第１面に引出された第２内部電極の第２引出し部１２２aと連結されるように第２外部電極１３２が形成されることができる。上記第２外部電極１３２は、セラミック素体の第１面から延長されてセラミック素体の第４面まで形成されることができる。上記第２外部電極１３２は、セラミック素体の第４面に引出された第２引出し部１２２aと連結されるようにセラミック素体の第４面に形成されることができる。

【００５１】

即ち、本発明の一実施形態によると、第１外部電極は第１内部電極の第１引出し部の第１面と第３面を連結するコーナー部を覆うように形成され、第２外部電極は第２内部電極の第２引出し部の第１面と第４面を連結するコーナー部を覆うように形成されることができる。これにより、内部電極に対する外部電極の固着強度が向上されることができる。

【００５２】

上記第１外部電極１３１は第１引出し部１２１aのうち第２引出し部１２２aと重ならない領域と連結されることができ、第２外部電極１３２は第２引出し部１２２aのうち第１引出し部１２１aと重ならない領域と連結されることができる。

【００５３】

上記第１外部電極１３１は第２引出し部１２２aと接触されないように第１引出し部１２１aの一部と連結され、第２外部電極１３２は第１引出し部１２１aと接触されないように第２引出し部１２２aの一部と連結されることができる。

【００５４】

図４の右側図面には、第１内部電極の引出し部１２１aと第２内部電極の引出し部１２２aとが重なった領域が矢印で表示されており、第２内部電極１２２と重なった第１内部電極は点線で表示されている。

【００５５】

本発明の一実施形態によると、第１及び第２引出し部１２１a、１２２aは互いに重なる領域を有し、夫々相違する極性を示す第１及び第２外部電極１３１、１３２と連結されることができる。

【００５６】

本発明の一実施形態によると、図４に図示されたように、セラミック素体の一面には絶縁層１４１、１４３、１４４が形成されることができる。より具体的には、セラミック素体の第１面には第１絶縁層１４１が形成され、セラミック素体の第３面及び第４面には夫々第２絶縁層１４３及び第３絶縁層１４４が形成されることができる。

【００５７】

セラミック素体の第１面に形成された第１絶縁層１４１は、第１外部電極１３１と第２外部電極１３２との間に形成されることができる。上記第１絶縁層１４１は、第１面に露出した第１及び第２引出し部１２１a、１２２aを覆うように形成されることができ、第

10

20

30

40

50

1 及び第 2 引出し部の重畳領域を全て覆うように形成されることができる。

【0058】

本発明の一実施形態によると、図 4 に図示されたように、上記第 1 絶縁層 141 は、第 1 外部電極と第 2 外部電極との間のセラミック素体の第 1 面を完全に埋めるように形成されることができる。

【0059】

また、図示されていないが、本発明の一実施形態によると、第 1 絶縁層 141 は第 1 及び第 2 引出し部 121a、122a の重畳領域のみを覆うように形成され、第 1 及び第 2 外部電極 131、132 と所定の間隔を置いて形成されることができる。

【0060】

本発明の一実施形態によると、第 1 及び第 2 内部電極 121、122 の端部が露出したセラミック素体の第 3 面及び第 4 面には、夫々第 2 絶縁層 143 及び第 3 絶縁層 144 が形成されることができる。

【0061】

本発明の一実施形態によると、絶縁層 141、143、144 はセラミックスラリーで形成されることができる。上記セラミックスラリーの量及び形状を調節して、絶縁層の形成位置及び高さを調節することができる。上記絶縁層 141、143、144 は、焼成工程によりセラミック素体が形成された後、上記セラミック素体にセラミックスラリーを形成し、焼成することにより形成されることができる。

【0062】

または、セラミック素体を形成するセラミックグリーンシート上に絶縁層を形成するセラミックスラリーを形成し、セラミックグリーンシートとともに焼成して形成されることができる。

【0063】

上記セラミックスラリーの形成方法は、特に制限されず、例えば、スプレー方式で噴射したり、ローラーを利用した塗布、コーティング、付着などの方法を利用することができる。

【0064】

本発明の一実施形態によると、絶縁層 141、143、144 は、セラミック素体の一面に露出した第 1 及び第 2 内部電極の引出し部 121a、122a、第 1 及び第 2 内部電極 121、122 の端部を覆うように形成され、内部電極間の短絡を防止し、耐湿特性の低下などの内部欠陥を防止することができる。

【0065】

本発明の一実施形態によると、第 1 及び第 2 内部電極は、引出し部にも重畳領域が形成されるため、積層セラミックキャパシタの容量が増加することができる。また、外部極性が印加される第 1 及び第 2 内部電極間の距離が近くなり、カレントループ (current loop) が短くなることができ、これにより、等価直列インダクタンス (ESL、Equivalent Series Inductance) が低くなることができる。

【0066】

図 5 は本発明の他の実施形態による積層セラミックキャパシタを示す断面図である。上述の実施形態と相違する構成要素を中心に説明し、同一の構成要素についての詳細な説明は省略する。

【0067】

図 5 を参照すると、図 4 と同様に、セラミック素体の第 1 面及び第 3 面には第 1 外部電極 131 が形成され、第 1 面及び第 4 面には第 2 外部電極 132 が形成されることができる。また、セラミック素体の第 1 面には第 1 絶縁層 141 が形成され、第 3 面には第 2 絶縁層 143 が形成され、第 4 面には第 3 絶縁層 144 が形成されることができる。

【0068】

本発明の一実施形態によると、第 1 絶縁層 141 は第 1 外部電極と第 2 外部電極との間

10

20

30

40

50

に形成されることができる。本実施形態によると、第 1 絶縁層 1 4 1 の高さ h_2 は、第 1 外部電極 1 3 1 または第 2 外部電極 1 3 2 の高さ h_1 より小さく形成されることができる。上記絶縁層及び外部電極の高さは第 1 面を基準に測定されることができる。

【0069】

本実施形態によると、上記第 1 絶縁層 1 4 1 の高さが第 1 及び第 2 外部電極の高さより低いため、積層セラミックキャパシタが回路基板上により安定して実装されることができる。

【0070】

本実施形態によると、第 2 絶縁層 1 4 3 または第 3 絶縁層 1 4 4 の厚さ D_2 は、第 1 外部電極 1 3 1 または第 2 外部電極 1 3 2 の厚さ D_1 より大きく形成されることができる。上記絶縁層及び外部電極の厚さは第 3 面または第 4 面を基準に測定されることができる。

【0071】

また、図示されていないが、本発明の一実施形態によると第 2 絶縁層または第 3 絶縁層の厚さ d_2 は、第 1 外部電極または第 2 外部電極の厚さ d_1 より小さく形成されることができる。

【0072】

図 6 から図 8 は本発明の他の実施形態による積層セラミックキャパシタを示す。図 6 は本実施形態による積層セラミックキャパシタを示す概略的な斜視図であり、図 7 は図 6 に図示された積層セラミックキャパシタの内部電極の構造を示す断面図であり、図 8 は図 6 に図示された積層セラミックキャパシタの断面図である。上述の実施例と相違する構成要素を中心に説明し、同一の構成要素についての詳細な説明は省略する。

【0073】

図 6 から図 8 を参照すると、本実施形態による積層セラミックキャパシタは 2 端子垂直積層型キャパシタであることができる。本実施形態による積層セラミックキャパシタは、セラミック素体 2 1 0 と、上記セラミック素体の内部に形成される内部電極 2 2 1、2 2 2 と、上記セラミック素体の一面に形成される絶縁層 2 4 1、2 4 3、2 4 4 と、外部電極 2 3 1、2 3 2 と、を含むことができる。

【0074】

本発明の一実施形態によると、 x -方向は第 1 及び第 2 外部電極が所定の間隔を置いて形成される方向であり、 y -方向は内部電極が誘電体層を挟んで積層される方向であり、 z -方向は内部電極が回路基板に実装される方向であることができる。

【0075】

本実施形態によると、積層セラミックキャパシタは、 x -方向の長さが y -方向の長さより短く形成されることができる。即ち、第 1 及び第 2 外部電極が所定の間隔を置いて形成されるセラミック素体の x -方向の長さは、内部電極が積層される y -方向の長さより短く形成されることができる。

【0076】

図 7 はセラミック素体 2 1 0 を構成する誘電体層 2 1 1 及び上記誘電体層に形成された内部電極 2 2 1、2 2 2 を示す断面図である。本発明の一実施形態によると、第 1 極性の第 1 内部電極 2 2 1 と第 2 極性の第 2 内部電極 2 2 2 とが一对をなし、一誘電体層 2 1 1 を挟んで互に対向するように y -積層されることができる。本発明の一実施形態によると、第 1 及び第 2 内部電極 2 2 1、2 2 2 は、積層セラミックキャパシタの実装面、即ち、第 1 面 1 に垂直に配置されることができる。

【0077】

図 7 を参照すると、第 1 及び第 2 内部電極 2 2 1、2 2 2 は、相違する極性の外部電極と連結されるために、夫々第 1 及び第 2 引出し部 2 2 1 a、2 2 2 a を有し、上記第 1 及び第 2 引出し部 2 2 1 a、2 2 2 a はセラミック素体の第 1 面 1 に露出することができる。

【0078】

本発明の一実施形態によると、第 1 引出し部 2 2 1 a は、セラミック素体の第 1 面及び

10

20

30

40

50

第 1 面と連結された第 3 面に露出することができる。また、第 2 引出し部 2 2 2 a は、セラミック素体の第 1 面及び第 1 面と連結された第 4 面に露出することができる。

【0079】

また、本発明の一実施形態によると、第 1 内部電極 2 2 1 の端部はセラミック素体の第 3 面及び第 4 面に露出し、第 2 内部電極 2 2 2 の端部はセラミック素体の第 3 面及び第 4 面に露出することができる。

【0080】

本発明の一実施形態によると、第 1 及び第 2 内部電極はセラミック素体の第 2 面にのみマージン部を形成し、第 3 面及び第 4 面にはマージン部なしに形成されることができる。また、第 1 面に対しても第 1 及び第 2 引出し部が一部重なることができるため、最大限広い面積に内部電極が形成されることができる。これにより、第 1 及び第 2 内部電極の重畳領域が広くなり、高容量の積層セラミックキャパシタを形成することができる。

【0081】

本発明の一実施形態によると、第 1 及び第 2 引出し部 2 2 1 a、2 2 2 a は第 1 面に露出し、第 1 面に露出した領域のうち一部が互いに重なる領域を有することができる。

【0082】

図 7 及び図 8 を参照すると、セラミック素体に露出した第 1 内部電極 2 2 1 の第 1 引出し部と連結されるように、第 1 外部電極 2 3 1 が形成されることができる。本発明の一実施形態によると、第 1 内部電極の第 1 引出し部 2 2 1 a はセラミック素体の第 1 面及び第 3 面に露出することができ、上記第 1 外部電極 2 3 1 は、セラミック素体の第 1 面から延長されてセラミック素体の第 3 面まで形成されることができる。

【0083】

また、セラミック素体の第 1 面に引出された第 2 内部電極の第 2 引出し部 2 2 2 a と連結されるように、第 2 外部電極 2 3 2 が形成されることができる。上記第 2 外部電極 2 3 2 は、セラミック素体の第 1 面から延長されてセラミック素体の第 4 面まで形成されることができる。上記第 2 外部電極 2 3 2 は、セラミック素体の第 4 面に引出された第 2 引出し部 2 2 2 a と連結されるように、セラミック素体の第 4 面に形成されることができる。

【0084】

即ち、本発明の一実施形態によると、第 1 外部電極は第 1 内部電極の第 1 引出し部の第 1 面と第 3 面を連結するコーナー部を覆うように形成され、第 2 外部電極は第 2 内部電極の第 2 引出し部の第 1 面と第 4 面を連結するコーナー部を覆うように形成されることができる。これにより、内部電極に対する外部電極の固着強度が向上されることができる。

【0085】

本実施形態によると、セラミック素体の絶縁層 2 4 1、2 4 3、2 4 4 が形成されることができる。より具体的には、セラミック素体の第 1 面には第 1 絶縁層 2 4 1 が形成され、セラミック素体の第 3 面及び第 4 面には夫々第 2 絶縁層 2 4 3 及び第 3 絶縁層 2 4 4 が形成されることができる。

【0086】

セラミック素体の第 1 面に形成された第 1 絶縁層 2 4 1 は、第 1 外部電極 2 3 1 と第 2 外部電極 2 3 2 との間に形成されることができる。上記第 1 絶縁層 2 4 1 は、第 1 面に露出した第 1 及び第 2 引出し部 2 2 1 a、2 2 2 a を覆うように形成されることができる。第 1 及び第 2 引出し部の重畳領域を全て覆うように形成されることができる。

【0087】

本発明の一実施形態によると、第 1 及び第 2 内部電極 2 2 1、2 2 2 の端部が露出したセラミック素体の第 3 面及び第 4 面には、夫々第 2 絶縁層 2 4 3 及び第 3 絶縁層 2 4 4 が形成されることができる。

【0088】

本発明の一実施形態によると、絶縁層 2 4 1、2 4 3、2 4 4 は、セラミック素体の一面に露出した第 1 及び第 2 内部電極の引出し部 2 2 1 a、2 2 2 a、第 1 及び第 2 内部電極 2 2 1、2 2 2 の端部を覆うように形成されるため、内部電極間の短絡を防止し、耐湿

10

20

30

40

50

特性の低下などの内部欠陥を防止することができる。

【0089】

本発明の一実施形態によると、第1及び第2内部電極はセラミック素体の第2面にのみマージン部を形成し、第3面及び第4面にはマージン部なしに形成されることができる。また、第1面に対しても第1及び第2引出し部が一部重なることができるため、最大限広い面積に内部電極が形成されることができる。これにより、第1及び第2内部電極の重畳領域が広くなり、高容量の積層セラミックキャパシタを形成することができる。

【0090】

また、本実施形態によると、第1及び第2内部電極は、引出し部にも重畳領域が形成されるため、積層セラミックキャパシタの容量が増加することができる。また、外部極性が印加される第1及び第2内部電極間の距離が近くなり、カレントループ (current loop) が短くなることができ、これにより、等価直列インダクタンス (ESL、Equivalent Series Inductance) が低くなることができる。

10

【0091】

本実施形態によると、積層セラミックキャパシタのx-方向の長さがy-方向の長さより短く形成されるため、第1及び第2外部電極間の距離がより短く形成されることができる。また、外部極性が印加される第1及び第2内部電極間の距離がより近くなることができる。これにより、カレントループ (current loop) が短くなることができ、等価直列インダクタンス (ESL、Equivalent Series Inductance) がより低くなることができる。

20

【0092】

図9から図11は本発明のさらに他の実施形態による積層セラミックキャパシタを示す。図9は本実施形態による積層セラミックキャパシタを示す概略的な斜視図であり、図10は図9に図示された積層セラミックキャパシタの内部電極の構造を示す断面図であり、図11は図9に図示された積層セラミックキャパシタの断面図である。上述の実施例と相違する構成要素を中心に説明し、同一の構成要素についての詳細な説明は省略する。

【0093】

図9から図11を参照すると、本実施形態による積層セラミックキャパシタは4端子垂直積層型キャパシタであることができる。「4端子 (4-terminal)」はキャパシタの端子として4個の端子が回路基板に接続されることを意味する。

30

【0094】

本実施形態による積層セラミックキャパシタは、セラミック素体310と、上記セラミック素体の内部に形成される内部電極321、322と、上記セラミック素体の一面に形成される絶縁層341、342、343、344と、外部電極331、332、333、334と、を含むことができる。

【0095】

図10はセラミック素体310を構成する誘電体層311と上記誘電体層に形成された内部電極321、322を示す断面図である。本発明の一実施形態によると、第1極性の第1内部電極321と第2極性の第2内部電極322とが1対をなし、一誘電体層311を挟んで互いに対向するようにy-方向に積層されることができる。本発明の一実施形態によると、第1及び第2内部電極321、322は、積層セラミックキャパシタの実装面に垂直に配置されることができる。

40

【0096】

本実施形態によると、積層セラミックキャパシタの実装面は、第1面またはこれに対向する第2面となることができる。

【0097】

図10を参照すると、第1及び第2内部電極321、322は、相違する極性の外部電極と連結されるために、夫々第1及び第2引出し部321a、321b、322a、322bを有することができる。第1内部電極の二つの第1引出し部321a、321bは夫々セラミック素体の第1面及びこれに対向する第2面に露出し、第2内部電極の二つの第

50

2 引出し部 3 2 2 a、3 2 2 b は夫々セラミック素体の第 1 面とこれに対向する他面、即ち、第 2 面に露出することができる。

【0098】

また、第 1 内部電極の一つの第 1 引出し部 3 2 1 a と第 2 内部電極の一つの第 2 引出し部 3 2 2 a はセラミック素体の第 1 面に露出し、第 1 面に露出する領域のうち一部が互いに重なることができる。また、第 1 内部電極の他の一つの第 1 引出し部 3 2 1 b と第 2 内部電極の他の一つの第 2 引出し部 3 2 2 b はセラミック素体の第 2 面に露出し、第 2 面に露出する領域のうち一部が互いに重なることができる。

【0099】

本発明の一実施形態によると、第 1 内部電極の一つの第 1 引出し部 3 2 1 a はセラミック素体の第 1 面及び第 1 面と連結された第 3 面に露出し、他の一つの第 1 内部電極の第 1 引出し部 3 2 1 b はセラミック素体の第 2 面及び第 2 面と連結された第 3 面に露出することができる。

10

【0100】

また、第 2 内部電極の一つの第 2 引出し部 3 2 2 a はセラミック素体の第 1 面及び第 1 面と連結された第 4 面に露出し、他の一つの第 2 内部電極の第 2 引出し部 3 2 2 b はセラミック素体の第 2 面及び第 2 面と連結された第 4 面に露出することができる。

【0101】

また、本発明の一実施形態によると、第 1 内部電極 3 2 1 の端部はセラミック素体の第 3 面及び第 4 面に露出し、第 2 内部電極 3 2 2 の端部はセラミック素体の第 3 面及び第 4

20

【0102】

本発明の一実施形態によると、第 1 及び第 2 内部電極は、相違する極性の外部電極と連結されるために、引出し部が露出するセラミック素体の第 1 面を除き、誘電体層の全体にマージン部なしに形成されることができる。また、第 1 面に対しても第 1 及び第 2 引出し部が一部重なることができるため、最大限広い面積に内部電極が形成されることができる。これにより、第 1 及び第 2 内部電極の重畳領域が広くなり、高容量の積層セラミックキャパシタを形成することができる。

【0103】

図 11 を参照すると、セラミック素体に露出した第 1 及び第 2 内部電極の第 1 及び第 2 引出し部 3 2 1 a、3 2 1 b、3 2 2 a、3 2 2 b と連結されるように、第 1 から第 4 外部電極 3 3 1、3 3 2、3 3 3、3 3 4 が形成されることができる。

30

【0104】

本発明の一実施形態によると、第 1 内部電極の一つの第 1 引出し部 3 2 1 a はセラミック素体の第 1 面及び第 3 面に露出することができ、これと連結されるように、第 1 外部電極 3 3 1 はセラミック素体の第 1 面から延長されてセラミック素体の第 3 面まで形成されることができる。また、第 1 内部電極の他の一つの第 1 引出し部 3 2 1 b はセラミック素体の第 2 面及び第 3 面に露出することができ、これと連結されるように、第 3 外部電極 3 3 3 はセラミック素体の第 2 面から延長されてセラミック素体の第 3 面まで形成されることができる。

40

【0105】

また、セラミック素体の第 1 面及び第 4 面、第 2 面及び第 4 面に引出された第 2 内部電極の二つの第 2 引出し部 3 2 2 a、3 2 2 b と連結されるように、第 2 及び第 4 外部電極 3 3 2、3 3 4 が形成されることができる。より具体的には、第 2 内部電極の一つの第 2 引出し部 3 2 2 a はセラミック素体の第 1 面及び第 4 面に露出することができ、これと連結されるように、第 2 外部電極 3 3 2 はセラミック素体の第 1 面から延長されてセラミック素体の第 4 面まで形成されることができる。また、第 2 内部電極の他の一つの第 2 引出し部 3 2 2 b はセラミック素体の第 2 面及び第 4 面に露出することができ、これと連結されるように、第 4 外部電極 3 3 4 はセラミック素体の第 2 面から延長されてセラミック素体の第 4 面まで形成されることができる。

50

【 0 1 0 6 】

即ち、本発明の一実施形態によると、外部電極は内部電極の引出し部のコーナ一部を覆うように形成されることができる。これにより、内部電極に対する外部電極の固着強度が向上されることができる。

【 0 1 0 7 】

本発明において、第 1 及び第 2 は相違する極性を意味し、第 1 及び第 3 と第 2 及び第 4 は夫々同一の極性を意味することができる。

【 0 1 0 8 】

上述したように、上記第 1 外部電極 3 3 1 は第 1 引出し部 3 2 1 a のうち第 2 引出し部 3 2 2 a と重ならない領域と連結されることができ、上記第 3 外部電極 3 3 3 は第 1 引出し部 3 2 1 b のうち第 2 引出し部 3 2 2 b と重ならない領域と連結されることができる。また、上記第 2 外部電極 3 3 2 は第 2 引出し部 3 2 2 a のうち第 1 引出し部 3 2 1 a と重ならない領域と連結され、上記第 4 外部電極 3 3 4 は第 2 引出し部 3 2 2 b のうち第 1 引出し部 3 2 1 b と重ならない領域と連結されることができる。

【 0 1 0 9 】

図 1 1 の右側図面には、第 1 内部電極の二つの引出し部と第 2 内部電極の二つの引出し部が重なった領域が矢印で表示されており、第 2 内部電極と重なった第 1 内部電極は点線で表示されている。

【 0 1 1 0 】

本実施形態によると、セラミック素体の一面には絶縁層 3 4 1、3 4 2、3 4 3、3 4 4 が形成されることができる。より具体的には、セラミック素体の第 1 面には第 1 絶縁層 3 4 1 が形成され、セラミック素体の第 2 面には第 2 絶縁層 3 4 2 が形成されることができる。また、セラミック素体の第 3 面及び第 4 面には、夫々第 3 絶縁層 3 4 3 及び第 4 絶縁層 3 4 4 が形成されることができる。

【 0 1 1 1 】

上記第 1 及び第 2 絶縁層 3 4 1、3 4 2 は、夫々第 1 外部電極 3 3 1 と第 2 外部電極 3 3 2 との間、第 3 外部電極 3 3 3 と第 4 外部電極 3 3 4 との間に形成されることができる。上記第 1 及び第 2 絶縁層 3 4 1、3 4 2 は、第 1 面または第 2 面に露出した第 1 及び第 2 引出し部 3 2 1 a、3 2 2 a、3 2 1 b、3 2 2 b を覆うように形成されることができる。上述したように、第 1 及び第 2 絶縁層は、第 1 及び第 2 引出し部の重畳領域を全て覆うように形成されることができる。

【 0 1 1 2 】

上記絶縁層 3 4 1、3 4 2、3 4 3、3 4 4 は、セラミック素体の一面に露出した第 1 及び第 2 内部電極の端部、第 1 及び第 2 内部電極の引出し部 3 2 1 a、3 2 1 b、3 2 2 a、3 2 2 b を覆うように形成され、内部電極間の短絡を防止し、耐湿特性の低下などの内部欠陥を防止することができる。

【 0 1 1 3 】

本実施形態によると、第 1 及び第 2 内部電極は、引出し部にも重畳領域が形成されるため、積層セラミックキャパシタの容量が増加することができる。また、外部極性が印加される第 1 及び第 2 内部電極間の距離が近くなり、カレントループ (c u r r e n t l o o p) が短くなることができ、これにより、等価直列インダクタンス (E S L 、 E q u i v a l e n t S e r i e s I n d u c t a n c e) が低くなることができ、

【 0 1 1 4 】

図 1 2 から図 1 4 は本発明のさらに他の実施形態による積層セラミックキャパシタを示す。図 1 2 は本実施形態による積層セラミックキャパシタを示す概略的な斜視図であり、図 1 3 は図 1 2 に図示された積層セラミックキャパシタの内部電極の構造を示す断面図であり、図 1 4 は図 1 2 に図示された積層セラミックキャパシタの断面図である。上述の実施例と相違する構成要素を中心に説明し、同一の構成要素についての詳細な説明は省略する。

【 0 1 1 5 】

図 1 2 から図 1 4 を参照すると、本実施形態による積層セラミックキャパシタは 3 端子垂直積層型キャパシタであることができる。「3 端子 (3 - t e r m i n a l) 」はキャパシタの端子として 3 個の端子が回路基板に接続されることを意味する。

【 0 1 1 6 】

本実施形態による積層セラミックキャパシタは、セラミック素体 4 1 0 と、上記セラミック素体の内部に形成される内部電極 4 2 1、4 2 2 と、上記セラミック素体の一面に形成される絶縁層 4 4 1、4 4 2、4 4 3、4 4 4 と、外部電極 4 3 1、4 3 2、4 3 3 と、を含むことができる。

【 0 1 1 7 】

図 1 3 はセラミック素体 4 1 0 を構成する誘電体層 4 1 1 及び上記誘電体層に形成された内部電極 4 2 1、4 2 2 を示す断面図である。本発明の一実施形態によると、第 1 極性の第 1 内部電極 4 2 1 と第 2 極性の第 2 内部電極 4 2 2 とが 1 対をなし、一誘電体層 4 1 1 を挟んで互いに対向するように y - 方向に積層されることができる。本発明の一実施形態によると、第 1 及び第 2 内部電極 4 2 1、4 2 2 は、積層セラミックキャパシタの実装面に垂直に配置されることができる。

10

【 0 1 1 8 】

図 1 3 を参照すると、第 1 及び第 2 内部電極 4 2 1、4 2 2 は、相違する極性の外部電極と連結されるために、夫々第 1 及び第 2 引出し部 4 2 1 a、4 2 1 b、4 2 2 a を有し、上記第 1 及び第 2 引出し部 4 2 1 a、4 2 1 b、4 2 2 a はセラミック素体の第 1 面に露出することができる。

20

【 0 1 1 9 】

本実施形態によると、第 1 内部電極は二つの引出し部 4 2 1 a、4 2 1 b を有することができる。上記第 1 内部電極の二つの引出し部 4 2 1 a、4 2 1 b は、夫々第 2 内部電極の第 2 引出し部 4 2 2 a と互いに重なる領域を有することができる。本発明の一実施形態によると、第 1 内部電極の二つの引出し部 4 2 1 a、4 2 1 b 及び第 2 内部電極の第 2 引出し部 4 2 2 a はセラミック素体の同一面に露出し、露出した領域のうち一部が重なることができる。

【 0 1 2 0 】

本発明の一実施形態によると、第 1 内部電極の一つの第 1 引出し部 4 2 1 a はセラミック素体の第 1 面及び第 1 面と連結された第 3 面に露出し、他の一つの第 1 内部電極の第 1 引出し部 4 2 1 b はセラミック素体の第 1 面及び第 1 面と連結された第 4 面に露出することができる。

30

【 0 1 2 1 】

また、本発明の一実施形態によると、第 1 内部電極 4 2 1 の端部はセラミック素体の第 3 面及び第 4 面に露出し、第 2 内部電極 4 2 2 の端部はセラミック素体の第 3 面及び第 4 面に露出することができる。

【 0 1 2 2 】

図 1 4 を参照すると、セラミック素体の一面に引出された第 1 内部電極の二つの引出し部 4 2 1 a、4 2 1 b と連結されるように、セラミック素体の一面に第 1 及び第 3 外部電極 4 3 1、4 3 3 が形成されることができる。

40

【 0 1 2 3 】

本実施形態によると、第 1 内部電極は第 1 及び第 3 外部電極によって外部極性と連結されることができる。また、セラミック素体の一面に引出された第 2 内部電極の第 2 引出し部 4 2 2 a と連結されるように第 2 外部電極 4 3 2 が形成されることができる。上記第 2 外部電極 4 3 2 は第 1 外部電極と第 3 外部電極との間に形成されることができる。本発明において、第 1 及び第 2 は相違する極性を意味し、第 1 及び第 3 は同一の極性を意味することができる。

【 0 1 2 4 】

図 1 4 を参照すると、第 1 内部電極の一つの第 1 引出し部 4 2 1 a はセラミック素体の第 1 面及び第 3 面に露出することができ、これと連結されるように、第 1 外部電極 4 3 1

50

はセラミック素体の第1面から延長されてセラミック素体の第3面まで形成されることができる。また、第1内部電極の他の一つの第1引出し部421bはセラミック素体の第1面及び第4面に露出することができ、これと連結されるように、第3外部電極433はセラミック素体の第1面から延長されてセラミック素体の第4面まで形成されることができる。上記第2外部電極432はセラミック素体の第1面に形成されることができる。

【0125】

本発明の一実施形態によると、第1及び第3外部電極は第1内部電極の引出し部のコーナ部を覆うように形成されることができる。これにより、内部電極に対する外部電極の固着強度が向上されることができる。

【0126】

本発明の一実施形態によると、第1外部電極431は一つの第1引出し部421aのうち第2引出し部422aと重ならない領域と連結され、上記第3外部電極433は一つの第1引出し部421bのうち第2引出し部422aと重ならない領域と連結されることができる。上記第2外部電極432は、第2引出し部422aのうち二つの第1引出し部421a、421bと重ならない領域と連結されることができる。

【0127】

図14の右側図面には、第1内部電極の二つの引出し部と第2内部電極の引出し部が重なった領域が矢印で表示されており、第2内部電極と重なった第1内部電極は点線で表示されている。

【0128】

本実施形態によると、セラミック素体の一面には絶縁層441、442、443、444が形成されることができる。より具体的には、第1絶縁層441及び第2絶縁層442は、夫々第1外部電極431と第2外部電極432との間、第2外部電極432と第3外部電極433との間に形成されることができる。上記第1及び第2絶縁層441、442は、セラミック素体の一面に露出した第1及び第2引出し部421a、421b、422aを覆うように形成されることができ、第1及び第2引出し部の重畳領域を全て覆うように形成されることができる。

【0129】

また、セラミック素体の第3面には第3絶縁層443が形成され、第4面には第4絶縁層444が形成されることができる。

【0130】

上記絶縁層441、442、443、444は、セラミック素体の一面に露出した第1及び第2内部電極の端部、第1及び第2内部電極の引出し部を覆うように形成され、内部電極間の短絡を防止し、耐湿特性の低下などの内部欠陥を防止することができる。

【0131】

本実施形態によると、第1及び第2内部電極は、引出し部にも重畳領域が形成されるため、積層セラミックキャパシタの容量が増加することができる。また、外部極性が印加される第1及び第2内部電極間の距離が近くなり、カレントループ (current loop) が短くなることができ、これにより、等価直列インダクタンス (ESL、Equivalent Series Inductance) が低くなることができ、

【0132】

また、本実施形態によると、電流の流れは、第1及び第3外部電極と連結された第1内部電極を介して第2内部電極に流れる。このような電流の流れにより、積層セラミックキャパシタのキャパシタンス成分に直列で連結されるインダクタンスの成分の大きさを非常に小さくすることができる。

【0133】

また、図示されていないが、第1内部電極または第2内部電極は二つ以上の引出し部を有することができ、相違する極性の引出し部が互いに重なるように形成されることができる。また、第1内部電極または第2内部電極に形成された引出し部は、セラミック素体の同一面に露出したり、またはセラミック素体の相違する面に露出することができる。内部

10

20

30

40

50

電極が有する引出し部の数、引出し部の位置などは、当業者により多様に変更されることができる。

【 0 1 3 4 】

本発明は、上述の実施形態及び添付の図面により限定されず、添付の請求範囲により限定される。従って、請求範囲に記載された本発明の技術的思想を外れない範囲内で様々な形態の置換、変形及び変更が出来るということは当技術分野の通常の知識を有する者には明白であり、これも本発明の範囲に属する。

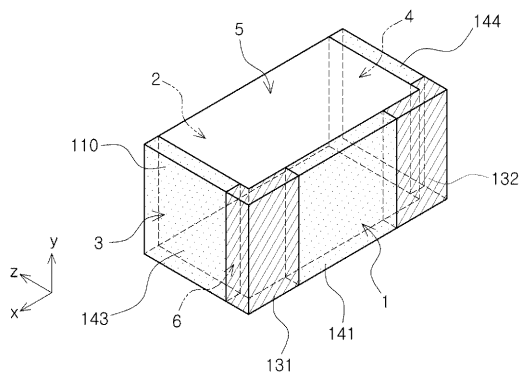
【 符号の説明 】

【 0 1 3 5 】

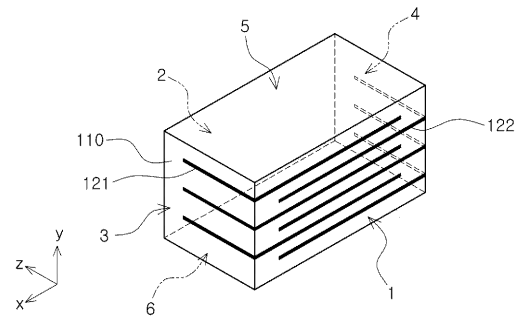
- 1 1 0 セラミック素体
- 1 1 1 誘電体層
- 1 2 1、1 2 2 第 1 及び第 2 内部電極
- 1 3 1、1 3 2 第 1 及び第 2 外部電極
- 1 4 0 絶縁層

10

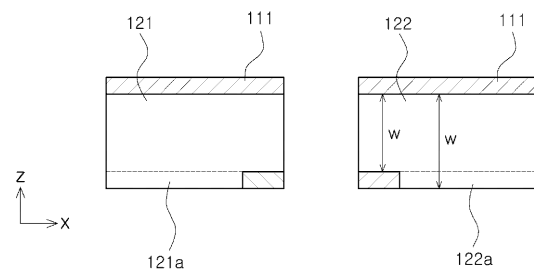
【 図 1 a 】



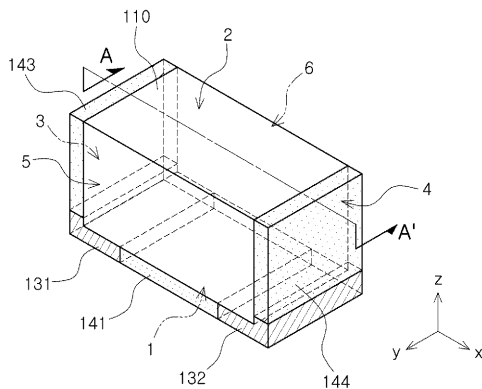
【 図 2 】



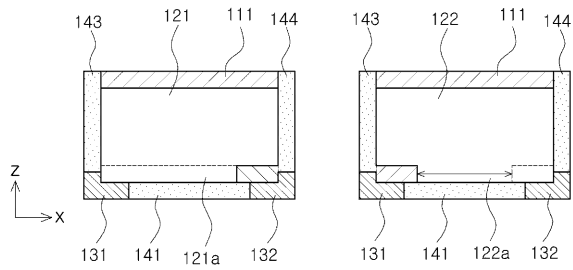
【 図 3 】



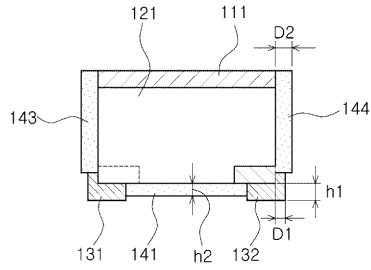
【 図 1 b 】



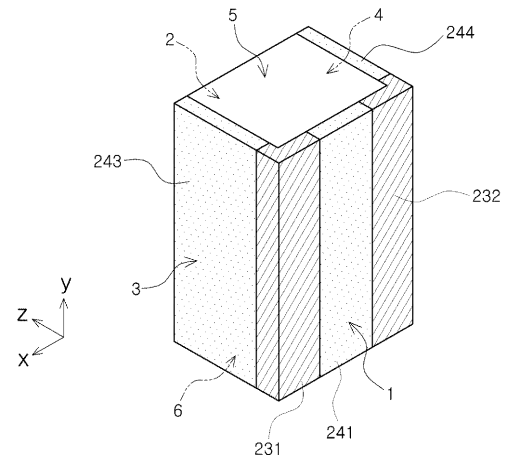
【図 4】



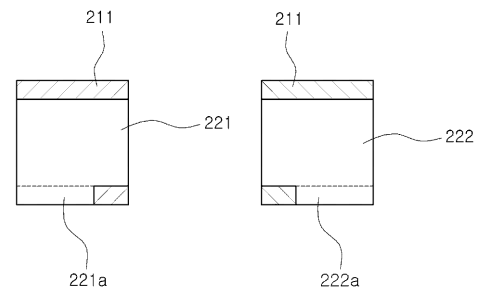
【図 5】



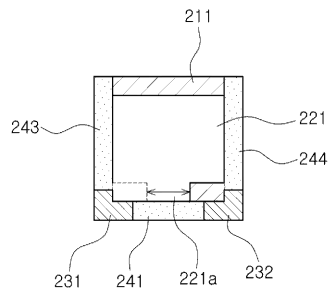
【図 6】



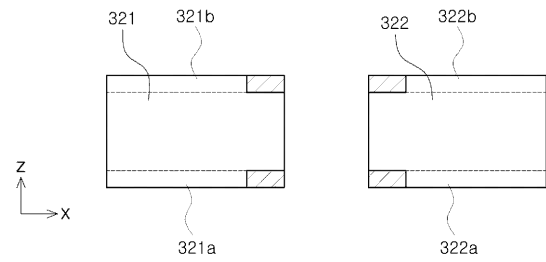
【図 7】



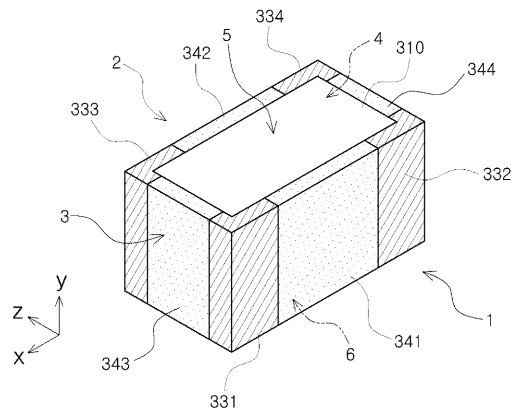
【図 8】



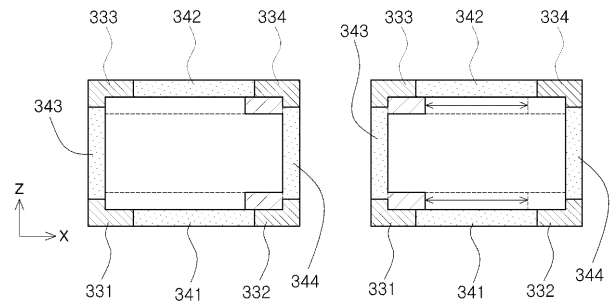
【図 10】



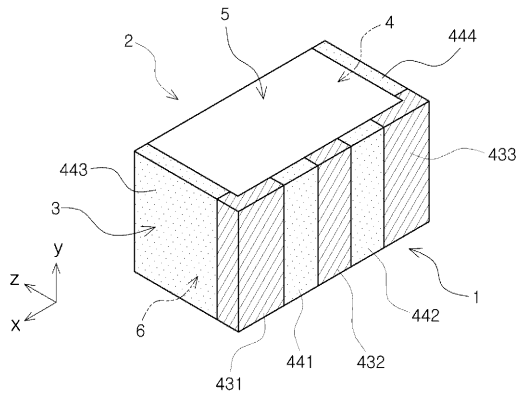
【図 9】



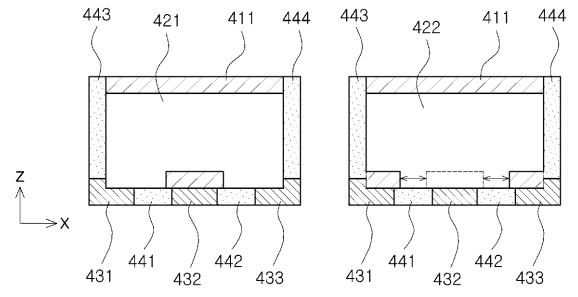
【図 11】



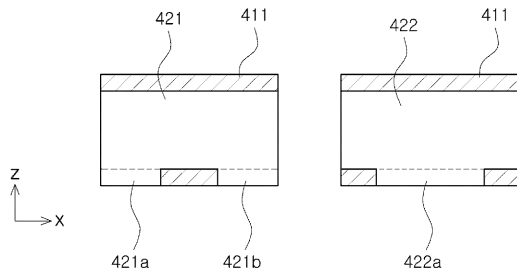
【図 1 2】



【図 1 4】



【図 1 3】



フロントページの続き

F ターム(参考) 5E001 AB03 AC09 AD02 AD03 AE02 AE03 AF06 AH01 AJ02
5E082 AB03 BB02 BB05 BB07 BC30 CC03 CC13 EE04 EE26 EE35
FF05 FG04 FG26 FG46 FG54 GG10 GG28 JJ03 JJ23